

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 12 日 (12.03.2020)



(10) 国际公布号
WO 2020/048081 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

省 深圳市 光明 新区 塘明 大道 9-2 号,
Guangdong 518132 (CN)。

(21) 国际申请号: PCT/CN2019/072522

(22) 国际申请日: 2019 年 1 月 21 日 (21.01.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811018202.3 2018 年 9 月 3 日 (03.09.2018) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国 广东

(72) 发明人: 陈 帅 (CHEN, Shuai); 中国 广东省 深圳 市 光明 新区 塘明 大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国 广东省 深圳 市 福田 区 深南 大道 6021 号 喜年 中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL PANEL

(54) 发明名称: GOA 电路及液晶面板

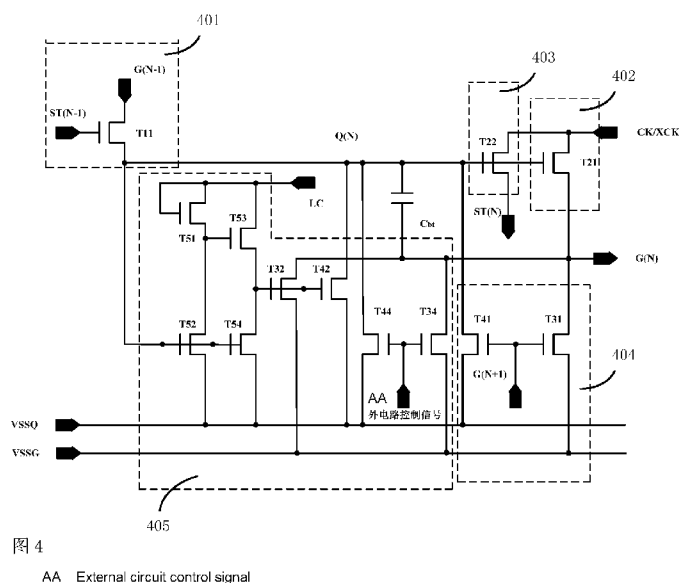


图 4

AA External circuit control signal

(57) Abstract: A GOA circuit is applicable to a liquid crystal panel, and comprises multiple GOA units connected in a cascade. The GOA circuit of the invention is obtained by modifying a constant low-level voltage signal line of an existing circuit into a first voltage source signal line and a second voltage source signal, and adding a first thin-film transistor (T34), a second thin-film transistor (T44) and an external circuit control signal (Discharge), so as to enable charges to be released effectively when a liquid crystal panel is turned on or off, thereby enhancing the stability and reliability of the liquid crystal panel.

(57) 摘要: 一种 GOA 电路, 适用于液晶面板, GOA 电路包括级联的多个 GOA 单元。GOA 电路通过在原有电路的基础上将恒压低电平信号线改成第一电压源信号线和第二电压源信号, 并且新增第一薄膜晶体管 (T34) 和第二薄膜晶体管 (T44) 和一外电路控制信号 (Discharge), 以实现液晶面板在开机或关机时进行有效地电荷释放, 从而提高液晶面板的稳定性和可靠性。

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告 (条约第21条(3))。

GOA电路及液晶面板

技术领域

[0001] 本发明涉及液晶面板技术领域，尤其涉及一种GOA电路以及采用该GOA电路的液晶面板。

背景技术

[0002] 现有的液晶显示装置的发展已呈现出窄边框、薄型化和低成本的发展趋势，在此其中，GOA(Gate Drive On Array，阵列基板行驱动)技术成为一项重要的技术。GOA的基本概念是将TFT LCD（薄膜晶体管液晶显示器）的栅极驱动电路集成在玻璃基板上，形成对液晶面板的扫描驱动。GOA相比传统的利用COF（覆盖薄膜）的驱动技术不但可以大幅度节约制造成本，而且省去了栅极侧的bonding（打线）制程，对产能提升也是极为有利的。因此，GOA是未来液晶面板发展的重点技术。

[0003] 图1显示了一种基本的GOA电路结构单元。其中包括上拉控制单元101、上拉单元102、信号下传单元103、下拉单元104、下拉维持单元105以及自举电容Cbt，其中所述上拉控制单元101主要为Q(N)点实现预充电；所述上拉单元102主要为提高G(N)电位，控制栅极的打开；所述信号下传单元103主要为控制下一级信号的打开和关闭；所述下拉单元104主要为拉低Q(N)点、G(N)电位至VSS；所述下拉维持单元105主要为控制Q(N)点、G(N)电位维持在VSS不变；所述自举电容Cbt主要为提高并维持Q(N)点电位。

[0004] 其中，下拉维持单元105中的电子元件实际上为一种反相器，其具体电路结构如图2所示。LC为高电平信号、VSS为低电平信号，当输入端Input输入高电位信号时，输出端Output输出低电位信号，当输入端输入低电位信号时，输出端输出高电位信号。因此，以2CK信号为例，单极GOA电路结构为图3所示，其包括上拉控制单元101、上拉单元102、信号下传单元103、下拉单元104、下拉维持单元105以及自举电容Cbt。

发明概述

技术问题

[0005] 开机、关机时液晶面板的稳定性是十分重要的。通常情况下，采用GOA技术的液晶面板对此包含两部分内容，即区分为显示区域和GOA电路区域。这两个不同的区域对电位信号的要求也是不同的，显示区域对电位信号的要求是所有栅极均输出高电位信号以便将像素中存储的电荷通过数据线进行有效释放，GOA电路区域对电位信号的要求是所有GOA控制信号均为低电位信号以便保证整个GOA电路中的TFT器件处于关闭状态以防止电荷残留。然而，在实际使用过程中，开机或关机时未对液晶面板（包括像素显示区和GOA电路区）中的电荷做释放处理。

[0006] 故，需提供一种GOA电路以解决现有技术中的问题。

问题的解决方案

技术解决方案

[0007] 本发明的目的在于，提供一种GOA电路，所述GOA电路通过在原有电路的基础上将恒压低电平信号线改成第一电压源信号线和第二电压源信号，并且新增第一薄膜晶体管和第二薄膜晶体管和一外电路控制信号，以实现液晶面板在开机或关机时进行有效地电荷释放，从而提高液晶面板的稳定性和可靠性。

[0008] 本发明提供了一种GOA电路，适用于液晶面板，其中所述GOA电路包括级联的多个GOA单元，第n级GOA单元包括：一时钟信号源，用于提供本级的时钟信号；一上拉控制模块，用于接收第n-1级扫描信号，并受第n-1级级传信号的控制生成本级的扫描电平信号；一上拉模块，用于受所述本级的扫描电平信号的控制，将本级的时钟信号输出至本级的扫描信号的输出端；一下传模块，用于接收所述本级的时钟信号，并受所述本级的扫描电平信号的控制生成第n级级传信号；一下拉模块，用于根据第n+1级扫描信号，将恒压低电平源所提供的第一低电平输出至所述本级的扫描信号的输出端；一下拉维持模块，用于维持所述本级的扫描电平信号低电平；一自举电容，用于生成所述本级的扫描电平信号的高电平；一恒压低电平源，所述恒压低电平源包括第一电压源信号和第二电压源信号，所述第一电压源信号设置为当所述液晶面板关机时，所述第一电压源信号由低电平转为高电平，并且经过所述第一预定时间后转为零电平；当所述

液晶面板开机时，所述第一电压源信号由零电平转为高电平，并且经过所述第二预定时间后转为一低电平；所述第二电压源信号设置为当所述液晶面板关机时，维持低电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述第二电压源信号由零电平转为一低电平；所述上拉控制模块的输出端与所述上拉模块、所述下传模块、所述下拉模块、所述下拉维持模块及所述自举电容电性连接；所述恒压低电平源与所述下拉维持模块和所述下拉模块电性连接；所述时钟信号源分别与所述上拉模块和所述下传模块电性连接；其中，所述下拉维持模块包括一第一薄膜晶体管和一第二薄膜晶体管以及一外电路控制信号；所述第一薄膜晶体管的栅极电性连接至所述第二薄膜晶体管的栅极，所述第一薄膜晶体管的漏极电性连接至所述本级的扫描信号的输出端，所述第一薄膜晶体管的源极电性连接至所述恒压低电平源的第二电压源信号；所述第二薄膜晶体管的漏极电性连接至所述上拉控制模块的输出端，所述第二薄膜晶体管的源极电性连接至所述恒压低电平源的第一电压源信号；所述外电路控制信号设置为当所述液晶面板关机时，所述外电路控制信号由低电平转为高电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述外电路控制信号由零电平转为高电平，并且经过所述第二预定时间后转为一低电平；所述第一预定时间为5毫秒。

[0009] 本发明还提供了一种GOA电路，适用于液晶面板，所述GOA电路包括级联的多个GOA单元，其中，第n级GOA单元包括：一恒压低电平源，所述恒压低电平源包括第一电压源信号和第二电压源信号，所述第一电压源信号设置为当所述液晶面板关机时，所述第一电压源信号由低电平转为高电平，并且经过一第一预定时间后转为零电平；当所述液晶面板开机时，所述第一电压源信号由零电平转为高电平，并且经过一第二预定时间后转为一低电平；所述第二电压源信号设置为当所述液晶面板关机时，维持低电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述第二电压源信号由零电平转为一低电平；一下拉维持模块，所述下拉维持模块包括一第一薄膜晶体管和一第二薄膜晶体管以及一外电路控制信号；所述第一薄膜晶体管的栅极电性连接至所述第二薄膜晶体管的栅极，所述第一薄膜晶体管的漏极电性连接至所述本级的扫

描信号的输出端，所述第一薄膜晶体管的源极电性连接至所述恒压低电平源的第二电压源信号；所述第二薄膜晶体管的漏极电性连接至所述上拉控制模块的输出端，所述第二薄膜晶体管的源极电性连接至所述恒压低电平源的第一电压源信号；其中，所述外电路控制信号设置为当所述液晶面板关机时，所述外电路控制信号由低电平转为高电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述外电路控制信号由零电平转为高电平，并且经过所述第二预定时间后转为低电平。

[0010] 在本发明的一实施例中，所述第 n 级GOA单元还包括：时钟信号源，用于提供本级的时钟信号；上拉控制模块，用于接收第 $n-1$ 级扫描信号，并受第 $n-1$ 级级传信号的控制生成本级的扫描电平信号；上拉模块，用于受所述本级的扫描电平信号的控制，将本级的时钟信号输出至本级的扫描信号的输出端；下传模块，用于接收所述本级的时钟信号，并受所述本级的扫描电平信号的控制生成第 n 级级传信号；下拉模块，用于根据第 $n+1$ 级扫描信号，将恒压低电平源所提供的第一低电平输出至所述本级的扫描信号的输出端；下拉维持模块，用于维持所述本级的扫描电平信号低电平；自举电容，用于生成所述本级的扫描电平信号的高电平；所述上拉控制模块的输出端与所述上拉模块、所述下传模块、所述下拉模块、所述下拉维持模块及所述自举电容电性连接；所述恒压低电平源与所述下拉维持模块和所述下拉模块电性连接；所述时钟信号源分别与所述上拉模块和所述下传模块电性连接。

[0011] 在本发明的一实施例中，所述上拉控制模块包括：一第十一薄膜晶体管，所述第十一薄膜晶体管的栅极接收所述第 $n-1$ 级级传信号，源极电性连接至所述上拉控制模块的输出端，漏极接收第 $n-1$ 级扫描信号。

[0012] 在本发明的一实施例中，所述上拉模块包括：一第二十一薄膜晶体管，所述第二十一薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，漏极电性连接至所述时钟信号源，源极电性连接至所述本级的扫描信号的输出端。

[0013] 在本发明的一实施例中，所述下传模块包括：一第二十二薄膜晶体管，所述第二十二薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，源极接收所述第 n 级级传信号，漏极电性连接至所述时钟信号源。

[0014] 在本发明的一实施例中，所述下拉模块包括：一第三十一薄膜晶体管和一第四十一薄膜晶体管；所述第三十一薄膜晶体管的栅极电性连接至第 $n+1$ 级扫描信号的输出端，源极电性连接至所述恒压低电平源的第二电压源信号，漏极电性连接至所述本级的扫描信号的输出端；所述第四十一薄膜晶体管的栅极电性连接至第 $n+1$ 级扫描信号的输出端，源极电性连接至所述恒压低电平源的第一电压源信号，漏极电性连接至所述上拉控制模块的输出端。

[0015] 在本发明的一实施例中，所述下拉维持模块还包括：一第五十一薄膜晶体管、一第五十二薄膜晶体管、一第五十三薄膜晶体管、一第五十四薄膜晶体管、一第四十二薄膜晶体管和一第三十二薄膜晶体管；所述第五十一薄膜晶体管的栅极以及漏极接收一高电平信号，源极电性连接于所述第五十二薄膜晶体管的漏极以及所述第五十三薄膜晶体管的栅极；所述第五十二薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，源极电性连接于所述恒压低电平源的第一电压源信号；所述第五十三薄膜晶体管的漏极接收所述高电平信号，源极电性连接至所述第五十四薄膜晶体管的漏极、所述第四十二薄膜晶体管的栅极以及所述第三十二薄膜晶体管的栅极；所述第五十四薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，源极电性连接至所述恒压低电平源的第一电压源信号；所述第四十二薄膜晶体管的源极电性连接至所述恒压低电平源的第一电压源信号，漏极电性连接至所述上拉控制模块的输出端；所述第三十二薄膜晶体管的源极电性连接至所述恒压低电平源的第二电压源信号，漏极接收所述本级的扫描信号。

[0016] 在本发明的一实施例中，当所述外电路控制信号转为高电平时，所述高电平为30伏，当外电路控制信号转为低电平时，所述低电平为-8伏。

[0017] 在本发明的一实施例中，所述第一预定时间为5毫秒。

[0018] 另外，本发明提供一种液晶面板，其包括上述任一所述的GOA电路。

发明的有益效果

有益效果

[0019] 所述GOA电路通过在原有电路的基础上将恒压低电平信号线改成第一电压源信号线和第二电压源信号，并且新增第一薄膜晶体管和第二薄膜晶体管和一外电

路控制信号，以实现液晶面板在开机或关机时进行有效地电荷释放，从而提高液晶面板的稳定性和可靠性。另外，所述GOA电路的设计能够保证GOA电路区域对电位信号的要求是所有GOA控制信号均为低电位信号以便保证整个GOA电路中的TFT器件处于关闭状态以防止电荷残留。

对附图的简要说明

附图说明

[0020] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0021] 图1是现有技术中的GOA电路结构单元的电路结构示意图。

[0022] 图2是达灵顿结构反相器的示意图。

[0023] 图3是现有技术中的单极GOA电路结构示意图。

[0024] 图4是本发明所述实施例中的GOA电路的连接示意图。

[0025] 图5是本发明所述实施例中的液晶面板关机时的第一电压源信号、第二电压源信号和外电路控制信号的时序示意图。

[0026] 图6是本发明所述实施例中的液晶面板开机时的第一电压源信号、第二电压源信号和外电路控制信号的时序示意图。

发明实施例

本发明的实施方式

[0027] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0028] 本发明的说明书和权利要求书以及上述附图中的术语“第一”、“第二”、“第三”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应当理解，这样描述的对象在适当情况下可以互换。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含。

- [0029] 在本专利文档中，下文论述的附图以及用来描述本发明公开的原理的各实施例仅用于说明，而不应解释为限制本发明公开的范围。所属领域的技术人员将理解，本发明的原理可在任何适当布置的系统中实施。将详细说明示例性实施方式，在附图中示出了这些实施方式的实例。此外，将参考附图详细描述根据示例性实施例的终端。附图中的相同附图标号指代相同的元件。
- [0030] 本发明说明书中使用的术语仅用来描述特定实施方式，而并不意图显示本发明的概念。除非上下文中有明确不同的意义，否则，以单数形式使用的表达涵盖复数形式的表达。在本发明说明书中，应理解，诸如“包括”、“具有”以及“含有”等术语意图说明存在本发明说明书中揭示的特征、数字、步骤、动作或其组合的可能性，而并不意图排除可存在或可添加一个或多个其他特征、数字、步骤、动作或其组合的可能性。附图中的相同参考标号指代相同部分。
- [0031] 本发明实施例提供一种GOA电路及液晶面板。以下将分别进行详细说明。
- [0032] 参见图4所示，在本发明的一实施例中，提供一种GOA电路，适用于液晶面板，所述GOA电路包括级联的多个GOA单元。
- [0033] 需注意的是，本实施例是以级联的多个GOA单元为例，而GOA电路中包含N个多单级GOA单元，所有单级GOA单元的结构几乎完全相同，仅在首尾级存在细微差异，这些差异与本申请无关，因此，在此不再详述。
- [0034] 其中，第n级GOA单元包括：时钟信号源CK/XCK、上拉控制模块401、上拉模块402、下传模块403、下拉模块404、下拉维持模块405、自举电容Cbt以及恒压低电平源VSS。
- [0035] 所述时钟信号源用于提供本级的时钟信号CK/XCK。
- [0036] 所述上拉控制模块401用于接收第n-1级扫描信号G(N-1)，并受第n-1级级传信号ST(N-1)的控制生成本级的扫描电平信号。
- [0037] 所述上拉模块402用于受所述本级的扫描电平信号的控制，将本级的时钟信号CK/XCK输出至本级的扫描信号G(N)的输出端；
- [0038] 所述下传模块403用于接收所述本级的时钟信号CK/XCK，并受所述本级的扫描电平信号的控制生成第n级级传信号ST(N)；
- [0039] 所述下拉模块404用于根据第n+1级扫描信号G(N+1)，将恒压低电平源所提供的

第一低电平输出至所述本级的扫描信号G (N) 的输出端。

[0040] 所述下拉维持模块405用于维持所述本级的扫描电平信号G (N) 低电平。

[0041] 所述自举电容Cbt用于生成所述本级的扫描电平信号的高电平。

[0042] 所述恒压低电平源VSS用于所述液晶面板正常工作时提供一低电平。

[0043] 所述上拉控制模块401的输出端与所述上拉模块402、所述下传模块403、所述下拉模块404、所述下拉维持模块405及所述自举电容Cbt电性连接；所述恒压低电平源VSS与所述下拉维持模块405和所述下拉模块404电性连接；所述时钟信号源CK/XCK分别与所述上拉模块402和所述下传模块403电性连接。

[0044] 以下将进一步说明每一个模块的结构。

[0045] 所述恒压低电平源VSS包括第一电压源信号VSSQ和第二电压源信号VSSG。其中第一电压源信号VSSQ的第二电压源信号VSSG的设计将在下文中具体描述。

[0046] 所述上拉控制模块401包括：一第十一薄膜晶体管T11，所述第十一薄膜晶体管T11的栅极接收所述第n-1级级传信号，源极电性连接至所述上拉控制模块401的输出端，漏极接收第n-1级扫描信号。

[0047] 所述上拉模块402包括：一第二十一薄膜晶体管T21，所述第二十一薄膜晶体管T21的栅极电性连接至所述上拉控制模块401的输出端，漏极电性连接至所述时钟信号源CK/XCK，源极电性连接至所述本级的扫描信号的输出端。

[0048] 所述下传模块403包括：一第二十二薄膜晶体管T22，所述第二十二薄膜晶体管T22的栅极电性连接至所述上拉控制模块401的输出端，源极接收所述第n级级传信号，漏极电性连接至所述时钟信号源CK/XCK。

[0049] 所述下拉模块404包括：一第三十一薄膜晶体管T31和一第四十一薄膜晶体管T41；所述第三十一薄膜晶体管T31的栅极电性连接至第n+1级扫描信号的输出端，源极电性连接至所述恒压低电平源VSS的第二电压源信号VSSG，漏极电性连接至所述本级的扫描信号的输出端；所述第四十一薄膜晶体管T41的栅极电性连接至第n+1级扫描信号的输出端，源极电性连接至所述恒压低电平源VSS的第一电压源信号VSSQ，漏极电性连接至所述上拉控制模块401的输出端。

[0050] 所述下拉维持模块405包括：一第五十一薄膜晶体管T51、一第五十二薄膜晶体管T52、一第五十三薄膜晶体管T53、一第五十四薄膜晶体管T54、一第四十二薄

膜晶体管T42和一第三十二薄膜晶体管T32；所述第五十一薄膜晶体管T51的栅极以及漏极接收一高电平信号，源极电性连接于所述第五十二薄膜晶体管T52的漏极以及所述第五十三薄膜晶体管T53的栅极；所述第五十二薄膜晶体管T52的栅极电性连接至所述上拉控制模块401的输出端，源极电性连接于所述恒压低电平源VSS的第一电压源信号VSSQ；所述第五十三薄膜晶体管T53的漏极接收所述高电平信号，源极电性连接至所述第五十四薄膜晶体管T54的漏极、所述第四十二薄膜晶体管T42的栅极以及所述第三十二薄膜晶体管T32的栅极；所述第五十四薄膜晶体管T54的栅极电性连接至所述上拉控制模块401的输出端，源极电性连接至所述恒压低电平源VSS的第一电压源信号VSSQ；所述第四十二薄膜晶体管T42的源极电性连接至所述恒压低电平源VSS的第一电压源信号VSSQ，漏极电性连接至所述上拉控制模块401的输出端；所述第三十二薄膜晶体管T32的源极电性连接至所述恒压低电平源VSS的第二电压源信号VSSG，漏极接收所述本级的扫描信号。

[0051] 参见图5和图6所示，在本实施例中，所述第一电压源信号VSSQ设置为当所述液晶面板关机（turn off）时，所述第一电压源信号VSSQ由低电平L转为高电平H，并且经过一第一预定时间后转为零电平GND；当所述液晶面板开机（turn on）时，所述第一电压源信号VSSQ由零电平GND转为高电平H，并且经过一第二预定时间后转为低电平L。在本实施例中，所述第一预定时间为5毫秒。所述第二预定时间为5毫秒，当然，所述第一预定时间和所述第二预定时间不限于此。

[0052] 所述第二电压源信号VSSG设置为当所述液晶面板关机（turn off）时，所述第二电压源信号VSSG维持低电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机（turn on）时，所述第二电压源信号VSSG由零电平转为低电平。

[0053] 另外，所述下拉维持模块405还包括一第一薄膜晶体管和一第二薄膜晶体管以及一外电路控制信号。在本实施例中，以第三十四薄膜晶体管T34表示第一薄膜晶体管，以第四十四薄膜晶体管T44表示第二薄膜晶体管。其中，所述第三十四薄膜晶体管T34的栅极电性连接至所述第四十四薄膜晶体管T44的栅极，所述第

三十四薄膜晶体管T34的漏极电性连接至所述本级的扫描信号的输出端，所述第三十四薄膜晶体管T34的源极电性连接至所述恒压低电平源VSS的第二电压源信号VSSG；所述第四十四薄膜晶体管T44的漏极电性连接至所述上拉控制模块401的输出端，所述第四十四薄膜晶体管T44的源极电性连接至所述恒压低电平源VSS的第一电压源信号VSSQ。

[0054] 所述外电路控制信号Discharge设置为当所述液晶面板关机(Turn off)时，所述外电路控制信号Discharge由低电平L转为高电平H，并且经过所述第一预定时间后转为零电平GND；当所述液晶面板开机时，所述外电路控制信号由零电平GND转为高电平H，并且经过所述第二预定时间后转为一低电平L。

[0055] 在本实施例中，当所述外电路控制信号Discharge转为高电平H时，所述高电平为30伏，当外电路控制信号Discharge转为低电平L时，所述低电平为-8伏。

[0056] 如图6所示，在液晶面板正常显示时，由于外电路控制信号Discharge为一低电位信号，第三十四薄膜晶体管T34和第四十四薄膜晶体管T44处于关闭状态。因此，在本实施例中的GOA电路的级传并不会受到新增TFT器件的影响。当液晶面板执行关机动作后，所述外电路控制信号Discharge被拉升至一高电位信号，于是第三十四薄膜晶体管T34和第四十四薄膜晶体管T44处于开启状态。设置在本级的扫描信号的输出端的参考点G(N)通过第三十四薄膜晶体管T34被第二电压源信号VSSG拉升至一高电位信号，此时，显示区域所述栅极均输出高电平信号，以便将像素中存储的电荷通过数据线进行有效释放。而设置在所述上拉控制模块401的输出端的参考点Q(N)通过第四十四薄膜晶体管T44拉至一低电位信号，此时GOA电路区域所有GOA控制信号均为低电位信号，以便保证整个GOA电路中的TFT器件处于关闭状态，以防止电荷残留。

[0057] 同样的，在液晶面板执行开机(Turn on)动作时，相应的信号波形如图6所示。在此设置下可以将液晶面板中残存的电荷或由于静电等方式积累的电荷在正常显示之前有效释放。

[0058] 在液晶面板执行开机动作时，相应的信号波形如图6所示。第二电压源信号VSSG在关机时为零电位GND，执行开机后先拉升至一高电位(H)信号，在持续第二预定时间后，输出低电位(L)信号。第一电压源信号VSSQ在关机时为零电位GN

D, 执行开机动作后先拉至一低电位(L)信号, 并维持低电位(L)信号输出。外电路控制信号在关机时为零电位GND, 执行开机动作后先拉升至一高电位(H)信号, 维持一第二预定时间后, 输出一低电位(L)信号。

[0059] 当液晶面板执行开机动作后, 所述外电路控制信号被拉升至一高电位(H)信号, 于是第三十四薄膜晶体管T34和第四十四薄膜晶体管T44处于开启状态。设置在本级的扫描信号的输出端的参考点G (N) 通过第三十四薄膜晶体管T34被第二电压源信号VSSG拉升至一高电位(H)信号, 此时, 显示区域所述栅极均输出高电平信号, 以便将像素中存储的电荷通过数据线进行有效释放。而设置在所述上拉控制模块401的输出端的参考点Q (N) 通过第四十四薄膜晶体管T44拉至一低电位(L)信号, 此时GOA电路区域所有GOA控制信号均为低电位信号, 以便保证整个GOA电路中的TFT器件处于关闭状态, 以防止电荷残留。

[0060] 因此, 通过上述的GOA电路设计, 实现液晶面板在开机或关机时进行有效地电荷释放, 从而提高液晶面板的稳定性和可靠性。另外, 所述GOA电路的设计能够保证GOA电路区域对电位信号的要求是所有GOA控制信号均为低电位信号以便保证整个GOA电路中的TFT器件处于关闭状态以防止电荷残留。

[0061] 另外, 本发明提供一种液晶面板, 其包括上述任一所述的GOA电路。其中, 所述GOA电路的结构及工作原理可以参见上述的GOA电路的实施所述, 在此不再赘述。

[0062] 以上所述仅是本发明的优选实施方式, 应当指出, 对于本技术领域的普通技术人员, 在不脱离本发明原理的前提下, 还可以做出若干改进和润饰, 这些改进和润饰也应视为本发明的保护范围。

工业实用性

[0063] 本申请的主题可以在工业中制造和使用, 具备工业实用性。

权利要求书

- [权利要求 1] 一种GOA电路，适用于液晶面板，其中所述GOA电路包括级联的多个GOA单元，第n级GOA单元包括：
- 一时钟信号源，用于提供本级的时钟信号；
 - 一上拉控制模块，用于接收第n-1级扫描信号，并受第n-1级级传信号的控制生成本级的扫描电平信号；
 - 一上拉模块，用于受所述本级的扫描电平信号的控制，将本级的时钟信号输出至本级的扫描信号的输出端；
 - 一下传模块，用于接收所述本级的时钟信号，并受所述本级的扫描电平信号的控制生成第n级级传信号；
 - 一下拉模块，用于根据第n+1级扫描信号，将恒压低电平源所提供的第一低电平输出至所述本级的扫描信号的输出端；
 - 一下拉维持模块，用于维持所述本级的扫描电平信号低电平；
 - 一自举电容，用于生成所述本级的扫描电平信号的高电平；
 - 一恒压低电平源，所述恒压低电平源包括第一电压源信号和第二电压源信号，所述第一电压源信号设置为当所述液晶面板关机时，所述第一电压源信号由低电平转为高电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述第一电压源信号由零电平转为高电平，并且经过所述第二预定时间后转为低电平；所述第二电压源信号设置为当所述液晶面板关机时，维持低电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述第二电压源信号由零电平转为低电平；
- 所述上拉控制模块的输出端与所述上拉模块、所述下传模块、所述下拉模块、所述下拉维持模块及所述自举电容电性连接；所述恒压低电平源与所述下拉维持模块和所述下拉模块电性连接；所述时钟信号源分别与所述上拉模块和所述下传模块电性连接；
- 其中，所述下拉维持模块包括一第一薄膜晶体管和一第二薄膜晶体管以及一外电路控制信号；所述第一薄膜晶体管的栅极电性连接至所述

第二薄膜晶体管的栅极，所述第一薄膜晶体管的漏极电性连接至所述本级的扫描信号的输出端，所述第一薄膜晶体管的源极电性连接至所述恒压低电平源的第二电压源信号；所述第二薄膜晶体管的漏极电性连接至所述上拉控制模块的输出端，所述第二薄膜晶体管的源极电性连接至所述恒压低电平源的第一电压源信号；所述外电路控制信号设置为当所述液晶面板关机时，所述外电路控制信号由低电平转为高电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述外电路控制信号由零电平转为高电平，并且经过所述第二预定时间后转为一低电平；所述第一预定时间为5毫秒。

[权利要求 2]

一种GOA电路，适用于液晶面板，其中所述GOA电路包括级联的多个GOA单元，第n级GOA单元包括：

一恒压低电平源，所述恒压低电平源包括第一电压源信号和第二电压源信号，所述第一电压源信号设置为当所述液晶面板关机时，所述第一电压源信号由低电平转为高电平，并且经过一第一预定时间后转为零电平；当所述液晶面板开机时，所述第一电压源信号由零电平转为高电平，并且经过一第二预定时间后转为一低电平；所述第二电压源信号设置为当所述液晶面板关机时，维持低电平，并且经过所述第一预定时间后转为零电平；当所述液晶面板开机时，所述第二电压源信号由零电平转为一低电平；

一下拉维持模块，所述下拉维持模块包括一第一薄膜晶体管和一第二薄膜晶体管以及一外电路控制信号；所述第一薄膜晶体管的栅极电性连接至所述第二薄膜晶体管的栅极，所述第一薄膜晶体管的漏极电性连接至所述本级的扫描信号的输出端，所述第一薄膜晶体管的源极电性连接至所述恒压低电平源的第二电压源信号；所述第二薄膜晶体管的漏极电性连接至所述上拉控制模块的输出端，所述第二薄膜晶体管的源极电性连接至所述恒压低电平源的第一电压源信号；其中，所述外电路控制信号设置为当所述液晶面板关机时，所述外电路控制信号由低电平转为高电平，并且经过所述第一预定时间后转为零电平；当

所述液晶面板开机时，所述外电路控制信号由零电平转为高电平，并且经过所述第二预定时间后转为一低电平。

[权利要求 3] 根据权利要求2所述的GOA电路，其特征在于，所述第n级GOA单元还包括：

一时钟信号源，用于提供本级的时钟信号；

一上拉控制模块，用于接收第n-1级扫描信号，并受第n-1级级传信号的控制生成本级的扫描电平信号；

一上拉模块，用于受所述本级的扫描电平信号的控制，将本级的时钟信号输出至本级的扫描信号的输出端；

一下传模块，用于接收所述本级的时钟信号，并受所述本级的扫描电平信号的控制生成第n级级传信号；

一下拉模块，用于根据第n+1级扫描信号，将恒压低电平源所提供的第一低电平输出至所述本级的扫描信号的输出端；

一下拉维持模块，用于维持所述本级的扫描电平信号低电平；

一自举电容，用于生成所述本级的扫描电平信号的高电平；

所述上拉控制模块的输出端与所述上拉模块、所述下传模块、所述下拉模块、所述下拉维持模块及所述自举电容电性连接；所述恒压低电平源与所述下拉维持模块和所述下拉模块电性连接；所述时钟信号源分别与所述上拉模块和所述下传模块电性连接。

[权利要求 4] 根据权利要求3所述的GOA电路，其特征在于，所述上拉控制模块包括：一第十一薄膜晶体管，所述第十一薄膜晶体管的栅极接收所述第n-1级级传信号，源极电性连接至所述上拉控制模块的输出端，漏极接收第n-1级扫描信号。

[权利要求 5] 根据权利要求3所述的GOA电路，其特征在于，所述上拉模块包括：一第二十一薄膜晶体管，所述第二十一薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，漏极电性连接至所述时钟信号源，源极电性连接至所述本级的扫描信号的输出端。

[权利要求 6] 根据权利要求3所述的GOA电路，其特征在于，所述下传模块包括：

一第二十二薄膜晶体管，所述第二十二薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，源极接收所述第n级级传信号，漏极电性连接至所述时钟信号源。

[权利要求 7] 根据权利要求3所述的GOA电路，其特征在于，所述下拉模块包括：一第三十一薄膜晶体管和一第四十一薄膜晶体管；所述第三十一薄膜晶体管的栅极电性连接至第n+1级扫描信号的输出端，源极电性连接至所述恒压低电平源的第二电压源信号，漏极电性连接至所述本级的扫描信号的输出端；所述第四十一薄膜晶体管的栅极电性连接至第n+1级扫描信号的输出端，源极电性连接至所述恒压低电平源的第一电压源信号，漏极电性连接至所述上拉控制模块的输出端。

[权利要求 8] 根据权利要求3所述的GOA电路，其特征在于，所述下拉维持模块还包括：一第五十一薄膜晶体管、一第五十二薄膜晶体管、一第五十三薄膜晶体管、一第五十四薄膜晶体管、一第四十二薄膜晶体管和一第三十二薄膜晶体管；所述第五十一薄膜晶体管的栅极以及漏极接收一高电平信号，源极电性连接于所述第五十二薄膜晶体管的漏极以及所述第五十三薄膜晶体管的栅极；所述第五十二薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，源极电性连接于所述恒压低电平源的第一电压源信号；所述第五十三薄膜晶体管的漏极接收所述高电平信号，源极电性连接至所述第五十四薄膜晶体管的漏极、所述第四十二薄膜晶体管的栅极以及所述第三十二薄膜晶体管的栅极；所述第五十四薄膜晶体管的栅极电性连接至所述上拉控制模块的输出端，源极电性连接至所述恒压低电平源的第一电压源信号；所述第四十二薄膜晶体管的源极电性连接至所述恒压低电平源的第一电压源信号，漏极电性连接至所述上拉控制模块的输出端；所述第三十二薄膜晶体管的源极电性连接至所述恒压低电平源的第二电压源信号，漏极接收所述本级的扫描信号。

[权利要求 9] 根据权利要求2所述的GOA电路，其特征在于，当所述外电路控制信号转为高电平时，所述高电平为30伏，当外电路控制信号转为低电平时，所述低电平为0伏。

时，所述低电平为-8伏。

[权利要求 10] 根据权利要求2所述的GOA电路，其特征在于，所述第一预定时间为5毫秒。

[权利要求 11] 一种液晶面板，其特征在于，包括权利要求2-10任一所述的GOA电路。

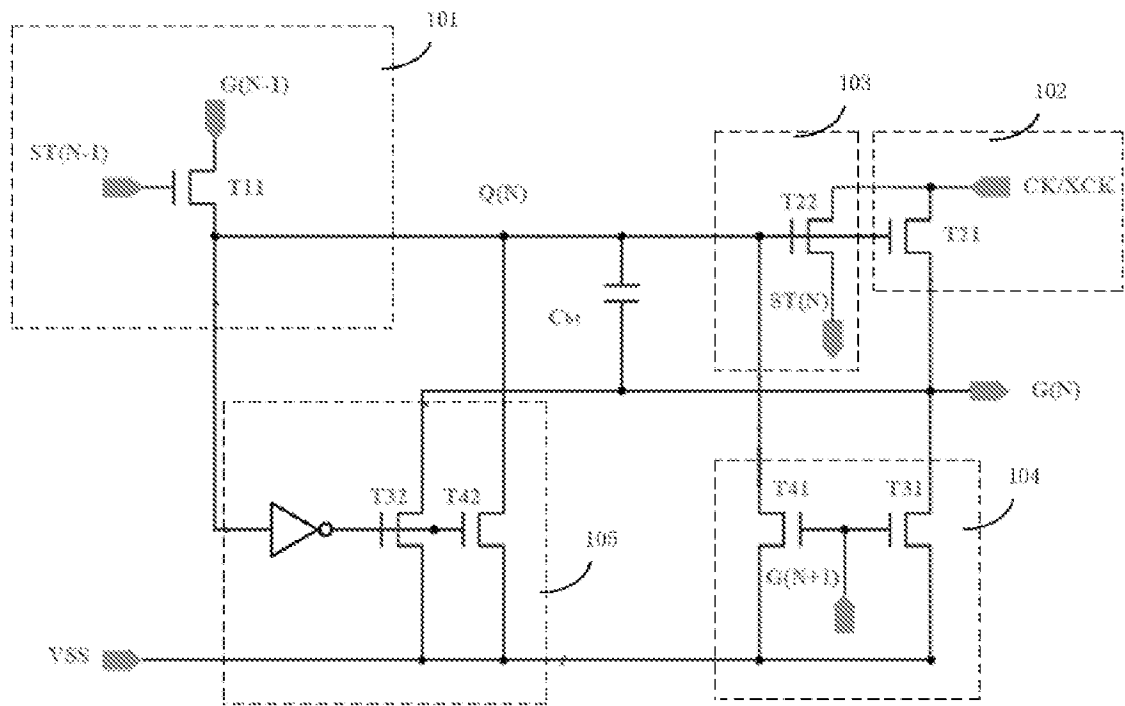


图 1

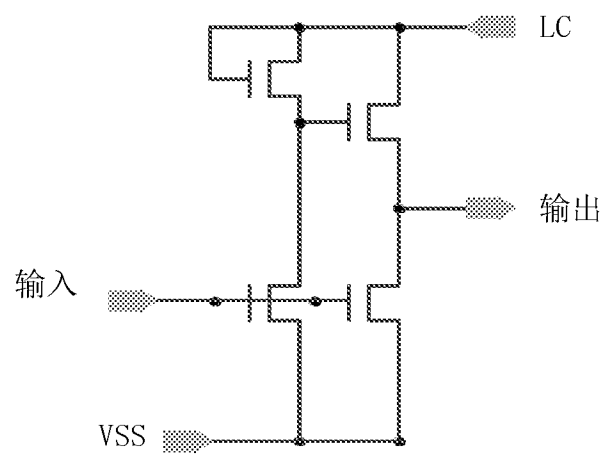


图 2

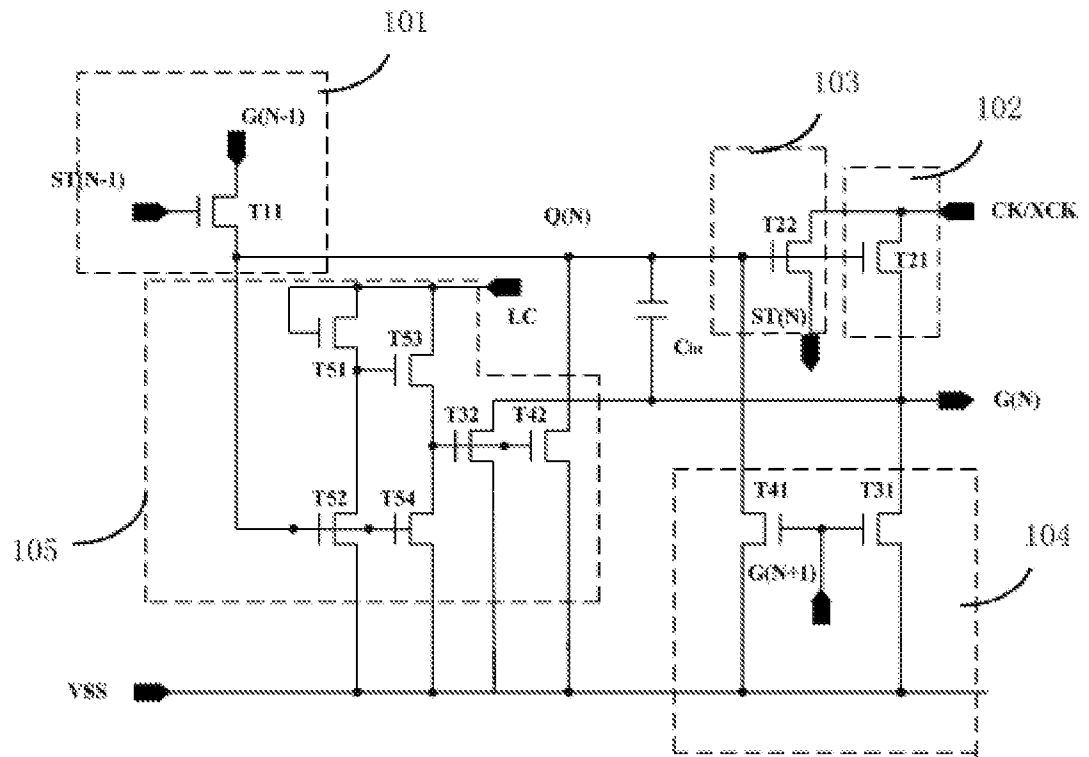


图 3

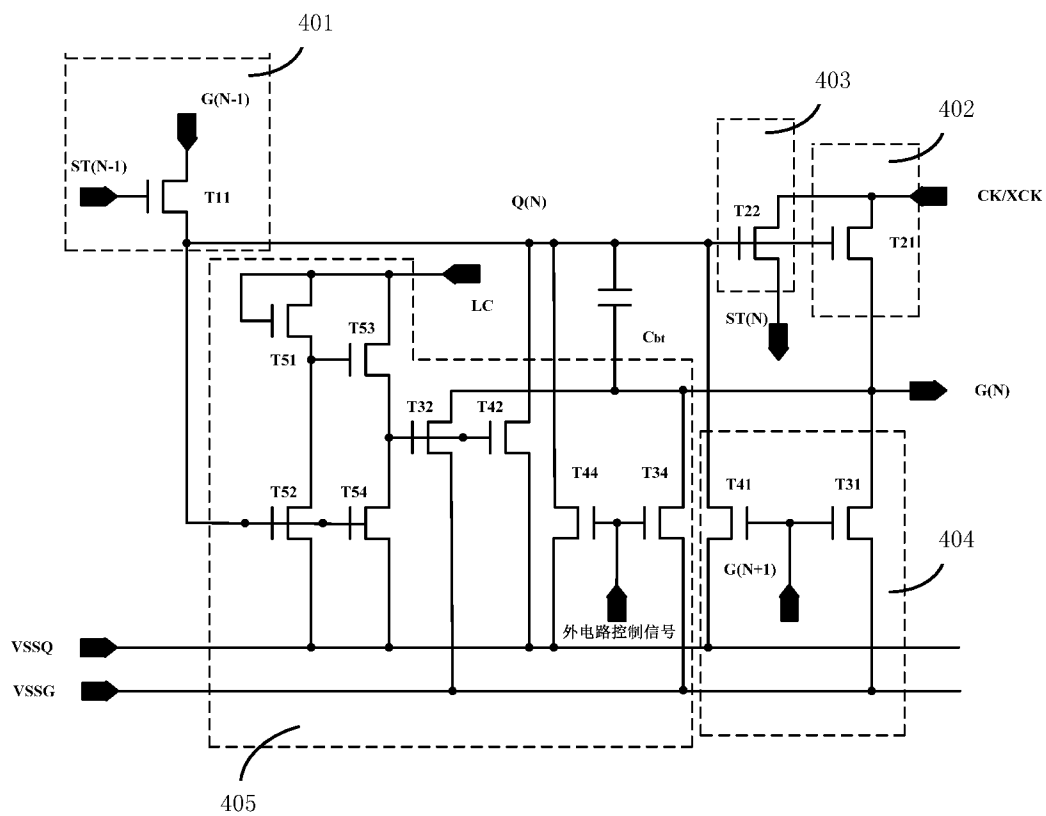


图 4

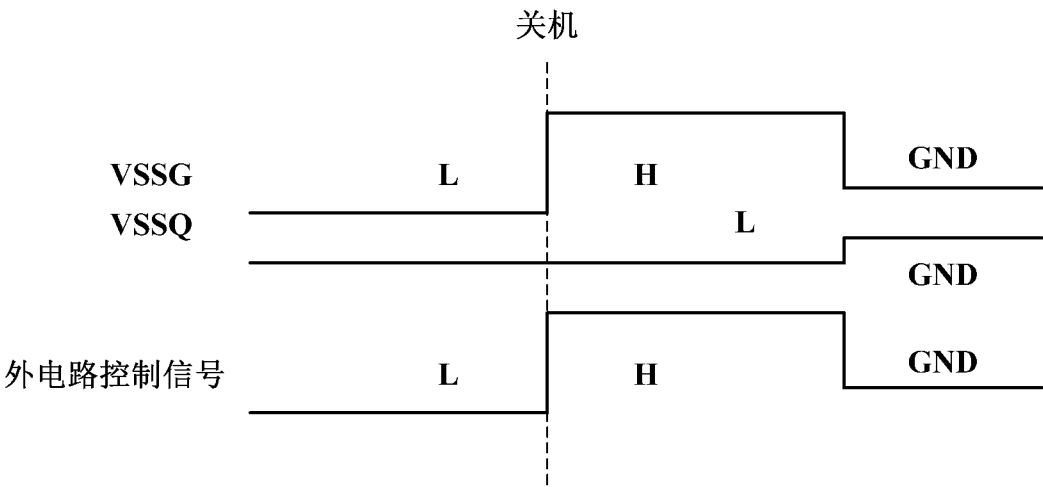


图 5

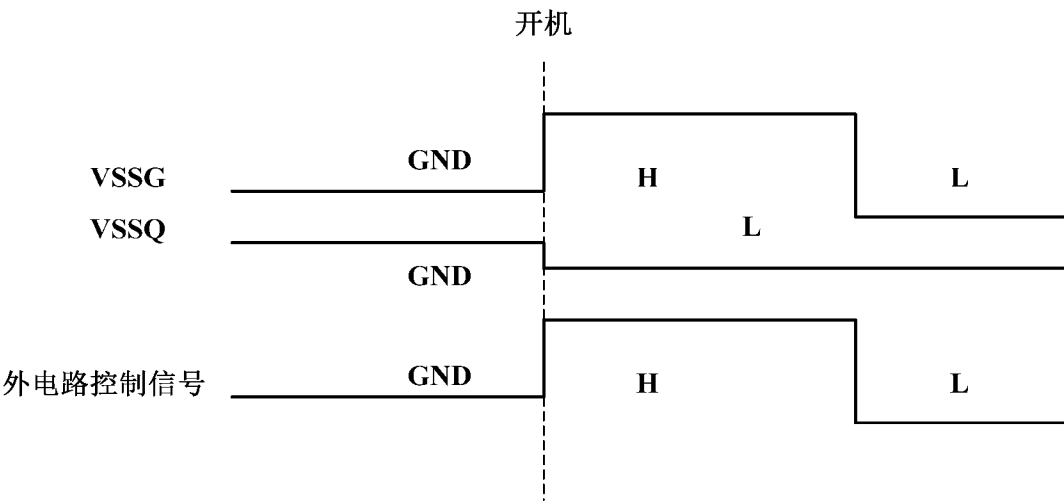


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/072522

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 移位寄存, GOA, 栅极驱动, 下拉, 开机, 关机, 放电, 节点, TFT, 晶体管, shift, register, gate, driv+, pull, down, discharg+, turn, on, shutdown, node, transistor+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 108962178 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 December 2018 (2018-12-07) description, paragraphs [0019]-[0061], and figures 3-6	1-11
A	CN 108320717 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 July 2018 (2018-07-24) description, paragraphs [0043]-[0068], and figures 1 and 2	1-11
A	CN 108257568 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 06 July 2018 (2018-07-06) entire document	1-11
A	CN 107146590 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 September 2017 (2017-09-08) entire document	1-11
A	CN 105185293 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 23 December 2015 (2015-12-23) entire document	1-11
A	US 2010164915 A1 (KIM, HAK-GYU ET AL.) 01 July 2010 (2010-07-01) entire document	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 April 2019

Date of mailing of the international search report

28 April 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/072522

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108962178	A	07 December 2018	None			
CN	108320717	A	24 July 2018	None			
CN	108257568	A	06 July 2018	None			
CN	107146590	A	08 September 2017	None			
CN	105185293	A	23 December 2015	CN	105185293	B	24 October 2017
US	2010164915	A1	01 July 2010	US	8654055	B2	18 February 2014
				KR	101512336	B1	15 April 2015
				KR	20100077472	A	08 July 2010

国际检索报告

国际申请号

PCT/CN2019/072522

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT; CNKI; WPI; EPODOC: 移位寄存, GOA, 栅极驱动, 下拉, 开机, 关机, 放电, 节点, TFT, 晶体管, shift, register, gate, driv+, pull, down, discharg+, turn, on, shutdown, node, transistor+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 108962178 A (深圳市华星光电技术有限公司) 2018年 12月 7日 (2018 - 12 - 07) 说明书第[0019]-[0061]段、附图3-6	1-11
A	CN 108320717 A (深圳市华星光电技术有限公司) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0043]-[0068]段、附图1-2	1-11
A	CN 108257568 A (京东方科技集团股份有限公司 等) 2018年 7月 6日 (2018 - 07 - 06) 全文	1-11
A	CN 107146590 A (深圳市华星光电技术有限公司) 2017年 9月 8日 (2017 - 09 - 08) 全文	1-11
A	CN 105185293 A (京东方科技集团股份有限公司 等) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-11
A	US 2010164915 A1 (KIM, HAK-GYU 等) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 4月 11日

国际检索报告邮寄日期

2019年 4月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

高倩倩

传真号 (86-10)62019451

电话号码 86-(10)-53962593

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/072522

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108962178	A	2018年 12月 7日	无			
CN	108320717	A	2018年 7月 24日	无			
CN	108257568	A	2018年 7月 6日	无			
CN	107146590	A	2017年 9月 8日	无			
CN	105185293	A	2015年 12月 23日	CN	105185293	B	2017年 10月 24日
US	2010164915	A1	2010年 7月 1日	US	8654055	B2	2014年 2月 18日
				KR	101512336	B1	2015年 4月 15日
				KR	20100077472	A	2010年 7月 8日

表 PCT/ISA/210 (同族专利附件) (2015年1月)