(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 114303447 A
(43)申请公布日 2022.04.08

(21)申请号 202080057843.9
(22)申请日 2020.08.19
(30)优先权数据
19192196.4 2019.08.19 EP
(85)PCT国际申请进入国家阶段日
2022.02.16
(86)PCT国际申请的申请数据
PCT/EP2020/073186 2020.08.19
(87)PCT国际申请的公布数据
WO2021/032776 EN 2021.02.25
(71)申请人 德国艾托特克有限两合公司
地址 德国柏林
(72)发明人 B•雷恩特斯 A•厄兹柯克 S•金 H•布吕格曼 H•J•贝特霍尔德 M•克罗布斯 T•席翁 M•米尔科维奇
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 林斯凯
(51)Int.Cl.
*H05K 3/42*(2006.01)
*H05K 3/18*(2006.01)
*H05K 3/10*(2006.01)

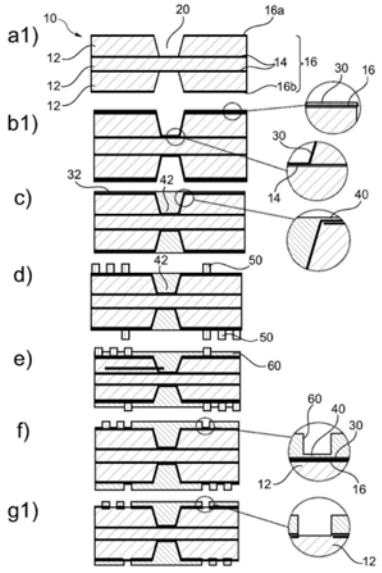
权利要求书2页 说明书10页 附图2页

(54)发明名称

制备含以铜填充的微通孔的高密度互连印刷电路板的方法

(57)摘要

本发明涉及一种制备含以铜填充的微通孔的高密度互连印刷电路板(HDI PCB)的方法。所述方法包括以下步骤:a1)提供多层衬底,所述多层衬底包括(i)导电夹层的堆叠组合件,其嵌入于具有外围表面的两个绝缘层之间,(ii)覆盖层,其覆盖所述多层衬底的所述外围表面,及(iii)微通孔,其从所述多层衬底的所述外围表面延伸穿过所述覆盖层且终止于所述导电夹层上;b1)将导电层沉积于所述覆盖层上及所述微通孔的内表面上;或a2)提供多层衬底,所述多层衬底包括(i)导电夹层的堆叠组合件,其嵌入于具有外围表面的两个绝缘层之间,(ii)微通孔,其从所述多层衬底的所述外围表面延伸且终止于所述导电夹层上;b2)将导电层沉积于所述多层衬底的所述外围表面上及所述微通孔的内表面上;及c)将铜填充层电沉积于所述微通孔中及将第一铜层电沉积于所述导电层上,其中所述第一铜层的厚度是从0.1到3μm,且其中所述铜填充层及所述第一铜层一起形成平坦表面。




CN 114303447 A

1.一种制备含以铜填充的微通孔的高密度互连印刷电路板(HDI PCB)的方法,所述方法包括以下步骤:

a1)提供多层衬底(10),其包括

(i)导电夹层(14)的堆叠组合件,其嵌入于具有外围表面的两个绝缘层(12)之间,

(ii)导电覆盖层(16、16a、16b),其覆盖所述多层衬底(10)的所述绝缘层(12)的所述外围表面,及

(iii)微通孔(20),其从所述多层衬底(10)的所述外围表面延伸穿过所述导电覆盖层(16、16a、16b)且终止于所述导电夹层(14)上;

b1)将导电层(30)沉积于所述覆盖层(16a、16b)上及所述微通孔(20)的内表面上;或

a2)提供多层衬底(10),其包括

(i)导电夹层(14)的堆叠组合件,其嵌入于具有外围表面的两个绝缘层(12)之间,

(ii)微通孔(20),其从所述多层衬底(10)的所述绝缘层(12)的所述外围表面延伸且终止于所述导电夹层(14)上;

b2)将导电层(30)沉积于所述多层衬底(10)的所述绝缘层(12)的所述外围表面上及所述微通孔(20)的内表面上;

及

c)将铜填充层(42)电沉积于所述微通孔(20)中及将第一铜层(40)电沉积于所述导电层(30)上,其中所述第一铜层(40)的厚度是从0.1到3μm,且其中所述铜填充层(42)及所述第一铜层(40)一起形成平坦表面(32)。

2.根据权利要求1所述的方法,其进一步包括在步骤c)之后:

d)在所述第一铜层(40)上形成图案化遮蔽薄膜(50);

e)将第二铜层(60)电沉积于未被所述图案化遮蔽薄膜(50)覆盖的区域中;及

f)移除所述图案化遮蔽薄膜(50)。

3.根据权利要求2所述的方法,其进一步包括在步骤f)之后:

g1)蚀刻a1)及b1)下提供的所述经处理多层衬底(10)的所述外围表面达足以完全移除由步骤d)中的所述遮蔽薄膜(50)覆盖的所述区域中的所述第一铜层(40)、所述导电层(30)及所述导电覆盖层(16、16a、16b)的蚀刻时间;或

g2)蚀刻a2)及b2)下提供的所述经处理多层衬底(10)的所述外围表面达足以完全移除由步骤d)中的所述遮蔽薄膜(50)覆盖的所述区域中的所述第一铜层(40)及所述导电层(30)的蚀刻时间。

4.根据前述权利要求中任一权利要求所述的方法,其中步骤b1)的所述导电层(30)是包括铜或铂的导电层(30)。

5.根据前述权利要求中任一权利要求所述的方法,其中步骤b2)的所述导电非金属层(30)是有机导电层(30)、碳基材料层或导电金属氧化物层(30)。

6.根据前述权利要求中任一权利要求所述的方法,其中电沉积铜以在所述微通孔(20)中形成所述铜填充层(42)且在所述导电层(30)上形成所述第一铜层(40)的步骤c)包含将所述多层衬底(10)沉浸于电解铜镀系统中的电解浴液中,其中所述导电层(30)作为阴极连接,所述镀敷系统进一步包括不溶性尺寸稳定阳极及铜金属源,其中所述电解浴液包括酸、铜离子源、$Fe^{2+}$及/或$Fe^{3+}$离子源及用于控制经沉积铜的物理-机械性质的至少一种添加剂;

及

在所述不溶性尺寸稳定阳极与所述导电层(30)之间施加电压,使得电流在其之间流动达足以电沉积铜以形成所述微通孔(20)中的所述铜填充层(42)及所述第一铜层(40)的时间,其中在所述电解浴液中建立$Fe^{2+}/Fe^{3+}$氧化还原系统以提供通过从所述铜金属源溶解铜离子来电沉积的额外铜离子。

7.根据权利要求6所述的方法,其中所述铜离子源为铜(II)盐,优选地选自由硫酸铜(II)、五水硫酸铜(II)、七水硫酸铜(II)、甲烷磺酸铜(II)、焦磷酸铜(II)、氟硼酸铜(II)及氨基磺酸铜(II)组成的群组。

8.根据权利要求6或7所述的方法,其中所述二价铁离子源是Fe(II)盐,优选地选自由七水硫酸铁(II)、醋酸铁(II)、丙酸铁(II)、苯甲酸铁(II)及六氟硅酸铁(II)组成的群组。

9.根据权利要求6到8中任一权利要求所述的方法,其中所述三价铁离子源包括Fe(III)盐,优选地选自由九水硫酸铁(III)、醋酸铁(III)、丙酸铁(III)、苯甲酸铁(III)及六氟硅酸铁(III)组成的群组。

10.根据权利要求6到9中任一权利要求所述的方法,其中所述电压以具有包含正向电流脉冲及反向电流脉冲的双极脉冲的反向脉冲形式施加。

11.根据权利要求6到10中任一权利要求所述的方法,其中通过调整以下中的至少一者来控制局部电流效率

所述铜离子源的浓度,

所述二价铁离子源的浓度,

所述三价铁离子源的浓度,

所述反向电流脉冲的持续时间及

所述电解浴液的温度。

12.根据权利要求11所述的方法,其中所述电解浴液包括

在从20到150g/l的范围内的浓度的所述铜离子源,及/或

在从1到40g/l的范围内的浓度的所述二价铁离子源,及/或

在从0.1到40g/l的范围内的浓度的所述三价铁离子源。

13.根据权利要求11或12所述的方法,其中所述反向电流脉冲的所述持续时间是在从0到200ms(毫秒)的范围内调整。

14.根据前述权利要求中任一权利要求所述的方法,其中在a1)(iii)中,待填充的任何其它结构都不从所述多层衬底(10)的所述外围表面延伸穿过所述导电覆盖层(16、16a、16b)及绝缘层(12),或在a2)(ii)中,待填充的任何其它结构都不从所述多层衬底(10)的所述绝缘层(12)的所述外围表面延伸。

15.根据前述权利要求中任一权利要求所述的方法,其中介于所述铜填充层(42)与所述第一铜层(40)之间的于步骤c)中的所述所形成平坦表面的高度差小于30%或小于10%或从10%到30%。

16.一种包含以铜填充的微通孔(20)的高密度互连印刷电路板(HDI PCB),所述HDIPCB通过根据前述权利要求中任一权利要求所述的方法获得。

# 制备含以铜填充的微通孔的高密度互连印刷电路板的方法

## 技术领域

[0001] 本发明涉及高密度互连印刷电路板(HDI PCB)的制造序列及一种通过所述制造序列获得的高密度互连印刷电路板。

## 背景技术

[0002] 目前,高密度互连印刷电路板(HDI PCB)通过例如消减工艺、半加成工艺(SAP)、经修改半加成工艺(mSAP)或高级经修改半加成工艺(amSAP)的方法制造。特定来说,mSAP及amSAP为制造下一代HDI PCB提供有希望的变化,允许超精细微通孔结构、≤30μm的线/空间宽(L/S)且因此提供更高复杂度的互连。

[0003] 常规mSAP序列开始于铜包覆衬底,其中铜覆盖层可为3到9μm厚且衬底包含单面或双面盲微通孔(BMV)。工艺的第一步骤是铜的无电式沉积,将薄金属晶种层(0.35到0.6μm)分布于铜包覆衬底的外围表面及微通孔的内表面上以便为后续电沉积步骤提供导电基底。约3μm闪铜的后续电沉积构成第一铜层且导致部分填充微通孔。在下一步骤中层压图案化干薄膜(掩模)界定线图案的负片(导电迹线);即,图案化干薄膜界定最终PCB的导电迹线之间的间隔区域。在以下步骤中,使用特定微通孔填充电解质在第二电沉积步骤中处理衬底。然而,干薄膜的后续移除显示,在之前步骤中使用此类特定电解质将在微通孔衬垫(微通孔的外端)与图案化铜表面之间产生不利的铜厚度变化,此又导致后续蚀刻步骤中的难度。最后,迹线间分离将通过完全蚀刻第一铜层及第二铜层以及之前通过干薄膜界定的区域中的晶种及覆盖层而实现。

[0004] US 2007/0163887 A1描述一种制造电路载体的方法,其包括:在提供印刷电路板之后,在电路板的至少一个侧上用电介质涂布电路;使用激光消融结构化电介质以在其中用于产生沟槽及通孔。接着,将底漆层沉积于电介质上,沉积于电介质的整个表面上或仅沉积于所产生沟槽及通孔中。将金属层沉积于底漆层上,其中沟槽及通孔用金属完全填充以用于在其中形成导体结构。最后,在底漆层沉积于电介质的整个表面上时,移除过量金属及底漆层,直到电介质曝露,其中导体结构保持完整。

[0005] 由于归因于不断减小迹线宽度的固定需求而使L/S分离减小,因此移除过量铜变为越加复杂的问题。特定来说,形成具有不均匀铜层表面的厚铜层是有问题的。由于始终存在“过度蚀刻”以便适应镀铜厚度变化且确保清楚的迹线间分离(其中迹线<30μm)的趋势,因此存在不可接受的宽度减小及底切的严重风险。因此,铜层的层厚度的减小以及厚度变化的降低是本发明的预期目标,以便降低蚀刻工艺期间的上文提及的风险。

## 发明内容

[0006] 本发明涉及一种制造具有以电镀铜填充的微通孔的高密度互连印刷电路板的工艺。

[0007] 本公开的实施例寻求在至少某种程度上解决现有技术中现存的至少一个问题。

[0008] 根据本公开的第一方面,提供根据技术方案1所述的制备包含以铜填充的微通孔

的高密度互连印刷电路板(HDI PCB)的方法。所述方法包括以下步骤：

[0009] a1)提供多层衬底，其包括

[0010] (i)导电夹层的堆叠组合件，其嵌入于具有外围表面的两个绝缘层之间，

[0011] (ii)覆盖层，其覆盖所述多层衬底的所述绝缘层的所述外围表面，及

[0012] (iii)微通孔，其从所述多层衬底的所述外围表面延伸穿过所述覆盖层且终止于所述导电夹层上；

[0013] b1)将导电层沉积于所述覆盖层上及所述微通孔的内表面上；或

[0014] a2)提供多层衬底，其包括

[0015] (i)导电夹层的堆叠组合件，其嵌入于具有外围表面的两个绝缘层之间，

[0016] (ii)微通孔，其从所述多层衬底的所述绝缘层的所述外围表面延伸且终止于所述导电夹层上；

[0017] b2)将导电层沉积于所述多层衬底的所述绝缘层的所述外围表面上及所述微通孔的内表面上；

[0018] 及

[0019] c)将铜填充层电沉积于所述微通孔中及将第一铜层电沉积于所述导电层上，其中所述第一铜层的厚度从0.1到3μm，且其中所述铜填充层及所述第一铜层一起形成平坦表面。

[0020] 凭借本发明，实现所述所形成铜层的所述层厚度的减小以及厚度变化减少，其中在后续蚀刻工艺期间的上文提及的风险降低。此可实现，因为在所述绝缘层内仅形成微通孔，而不形成沟槽。或换句话说，根据技术方案1、步骤a1)iii)，仅微通孔从所述多层衬底的所述外围表面延伸穿过所述导电覆盖层且终止于所述导电夹层上，其中无待填充的其它结构(如沟槽)从所述多层衬底的所述外围表面延伸穿过所述导电覆盖层及绝缘层。此还适用于技术方案1、步骤a2)ii)，仅微通孔从所述多层衬底的所述绝缘层的所述外围表面延伸且终止于所述导电夹层上，其中无待填充的其它结构(如沟槽)从所述多层衬底的所述绝缘层的所述外围表面延伸。

[0021] 填充这些微通孔且在整个衬底上方形成均匀铜层。随后，可图案化所述铜层以便在所述绝缘层上形成导电线。

[0022] 根据本发明的另一方面，提供一种包含以铜填充的微通孔的高密度互连印刷电路板(HDI PCB)，其中通过上文描述的方法获得所述HDI PCB。

[0023] 可从附属技术方案或以下描述获悉本发明的另外方面。

## 附图说明

[0024] 所属领域的一般技术人员将通过参考附图详细描述示范性实施例而了解特征，在附图中：

[0025] 图1说明包含根据本发明的第一实施例的方法的每一步骤a1)到g1)的横截面图的示意性序列。

[0026] 图2说明包含根据本发明的第二实施例的方法的每一步骤a2)到g2)的横截面图的示意性序列。

## 具体实施方式

[0027] 现将详细参考实施例，附图中说明所述实施例的实例。示范性实施例的效应及特征以及其实施方法将参考附图进行描述。在附图中，相同元件符号表示相同元件，且省略冗余描述。如本文中使用，术语“及/或”包含一或多个相关联列出项目的任何及所有组合。此外，当描述本发明的实施例时使用“可”为指“本发明的一或多个实施例”。

[0028] 在本发明的实施例的以下描述中，单数形式的项目可包含复数形式，除非上下文中另有清楚指示。

[0029] 在图式中，元件的大小可出于清晰的目的而被放大。例如，在图式中，每一元件的大小或厚度可出于说明性目的任意展示，且因此，本发明的实施例不应视为限制于此。

[0030] 本发明概念及实现其的方法的特征可参考实施例的以下实施方式及附图更轻易理解。在下文中，实例实施例将参考附图更详细描述，其中在全文中相同元件符号是指相同元件。然而，本发明可以各种不同形式体现，且不应被解释为仅限于本文中说明的实施例。更确切的说，这些实施例经提供为实例使得本公开将是透彻及完整的，且将本发明的方面及特征充分传达给所属领域的技术人员。因此，可不描述对使所属领域的一般技术人员完全理解本公开的方面及特征所必要的工艺、元件及技术。

[0031] 如本文使用，术语“基本上”、“大约”及类似术语用作近似术语且非程度术语，且意在解释所属领域的一般技术人员将认识到的测量值或计算值的固有偏差。此外，如果术语“基本上”与可使用数值表达的特征组合，那么术语“基本上”表示以值为中心的值+/-5％的范围。此外，当描述本发明的实施例时使用“可”是指“本发明的一或多个实施例”。在本文中，根据z轴定义术语“上”及“下”。例如，盖定位于z轴的上部，而接地板定位于z轴的下部。

[0032] 层或多层衬底的术语“外围表面”是指层或多层衬底的最外表面，其可在以下工艺步骤期间通过额外层覆盖。如果层或多层衬底的外围表面通过额外层覆盖，那么此额外层的最外表面变为下一外围表面。

[0033] 术语“导电夹层”是指多层衬底的内层，其中此夹层的两个表面通过两个绝缘层(具有其“内”表面)覆盖，所述绝缘层具有外围表面(与“内”表面相对)。如果存在两个夹层，那么每一夹层的两个表面通过绝缘层覆盖(两个夹层嵌入三个绝缘层之间)，其中最外绝缘层具有外围表面。在此情况中，最内绝缘层(通过两个导电夹层覆盖)可具有微通孔或不具有微通孔。如果最内绝缘层具有微通孔，那么微通孔从多个衬底的外围表面延伸穿过导电覆盖层，穿过(最外)绝缘层，穿过一个导电夹层14、穿过下一绝缘层且终止于另一导电夹层上。

[0034] 如本文使用，术语“第一铜层的厚度”是指步骤c)中形成的铜层的厚度。图1及2中图示展示第一铜层的厚度的值一般远小于填充满的微通孔的厚度。第一铜层的厚度的值是指定位于不包含微通孔的绝缘层的外围表面上方的铜层的厚度。步骤c)的铜填充导致第一铜层的非常薄的厚度及高质量的填充满的微通孔而无成为空隙的镀敷误差，其中第一铜层及填充满的微通孔的成型表面是非常平坦的。换句话说，铜填充层的外围表面与铜层之间的高度无明显差。

[0035] 介于铜填充层与第一铜层之间的于步骤c)中的所形成平坦表面的高度差小于30％或小于10％或从10％到30％。换句话说，铜填充层的外围表面与第一铜层之间的高度差特定来说小于30％，优选地小于10％。在一个实施例中，差是从10％到30％。根据本文描

述的本公开的实施例的电子装置或电装置及/或任何其它相关装置或组件可利用任何合适硬件、固件(例如,专用集成电路)、软件或软件、固件及硬件的组合实施。例如,可在一个集成电路(IC)芯片上或在单独IC芯片上形成这些装置的各种组件。此外,这些装置的各种组件可在柔性印刷电路板薄膜、磁带载体封装(TCP)、印刷电路板(PCB)上实施,或在一个衬底上形成。此外,这些装置的各种组件可为在一或多个计算装置中的一或多个处理器上运行、执行计算机程序指令且与其它系统组件互动以用于执行本文描述的各种功能性的进程或线程。计算机程序指令存储于存储器中,其可使用标准存储器装置(例如随机存取存储器(RAM))在计算装置中实施。计算机程序指令还可存储于其它非暂时性计算机可读媒体(例如CD-ROM、快闪驱动或类似者)中。同样地,所属领域的技术人员应认识到,在不脱离本发明的示范性实施例的范围的情况下,各种计算装置的功能性可组合或集成为单个计算装置,或特定计算装置的功能性可分布于一或多个其它计算装置。

[0036] 一般来说,HDI PCB提供最精细的迹线结构、最小的孔以及盲孔及埋孔(微通孔)。因此,HDI技术允许使用填孔电镀(via-in-pad)及多个微通孔层(堆叠及交错通孔)实现高度紧凑、可靠PCB设计。通过使用SBU(循序增建)或SSBU(半循序增建)技术进一步按压层,可连接且细分导电夹层上的信号。此为具有高引脚密度的组件保留外层上的空间。IPC标准通过≤0.15mm的微通孔及≤0.1mm的迹线宽度/距离(例如,10/10μm、5/5μm小到2/2μm的线空间比)定义HDI电路板。

[0037] HDI层可从双面核心板或多层PCB增建。HDI层可增建在PCB的两个侧上。SBU/SSBU工艺由若干步骤构成:层压、通孔形成、通孔金属化及通孔填充。每一步骤存在多个材料及/或技术选择。特定来说,可用不同材料及工艺填充微通孔。然而,堆叠微通孔通常用电镀铜填充以在多个HDI层之间形成电互连且为微通孔的外层级及安装于最外铜衬底上的组件提供结构支撑。本发明涉及一种用铜填充微通孔的制造序列。

[0038] 盲微通孔将恰好一个外层与一或多个导电夹层连接。盲微通孔可终止于夹层上。盲微通孔的深宽比将为≤2,优选地为1到2,更优选地≤1(洞深度与洞直径之比)。微通孔的优选深度是从30到3000μm且优选直径是从30到3000μm。埋孔为从外层不可见的至少两个夹层之间的微通孔。此技术使得能够在更小PCB表面区域(封装密度)上适应更多功能性。

[0039] 图1说明包含根据本发明的第一实施例的方法的横截面图的示意性序列。

[0040] 根据第一实施例的制备含以铜填充的微通孔的高密度互连印刷电路板(HDI PCB)的本发明方法包括以下步骤:

[0041] a1)提供多层衬底10,其包括

[0042] (i)导电夹层14的堆叠组合件,其嵌入于具有外围表面的两个绝缘层12之间,

[0043] (ii)覆盖层16,其覆盖多层衬底10的绝缘层12的外围表面,及

[0044] (iii)微通孔20,其从多层衬底10的外围表面延伸穿过覆盖层16、16a、16b且终

[0045] 止于导电夹层14上;

[0046] b1)将导电层(30)沉积于覆盖层16上及微通孔20的内表面上;及

[0047] c)将铜填充层42电沉积于微通孔20中及将第一铜层40电沉积于导电层30上,其中第一铜层的厚度是从0.1到3μm,且其中铜填充层42及第一铜层40一起形成平坦表面32。

[0048] 图2说明包含根据本发明的第二实施例的方法的横截面图的示意性序列。根据第二实施例的制备含以铜填充的微通孔的高密度互连印刷电路板(HDI PCB)的本发明方法包

括以下步骤：

[0049] a2)提供多层衬底10,其包括

[0050] (i)导电夹层14的堆叠组合件,其嵌入于具有外围表面的两个绝缘层12之间,

[0051] (ii)微通孔20,其从多层衬底10的绝缘层12的外围表面延伸且终止于导电夹层14上;

[0052] b2)将导电层30沉积于多层衬底10的绝缘层12的外围表面上及微通孔20的内表面上;及

[0053] c)将铜填充层42电沉积于微通孔20中及将第一铜层40电沉积于导电层30上,其中第一铜层的厚度是从0.1到3μm,且其中铜填充层42及第一铜层40一起形成平坦表面32。

[0054] 因此,第一实施例与第二实施例的不同之处在于用于处理的多层衬底10的类型。根据第一实施例,导电层30沉积于覆盖层16上,而根据第二实施例,导电层30直接沉积于多层衬底10的外围表面上。

[0055] 在步骤a1)及a2)中,提供多层衬底10,其又包括至少两个(电)绝缘层12、(直接)嵌入(电)绝缘层12之间的一或多个导电夹层14。夹层14因此形成嵌入多层衬底10中的电路径。HDI PCB可包含形成单独电路径的若干单独夹层。根据第一实施例的多层衬底10进一步包括导电覆盖层16,其覆盖多层衬底10的顶部16a及底部16b的电绝缘层的外围表面。导电覆盖层16可直接安置于绝缘层12上(在其外围表面上)。至少一个微通孔20从多层衬底10的外围表面延伸(在第一实施例的情况中)穿过所述导电覆盖层16且终止于导电夹层14上。HDI PCB可包含若干微通孔。

[0056] 根据第一实施例的导电覆盖层16由导电材料制成,例如,金属或金属合金、导电金属氧化物(例如氧化钛)、碳基材料(例如石墨、石墨炔及石墨二炔)、导电聚合物(例如Ecopact CP)或导电有机材料。优选地,导电覆盖层16由铜制成。含金属层可通过(例如)化学或自动催化金属镀敷、物理气相沉积(PVD)或化学气相沉积(CVD)沉积。一般来说,多层衬底10可为单面或双面高密度互连印刷电路板的起始材料。因此,一或多个微通孔20可钻入多层衬底10中。因此,在多层衬底10的一个或两个侧处的一或多个微通孔可各自从多层衬底10的外围表面延伸(根据第一实施例穿过覆盖层16)且终止于导电夹层14。微通孔20可(例如)通过激光钻孔钻入多层衬底10的一个或两个侧中。优选地,微通孔20可通过使用超短脉冲激光(USP激光)或$CO_2$激光进行激光钻孔而钻入。在多层衬底10的绝缘层12内不形成其它结构。

[0057] 一般来说,微通孔20可通过微通孔底部及内壁界定,其中微通孔底部构成导电夹层14,且微通孔的微通孔底部及内壁构成微通孔的内表面。

[0058] 一或多个微通孔20可钻入多层衬底10的一个或两个侧中,借此穿透覆盖层16及至少一个绝缘层12,其中微通孔20包含微通孔底部及内壁,微通孔底部构成导电夹层14,且微通孔20的微通孔底部及内壁构成微通孔20的内表面。

[0059] 根据第一实施例的合适导电覆盖层16可为层压铜箔。此外,导电覆盖层16可具有从0.01到5μm(优选地,0.02到0.5μm)的范围的层厚度。

[0060] 步骤b1)或b2)中的导电层30可通过导电覆盖层16上的无电镀敷(无电沉积)(分别在多层衬底10的外围表面上及通过微通孔20的底部及内壁界定的微通孔20的内表面上)。将导电层30施加到覆盖层16(第一实施例)或多层衬底10的外围表面(第二实施例)以及微

通孔20的内表面，以便为第一铜层40以及微通孔20中的铜填充层42的电沉积提供合适导电表面。导电层30可通过无电镀敷工艺、无电沉积工艺、物理沉积工艺、化学气相沉积工艺、等离子体增强化学气相沉积工艺或导电非金属层的沉积工艺中的一或多者形成。

[0061] 导电层30由导电材料制成，例如，金属或金属合金、导电金属氧化物(例如氧化钛)、碳基材料(例如石墨、石墨炔及石墨二炔)、导电聚合物(例如Ecopact CP)或导电有机材料。例如，导电层30可由铜或铂制成。导电层30的金属可替代地包括或进一步包括其它导电金属，例如金、银、钯或铝。含金属层可通过(例如)化学或自动催化金属镀敷、物理气相沉积(PVD)或化学气相沉积(CVD)沉积。

[0062] 电沉积铜以在微通孔20中形成铜填充层42且在导电层30上形成第一铜层40的步骤c)可包含将多层衬底10沉浸于电解铜镀系统中的电解浴液中，其中导电层30作为阴极连接。镀敷系统进一步包括不溶性尺寸稳定阳极及铜金属源。电解浴液包括酸、铜离子源、$Fe^{2+}$离子(二价铁离子)源及/或$Fe^{3+}$离子(三价铁离子)，及用于控制经沉积铜的物理-机械性质的至少一种添加剂。

[0063] 第一铜层的厚度从0.1到3μm且铜填充层42及第一铜层40一起形成平坦表面32。换句话说，铜填充层42的外围表面与铜层40之间的高度无明显差。铜填充层42的外围表面与铜层40之间的高度差特定来说小于1μm，更优选地小于0.1μm，最优选地小于0.01μm。

[0064] 在沉浸步骤c)之后，在不溶性尺寸稳定阳极与导电层30之间施加电压，使得电流在其之间流动达足以电沉积铜以形成微通孔20中的铜填充层42及第一铜层40的时间，其中在电解浴液中建立$Fe^{2+}/Fe^{3+}$离子氧化还原系统以提供通过从铜金属源溶解铜离子电沉积的额外铜离子。

[0065] 换句话说，在步骤c)中，微通孔20中的铜填充层42及第一铜层40通过导电层30上的(第一)电沉积工艺(电镀)沉积。步骤c)中描述的电沉积可通过使步骤b1)及b2)的经处理的多层衬底10及一或多个不溶性尺寸稳定阳极与电解浴液接触且在经处理多层衬底与不溶性尺寸稳定阳极之间施加电压而执行。因此，在此实施例中，执行在不溶性尺寸稳定阳极与导电层之间施加电压使得电流在其之间流动的步骤达足以电沉积铜以完全填充微通孔20的时间。

[0066] 铜离子的源可为铜(II)盐，优选地选自由硫酸铜(II)、五水硫酸铜(II)、七水硫酸铜(II)、甲烷磺酸铜(II)、焦磷酸铜(II)、氟硼酸铜(II)及氨基磺酸铜(II)构成的群组。

[0067] 如上文提及，浴液中含有Fe(II)及/或Fe(III)盐。合适铁盐可为七水硫酸铁(II)及水硫酸铁(II)两者，在较短操作时间之后，从其中任一者或两者形成有效$Fe^{2+}/Fe^{3+}$(Fe(II)/Fe(III))氧化还原系统。

[0068] 在另一实施例中，二价铁离子的源是Fe(II)盐，优选地选自由七水硫酸铁(II)、醋酸铁(II)、丙酸铁(II)、苯甲酸铁(II)及六氟硅酸铁(II)构成的群组。

[0069] 根据另一实施例，铁离子的源是Fe(III)盐，优选地选自由水硫酸铁(III)、醋酸铁(III)、丙酸铁(III)、苯甲酸铁(III)及六氟硅酸铁(III)构成的群组。

[0070] 这些盐主要适用于水性、酸性铜浴液。还可使用其它可溶水铁盐，例如，高氯酸铁。不含有(硬)复杂前述物的盐是有利的。此类复杂前述物可在生物上无法降解或仅可略难降解，因此此类盐可在处置未冲洗水(例如铁铵矾)时产生问题。不应使用具有阴离子的铁化合物，所述阴离子在铜沉积溶液(例如氯化物或硝酸盐)的情况中导致非所欲的二次反应。

因此，铁离子的羧酸盐(例如醋酸盐、丙酸盐及苯甲酸盐)以及六氟硅酸也是有利的。例如，在WO 2010/094998 A1、WO 2007/112971 A2、US专利案第5,976,341号及第6,099,711号中公开采用$Fe^{2+}/Fe^{3+}$离子氧化还原系统的合适系统，对于此系统上的额外细节可参考所述案。与使用$Fe^{2+}/Fe^{3+}$离子氧化还原系统相关的前述专利案的公开内容以引用的方式并入本文中。

[0071] 合适添加化合物可(例如)为聚合物含氧化合物、有机硫化合物、硫脲化合物、聚合物吩唑化合物及聚合物氮化合物，以及任何两种或多于两种这些添加化合物中任何者的混合物或组合。

[0072] 合适示范性聚合物含氧化合物可包括以下中的一或多者：羧甲基纤维素、壬基酚聚乙二醇醚、辛醇双-(聚烷基二醇醚)、辛醇聚烷基二醇醚、油酸聚乙二醇酯、聚丙二醇共聚物聚乙二醇、聚乙二醇二甲醚、聚氧乙烯二醇二醇酯、聚丙二醇二醇、聚乙烯醇、硬脂酸聚乙二醇酯、硬脂醇聚乙二醇醚及β-萘酚聚乙二醇醚。

[0073] 合适示范性硫脲型化合物可包括以下中的一或多者：硫脲、N-乙酰硫脲、N-三氟乙酰硫脲、N-乙基硫脲、N-氰基乙酰硫脲、N-烯丙基硫脲o-甲苯基硫脲、N,N'-丁烯硫脲，噻唑烷硫醇、4-噻唑啉硫醇、咪唑啉硫醇(N,N'-乙烯硫脲)，4-甲基-2-嘧啶硫醇、2-硫脲嘧啶。

[0074] 合适示范性吩唑化合物可包括以下中的一或多者：聚(6-甲基-7-二甲氨基-5-苯基吩唑啉硫酸盐)、聚(2-甲基-7-二乙氨基-5-苯基吩唑氯化铵)、聚(2-甲基-7-二甲氨基-5-苯基吩唑盐硫酸盐)、聚(5-甲基-7-二甲基氨基-5-苯基吩唑啉硫酸盐)、聚(2-甲基-7-二甲氨基吩唑啉硫酸盐)、聚(7-甲基氨基-5-苯基苯唑啉醋酸酯)、聚(7-乙基氨基-2,5-二苯基吩唑氯化铵)、聚(2,8-二甲氨基-7-二乙基氨基-5-对甲苯基-吩唑啉氯化物)、聚(2,5,8-三苯基-7-二甲氨基苯氮磺酸盐)、聚(2,8-二甲基-7-氨基-5-苯基吩唑啉硫酸盐)及聚(7-二甲氨基-5-苯基吩唑啉氯化物)。

[0075] 合适示范性聚合物含氮化合物可包括以下中的一或多者：聚乙烯亚胺、聚乙烯、聚丙烯酸酰胺、聚丙烯、聚丁烯、N-甲基聚乙烯、N-乙酰聚乙烯及N-丁基聚乙烯。

[0076] 原则上，在多层衬底上的电沉积工艺期间将消耗铜离子。然而，为了在电解浴液中恢复铜离子，其无法直接通过不溶性尺寸稳定阳极供应。替代地，其将通过化学溶解铜金属源(即，由铜或含铜成型体制成的牺牲阳极)而提供。可在副反应器中实现及/或控制溶解铜金属源，且可在主反应器中实现及/或控制电沉积，其中连接两个反应器。副反应器可与主反应器连接以便以适当流速在副反应器与主反应器之间提供电解浴液循环。

[0077] 在此氧化还原系统中，铜离子在氧化还原反应中从铜金属源(牺牲阳极或含铜成型体)形成，其中溶解Fe(III)盐作为氧化剂。换句话说，Fe(III)离子还原为Fe(II)离子，而源铜金属氧化以形成Cu(II)离子。通过此氧化还原反应，电沉积工艺所需的铜离子的总浓度在电解浴液中保持相对恒定。此外，施加实际电压的不溶性尺寸稳定阳极保持相同均匀大小。如将认识到，发生以下反应：

[0078] 在不溶性尺寸稳定阳极(电沉积工艺)：

[0079] $Fe^{2+} \rightarrow Fe^{3+} + e^-$

[0080] 在阴极，即，在多层衬底(电沉积工艺)：

[0081] $Cu^{2+} + 2e^- \rightarrow Cu^{\circ}$ (主反应)

[0082] $Fe^{3+} + e^- \rightarrow Fe^{2+}$ (次反应)

[0083] 在铜金属的源($Cu^{2+}$的无电恢复)：

[0084] $Cu^{\circ}+2Fe^{3+}\rightarrow Cu^{2+}+2Fe^{2+}$

[0085] 在另一实施例中，电压以具有包含正向电流脉冲及反向电流脉冲的双极脉冲的反向脉冲形式施加。

[0086] 当施加电压到衬底时，局部电流密度在具有通孔的区域(所谓的高洞密度区域、HHD区域)与不具有通孔的区域之间发散，且其取决于特定区域中的通孔的洞密度。HHD区域通常具有相较于不具有通孔的区域更低的局部电流密度。此外，通孔的洞密度越高，局部电流密度越低。在所述上下文中，衬底的特定区域的HHD表面因子定义为包含所有通孔的内表面的总表面(还称为总网格区域)与对应区域的外围表面(还称为网格)之间的比。HDD表面因子越高，通孔越多，分别地，洞节距(通孔中点之间的距离)越小，通孔直径越小且电流密度越低。

[0087] 在上文描述的电沉积工艺中，局部电流效率(即，电子在促进电化学反应(此处为铜的沉积)的系统中传递的效率)与局部电流密度相关。因此，HHD表面因子越高，局部电流密度越低，局部电流效率越低，即，从铜沉积的层厚度越小。

[0088] 在上文描述的氧化还原系统中，局部电流效率进一步取决于电解浴液中的$Fe^{3+}$浓度，即，$Fe^{3+}$浓度越高，所沉积铜层的厚度越小。

[0089] 此外，在上文描述的氧化还原系统中，局部电流效率取决于温度，即，温度越高，所沉积铜层的厚度越小。

[0090] 此外，在上文描述的氧化还原系统中，局部电流效率取决于反向电流脉冲的持续时间，即，反向电流脉冲的持续时间越长，所沉积铜层的厚度越小。

[0091] 在另一实施例中，电压以具有包含正向电流脉冲及反向电流脉冲的双极脉冲的反向脉冲形式施加。

[0092] 在另一实施例中，通过调整铜离子源的浓度、二价铁离子源的浓度、三价铁离子源的浓度、反向电流脉冲的持续时间及电解浴液的温度中的至少一者控制局部电流效率。优选地，通过调整三价铁离子源的浓度、反向电流脉冲的持续时间及电解浴液的温度中的至少一者控制局部电流效率。

[0093] 特定来说，如果二价铁离子的浓度及/或电解浴液的温度增加，那么电流效率降低。此外，如果反向脉冲的持续时间缩短，那么电流效率也降低。另一方面，电流效率随着铜(II)离子浓度增加而增加。

[0094] 在另一实施例中，电解浴液包括在从20到150g/l的范围内的浓度的铜离子源，及/或在从1到40g/l的范围内的浓度的二价铁离子源，及/或在从0.1到40g/l的范围内的浓度的三价铁离子源。

[0095] 反向电流脉冲的持续时间可在0到200微秒的范围内调整。

[0096] 此外，正向电流脉冲的持续时间可在0到200微秒的范围内调整。

[0097] 在本发明的另一实施例中，步骤c)之后接着：

[0098] 步骤d)，在第一铜层40上形成图案化遮蔽薄膜50；

[0099] 步骤e)，将第二铜层60电沉积于未被图案化遮蔽薄膜50覆盖的区域中；及

[0100] 步骤f)，移除图案化遮蔽薄膜50。

[0101] 换句话说，步骤d)可包括安置且固化或层压图案化遮蔽薄膜50于第一铜层40的部

分上。步骤d)的目标是避免将第二铜层60电沉积于通过图案化遮蔽薄膜50覆盖的区域中。图案化遮蔽薄膜50可为(例如)光致抗蚀剂。

[0102] 步骤e)包括通过使步骤d)的经处理的多层衬底10及一或多个不溶性尺寸稳定阳极与电解浴液接触且在经处理多层衬底10与阳极之间施加电压而执行第二铜层60的(第二)电沉积(电镀)。执行电沉积达足以均匀分布电沉积铜的时间。

[0103] 步骤f)可包括所属领域中已知用于(例如)通过施加有机溶剂且溶解图案化遮蔽薄膜50而移除图案化遮蔽薄膜50的任何合适方法。

[0104] 步骤f)可后续接着(有区分)蚀刻经处理多层衬底10的外围表面达足以完全移除在步骤d)(第一实施例)中通过遮蔽薄膜50覆盖的区域中的覆盖层16、16a、16b、导电层30及第一铜层40的蚀刻时间的步骤g1)。在第二实施例的情况中,步骤f)可后续接着(有区分)蚀刻经处理多层衬底10的外围表面达足以完全移除在步骤d)中通过遮蔽薄膜50覆盖的区域中的第一铜层40及导电层30的蚀刻时间的步骤g2)。

[0105] 换句话说,方法可分别包括在步骤f)之后的蚀刻步骤g1)及g2),其中步骤f)的经处理多层衬底在接触时间内接触蚀刻溶液,所述接触时间适用于完全移除可自由接取的第一铜层40、下伏导电层30及下伏覆盖层16。因此,图1是包含根据本发明的第一实施例的方法的每一步骤a1)到g1)的横截面图的示意性序列。所说明的示范性方法序列包括:提供多层衬底10,其包含微通孔20及在多层衬底10的两个侧上的覆盖层16a、16b的铜包覆层。微通孔20中的每一者终止于导电夹层14;

[0106] 步骤b1)(例如)通过无电电镀将导电层30沉积于铜包覆衬底10的覆盖层16a、16b上及微通孔20的内表面上;

[0107] 步骤c)将铜填充层42电沉积于微通孔20上且将第一铜层40电沉积于导电层30上;

[0108] 步骤d)在第一铜层40上形成图案化遮蔽薄膜50;

[0109] 步骤e)将第二铜层60电沉积于未被遮蔽薄膜50覆盖的区域中;

[0110] 步骤f)移除遮蔽薄膜50;及

[0111] 步骤g1)蚀刻经处理多层衬底10的外围表面达足够的蚀刻时间,使得完全移除覆盖层16的可自由接取的区域。

[0112] 图2展示包含根据本发明的第二实施例的方法的每一步骤a2)到g2)的横截面图的示意性序列。所说明的示范性方法序列包括:

[0113] 步骤a2)提供多层衬底10,其包含在多层衬底10的两个侧上的微通孔20。微通孔20中的每一者终止于导电夹层14;

[0114] 步骤b2)(例如)通过无电镀敷将导电层30沉积于多层衬底10的外围表面上及微通孔20的内表面上;

[0115] 步骤c)将铜填充层42电沉积于微通孔20上且将第一铜层40电沉积于导电层30上;

[0116] 步骤d)在第一铜层40上形成图案化遮蔽薄膜50;

[0117] 步骤e)将第二铜层60电沉积于未被遮蔽薄膜50覆盖的区域中;

[0118] 步骤f)移除遮蔽薄膜50;及

[0119] 步骤g1)蚀刻经处理多层衬底10的外围表面达足够的蚀刻时间,使得完全移除通过遮蔽薄膜50覆盖的区域中的第一铜层40及导电层30。

[0120] 根据本公开的方法具有最小化微通孔的外端表面与图案化铜表面之间的铜厚度

变化的优势。此外，图案化铜表的总体较小层厚度减少迹线间分离的蚀刻时间且因此最小化有害宽度变窄或底切蚀刻的风险。

[0121] 参考符号

| | | |
|---|---|---|
| [0122] | 10 | 多层衬底 |
| [0123] | 12 | 绝缘层 |
| [0124] | 14 | 导电夹层 |
| [0125] | 16,16a,16b | 覆盖层 |
| [0126] | 20 | 微通孔 |
| [0127] | 30 | 导电层 |
| [0128] | 32 | 平坦表面 |
| [0129] | 40 | 第一铜层 |
| [0130] | 50 | 图案化遮蔽薄膜 |
| [0131] | 60 | 第二铜层。 |

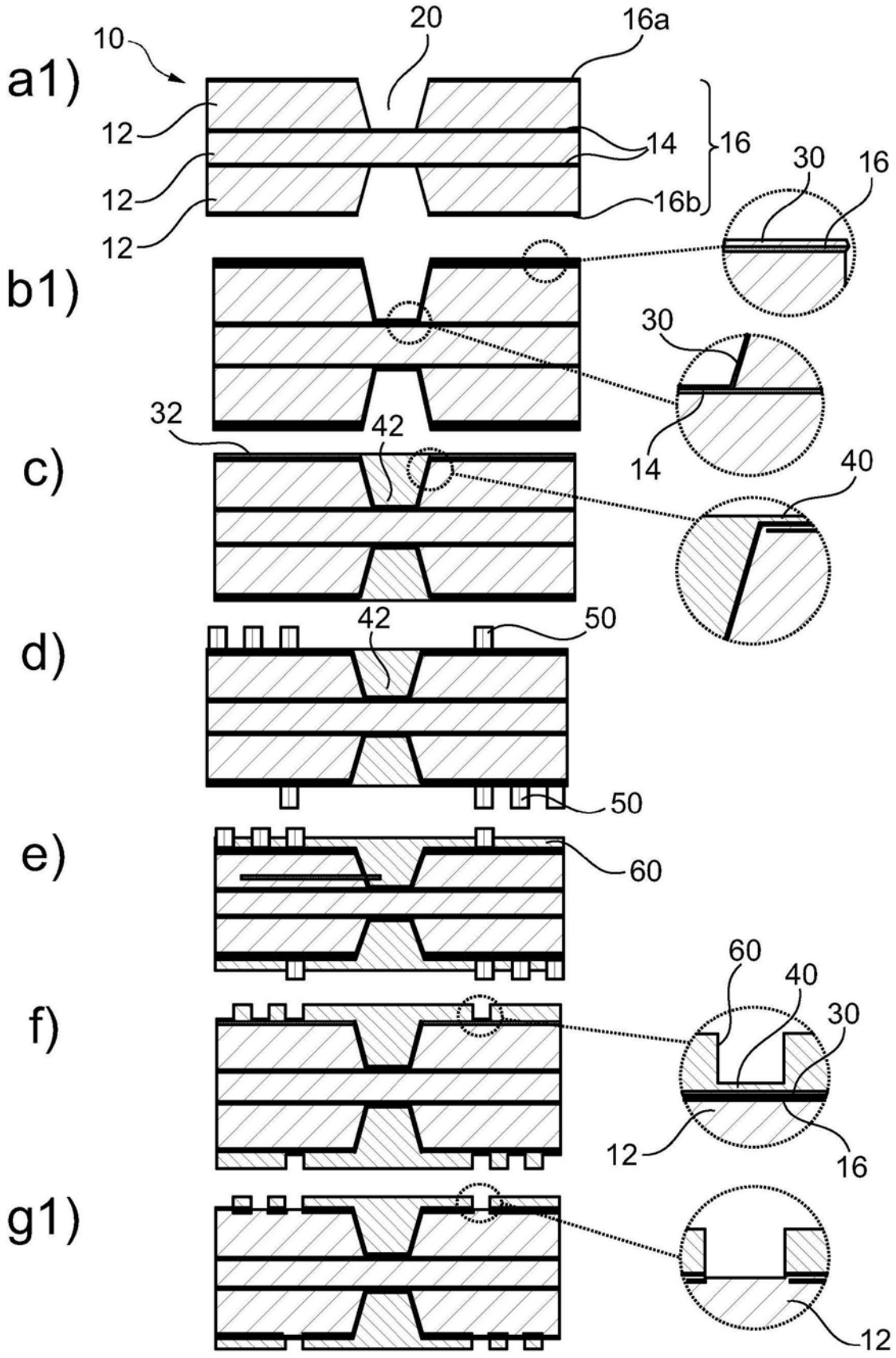

a1)
10
20
16a
12
12
12
14
16
16b
30
16
b1)
30
14
32
42
c)
40
42
50
d)
50
e)
60
60
40
30
f)
12
16
g1)
12

图1

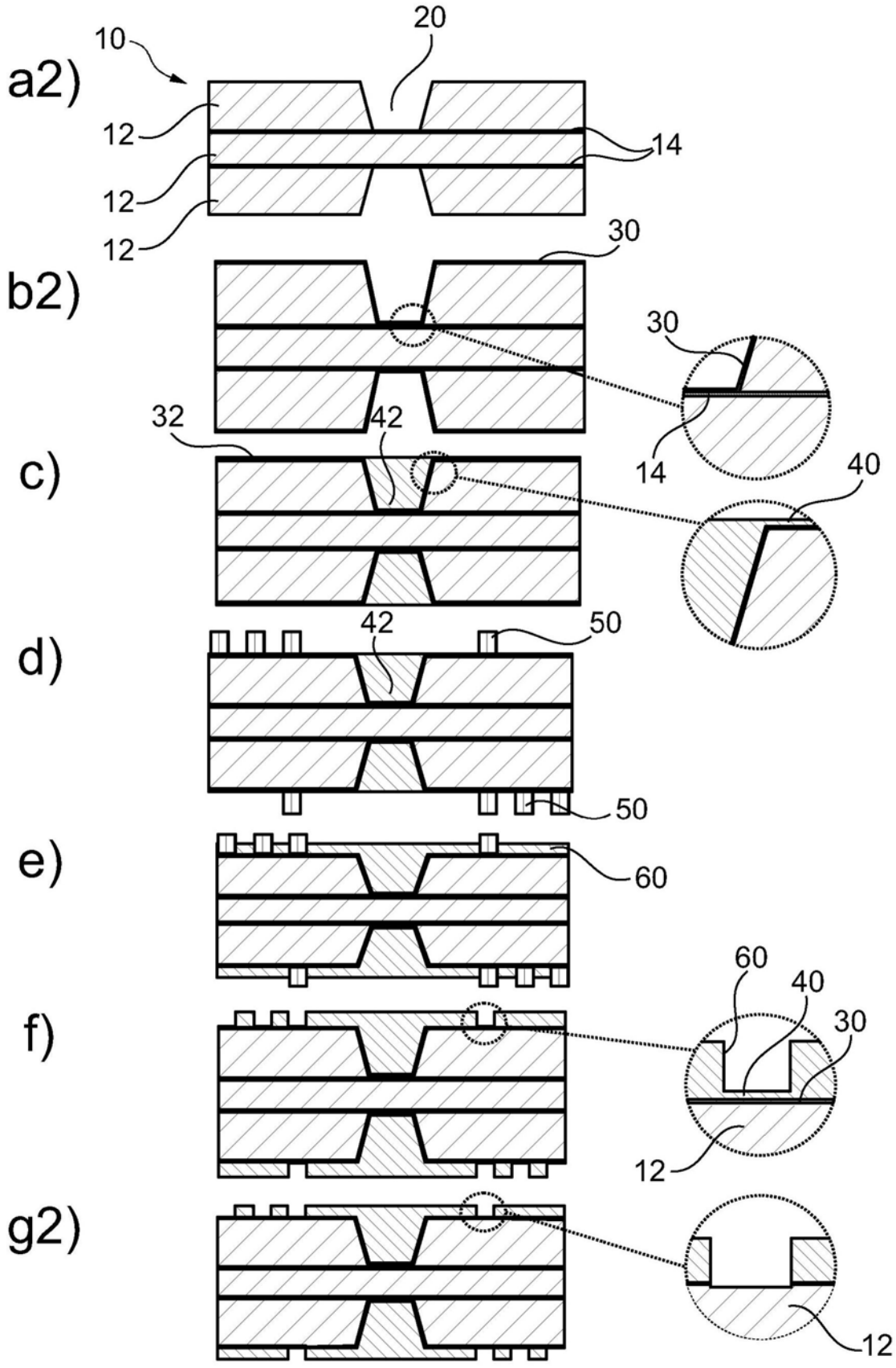

a2)
10
20
12
12
12
14
b2)
30
30
14
c)
32
42
40
d)
42
50
50
e)
60
f)
60
40
30
12
g2)
12

图2