

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4325275号  
(P4325275)

(45) 発行日 平成21年9月2日(2009.9.2)

(24) 登録日 平成21年6月19日(2009.6.19)

(51) Int.Cl.

G 11 C 13/00 (2006.01)

F 1

G 11 C 13/00

A

請求項の数 8 (全 17 頁)

(21) 出願番号 特願2003-150080 (P2003-150080)  
 (22) 出願日 平成15年5月28日 (2003.5.28)  
 (65) 公開番号 特開2004-355689 (P2004-355689A)  
 (43) 公開日 平成16年12月16日 (2004.12.16)  
 審査請求日 平成18年5月25日 (2006.5.25)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (72) 発明者 阪田 健  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 長田 健一  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 竹村 理一郎  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線と前記複数のビット線との交点に配置され、夫々が相変化抵抗を有する複数の不揮発性メモリセルとを含む不揮発性メモリセルアレイと、

前記不揮発性メモリセルアレイに書き込まれる書込みデータに対応した書込み信号を供給するライトバッファと、

前記ライトバッファへ前記書込みデータを供給する入力バッファと、

前記入力バッファに接続され、前記書込みデータを保持する書込みデータレジスタと、外部から入力されるアドレスを保持するアドレスレジスタと、

前記アドレスレジスタに保持されたアドレスと、入力されたアドレスとを比較する比較器とを具備し、

第1ライトサイクルにおいて、第1書込みデータを前記入力バッファへ入力し、前記第1書込みデータを前記書込みデータレジスタに保持すると共に前記ライトバッファへ供給し、前記第1書込みデータに対応した前記書込み信号を前記不揮発性メモリアレイへ供給して前記不揮発性メモリアレイに前記第1書込みデータを書込む書込み動作を行い、

前記第1ライトサイクルと次の第2ライトサイクルまでの間ににおいて読出しアクセスが発生した際に、前記比較器により前記アドレスレジスタに保持されたアドレスと前記入力されたアドレスとが一致した場合、前記書込みデータレジスタに保持された前記第1書込みデータを出力すると共に前記不揮発性メモリアレイへ読み出し電圧の供給を停止するこ

とを特徴とする半導体装置。

**【請求項 2】**

**請求項 1 に記載の半導体装置において、**

前記半導体装置は、前記読み出しアクセスにおいて、前記複数のビット線のうち選択されたビット線に前記読み出し電圧を供給するセンスアンプブロックを更に具備し、

前記センスアンプブロックは、前記比較器において、前記アドレスレジスタに保持されたアドレスと前記入力されたアドレスとが一致した場合に、前記読み出し電圧の供給を停止することを特徴とする半導体装置。

**【請求項 3】**

**請求項 1 又は 2 に記載の半導体装置において、**

10

前記半導体装置は、アドレスの遷移を検出するアドレス遷移検出回路を更に具備することを特徴とする半導体装置。

**【請求項 4】**

**請求項 1 乃至 3 の何れか 1 項に記載の半導体装置において、**

前記半導体装置は、フラグを保持するフラグレジスタを更に有し、

前記フラグは、前記書き込みデータレジスタが保持している前記書き込みデータが有効であるかを示すことを特徴とする半導体装置。

**【請求項 5】**

**請求項 4 に記載の半導体装置において、**

20

前記フラグレジスタは、前記書き込み動作によりセットされることを特徴とする半導体装置。

**【請求項 6】**

**請求項 5 に記載の半導体装置において、**

前記フラグレジスタは、電源投入時にリセットされることを特徴とする半導体装置。

**【請求項 7】**

**請求項 5 に記載の半導体装置において、**

前記フラグレジスタは、前記書き込み動作後、所定の時間が経過すると、リセットされることを特徴とする半導体装置。

**【請求項 8】**

**請求項 4 乃至 7 の何れか一つに記載の半導体装置において、**

30

前記比較器は、前記フラグが前記書き込みデータが有効であることを示す場合は、比較動作を行い、前記フラグが前記書き込みデータが無効であることを示す場合は比較動作を行わないことを特徴とする半導体装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は半導体装置に関し、特に、相変化抵抗を利用して情報を記憶するメモリセルを用いた高速な不揮発性メモリを含む半導体装置に関する。

**【0002】**

**【従来の技術】**

40

高速で高集積な不揮発性メモリを目指して、相変化メモリの開発が進められており、非特許文献 1 で述べられている。相変化メモリでは、カルコゲナイト材料と呼ばれる相変化材料が、状態により抵抗が異なることを利用して、情報を記憶する。相変化抵抗の書き換えは、電流を流して発熱させることにより、状態を変化させて行う。セット動作とも呼ばれる低抵抗化は、比較的低温に十分な期間保つことにより、また、リセット動作と呼ばれる高抵抗化は、相変化抵抗を比較的高温とすることにより、行われる。また、相変化材料を読み出し動作は、相変化抵抗の状態を変化させない範囲で電流を流して行う。

**【0003】**

非特許文献 2 には、相変化抵抗の特性について述べられている。さらに、非特許文献 3 には、相変化抵抗と NMOS ランジスタにより構成されたメモリセルについて述べられて

50

いる。

#### 【0004】

これらの文献で、高速なROM(Read-Only Memory)に留まらず、不揮発性のRAM(Random Access Memory)の可能性も述べられており、ROMとRAMの機能を併せ持つ統合型メモリの実現も言及されている。同様な高速不揮発性メモリとして、FeRAM(Ferroelectric RAM)とMRAM(Magnetic RAM)も開発されている。FeRAMは、強誘電体キャパシタの面積を小さくすることが難しく、セル面積を小さくすることが困難である。また、MRAMは、磁気抵抗の変化率が小さいため、読み出し信号量が小さく高速読み出し動作が困難である。一方、相変化メモリは、相変化抵抗の電極面積が小さい方が、小さな電力で相変化抵抗を相変化させられるため、スケーリングが容易である。また、相変化抵抗は、MRAMの磁気抵抗に比べて、大きく変化するため、高速な読み出し動作が実現できる。これらの理由から、相変化メモリによる高速不揮発性メモリの実現が期待されている。10

#### 【非特許文献1】

アイ・イー・イー・イー、インターナショナル・ソリッドステート・サーキット・コンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、第202頁から第203頁(2002年)(2002 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 202-203.)

#### 【非特許文献2】

アイ・イー・イー・イー、インターナショナル・エレクトロン・デバイシズ・ミーティング、テクニカル・ダイジェスト、第923頁から第926頁(2002年)(2002 IEEE International Electron Devices Meeting, Technical Digest, pp. 923-926.)20

#### 【非特許文献3】

ノンボラタイル・セミコンダクタ・メモリ・ワークショップ、ダイジェスト・オブ・テクニカル・ペーパーズ、第91頁から第92頁(2003年)(2003 Non-Volatile Semiconductor Memory Workshop, Digest of Technical Papers, pp. 91-92.)

#### 【0005】

##### 【発明が解決しようとする課題】

相変化メモリをRAMとして用いるためには、書き込み時間が問題となる。低抵抗化では、十分な時間、例えば20ns程度は、相変化抵抗に電流を流し続けなければならない。また、高抵抗化後には、そのメモリセルへの読み出し動作を行う前に、相変化抵抗の状態が安定するよう、十分な時間、例えば20ns程度、間隔をあけなければならない。30

#### 【0006】

相変化メモリを不揮発性RAMとして導入する際、システムの変更が小さくすむよう、低電力RAMのスペックに整合させることが望ましい。現在、低電力RAMとしては低電力SRAM(Static RAM)が広く用いられている。その一般的なスペックに対し、SRAMのメモリアレイを相変化メモリのメモリアレイで置き換えただけでは、上記のような相変化メモリの動作上の課題を満足できない。即ち、低抵抗化を行う書き込み動作直後に同じメモリセルへアクセスを行うには書き込みに十分な時間が必要なため、また、高抵抗化を行う書き込み動作直後に同じメモリセルから読み出しを行う場合は、相変化抵抗の状態を安定させる十分な時間が必要なため、低電力SRAMと同程度の高速アクセスを実現することが困難となる。40

#### 【0007】

そこで、本願発明の目的は、短い動作サイクル時間で、相変化メモリの安定動作を可能とし、高集積な高速不揮発性メモリを実現することにある。

#### 【0008】

##### 【課題を解決するための手段】

上記目的を達成するための本発明の代表的な手段は、複数のワード線と、複数のワード線と交差する複数のビット線と、複数のワード線と複数のビット線との交点に配置された複数の不揮発性メモリセルとを含む不揮発性メモリセルアレイと、不揮発性メモリセルアレイ

イに書込みデータに対応した書込み信号を供給するライトバッファと、ライトバッファへ書込みデータを供給する入力バッファと、入力バッファに接続され、書込みデータを保持する書込みデータレジスタとを具備することである。

#### 【0009】

更に望ましくは、外部から入力されるアドレスを保持するアドレスレジスタと、前記アドレスレジスタに保持されたアドレスと、入力されたアドレスとを比較する比較器とを更に具備し、比較器において、アドレスレジスタに保持されたアドレスと入力されたアドレスとが一致した場合、書込みデータレジスタに保持された前記書込みデータを出力することである。

#### 【0010】

更に望ましくは、比較器は、不揮発性メモリセルへ書込みを行った後の読み出しアクセスにおいて、比較を行うことである。

#### 【0011】

##### 【発明の実施の形態】

以下、本発明の実施例について図面を用いて詳細に説明する。実施例の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。図面で、PMOSトランジスタにはボディに矢印の記号を付することで、NMOSトランジスタと区別することとする。図面にはMOSトランジスタの基板電位の接続は特に明記していないが、MOSトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。また、特に断りの無い場合、信号のロウレベルを'0'、ハイレベルを'1'とする。

##### （第1の実施例）

図1は、本発明による非同期式相変化メモリの構成例の要部ブロック図である。特に制限されないが、非同期式相変化メモリでは、制御信号の状態に応じて、また、アドレスの遷移を検出して動作を行う。ここで、本発明における非同期式相変化メモリでは、書込みデータレジスタDIR、出力データセレクタDOS、書込みアドレスレジスタAR、アドレス比較器ACP、フラグレジスタFRを設けていることが特長である。コマンドバッファCB、制御信号発生回路CPG、アドレスバッファAB、アドレス遷移検知回路ATD、ロウプリデコーダRPD、カラムプリデコーダCPD、入力バッファDIB、出力バッファDOB、センスアンプブロックSA、ライトバッファブロックWBを有し、さらにメモリセルアレイMCAに対応してロウデコーダRDEC、ワードドライバWD、カラムデコーダCDEC、カラムセレクタCSELが設けられている。ここでは、メモリセルアレイMCAを1個しか示していないが、メモリセル容量に応じて、メモリセルアレイMCAを複数個としても良い。この図では簡単のため、欠陥救済回路などは省略している。

#### 【0012】

図2は、メモリセルアレイMCAの構成例を示している。メモリセルMCが、ワードドライバWDに接続されたワード線WL0, WL1, WL2, WL3, ...と、カラムセレクタCSELに接続されたビット線BL0, BL1, BL2, BL3, ...の交点に設けられる。また、ソース線SL01, SL23, ...が設けられ、接地電圧VSSに接続される。各メモリセルMCは、相変化抵抗PCRとメモリセルトランジスタMTにより構成される。相変化抵抗PCRの一端はビット線に接続され、他端はメモリセルトランジスタMTのソース・ドレインの一方に接続される。相変化抵抗は、例えば、ゲルマニウム、アンチモン、テルルなどを含有したカルコゲナイト材料からなる。メモリセルトランジスタのソース・ドレインの他方は、ソース線に接続され、ゲートはワード線に接続される。ここでは簡単のため示していないが、必要に応じて、読み出し時の参照信号を発生するためのダミーセルも設けられる。また、ここではメモリセルトランジスタとしてNMOSトランジスタを示しているが、PMOSトランジスタやバイポーラトランジスタの使用も可能である。ただし、高集積化の観点からMOSトランジスタが望ましく、PMOSトランジスタに比べ、オン状態でのチャネル抵抗の小さいNMOSトランジスタが好適である。以下では、メモリセルトランジスタとしてNMOSトランジスタを用いる場合の電圧関係で、動作などを説明する。なお、ビット線はデータ線とも呼ばれている。

10

20

30

40

50

## 【 0 0 1 3 】

各回路ブロックは、以下のような役割を果たす。制御信号発生回路CPGは、コマンドバッファCBが取り込む外部からの制御信号CMDに応じて、書き込みデータレジスタDIR, 出力データセレクタDOS, 書込みアドレスレジスタAR, アドレス比較器ACP, フラグレジスタFR, 入力バッファDIB, 出力バッファDOB, センスアンプロックSA, ライトバッファブロックWBなどを制御する制御信号CTLを発生する。アドレスバッファABは、外部からのアドレスADRを取り込み、内部アドレスAIを、書き込みアドレスレジスタAR, アドレス比較器ACP, アドレス遷移検知回路ATD, ロウプリデコーダRPD, カラムプリデコーダCPDへ送る。アドレス遷移検知回路ATDは、内部アドレスAIの遷移を検知し、アドレス遷移信号ATを制御信号発生回路CPGへ出力する。具体的には、アドレスの各ビットについて変化を検出する論理をとり、それらの論理和をとってアドレス遷移信号ATとする。書き込みアドレスレジスタARは、次の書き込み動作まで、書き込み動作を行うアドレスを保持し、保持書き込みアドレスASをアドレス比較器ACPに出力する。フラグレジスタFRは、書き込みアドレスレジスタARが保持している保持書き込みアドレスASが有効か示すフラグFLGを出力する。アドレス比較器ACPは、フラグFLGが'1'の場合、内部アドレスAIと保持書き込みアドレスASを比較し、アドレス一致信号AHを、センスアンプロックSAと出力データセレクタDOSに出力する。具体的には、アドレスの各ビットについて、内部アドレスAIと保持書き込みアドレスASとでエクスクルーシブNOR（排他的論理和の否定）をとり、それらの論理積をとってアドレス一致信号ACPとする。フラグFLGが'0'の場合には、不一致として、アドレス一致信号AHを'0'にする。

10

## 【 0 0 1 4 】

ロウアドレスプリデコーダXPDは、ロウアドレスをプリデコードし、ロウプリデコードアドレスRPAをロウデコーダRDECへ出力する。ロウデコーダRDECが、ロウプリデコードアドレスRPAをさらにデコードし、それに応じてワードドライバWDが、メモリセルアレイMCA中のワード線を選択的に駆動する。カラムアドレスプリデコーダYPDは、カラムアドレスをプリデコードして、カラムプリデコードアドレスCPAをカラムデコーダCDECへ出力する。カラムデコーダCDECが、カラムプリデコードアドレスCPAをさらにデコードし、それに応じてカラムセレクタCSELが、メモリセルアレイMCA中のビット線を選択的に入出力線IOに接続する。

20

## 【 0 0 1 5 】

入力バッファDIBは、外部との入出力データDQのデータを所望のタイミングで取り込み、入力データDIを書き込みデータレジスタDIR, ライトバッファブロックWBへ送る。書き込みデータレジスタDIRは、次の書き込み動作まで、書き込みデータを保持し、保持書き込みデータDRを出力データセレクタDOSに出力する。ライトバッファブロックWBは、書き込み動作のため、入力データDIに応じて、入出力線IOを駆動する。センスアンプロックSAは、同時に動作するビット数に応じた個数のセンスアンプを含んでおり、読み出し動作のため、入出力線IOの信号を増幅して判別し、読み出しデータDOを出力する。出力データセレクタDOSは、アドレス一致信号AHに応じて、読み出しデータDOと保持書き込みデータDRのいずれかを選択し、出力データDSとして出力する。出力バッファDOBは、入出力データDQへ所望のタイミングで、出力データDSを出力する。

30

## 【 0 0 1 6 】

以上に示した構成により、従来の非同期SRAMと同様な制御で用いることができる。ここで、書き込みデータをメモリセルに書き込むと共に、書き込みデータレジスタに記憶し、次のライトサイクルまで保持する。次のライトサイクルまでの間に、そのアドレスへのリードがあれば、メモリアレイへの読み出しアクセスを止めて書き込みデータレジスタから読み出す。これにより、サイクル時間を延ばすことなく、同一メモリセルへの書き込み動作から読み出し動作までの期間を長くできる。書き込み直後の不安定な状態のメモリセルへ読み出しを行わないと、安定な動作が可能になる。言い換えれば、同一メモリセルでの高抵抗化から読み出しまでの時間が、サイクル時間を律速する事が無く、サイクル時間を短縮することができる。

40

## 【 0 0 1 7 】

50

以下では、図1に示した回路ブロックの中で特徴的なものについて説明する。図3は、図1中のカラムセレクタCSELの構成例を示している。これは、メモリセルアレイから2ビットずつメモリセルを選択して動作させる場合の例である。同時に選択するメモリセル数が異なっていても同様に構成できる。ビット線2本毎に、カラムスイッチCSL2が設けられ、カラムデコーダCDECが出力するカラム選択信号により制御され、ビット線を2本ずつ、出入力線I00, I01に接続する。カラム選択信号は、C01bとC01t, C23bとC23t, ...と、互いに相補な信号である。カラムスイッチCSL2は、4個のNMOSトランジスタMNP0, MNP1, MNS0, MNS1と、2個のPMOSトランジスタMPS0, MPS1からなる。NMOSトランジスタMNP0, MNP1は、非選択のビット線を、接地電圧VSSに保持する。NMOSトランジスタMMNS0, MNS1とPMOSトランジスタMPS0, MPS1は、2個のCMOSバスゲートを構成し、選択されたビット線を出入力線I00, I01に接続する。このように、CMOSバスゲートを用いることにより、広い電圧範囲で、ビット線と出入力線を低抵抗で接続できる。これにより、ビット線の印加電圧の範囲を広くとり、読み出し動作と書き込み動作の低抵抗化及び高抵抗化を相変化抵抗に流れる電流値で分ける際に、マージンが確保できる。

#### 【0018】

図4は、図1中のライトバッファブロックWBの構成例を示している。書き込みパルス発生回路WPGと、2個のライトバッファWB1からなる。これも、メモリセルアレイ中の2個のメモリセルへ同時に書き込む場合の例である。同時に書き込むメモリセル数に応じて、ライトバッファWB1を設ければ、他のメモリセル数にも対応できる。書き込みパルス発生回路WPGは、低抵抗化用と高抵抗化用のパルスを発生し、書き込みパルス線WP0とWP1にそれぞれ出力する。ライトバッファWB1は、3個のインバータと2個の2入力NANDゲートと、2個のNMOSトランジスタMNC1, MNC0と2個のPMOSトランジスタからなる2個のCMOSバスゲートで構成される。書き込み制御信号WRITにより活性化され、書き込みデータDI0, DI1に応じて、書き込みパルス線WP0, WP1に入出力線I00, I01を接続する。ここでCMOSバスゲートを用いることにより、書き込みパルス発生回路WPGによって、入出力線I00, I01の立下りで接地電圧まで駆動することを可能にしている。これにより、入出力線の寄生容量に充電された電荷が、ビット線及びメモリセルを通じて放電されることを防止し、ビット線電流のパルス波形の立下りを急峻にでき、安定な書き込み動作を実現できる。

#### 【0019】

図5は、図1中のフラグレジスタFRの構成例を示している。2個の2入力NORゲートをたすきがけにしたセット・リセット型ラッチSRLと、インバータで構成される。電源投入時に、パワー・オン・リセット信号PORにより、ラッチSRLがリセットされ、フラグFLGが'0'となる。その後、最初の書き込み動作の際に、書き込み制御信号WRITにより、ラッチSRLがセットされ、フラグFLGが'1'となる。このパワー・オン・リセット信号PORは、周知のパワー・オン・リセット回路により、電源の立上りを検出して発生する。

#### 【0020】

不揮発性RAMでは、電源投入直後から電源遮断前に書き込んでいたデータを読み出す場合があり得る。電源遮断により、図1中の書き込みアドレスレジスタARが保持している保持書き込みアドレスASと、書き込みデータレジスタDIRが保持している保持書き込みデータDRがリセットされる。そのため、リセットされた保持書き込みアドレスASのアドレスに対する読み出いで、保持書き込みデータDRを出力データとすることを防止しなければならない。図5のようなフラグレジスタを用いることにより、電源投入後に書き込み動作を行い保持書き込みアドレスASと保持書き込みデータDRが有効になるまで、フラグFLGが'0'となり、常にメモリセルアレイからの読み出し動作を行うようになる。

#### 【0021】

ラッチSRLの2個のNORゲートのトランジスタ寸法を適当に調整すれば、パワー・オン・リセット信号PORの代わりに接地電圧VSSをラッチSRLに入力しても、同様な機能を実現できる。その場合、パワー・オン・リセット信号PORの配線が容易になる。さらに、場合によっては、パワー・オン・リセット回路が不要になる。

#### 【0022】

10

20

30

40

50

図6は、フラグレジスタFRの別な構成例を示している。セット・リセット型ラッチSRL、インバータ、遅延回路DLSと2個のインバータと2入力NANDゲートからなるショットパルス発生回路SPG、遅延回路DLYで構成される。書き込み制御信号WRITにより、ラッチSRLがセットされ、フラグFLGが'1'となる。その後、遅延回路DLYの出力であるフィードバック信号WFBにより、ラッチSRLがリセットされ、フラグFLGが'0'となる。遅延回路DLYには、メモリセルの相変化抵抗に高抵抗化のパルスを印加した後、読み出し動作を安定的に動作させることができるまでの時間に応じた遅延時間を持たせる。遅延回路DLSには、フィードバック信号WFBが、書き込み制御信号WRITよりもパルス幅が短くなるような遅延時間を持たせる。これにより、書き込み制御信号WRITとフィードバック信号WFBが同時に'1'となった場合に誤動作する恐れを回避できる。

10

#### 【0023】

図5に示したフラグレジスタで用いているパワー・オン・リセット信号は、電源投入時の電源電圧の立ち上げ方次第では'1'にならなかったり、逆に電源バンプで'1'になってしまったりする恐れがある。図6のフラグレジスタでは、書き込み後の時間でフラグFLGをリセットするため、電源投入後に一定時間が経過すれば確実にフラグFLGが'0'となる。そのため、電源投入後に読み出し動作が可能となるまでの時間が長くなるが、誤動作の恐れがなくなる。

#### 【0024】

以上に説明してきた非同期式相変化メモリの動作を、以下で説明する。図7は、ライト動作のタイミングの例を示している。外部アドレスADRの遷移に応じて、アドレス遷移検知回路ATDがアドレス遷移信号ATにパルスを発生し、ワード線WL（図2中のWL0, WL1, WL2, WL3, ...）が切換えられる。制御信号CMDの一部であるチップ・セレクト・バー信号CSbとライト・エネーブル・バー信号WEbがロウレベルとなることにより、書き込み制御信号WRITが'1'となり、書き込み動作が行われる。これにより、フラグFLGが'1'となる。入出力データDQへの入力Dinに応じて、選択されたビット線BL（図2中のBL0, BL1, BL2, BL3, ...）を駆動する。ここで、入力Dinが'0'であれば、ビット線BLをセット電圧VSETに駆動するが、'1'であれば、ビット線BLを接地電圧VSSに保つ。チップ・セレクト・バー信号CSbとライト・エネーブル・バー信号WEbのいずれかがハイレベルとなり、ライト動作の期間が終了する際に、書き込みアドレスレジスタARと書き込みデータレジスタDIRが、内部アドレスAIと入力データDIを取り込む。また、入力Dinが'1'であれば、ビット線BLをリセット電圧VRSTに駆動する。高抵抗化のパルスが所望のパルス幅となるように、書き込み制御信号WRITが'0'となり、ビット線BLを接地電圧VSSに戻して書き込み動作が終了する。なお、ここではDinが1ビットであるかのように説明したが、複数ビットの場合には、ビット毎にデータに応じた動作を行う。以下で他の動作タイミングについても、同様に簡素化して説明する。

20

#### 【0025】

一般的な非同期SRAMのスペックでは、ライト動作の期間が終了する際に、入力Dinがバリッドであることが確定する。図7の動作では、入力Dinが'0'であれば、そのままビット線を駆動して、低抵抗化の期間を確保している。一方、入力Dinが'1'であれば、バリッドであることが確定してからビット線を駆動して、ビット線を駆動するパルス幅を短くし、選択メモリセルの相変化抵抗の周囲が必要以上に温度が上昇して冷却時間が延びてしまうことを防止している。その結果、「0」に対しても「1」に対しても、安定な書き込み動作が実現できる。また、このように高抵抗化のパルス幅を限定することにより、不要な書き込み電流を流さないため、低電力な書き込み動作を実現できる。

30

#### 【0026】

図8は、リード動作のタイミングの例を示している。図7に示したライト動作と同様に、外部アドレスADRの遷移に応じて、ワード線WLが切換えられる。フラグFLGが'1'の場合、アドレス遷移信号ATのパルスにより、アドレス比較器ACPが活性化され、内部アドレスAIと保持書き込みアドレスASを比較し、アドレス一致信号AHを出力する。アドレス一致信号AHが'0'の場合、センサアンプが入出力線I0及びカラムセレクタCSELを通じて、所望の期間、選択されたビット線BLに読み出し電圧VREDを供給すると共に、流れる電流の大小からデー

40

50

タを判別する。データセレクタDOSは、センスアンプブロックの出力である読出しデータD0を、出力データDSとして出力する。アドレス一致信号AHが'1'の場合、センスアンプが待機状態を保ち、ビット線BLは接地電圧VSSに保たれる。データセレクタDOSは、保持書き込みデータDRを出力データDSとして出力する。制御信号CMDの一部であるチップ・セレクト・バー信号CSbとアウトプット・エネーブル・バー信号WEbがロウレベルとなることにより、出力バッファが活性化し、入出力データDQを出力データDSに応じた出力Doutに駆動する。チップ・セレクト・バー信号CSbとライト・エネーブル・バー信号WEbのいずれかがハイレベルとなり、リード動作の期間が終了することにより、出力バッファDOBはハイ・インピーダンス状態となる。

## 【0027】

10

このようにアドレス一致信号AHでビット線への電圧供給を制御することで、高抵抗化直後の相変化抵抗に電圧が印加されて状態が不安定になることを防止できる。非同期SRAMのスペックでも、アドレス遷移検知回路を用いることにより、アドレス遷移毎のアドレス比較を制御できる。

## (第2の実施例)

図9は、本発明による同期式相変化メモリの構成例の要部ブロック図である。特に制限されないが、同期式相変化メモリでは、外部クロック信号に基づいて、コマンドやアドレスを取り込み動作を行う。本願における同期式相変化メモリでは、図1に示した非同期式相変化メモリの構成例と同様に、書き込みデータレジスタDIR、出力データセレクタDOS、書き込みアドレスレジスタAR、アドレス比較器ACP、フラグレジスタFRを設けている。クロックバッファCKBを有し、コマンドバッファCB、コマンドデコーダCD、アドレスバッファAB、ロウプリデコーダRPD、カラムプリデコーダCPD、入力バッファDIB、出力バッファDOB、センスアンプブロックSA、ライトバッファブロックWBを有し、さらにメモリセルアレイMCAに対応してロウデコーダRDEC、ワードドライバWD、カラムデコーダCDEC、カラムセレクタCSELが設けられている。メモリセルアレイMCAは、図2に示したように構成され、図9では1個しか示していないが、複数個としても良い。

20

## 【0028】

各回路ブロックは、以下のような役割を果たす。クロックバッファCKBは、外部クロックCLKを受けて、内部クロックCLKIを出力する。この内部クロックCLKIにより制御され、コマンドデコーダCDは、コマンドバッファCBが取り込む外部からの制御信号CMDに応じて、各回路ブロックの動作を制御する制御信号CTLを発生する。アドレスバッファABは、内部クロックCLKIに応じて、外部からのアドレスADRを取り込み、内部アドレスAIを出力する。

30

図1に示した非同期式相変化メモリの例と同様に、書き込みアドレスレジスタARは、次の書き込み動作まで、書き込み動作を行うアドレスを保持し、保持書き込みアドレスASをアドレス比較器ACPに出力する。フラグレジスタFRは、書き込みアドレスレジスタARが保持している保持書き込みアドレスASが有効か示すフラグFLGを出力する。アドレス比較器ACPは、フラグFLGが'1'の場合、内部アドレスAIと保持書き込みアドレスASを比較し、アドレス一致信号AHを、センスアンプブロックSAと出力データセレクタDOSに出力する。

## 【0029】

40

ロウアドレスプリデコーダXPDは、ロウプリデコードアドレスRPAをロウデコーダRDECへ出力し、ロウデコーダRDECが、ロウプリデコードアドレスRPAをさらにデコードし、それに応じてワードドライバWDが、メモリセルアレイMCA中のワード線を選択的に駆動する。また、カラムアドレスプリデコーダYPDは、カラムプリデコードアドレスCPAをカラムデコーダCDECへ出力し、カラムデコーダCDECが、カラムプリデコードアドレスCPAをさらにデコードし、それに応じてカラムセレクタCSELが、メモリセルアレイMCA中のビット線を選択的に入出力線IOに接続する。

## 【0030】

入力バッファDIBは、外部との入出力データDQのデータを、内部クロックCLKIに応じたタイミングで取り込み、入力データDIを書き込みデータレジスタDIR、ライトバッファブロックWBへ送る。書き込みデータレジスタDIRは、次の書き込み動作まで、書き込みデータを保持し

50

、保持書込みデータDRを出力データセレクタDOSに出力する。ライトバッファブロックWBは、書き込み動作で入力データDIに応じて、入出力線IOを駆動する。センスアンプブロックSAは、読み出し動作で入出力線IOの信号を増幅して判別し、読み出しデータDOを出力する。出力データセレクタDOSは、アドレス一致信号AHに応じて、読み出しデータDOと保持書込みデータDRのいずれかを選択し、出力データDSとして出力する。出力バッファDOBは、内部クロックCLKIに応じて、出力データDSを入出力データDQへ出力する。

#### 【0031】

図10は、ライト動作のタイミングの例を示している。外部クロックCLKの立上り毎に、コマンドデコーダCDが制御信号CMDを判断する。ライトコマンドWが与えられることにより、アドレスADRをアドレスバッファABに取り込み、ワード線WLが選択される。書き制御信号WRITが'1'となり、フラグFLGが'1'となる。入出力データDQへの入力Dinも入力バッファDIBに取り込まれ、選択されたビット線BLを駆動する。ここで、入力Dinが'0'であれば、ビット線BLをセット電圧VSETに駆動し、'1'であれば、ビット線BLをリセット電圧VRSTに駆動する。入力Dinに応じた所望の時間だけビット線を駆動した後、ビット線BLを接地電圧VSSに戻し、ワード線WLも接地電圧VSSに戻して書き動作が終了する。

10

#### 【0032】

図7に示した非同期式の動作の例と異なり、バリッドな入力Dinが、ライトコマンドWとともに取り込まれる。そこで、入力Dinが'0'の場合に、ビット線BLをセット電圧VSETに駆動している時間を長くして、相変化抵抗を十分に低抵抗化できる。また、入力Dinが'1'の場合に、すぐにビット線BLをリセット電圧VRSTに駆動し、早く相変化抵抗の高抵抗化が完了できる。その結果、高抵抗化からそのセルの読み出し動作の間隔を、さらに長くできる。

20

#### 【0033】

図11は、リード動作のタイミングの例を示している。ここでは、レイテンシが2の場合を示している。リードコマンドRが与えられることにより、ライト動作と同様に、アドレスADRをアドレスバッファABに取り込み、ワード線WLが選択される。また、アドレス比較器ACPにより、内部アドレスAIと保持書込みアドレスASを比較し、アドレス一致信号AHを出力する。図8に示した動作と同様に、アドレス一致信号AHが'0'の場合、センスアンプが、選択されたビット線BLに読み出し電圧VREDを供給すると共に、流れる電流の大小からデータを判別する。データセレクタDOSは、読み出しデータDOを出力データDSとして出力する。アドレス一致信号AHが'1'の場合、センスアンプが待機状態を保ち、ビット線BLは接地電圧VSSに保たれ、データセレクタDOSが保持書込みデータDRを出力データDSとして出力する。外部クロックCLKの次の立上りに応じて、出力バッファが活性化し、入出力データDQを出力データDSに応じた出力Doutに駆動する。さらに次の立上りに応じて、出力バッファDOBはハイ・インピーダンス状態となる。

30

#### 【0034】

このように、外部クロックCLKに応じたタイミングで、内部回路を制御することにより、アドレス比較などのタイミング制御が容易になる。

#### 【0035】

また、同期式メモリとすることにより、外部クロックCLKと同期してコマンドやアドレスの取り込み及びデータの入出力を同期式メモリとすることにより、高い周波数での動作が可能であり、高データレートが実現できる。本発明による相変化メモリは、SRAMやDRAMについて開発されている各種の高速メモリ方式が応用できる。例えば、複数サイクルの連続した動作を一つのコマンドで制御するバースト動作も容易に実現できる。

40

(第3の実施例)

図12は、本発明による非同期式相変化メモリの別な構成例の要部ブロック図である。書きデータレジスタを第1の書きデータレジスタDIR1と第2の書きデータレジスタDI R2の2段、書きアドレスレジスタを第1の書きアドレスレジスタAR1と第2の書きアドレスレジスタAR2の2段としたことが特長である。アドレス比較器AC2は、内部アドレスAIを、第1の保持書込みアドレスAS1及び第2の保持書込みアドレスAS2と比較し、それぞれと一致しているかを示すアドレス一致信号AH2を出力する。出力データセレクタDS3は、

50

アドレス一致信号AH2により制御され、読み出しデータDO、第1の保持書き込みデータDR1、第2の保持書き込みデータDR2から選択して、出力データDSを出力する。内部アドレスAIと第1の保持書き込みアドレスAS1が一致する場合には、第1の保持書き込みデータDR1を選択する。内部アドレスAIと第1の保持書き込みアドレスAS1が一致せず、内部アドレスAIと第2の保持書き込みアドレスAS2が一致する場合には、第2の保持書き込みデータDR1を選択する。内部アドレスAIが、第1の保持書き込みアドレスAS1と第2の保持書き込みアドレスAS2のいずれとも一致しなければ、読み出しデータDOを選択する。なお、ライト動作が同じアドレスに連続して行われると、第1の保持書き込みアドレスAS1と第2の保持書き込みアドレスAS2が同じになり、内部アドレスAIと両方が一致する場合がある。その場合、後から入力されたデータである。第1の保持書き込みデータDR1を選択する。

10

#### 【0036】

図1に示した構成例と同様に、フラグレジスタFR、コマンドバッファCB、制御信号発生回路CPG2、アドレスバッファAB、アドレス遷移検知回路ATD、ロウプリデコーダRPD、カラムプリデコーダCPD、入力バッファDIB、出力バッファDOB、センスアンプブロックSA、ライトバッファブロックWBを有し、さらにメモリセルアレイMCAに対応してロウデコーダRDEC、ワードドライバWD、カラムデコーダCDEC、カラムセレクタCSELも設けられている。これらは、図1について説明したように動作する。ライト動作とリード動作は、図1に示した構成例と同様に、図7と図8に示したように行う。

#### 【0037】

この構成例では、書き込みデータをメモリセルに書込むと共に、書き込みデータレジスタに記憶し、次の次のライトサイクルまで保持する。次の次のライトサイクルまでの間に、そのアドレスへのリードがあれば、メモリアレイへの読み出しアクセスを止めてレジスタから読み出す。これにより、同一メモリセルへの書き込み動作から読み出し動作までの期間の間に、少なくとも書き込みサイクルが1回入る。そのため、図1に示した構成例よりもさらに、同一メモリセルへの書き込み動作から読み出し動作までの期間を長くでき、より安定な動作が可能になる。

20

#### 【0038】

ここでは、非同期式相変化メモリの構成例を示したが、図9に示したような同期式相変化メモリでも、書き込みデータレジスタと書き込みアドレスレジスタを2段とすることもできる。その場合にも、同一メモリセルへの書き込み動作から読み出し動作までの期間を、さらに長くする効果が得られる。

30

#### (第4の実施例)

図13は、本発明による非同期式相変化メモリのさらに別な構成例の要部ブロック図である。ライトライトと呼ばれている書き込み動作を行うことが特長である。図12に示した構成例と同様に、書き込みデータレジスタを第1の書き込みデータレジスタDRLと第2の書き込みデータレジスタDRDの2段、書き込みアドレスレジスタを第1の書き込みアドレスレジスタARLと第2の書き込みアドレスレジスタARDの2段としている。ただし、図12に示した構成例とは異なり、第1の書き込みデータレジスタDRLと第1の書き込みアドレスレジスタARLは、ライトライト動作用である。アドレスセレクタASLが設けられ、リード動作では内部アドレスAIを、ライト動作では第1の保持書き込みアドレスALを、選択アドレスAOとしてロウプリデコーダRPD、カラムプリデコーダCPDへ出力する。また、第1の保持書き込みデータDLが、ライトバッファブロックWBに送られる。図12に示した実施例と同様に、アドレス比較器AC2は、内部アドレスAIを、第1の保持書き込みアドレスAL及び第2の保持書き込みアドレスADと比較し、それぞれと一致しているかを示すアドレス一致信号AH2を出力する。出力データセレクタDS3は、アドレス一致信号AH2により制御され、読み出しデータDO、第1の保持書き込みデータDL、第2の保持書き込みデータDDから選択して、出力データDSを出力する。また、フラグレジスタFR、コマンドバッファCB、制御信号発生回路CPGL、アドレスバッファAB、アドレス遷移検知回路ATD、ロウプリデコーダRPD、カラムプリデコーダCPD、入力バッファDIB、出力バッファDOB、センスアンプブロックSA、ライトバッファブロックWBを有し、さらにメモリセルアレイMCAに対応してロウデコーダRDEC、ワードドライバWD、カラム

40

50

デコーダCDEC、カラムセレクタCSELも設けられている。これらは、図1について説明したように動作する。

#### 【0039】

図14は、ライト動作のタイミングの例を示している。外部アドレスADRの遷移に応じて、アドレス遷移信号ATにパルスが発生すると共に、内部アドレスAI及び選択アドレスAOが切換り、ワード線WLが切換えられる。ここで、制御信号CMDの一部であるチップ・セレクト・バー信号CSbとライト・エネーブル・バー信号WEBがロウレベルとなることにより、書き込み制御信号WRITが'1'となり、書き込み動作が行われる。これにより、アドレスセレクタASLが、第1の保持書き込みアドレスALを選択アドレスAOとして出力し、ワード線WLが再び切換る。また、フラグFLGが'1'となる。ライトバッファプロックWBは、第1の保持書き込みデータDLに応じて、選択されたビット線BLを駆動する。ここで、保持書き込みデータDLが'0'であれば、ビット線BLをセット電圧VSETに駆動し、'1'であれば、所望の時間だけビット線BLをリセット電圧VRSTに駆動する。チップ・セレクト・バー信号CSbとライト・エネーブル・バー信号WEBのいずれかがハイレベルとなり、ライト動作の期間が終了する際に、第1の書き込みアドレスレジスタARLと第1の書き込みデータレジスタDRLが、内部アドレスAIと入力データDIを取り込み、第2の書き込みアドレスレジスタARDと第2の書き込みデータレジスタDRDが、第1の保持書き込みアドレスALと第1の保持書き込みデータDLを取り込む。ビット線BLを接地電圧VSSに戻して書き込み動作が終了する。10

#### 【0040】

入力Dinがバリッドであることがライト動作の期間が終了する際に確定する場合にも、このようなレイトライト動作を行うことにより、確定済みのデータを書き込むことができる。そのため、メモリセルへの書き込み時間を長くして、低抵抗化の期間を長くできる。また、相変化抵抗の高抵抗化を早く完了でき、高抵抗化からそのセルの読み出し動作の間隔を長くできる。その結果、'0'に対しても'1'に対しても、安定な書き込み動作が実現できる。20

#### 【0041】

リード動作は、図1に示した構成例と同様に、図8に示したようなタイミングで行う。レイトライト動作を導入しても、リード動作に対する速度ペナルティは小さい。

#### 【0042】

このようなレイトライト動作を行う構成では、レジスタの情報は電源遮断により失われる所以、そのままでは、電源遮断前のライトサイクルの書き込みデータが記憶されない。そこで、スペックとして、電源遮断前にダミーのライトサイクルを投入するように定めることが望ましい。30

#### 【0043】

高抵抗化から読み出しまでの時間が短くて良い場合には、メモリセルへの書き込み後のデータ保持を行わず、レイトライト動作を行うだけとしても良い。その場合には、第2の書き込みデータレジスタDRDと第2の書き込みアドレスレジスタARDを削除する。また、アドレス比較器AC2を、内部アドレスAIを、第1の保持書き込みアドレスALと比較するようにし、出力データセレクタDS3を、読み出しだデータDOと第1の保持書き込みデータDLから選択して、出力データDSを出力するように変更する。そのような構成にすると、図13に示した構成に比べ、制御が簡単になる上、レジスタなどで消費する電流を低減して、低電力化できる。40

#### (第5の実施例)

本発明による相変化メモリの応用例を、以下に示す。図15は、フラッシュメモリカードの構成例を示している。フラッシュメモリカードFMCは、複数の大容量フラッシュメモリLMFと、メモリコントローラMCTと、相変化メモリPMCを含んでいる。メモリコントローラMCTが、相変化メモリPMCをバッファとして用いて、外部との信号の授受を行い、大容量フラッシュメモリLMFを制御する。

#### 【0044】

相変化メモリのような高速不揮発性メモリをバッファとして用いることにより、大容量フラッシュメモリへのライトが終了する前に、電源を遮断してもデータが保持できる。その結果、ライトの際にデータ転送直後に、フラッシュメモリカードFMCを機器から取り出す50

ことが可能となり、使い勝手が向上する。

#### 【0045】

本発明による相変化メモリは、この他にも種々の応用が考えられる。例えば、携帯電話に用いられているNOR型フラッシュメモリと低電力SRAMを1チップで置き換えることが可能になる。その場合、コストが低減できる上に、実装上の体積も小さくできる。

#### (第6の実施例)

本発明による相変化メモリは、混載メモリとしても応用できる。図16は、システムLSIの構成例を示している。システムLSIチップSOCには、プロセッサモジュールCPU、キヤッシュメモリモジュールCM、周辺モジュールPRC、電源制御モジュールPMUが含まれている。

10

#### 【0046】

相変化メモリは、図2に示したように、1個の相変化抵抗と1個のトランジスタでメモリセルが構成できるため、セル面積を小さくでき、大容量のオンチップメモリが実現できる。また、不揮発性であるため、待機時にデータを保持したまま、電源制御モジュールPMUにより電源を遮断できる。その際、外部のメモリヘデータを退避させる必要が無いため、データ転送に伴う電力オーバーヘッドが無く、短時間でも電源を遮断するような細かな電源制御が可能である。このような低電力システムLSIは、携帯電話などのモバイル機器に適している。

#### 【0047】

本願発明のうち、代表的な効果は、相変化抵抗に電流を流すことによりメモリセルにデータを書込む相変化メモリにおいて、サイクル時間を延ばすこと無く、相変化抵抗を低抵抗化するメモリセルへの書き込み時間と、相変化抵抗を高抵抗化する書き込み動作から該メモリセルへの読み出し動作までの期間を長くできる。その結果、安定な書き込み動作が可能になる。言い換えれば、安定な書き込み動作を実現するためのサイクル時間を短縮することができる。したがって、高速な不揮発性メモリを有する半導体装置が実現できる。

20

#### 【0048】

#### 【発明の効果】

高速動作が可能である半導体装置を実現することができる。

#### 【図面の簡単な説明】

【図1】非同期式相変化メモリの構成例を示すブロック図。

30

【図2】メモリアレイの構成例を示す図。

【図3】カラムセレクタの構成例を示す回路図。

【図4】書き込み回路の構成例を示す図。

【図5】フラグ制御回路の構成例を示す回路図。

【図6】フラグ制御回路の別な構成例を示す回路図。

【図7】非同期式相変化メモリの書き込み動作の例を示す図。

【図8】非同期式相変化メモリの読み出し動作の例を示す図。

【図9】同期式相変化メモリの構成例を示すブロック図。

【図10】同期式相変化メモリの書き込み動作の例を示す図。

【図11】同期式相変化メモリの読み出し動作の例を示す図。

40

【図12】レジスタを2段設けた構成例を示すブロック図。

【図13】レイトライト動作を行う構成例を示すブロック図。

【図14】レイトライトの書き込み動作の例を示す図。

【図15】相変化メモリを用いたシステムLSIのブロック図。

【図16】相変化メモリを用いたメモリカードのブロック図。

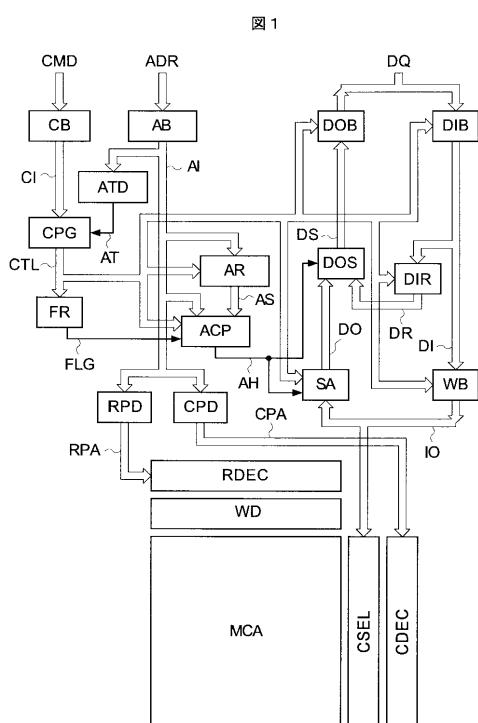
#### 【符号の説明】

AB...アドレスバッファ、AC2、ACP...アドレス比較器、ADD...外部からのアドレス信号、AH, AH2...アドレス一致信号、AI...内部アドレス、A0...選択アドレス、AR, AR1, AR2, ARL, ARD...書き込みアドレスレジスタ、AS, AS1, AS2, AL, AD...保持書き込みアドレス、ASL...アドレスセレクタ、AT...アドレス遷移信号、ATD...アドレス遷移検知回路、BL, BL0 ~ BL3...ビ

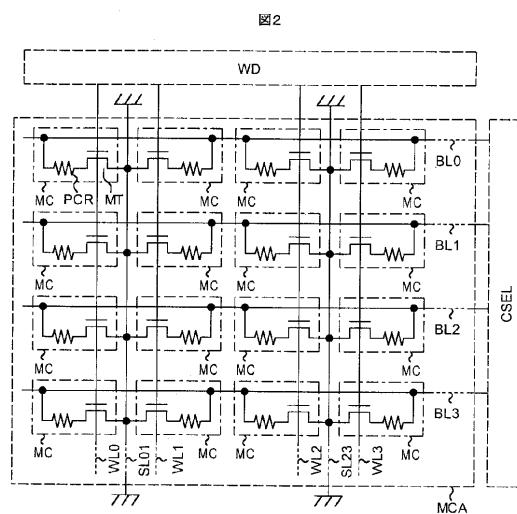
50

ツト線、CB...コマンドバッファ、CD...コマンドデコーダ、CDEC...カラムデコーダ、CLK...外部クロック、CKB...クロックバッファ、CLKI...内部クロック、CM...キャッシュメモリモジュール、CMD...外部からの制御信号、CPA...カラムプリデコードアドレス、CPG, CPG2, CPG3...制御信号発生回路、CPD...カラムプリデコード、CPU...プロセッサモジュール、CSEL...カラムセレクタ、CSL2...カラムスイッチ、CTL...制御信号、DI...入力データ、DIB...入力バッファ、DIR, DIR1, DIR2, DRL, DRD...書き込みデータレジスタ、DLS, DLY...遅延回路、D0...読み出しデータ、DOB...出力バッファ、DOD...データ制御回路、DOS, DS3...出力データセレクタ、DQ...外部との入出力データ、DR, DR1, DR2, DL, DD...保持書き込みデータ、DS...出力データ、FLG...フラグ、FMC...フラッシュメモリカード、FR...フラグレジスタ、IO, IO0, IO1...入出力線、LMF...大容量フラッシュメモリ、MC...メモリセル、MCA...メモリセルアレイ、MCT...メモリコントローラ、PCM...相変化メモリモジュール、PCR...相変化抵抗、PMC...相変化メモリ、PMU...電源制御モジュール、PRC...周辺モジュール、RDEC...ロウデコーダ、RPA...ロウプリデコードアドレス、RPD...ロウプリデコード、SL01, SL23...ソース線、SA...センスアンプブロック、SOC...システムLSIチップ、SPG...ショットパルス発生回路、SRL...セット・リセット型ラッチ、VSS...接地電圧、WB...ライトバッファブロック、WB1...ライトバッファ、WD...ワードドライバ、WL, WL0~WL3...ワード線、WPG...書き込みパルス発生回路、WRIT...書き込み制御信号。

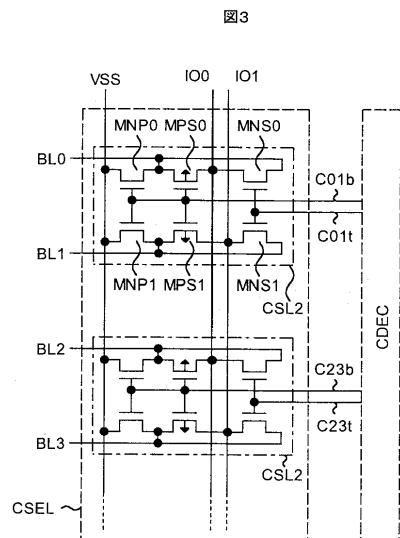
【図1】



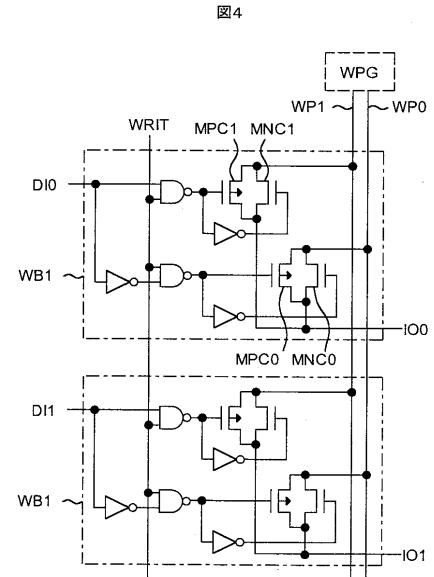
【図2】



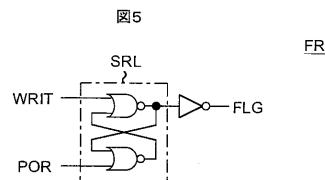
【図3】



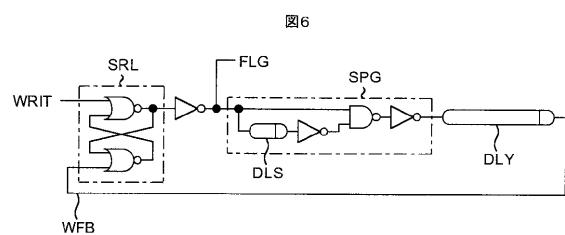
【図4】



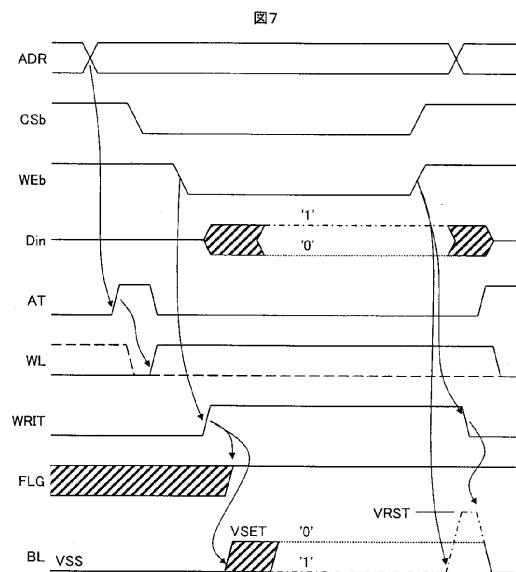
【図5】



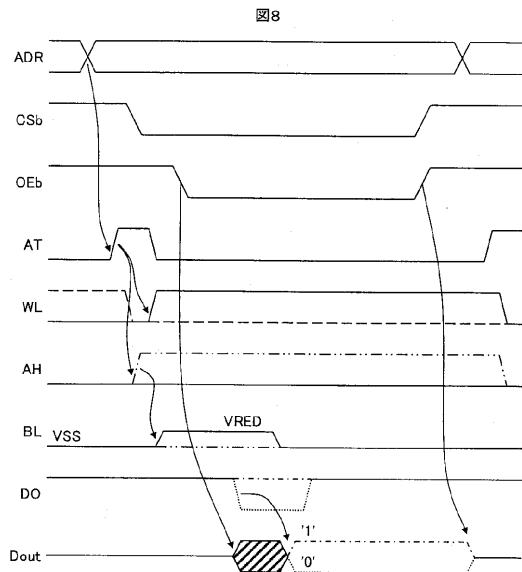
【図6】



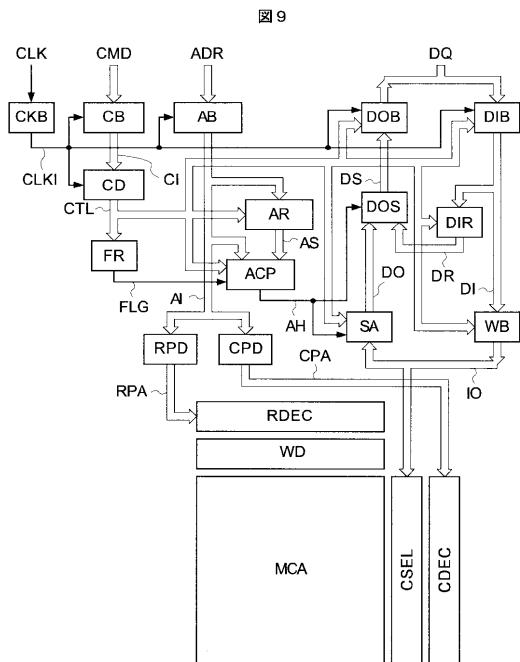
【図7】



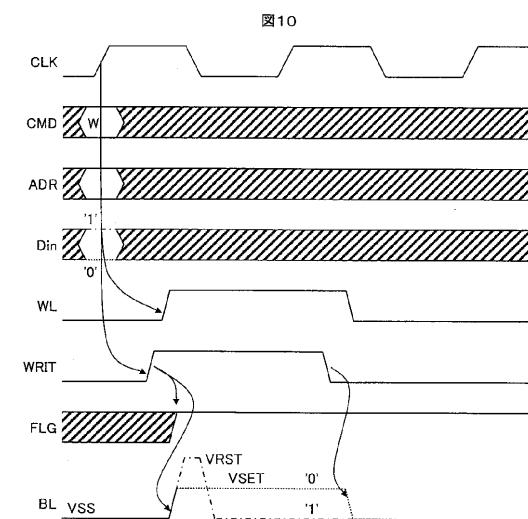
【図8】



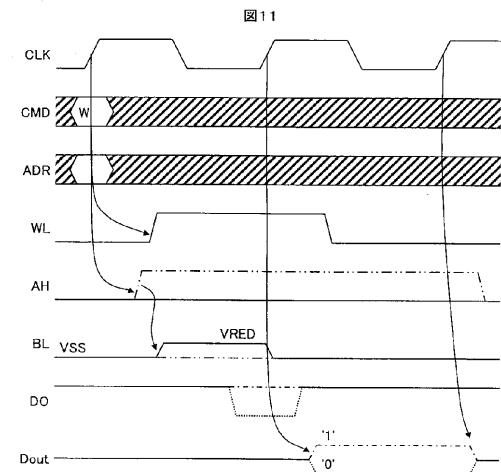
【図9】



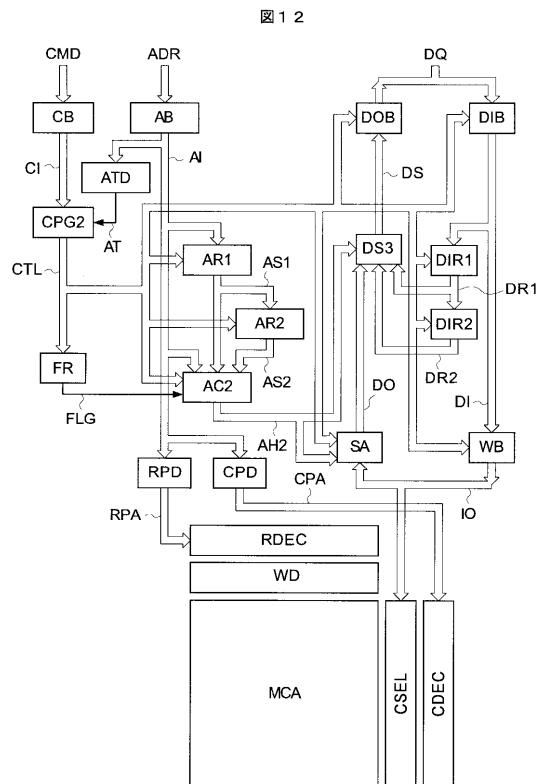
【図10】



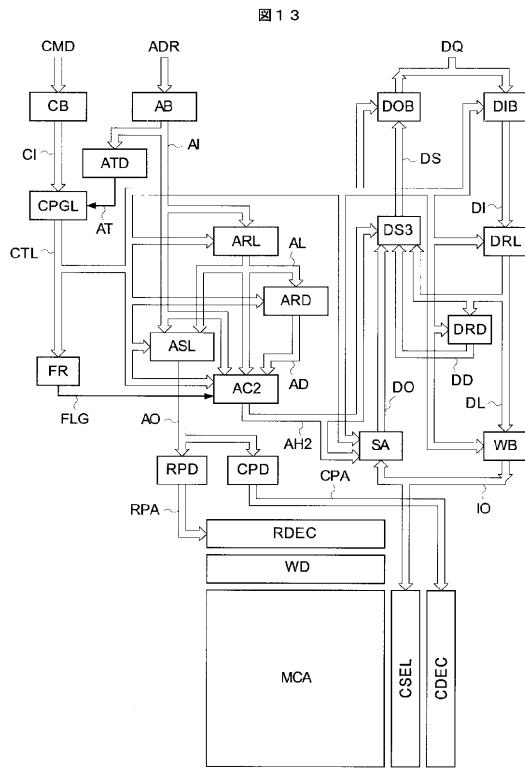
【図11】



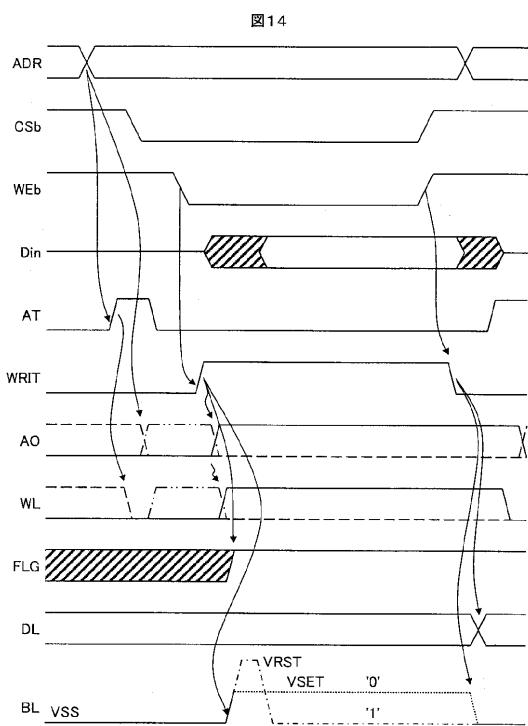
【図12】



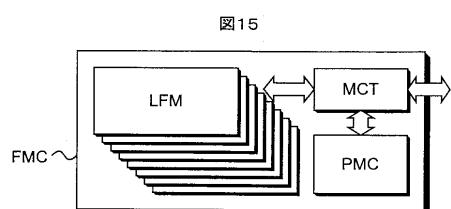
【図13】



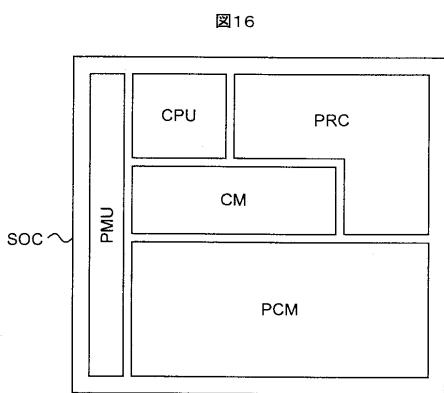
【図14】



【図15】



【図16】



---

フロントページの続き

(72)発明者 松岡 秀行

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 高野 芳徳

(56)参考文献 米国特許出願公開第2003/0081451(US,A1)

特開平11-328974(JP,A)

特開平03-037897(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C