

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 7월 14일 (14.07.2016)



(10) 국제공개번호
WO 2016/111430 A1

- (51) 국제특허분류:
H04N 21/234 (2011.01) H04J 11/00 (2006.01)
H04N 21/236 (2011.01)
- (21) 국제출원번호: PCT/KR2015/007022
- (22) 국제출원일: 2015년 7월 7일 (07.07.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
62/099,594 2015년 1월 5일 (05.01.2015) US
- (71) 출원인: 엘지전자(주) (LG ELECTRONICS INC.)
[KR/KR]; 150-721 서울시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 백종섭 (BAEK, Jongseob); 137-893 서울시 서초구 양재대로 11길 19, 엘지전자 R&D 캠퍼스, Seoul (KR). 고우석 (KO, Woosuk); 137-893 서울시 서초구 양재대로 11길 19, 엘지전자 R&D 캠퍼스, Seoul (KR). 홍성룡 (HONG, Sungryong); 137-893 서울시 서초구 양재대로 11길 19, 엘지전자 R&D 캠퍼스, Seoul (KR).
- (74) 대리인: 특허법인 로얄 (ROYAL PATENT & LAW OFFICE); 151-800 서울시 관악구 남부순환로 2072, 도원회관 빌딩 1층, Seoul (KR).

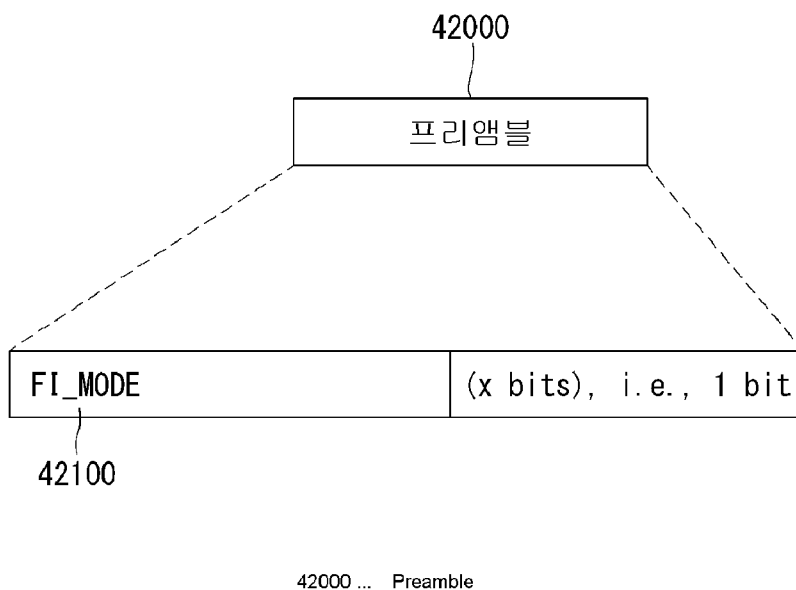
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: BROADCAST SIGNAL TRANSMISSION APPARATUS, BROADCAST SIGNAL RECEPTION APPARATUS, BROADCAST SIGNAL TRANSMISSION METHOD, AND BROADCAST SIGNAL RECEPTION METHOD

(54) 발명의 명칭: 방송 신호 송신 장치, 방송 신호 수신 장치, 방송 신호 송신 방법, 및 방송 신호 수신 방법



(57) Abstract: The present invention relates to a broadcast signal transmission method comprising the steps of: formatting input streams into at least one data transmission channel; encoding data corresponding to each of the data transmission channels transmitting service data or service component data; generating at least one signal frame comprising the encoded data; modulating the at least one signal frame by means of an orthogonal frequency division multiplexing (OFDM) scheme; and transmitting a broadcast signal comprising the at least one modulated signal frame.

(57) 요약서: 본 명세서는 방송 신호를 전송하기 위한 방법에 있어서, 상기 방법은 인풋 스트림(Input Stream)들을 적어도 하나의 데이터 전송 채널(data transmission channel)로 포맷팅하는 단계; 서비스 데이터(service data) 또는 서비스 컴포넌트 데이터(service component data)를 전송하는 데이터 전송 채널 각각에 대응하는 데이터를 인코딩하는 단계; 상기 인코딩된 데이터를 포함하는

적어도 하나의 신호 프레임 생성하는 단계; OFDM(Orthogonal Frequency Division Multiplexing) 방식에 의해 상기 적어도 하나의 신호 프레임을 변조하는 단계; 및 상기 적어도 하나의 변조된 신호 프레임을 포함하는 방송 신호를 전송하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

명세서

발명의 명칭: 방송 신호 송신 장치, 방송 신호 수신 장치, 방송 신호 송신 방법, 및 방송 신호 수신 방법

기술분야

[0001] 본 발명은 방송 신호 송신 장치, 방송 신호 수신 장치, 및 방송 신호 송수신 방법에 관한 것이다.

배경기술

[0002] 아날로그 방송 신호 송신이 종료됨에 따라, 디지털 방송 신호를 송수신하기 위한 다양한 기술이 개발되고 있다. 디지털 방송 신호는 아날로그 방송 신호에 비해 더 많은 양의 비디오/오디오 데이터를 포함할 수 있고, 비디오/오디오 데이터뿐만 아니라 다양한 종류의 부가 데이터를 더 포함할 수 있다.

발명의 요약

기술적 과제

[0003] 즉, 디지털 방송 시스템은 HD(High Definition) 이미지, 멀티채널(multi channel, 다채널) 오디오, 및 다양한 부가 서비스를 제공할 수 있다.

[0004] 그러나, 디지털 방송을 위해서는, 많은 양의 데이터 전송에 대한 데이터 전송 효율, 송수신 네트워크의 견고성(robustness), 및 모바일 수신 장치를 고려한 네트워크 유연성(flexibility)이 향상되어야 한다.

[0005] 따라서, 본 명세서는 주파수 인터리버(Frequency Interleaver:FI)에서 OFDM symbol pair 별로 서로 다른 인터리빙-시드(interleaving-seed)를 사용함으로써 주파수 다이버시티 효과를 극대화하기 위한 방법을 제공함에 목적이 있다.

[0006] 또한, 본 명세서는 주파수 인터리버를 포함하는 방송 송신 장치에서 주파수 인터리버의 사용 여부를 나타내는 정보를 제공함에 목적이 있다.

[0007] 본 명세서에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[0008] 본 명세서는 방송 신호를 전송하기 위한 방법에 있어서, 상기 방법은 인풋 스트림(Input Stream)들을 적어도 하나의 데이터 전송 채널(data transmission channel)로 포맷팅하는 단계; 서비스 데이터(service data) 또는 서비스 컴포넌트 데이터(service component data)를 전송하는 데이터 전송 채널 각각에 대응하는 데이터를 인코딩하는 단계; 상기 인코딩된 데이터를 포함하는 적어도 하나의 신호 프레임 생성하는 단계; OFDM(Orthogonal Frequency Division Multiplexing) 방식에 의해 상기 적어도 하나의 신호 프레임을 변조하는 단계; 및 상기 적어도 하나의 변조된 신호 프레임을 포함하는 방송 신호를 전송하는

단계를 포함하여 이루어지는 것을 특징으로 한다.

- [0009] 또한, 본 명세서에서 상기 신호 프레임은 주파수 인터리버(Frequency Interleaver:FI)가 사용되는지 또는 사용되지 않는지를 나타내는 제어 정보를 포함하는 것을 특징으로 한다.
- [0010] 또한, 본 명세서에서 상기 신호 프레임은 물리계층 시그널링 데이터를 전달하는 프리앰블(preamble)을 더 포함하며, 상기 제어 정보는 상기 프리앰블에 포함되는 것을 특징으로 한다.
- [0011] 또한, 본 명세서에서 상기 적어도 하나의 신호 프레임을 생성하는 단계는상기 적어도 하나의 신호 프레임에서 데이터를 주파수 인터리빙(frequency interleaving)하는 단계를 더 포함하며, 상기 주파수 인터리빙(frequency interleaving)은 OFDM symbol pair 별로 서로 다른 인터리빙-시드(interleaving-seed)를 사용하며, 상기 주파수 인터리빙(frequency interleaving)은 2개의 메모리를 사용하며, 상기 OFDM symbol pair는 2개의 연속된 OFDM symbols로 구성되는 것을 특징으로 한다.
- [0012] 또한, 본 명세서에서 상기 주파수 인터리빙(frequency interleaving)하는 단계는 짝수 번째(even) OFDM symbol pair와 홀수 번째(odd) OFDM symbol pair를 서로 다른 메모리를 통해 주파수 인터리빙하며, 상기 짝수 번째(even) OFDM symbol pair와 상기 홀수 번째(odd) OFDM symbol pair 간에는 서로 다른 인터리빙-시드(interleaving-seed)를 사용하는 것을 특징으로 한다.
- [0013] 또한, 본 명세서에서 상기 주파수 인터리빙(frequency interleaving)은 제 1 인터리빙 시퀀스 제너레이터(interleaving sequence generator) 및 제 2 인터리빙 시퀀스 제너레이터에 의해 각각 생성되는 인터리빙-시드를 통해 수행되는 것을 특징으로 한다.
- [0014] 또한, 본 명세서에서 OFDM symbol pair마다 사용되는 서로 다른 인터리빙-시드는 순환 이동 값(cyclic shift value)를 사용함으로써 생성되며, 상기 순환 이동 값(cyclic shift value)는 상기 제 2 인터리빙 시퀀스 제너레이터에 의해 생성되는 심볼 오프셋 값(symbol offset value)인 것을 특징으로 한다.
- [0015] 또한, 본 명세서에서 상기 제어 정보는 주파수 인터리버 모드(FI_MODE) 정보인 것을 특징으로 한다.
- [0016] 또한, 본 명세서는 방송 신호를 전송하기 위한 송신 장치에 있어서, 인풋 스트림들(Input Streams)을 다수의 데이터 전송 채널(data transmission channel)들로 포맷팅하기 위한 인풋 포맷터(input formatter); 서비스 데이터 또는 서비스 컴포넌트 데이터를 전송하는 데이터 전송 채널각각에 대응하는 데이터를 인코딩하기 위한 인코더(encoder); 상기 인코딩된 데이터를 포함하는 적어도 하나의 신호 프레임을 생성하기 위한 프레임링 및 인터리빙(Framing & Interleaving) 모듈; OFDM(Orthogonal Frequency Division Multiplexing) 방식에 의해 상기 적어도 하나의 신호 프레임을 변조하기 위한 모듈레이터(modulator); 및 상기 적어도 하나의 변조된 신호 프레임을 포함하는 방송 신호를 전송하기

위한 전송기(transmitter)를 포함하되, 상기 프레이밍 및 인터리빙(Framing & Interleaving) 모듈은 상기 적어도 하나의 신호 프레임에서 데이터를 주파수 인터리빙(frequency interleaving)하기 위한 주파수 인터리버(Frequency Interleaver)를 포함하는 것을 특징으로 한다.

발명의 효과

- [0017] 본 발명은 서비스 특성에 따라 데이터를 처리하여 각 서비스 또는 서비스 컴포넌트에 대한 QoS (Quality of Service)를 제어함으로써 다양한 방송 서비스를 제공할 수 있다.
- [0018] 또한, 본 발명은 동일한 RF (radio frequency) 신호 대역폭을 통해 다양한 방송 서비스를 전송함으로써 전송 유연성(flexibility)을 달성할 수 있다.
- [0019] 또한, 본 발명은 MIMO (Multiple-Input Multiple-Output) 시스템을 이용하여 데이터 전송 효율 및 방송 신호의 송수신 견고성(Robustness)을 향상시킬 수 있다.
- [0020] 또한, 본 발명에 따르면, 모바일 수신 장치를 사용하거나 실내 환경에 있더라도, 애러 없이 디지털 방송 신호를 수신할 수 있는 방송 신호 송신 및 수신 방법 및 장치를 제공할 수 있다.
- [0021] 또한, 본 명세서는 주파수 인터리버(Frequency Interleaver:FI)에서 OFDM symbol pair 별로 서로 다른 인터리빙-시드(interleaving-seed)를 사용함으로써 주파수 다이버시티 효과를 극대화할 수 있는 효과가 있다.
- [0022] 또한, 본 명세서는 주파수 인터리버의 사용 여부를 나타내는 정보를 프리앰블을 통해 전송함으로써, 방송 수신 장치에서 데이터 디코딩 전에 수신된 신호에 주파수 인터리빙이 수행되었는지를 미리 알 수 있도록 하여 데이터 복원 속도를 높일 수 있는 효과가 있다.
- [0023] 또한, 본 명세서는 FI 동작을 On 또는 Off시키는 FI mode 정보의 운영을 통해 FI 동작을 off시킴으로써, FDM을 지원할 수 있는 효과가 있다.
- [0024] 본 명세서에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0025] 본 발명에 대해 더욱 이해하기 위해 포함되며 본 출원에 포함되고 그 일부를 구성하는 첨부된 도면은 본 발명의 원리를 설명하는 상세한 설명과 함께 본 발명의 실시예를 나타낸다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치의 구조를 나타낸다.
- [0027] 도 2는 본 발명의 일 실시예에 따른 인풋 포매팅(Input formatting, 입력 포맷) 블록을 나타낸다.
- [0028] 도 3은 본 발명의 다른 일 실시예에 따른 인풋 포매팅(Input formatting, 입력

포맷) 블록을 나타낸다.

[0029] 도 4는 본 발명의 다른 일 실시예에 따른 인풋 포매팅(Input formatting, 입력 포맷) 블록을 나타낸다.

[0030] 도 5는 본 발명의 일 실시예에 따른 BICM (bit interleaved coding & modulation) 블록을 나타낸다.

[0031] 도 6은 본 발명의 다른 일 실시예에 따른 BICM 블록을 나타낸다.

[0032] 도 7은 본 발명의 일 실시예에 따른 프레임 빌딩(Frame Building, 프레임 생성) 블록을 나타낸다.

[0033] 도 8은 본 발명의 일 실시예에 따른 OFDM (orthogonal frequency division multiplexing) 제너레이션(generation, 생성) 블록을 나타낸다.

[0034] 도 9는 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치의 구조를 나타낸다.

[0035] 도 10은 본 발명의 일 실시예에 따른 프레임 구조를 나타낸다.

[0036] 도 11은 본 발명의 일 실시예에 따른 프레임의 시그널링 계층 구조를 나타낸다.

[0037] 도 12는 본 발명의 일 실시예에 따른 프리앰블 시그널링 데이터를 나타낸다.

[0038] 도 13은 본 발명의 일 실시예에 따른 PLS1 데이터를 나타낸다.

[0039] 도 14는 본 발명의 일 실시예에 따른 PLS2 데이터를 나타낸다.

[0040] 도 15는 본 발명의 다른 일 실시예에 따른 PLS2 데이터를 나타낸다.

[0041] 도 16은 본 발명의 일 실시예에 따른 프레임의 로지컬(logical, 논리) 구조를 나타낸다.

[0042] 도 17은 본 발명의 일 실시예에 따른 PLS (physical layer signalling) 매핑을 나타낸다.

[0043] 도 18은 본 발명의 일 실시예에 따른 EAC (emergency alert channel) 매핑을 나타낸다.

[0044] 도 19는 본 발명의 일 실시예에 따른 FIC (fast information channel) 매핑을 나타낸다.

[0045] 도 20은 본 발명의 일 실시예에 따른 DP(data pipe, 데이터 파이프)의 타입을 나타낸다.

[0046] 도 21은 본 발명의 일 실시예에 따른 DP(data pipe, 데이터 파이프) 매핑을 나타낸다.

[0047] 도 22는 본 발명의 일 실시예에 따른 FEC (forward error correction) 구조를 나타낸다.

[0048] 도 23은 본 발명의 일 실시예에 따른 비트 인터리빙을 나타낸다.

[0049] 도 24는 본 발명의 일 실시예에 따른 셀-워드 디멀티플렉싱을 나타낸다.

[0050] 도 25는 본 발명의 일 실시예에 따른 타임 인터리빙을 나타낸다.

[0051] 도 26은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 기본 동작을 나타낸다.

[0052] 도 27은 본 발명의 다른 일 실시예에 따른 트위스트된 행-열 블록 인터리버의

동작을 나타낸다.

- [0053] 도 28은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 대각선 방향 읽기 패턴을 나타낸다.
- [0054] 도 29는 본 발명의 일 실시예에 따른 각 인터리빙 어레이(array)로부터 인터리빙된 XFECBLOCK을 나타낸다.
- [0055] 도 30은 도 9의 synchronization 및 demodulation 모듈의 일 예를 나타낸 도면이다.
- [0056] 도 31은 도 9의 프레임 파싱 모듈의 일 예를 나타낸 도면이다.
- [0057] 도 32는 도 9의 demapping 및 decoding 모듈의 일 예를 나타낸 도면이다.
- [0058] 도 33은 도 9의 output processor의 일 예를 나타낸 도면이다.
- [0059] 도 34는 도 9의 output processor의 또 다른 일 예를 나타낸 도면이다.
- [0060] 도 35는 본 발명의 다른 실시예에 따른 코딩 엔 모듈레이션 모듈을 나타낸 도면이다.
- [0061] 도 36은 본 발명의 다른 실시예에 따른 demapping 및 decoding 모듈을 나타낸 도면이다.
- [0062] 도 37은 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치의 또 다른 구조를 나타낸 도이다.
- [0063] 도 38은 본 발명의 일 실시예에 따른 간략화된 TDM 방송 송신 시스템 및 LDM 방송 송신 시스템을 나타낸 도이다.
- [0064] 도 39는 본 발명의 일 실시예에 따른 프레임링 및 인터리빙(Framing & Interleaving) 블록을 나타낸다.
- [0065] 도 40은 본 발명의 일 실시예가 적용될 수 있는 ATSC 3.0 프레임(frame)구조의 일 예를 나타낸 도이다.
- [0066] 도 41은 도 7의 프레임 빌딩 블록의 또 다른 일 예를 나타낸 도이다.
- [0067] 도 42는 본 발명의 일 실시예가 적용될 수 있는 프리앰블(Preamble) 포맷의 일 예를 나타낸 도이다.
- [0068] 도 43은 도 31의 프레임 파싱(Frame Parsing) 블록의 또 다른 내부 블록도를 나타낸 도이다.
- [0069] 도 44는 본 발명의 일 실시예에 따른 주파수 인터리버의 동작을 나타낸 도면이다.
- [0070] 도 45는 본 발명의 일 실시예에 따른 MUX 및 DEMUX 방법에 대한 기본적인 스위치 모델(basic switch model)을 나타낸다.
- [0071] 도 46은 본 발명의 일 실시예에 따른 메모리 뱅크의 동작을 나타낸다.
- [0072] 도 47은 본 발명의 일 실시예에 따른 프리퀀시 디인터리빙 과정을 나타낸 도면이다.
- [0073] 도 48은 본 발명의 일 실시예에 따른 하나의 슈퍼 프레임에 적용되는 프리퀀시 인터리빙의 개념도를 나타낸다.
- [0074] 도 49는 본 명세서에서 제안하는 하나의 슈퍼 프레임에 적용되는 프리퀀시

인터리빙의 logical operation mechanism을 나타낸 도면이다.

[0075] 도 50은 본 발명의 일 실시예에 따른 하나의(single) 수퍼 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism의 수학적식을 나타낸다.

[0076] 도 51은 본 발명의 일 실시예에 따른 하나의 신호 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism을 나타낸 도면이다.

[0077] 도 52는 본 발명의 일 실시예에 따른 single signal 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism의 수학적식을 나타낸다.

[0078] 도 53은 본 명세서에서 제안하는 연속적인 입력 OFDM symbols(input sequential OFDM symbols)에 대한 single-memory deinterleaving을 나타낸 도면이다.

[0079] 도 54는 본 명세서에서 제안하는 방송 신호의 송신 방법의 일 예를 나타낸 순서도이다.

[0080] 도 55는 본 명세서에서 제안하는 방송 신호의 수신 방법의 일 예를 나타낸 순서도이다.

발명의 실시를 위한 형태

[0081] 본 발명의 바람직한 실시예에 대해 구체적으로 설명하며, 그 예는 첨부된 도면에 나타낸다. 첨부된 도면을 참조한 아래의 상세한 설명은 본 발명의 실시예에 따라 구현될 수 있는 실시예만을 나타내기보다는 본 발명의 바람직한 실시예를 설명하기 위한 것이다. 다음의 상세한 설명은 본 발명에 대한 철저한 이해를 제공하기 위해 세부 사항을 포함한다. 그러나 본 발명이 이러한 세부 사항 없이 실행될 수 있다는 것은 당업자에게 자명하다.

[0082] 본 발명에서 사용되는 대부분의 용어는 해당 분야에서 널리 사용되는 일반적인 것들에서 선택되지만, 일부 용어는 출원인에 의해 임의로 선택되며 그 의미는 필요에 따라 다음 설명에서 자세히 서술한다. 따라서 본 발명은 용어의 단순한 명칭이나 의미가 아닌 용어의 의도된 의미에 근거하여 이해되어야 한다.

[0083] 본 발명은 차세대 방송 서비스에 대한 방송 신호 송신 및 수신 장치 및 방법을 제공한다. 본 발명의 일 실시예에 따른 차세대 방송 서비스는 지상파 방송 서비스, 모바일 방송 서비스, UHDTV 서비스 등을 포함한다. 본 발명은 일 실시예에 따라 비-MIMO (non-Multiple Input Multiple Output) 또는 MIMO 방식을 통해 차세대 방송 서비스에 대한 방송 신호를 처리할 수 있다. 본 발명의 일 실시예에 따른 비-MIMO 방식은 MISO (Multiple Input Single Output) 방식, SISO (Single Input Single Output) 방식 등을 포함할 수 있다.

[0084] 이하에서는 설명의 편의를 위해 MISO 또는 MIMO 방식은 두 개의 안테나를 사용하지만, 본 발명은 두 개 이상의 안테나를 사용하는 시스템에 적용될 수 있다. 본 발명은 특정 용도에 요구되는 성능을 달성하면서 수신기 복잡도를 최소화하기 위해 최적화된 세 개의 피지컬 프로파일(PHY profile) (베이스(base), 핸드헬드(handheld), 어드밴스(advanced) 프로파일)을 정의할 수 있다. 피지컬 프로파일은 해당하는 수신기가 구현해야 하는 모든 구조의 서브셋이다.

[0085] 세 개의 피지컬 프로파일은 대부분의 기능 블록을 공유하지만, 특정 블록 및/또는 파라미터에서는 약간 다르다. 추후에 추가로 피지컬 프로파일이 정의될 수 있다. 시스템 발전을 위해, 퓨처 프로파일은 FEF (future extension frame)을 통해 단일 RF (radio frequency) 채널에 존재하는 프로파일과 멀티플렉싱 될 수도 있다. 각 피지컬 프로파일에 대한 자세한 내용은 후술한다.

[0086] 1. 베이스 프로파일

[0087] 베이스 프로파일은 주로 루프 톱(roof-top) 안테나와 연결되는 고정된 수신 장치의 주된 용도를 나타낸다. 베이스 프로파일은 어떤 장소로 이동될 수 있지만 비교적 정지된 수신 범주에 속하는 휴대용 장치도 포함할 수 있다. 베이스 프로파일의 용도는 약간의 개선된 실행에 의해 핸드헬드 장치 또는 차량용으로 확장될 수 있지만, 이러한 사용 용도는 베이스 프로파일 수신기 동작에서는 기대되지 않는다.

[0088] 수신기의 타겟 신호 대 잡음비 범위는 대략 10 내지 20 dB인데, 이는 기존 방송 시스템(예를 들면, ATSC A/53)의 15 dB 신호 대 잡음비 수신 능력을 포함한다. 수신기 복잡도 및 소비 전력은 핸드헬드 프로파일을 사용할 배터리로 구동되는 핸드헬드 장치에서만 중요하지 않다. 베이스 프로파일에 대한 중요 시스템 파라미터가 아래 표 1에 기재되어 있다.

[0089] [표1]

LDPC 코드워드 길이	16K, 64K 비트
컨스텔레이션 사이즈	4~10 bpcu (bits per channel use)
타임 디인터리빙 메모리 사이즈	≤ 219 데이터 셀
파일럿 패턴	고정 수신에 대한 파일럿 패턴
FFT 사이즈	16K, 32K points

[0090] 2. 핸드헬드 프로파일

[0091] 핸드헬드 프로파일은 배터리 전원으로 구동되는 핸드헬드 및 차량용 장치에서의 사용을 위해 설계된다. 해당 장치는 보행자 또는 차량 속도로 이동할 수 있다. 수신기 복잡도뿐만 아니라 소비 전력은 핸드헬드 프로파일의 장치의 구현을 위해 매우 중요하다. 핸드헬드 프로파일의 타겟 신호 대 잡음비 범위는 대략 0 내지 10 dB이지만, 더 낮은 실내 수신을 위해 의도된 경우 0 dB 아래에 달하도록 설정될 수 있다.

[0092] 저 신호 대 잡음비 능력뿐만 아니라, 수신기 이동성에 의해 나타난 도플러 효과에 대한 복원력은 핸드헬드 프로파일의 가장 중요한 성능 속성이다. 핸드헬드 프로파일에 대한 중요 시스템 파라미터가 아래 표 2에 기재되어 있다.

[0093]

[표2]

LDPC 코드워드 길이	16K 비트
컨스텔레이션 사이즈	2~8 bpcu
타임 디인터리빙 메모리 사이즈	≤ 218 데이터 셀
파일럿 패턴	이동 및 실내 수신에 대한 파일럿 패턴
FFT 사이즈	8K, 16K points

[0094] 3. 어드벤스 프로파일

[0095] 어드벤스 프로파일은 더 큰 실행 복잡도에 대한 대가로 더 높은 채널 능력을 제공한다. 해당 프로파일은 MIMO 송신 및 수신을 사용할 것을 요구하며, UHDTV 서비스는 타겟 용도이고, 이를 위해 해당 프로파일이 특별히 설계된다. 향상된 능력은 주어진 대역폭에서 서비스 수의 증가, 예를 들면, 다수의 SDTV 또는 HDTV 서비스를 허용하는 데도 사용될 수 있다.

[0096] 어드벤스 프로파일의 타겟 신호 대 잡음비 범위는 대략 20 내지 30 dB이다. MIMO 전송은 초기에는 기존의 타원 분극 전송 장비를 사용하고, 추후에 전출력 교차 분극 전송으로 확장될 수 있다. 어드벤스 프로파일에 대한 중요 시스템 파라미터가 아래 표 3에 기재되어 있다.

[0097] [표3]

LDPC 코드워드 길이	16K, 64K 비트
컨스텔레이션 사이즈	8~12 bpcu
타임 디인터리빙 메모리 사이즈	≤ 219 데이터 셀
파일럿 패턴	고정 수신에 대한 파일럿 패턴
FFT 사이즈	16K, 32K points

[0098]

[0099]

[0100]

[0101]

[0102]

[0103] 이 경우, 베이스 프로파일은 지상파 방송 서비스 및 모바일 방송 서비스 모두에 대한 프로파일로 사용될 수 있다. 즉, 베이스 프로파일은 모바일 프로파일을 포함하는 프로파일의 개념을 정의하기 위해 사용될 수 있다. 또한, 어드벤스 프로파일은 MIMO를 갖는 베이스 프로파일에 대한 어드벤스 프로파일 및 MIMO를 갖는 핸드헬드 프로파일에 대한 어드벤스 프로파일로 구분될 수 있다. 그리고 해당 세 프로파일은 설계자의 의도에 따라 변경될 수 있다.

[0104] 다음의 용어 및 정의는 본 발명에 적용될 수 있다. 다음의 용어 및 정의는

설계에 따라 변경될 수 있다.

- [0105] 보조 스트림: 퓨처 익스텐션(future extension, 추후 확장) 또는 방송사나 네트워크 운영자에 의해 요구됨에 따라 사용될 수 있는 아직 정의되지 않은 변조 및 코딩의 데이터를 전달하는 셀의 시퀀스
- [0106] 베이스 데이터 파이프(base data pipe): 서비스 시그널링 데이터를 전달하는 데이터 파이프
- [0107] 베이스밴드 프레임 (또는 BBFRAME): 하나의 FEC 인코딩 과정 (BCH 및 LDPC 인코딩)에 대한 입력을 형성하는 Kbch 비트의 집합
- [0108] 셀(cell): OFDM 전송의 하나의 캐리어에 의해 전달되는 변조값
- [0109] 코딩 블록(coded block): PLS1 데이터의 LDPC 인코딩된 블록 또는 PLS2 데이터의 LDPC 인코딩된 블록들 중 하나
- [0110] 데이터 파이프(data pipe): 하나 또는 다수의 서비스 또는 서비스 컴포넌트를 전달할 수 있는 서비스 데이터 또는 관련된 메타데이터를 전달하는 물리 계층(physical layer)에서의 로지컬 채널
- [0111] 또한, 데이터 파이프는 데이터 전송 채널로 표현될 수 있다.
- [0112] 데이터 파이프 유닛(DPU, data pipe unit): 데이터 셀을 프레임에서의 데이터 파이프에 할당할 수 있는 기본 유닛
- [0113] 데이터 심볼(data symbol): 프리앰블 심볼이 아닌 프레임에서의 OFDM 심볼 (프레임 시그널링 심볼 및 프레임 엣지(edge) 심볼은 데이터 심볼에 포함된다.)
- [0114] DP_ID: 해당 8비트 필드는 SYSTEM_ID에 의해 식별된 시스템 내에서 데이터 파이프를 유일하게 식별한다.
- [0115] 더미 셀(dummy cell): PLS (physical layer signalling) 시그널링, 데이터 파이프, 또는 보조 스트림을 위해 사용되지 않은 남아 있는 용량을 채우는 데 사용되는 의사 랜덤값을 전달하는 셀
- [0116] FAC (emergency alert channel, 비상 경보 채널): EAS 정보 데이터를 전달하는 프레임 중 일부
- [0117] 프레임(frame): 프리앰블로 시작해서 프레임 엣지 심볼로 종료되는 물리 계층(physical layer) 타임 슬롯
- [0118] 프레임 리피티션 유닛(frame repetition unit, 프레임 반복 단위): 슈퍼 프레임(super-frame)에서 8회 반복되는 FEF를 포함하는 동일한 또는 다른 피지컬 프로파일에 속하는 프레임의 집합
- [0119] FIC (fast information channel, 고속 정보 채널): 서비스와 해당 베이스 데이터 파이프 사이에서의 매핑 정보를 전달하는 프레임에서 로지컬 채널
- [0120] FECBLOCK: 데이터 파이프 데이터의 LDPC 인코딩된 비트의 집합
- [0121] FFT 사이즈: 기본 주기 T의 사이클로 표현된 액티브 심볼 주기 Ts와 동일한 특정 모드에 사용되는 명목상의 FFT 사이즈
- [0122] 프레임 시그널링 심볼(frame signaling symbol): PLS 데이터의 일부를 전달하는, FFT 사이즈, 가드 인터벌(guard interval), 및 스캐터(scattered) 파일럿 패턴의 특정

- 조합에서 프레임의 시작에서 사용되는 더 높은 파일럿 밀도를 갖는 OFDM 심볼
- [0123] 프레임 엣지 심볼(frame edge symbol): FFT 사이즈, 가드 인터벌, 및 스캐터 파일럿 패턴의 특정 조합에서 프레임의 끝에서 사용되는 더 높은 파일럿 밀도를 갖는 OFDM 심볼
- [0124] 프레임 그룹(frame-group): 슈퍼 프레임에서 동일한 피지컬 프로파일 타입을 갖는 모든 프레임의 집합
- [0125] 퓨처 익스텐션 프레임(future extention frame, 추후 확장 프레임): 프리앰블로 시작하는, 추후 확장에 사용될 수 있는 슈퍼 프레임 내에서 물리 계층(physical layer) 타임 슬롯
- [0126] 퓨처캐스트(futurecast) UTB 시스템: 입력이 하나 이상의 MPEG2-TS 또는 IP (Internet protocol) 또는 일반 스트림이고 출력이 RF 시그널인 제안된 물리 계층(physical layer) 방송 시스템
- [0127] 인풋 스트림(input stream, 입력 스트림): 시스템에 의해 최종 사용자에게 전달되는 서비스의 조화(ensemble)를 위한 데이터의 스트림
- [0128] 노멀(normal) 데이터 심볼: 프레임 시그널링 심볼 및 프레임 엣지 심볼을 제외한 데이터 심볼
- [0129] 피지컬 프로파일(PHY profile): 해당하는 수신기가 구현해야 하는 모든 구조의 서브셋
- [0130] PLS: PLS1 및 PLS2로 구성된 물리 계층(physical layer) 시그널링 데이터
- [0131] PLS1: PLS2를 디코딩하는 데 필요한 파라미터뿐만 아니라 시스템에 관한 기본 정보를 전달하는 고정된 사이즈, 코딩, 변조를 갖는 FSS (frame signalling symbol)로 전달되는 PLS 데이터의 첫 번째 집합
- [0132] NOTE: PLS1 데이터는 프레임 그룹의 듀레이션(duration) 동안 일정하다.
- [0133] PLS2: 데이터 파이프 및 시스템에 관한 더욱 상세한 PLS 데이터를 전달하는 FSS로 전송되는 PLS 데이터의 두 번째 집합
- [0134] PLS2 다이내믹(dynamic, 동적) 데이터: 프레임마다 다이내믹(dynamic, 동적)으로 변화하는 PLS2 데이터
- [0135] PLS2 스테틱(static, 정적) 데이터: 프레임 그룹의 듀레이션 동안 스테틱(static, 정적)인 PLS2 데이터
- [0136] 프리앰블 시그널링 데이터(preamble signaling data): 프리앰블 심볼에 의해 전달되고 시스템의 기본 모드를 확인하는 데 사용되는 시그널링 데이터
- [0137] 프리앰블 심볼(preamble symbol): 기본 PLS 데이터를 전달하고 프레임의 시작에 위치하는 고정된 길이의 파일럿 심볼
- [0138] NOTE: 프리앰블 심볼은 시스템 신호, 그 타이밍, 주파수 오프셋, 및 FFT 사이즈를 검출하기 위해 고속 초기 밴드 스캔에 주로 사용된다.
- [0139] 추후 사용(future use)을 위해 리저브드(reserved): 현재 문서에서 정의되지 않지만 추후에 정의될 수 있음
- [0140] 슈퍼 프레임(superframe): 8개의 프레임 반복 단위의 집합

- [0141] 타임 인터리빙 블록(time interleaving block, TI block): 타임 인터리버 메모리의 하나의 용도에 해당하는, 타임 인터리빙이 실행되는 셀의 집합
- [0142] 타임 인터리빙 그룹(time interleaving group, TI group): 정수, 다이나믹(dynamic, 동적)으로 변화하는 XFECBLOCK의 수로 이루어진, 특정 데이터 파이프에 대한 다이나믹(dynamic, 동적) 용량 할당이 실행되는 단위
- [0143] NOTE: 타임 인터리빙 그룹은 하나의 프레임에 직접 매핑되거나 다수의 프레임에 매핑될 수 있다. 타임 인터리빙 그룹은 하나 이상의 타임 인터리빙 블록을 포함할 수 있다.
- [0144] 타입 1 데이터 파이프(Type 1 DP): 모든 데이터 파이프가 프레임에 TDM (time division multiplexing) 방식으로 매핑되는 프레임의 데이터 파이프
- [0145] 타입 2 데이터 파이프(Type 2 DP): 모든 데이터 파이프가 프레임에 FDM 방식으로 매핑되는 프레임의 데이터 파이프
- [0146] XFECBLOCK: 하나의 LDPC FECBLOCK의 모든 비트를 전달하는 Ncells 셀들의 집합
- [0147] 블록 인터리버(Block interleaver): input data가 매트릭스(matrix)로서 구성되는 메모리의 행(row)를 따라 쓰여지고, 열(column)을 따라 읽혀지는 인터리버(interleaver)를 말한다.
- [0148] 셀 인터리버(Cell interleaver): cell 레벨(level)에서 동작하는 interleaver를 말한다.
- [0149] 인터리버(Interleaver): burst errors의 효과에 대응하기 위해 에러 정정 코드(Error Correction Code:FEC)와 결합하여 사용되는 디바이스를 말한다.
- [0150] 물리 계층 파이프(Physical Layer Pipe,PLP): Broadcaster의 필요에 맞춰질 수 있도록 할당되는 capacity와 robustness가 구체화된 구조를 말한다.
- [0151] 상기 PLP는 데이터 파이프(data pipe) 또는 데이터 전송 채널로 표현될 수도 있다.
- [0152]
- [0153] 도 1은 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치의 구조를 나타낸다.
- [0154] 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치는 인풋 포맷 블록 (Input Format block) (1000), BICM (bit interleaved coding & modulation) 블록(1010), 프레임 빌딩 블록 (Frame building block) (1020), OFDM (orthogonal frequency division multiplexing) 제너레이션 블록 (OFDM generation block)(1030), 및 시그널링 생성 블록(1040)을 포함할 수 있다. 방송 신호 송신 장치의 각 블록의 동작에 대해 설명한다.
- [0155] 상기 프레임 빌딩 블록 (Frame building block)은 프레이밍 & 인터리빙(Framing & Interleaving) 블록으로 표현될 수도 있다.
- [0156] IP 스트림/패킷 및 MPEG2-TS은 주요 입력 포맷이고, 다른 스트림 타입은 일반 스트림으로 다루어진다. 이들 데이터 입력에 추가로, 관리 정보가 입력되어 각 입력 스트림에 대한 해당 대역폭의 스케줄링 및 할당을 제어한다. 하나 또는

다수의 TS 스트림, IP 스트림 및/또는 일반 스트림 입력이 동시에 허용된다.

[0157] 인풋 포맷 블록(1000)은 각각의 입력 스트림을 독립적인 코딩 및 변조가 적용되는 하나 또는 다수의 데이터 파이프로 디멀티플렉싱 할 수 있다. 데이터 파이프는 견고성(robustness) 제어를 위한 기본 단위이며, 이는 QoS (Quality of Service)에 영향을 미친다. 하나 또는 다수의 서비스 또는 서비스 컴포넌트가 하나의 데이터 파이프에 의해 전달될 수 있다. 인풋 포맷 블록(1000)의 자세한 동작은 후술한다.

[0158] 데이터 파이프는 하나 또는 다수의 서비스 또는 서비스 컴포넌트를 전달할 수 있는 서비스 데이터 또는 관련 메타데이터를 전달하는 물리 계층(physical layer)에서의 로지컬 채널이다.

[0159] 상기 데이터 파이프는 데이터 전송 채널(Data Transport Channel) 또는 물리 계층 파이프(Physical Layer Pipe:PLP)로 표현될 수 있다.

[0160] 또한, 데이터 파이프 유닛은 하나의 프레임에서 데이터 셀을 데이터 파이프에 할당하기 위한 기본 유닛이다.

[0161] 인풋 포맷 블록(1000)에서, 패리티(parity) 데이터는 에러 정정을 위해 추가되고, 인코딩된 비트 스트림은 복소수값 컨스텔레이션 심볼에 매핑된다. 해당 심볼은 해당 데이터 파이프에 사용되는 특정 인터리빙 깊이에 걸쳐 인터리빙 된다. 어드벤스 프로파일에 있어서, BICM 블록(1010)에서 MIMO 인코딩이 실행되고 추가 데이터 경로가 MIMO 전송을 위해 출력에 추가된다. BICM 블록(1010)의 자세한 동작은 후술한다.

[0162] 프레임 빌딩 블록(1020)은 하나의 프레임 내에서 입력 데이터 파이프의 데이터 셀을 OFDM 심볼로 매핑할 수 있다. 매핑 후, 주파수 영역 다이버시티를 위해, 특히 주파수 선택적 페이딩 채널을 방지하기 위해 주파수 인터리빙이 이용된다. 프레임 빌딩 블록(1020)의 자세한 동작은 후술한다.

[0163] 상기 프레임 빌딩 블록 (Frame building block)은 프레이밍 & 인터리빙(Framing & Interleaving) 블록으로 표현될 수도 있다.

[0164] 프리앰블을 각 프레임의 시작에 삽입한 후, OFDM 제너레이션 블록(1030)은 사이클릭 프리픽스(cyclic prefix)을 가드 인터벌로 갖는 기존의 OFDM 변조를 적용할 수 있다. 안테나 스페이스 다이버시티를 위해, 분산된(distributed) MISO 방식이 송신기에 걸쳐 적용된다. 또한, PAPR (peak-to-average power ratio) 방식이 시간 영역에서 실행된다. 유연한 네트워크 방식을 위해, 해당 제안은 다양한 FFT 사이즈, 가드 인터벌 길이, 해당 파일럿 패턴의 집합을 제공한다. OFDM 제너레이션 블록(1030)의 자세한 동작은 후술한다.

[0165] 시그널링 생성 블록(1040)은 각 기능 블록의 동작에 사용되는 물리 계층(physical layer) 시그널링 정보를 생성할 수 있다. 해당 시그널링 정보는 또한 관심 있는 서비스가 수신기 측에서 적절히 복구되도록 전송된다. 시그널링 생성 블록(1040)의 자세한 동작은 후술한다.

[0166]

- [0167] 도 2, 3, 4는 본 발명의 실시예에 따른 인풋 포맷 블록(1000)을 나타낸다. 각 도면에 대해 설명한다.
- [0168] 도 2는 본 발명의 일 실시예에 따른 인풋 포맷 블록을 나타낸다. 도 2는 입력 신호가 단일 입력 스트림(single input stream)일 때의 인풋 포맷 블록을 나타낸다.
- [0169] 도 2에 도시된 인풋 포맷 블록은 도 1을 참조하여 설명한 인풋 포맷 블록(1000)의 일 실시예에 해당한다.
- [0170] 물리 계층(physical layer)으로의 입력은 하나 또는 다수의 데이터 스트림으로 구성될 수 있다. 각각의 데이터 스트림은 하나의 데이터 파이프에 의해 전달된다. 모드 어댑테이션(mode adaptaion, 모드 적응) 모듈은 입력되는 데이터 스트림을 BBF (baseband frame)의 데이터 필드로 슬라이스한다. 해당 시스템은 세 가지 종류의 입력 데이터 스트림, 즉 MPEG2-TS, IP, GS (generic stream)을 지원한다. MPEG2-TS는 첫 번째 바이트가 동기 바이트(0x47)인 고정된 길이(188 바이트)의 패킷을 특징으로 한다. IP 스트림은 IP 패킷 헤더 내에서 시그널링되는 가변 길이 IP 데이터그램 패킷으로 구성된다. 해당 시스템은 IP 스트림에 대해 IPv4와 IPv6을 모두 지원한다. GS는 캡슐화 패킷 헤더 내에서 시그널링되는 가변 길이 패킷 또는 일정 길이 패킷으로 구성될 수 있다.
- [0171] (a)는 신호 데이터 파이프에 대한 모드 어댑테이션(mode adaptaion, 모드 적응) 블록(2000) 및 스트림 어댑테이션(stream adaptation, 스트림 적응)(2010)을 나타내고, (b)는 PLS 데이터를 생성 및 처리하기 위한 PLS 생성 블록(2020) 및 PLS 스크램블러(2030)를 나타낸다. 각 블록의 동작에 대해 설명한다.
- [0172] 입력 스트림 스플리터는 입력된 TS, IP, GS 스트림을 다수의 서비스 또는 서비스 컴포넌트(오디오, 비디오 등) 스트림으로 분할한다. 모드 어댑테이션(mode adaptaion, 모드 적응) 모듈(2010)은 CRC 인코더, BB (baseband) 프레임 슬라이서, 및 BB 프레임 헤더 삽입 블록으로 구성된다.
- [0173] CRC 인코더는 유저 패킷 (user packet, UP)레벨에서의 에러 검출을 위한 세 종류의 CRC 인코딩, 즉 CRC-8, CRC-16, CRC-32를 제공한다. 산출된 CRC 바이트는 UP 뒤에 첨부된다. CRC-8은 TS 스트림에 사용되고, CRC-32는 IP 스트림에 사용된다. GS 스트림이 CRC 인코딩을 제공하지 않으면, 제안된 CRC 인코딩이 적용되어야 한다.
- [0174] BB 프레임 슬라이서는 입력을 내부 로지컬 비트 포맷에 매핑한다. 첫 번째 수신 비트는 MSB라고 정의한다. BB 프레임 슬라이서는 가용 데이터 필드 용량과 동일한 수의 입력 비트를 할당한다. BBF 페이로드와 동일한 수의 입력 비트를 할당하기 위해, UP 스트림이 BBF의 데이터 필드에 맞게 슬라이스된다.
- [0175] BB 프레임 헤더 삽입 블록은 2바이트의 고정된 길이의 BBF 헤더를 BB 프레임의 앞에 삽입할 수 있다. BBF 헤더는 STUFFI (1비트), SYNCDD (13비트), 및 RFU (2비트)로 구성된다. 고정된 2바이트 BBF 헤더뿐만 아니라, BBF는 2바이트 BBF 헤더 끝에 확장 필드(1 또는 3바이트)를 가질 수 있다.
- [0176] 스트림 어댑테이션(stream adaptation, 스트림 적응)(2010)은 스테핑(stuffing)

삽입 블록 및 BB 스크램블러로 구성된다. 스테밍 삽입 블록은 스테밍 필드를 BB 프레임의 페이로드에 삽입할 수 있다. 스트림 어댑테이션(stream adaptation, 스트림 적응)에 대한 입력 데이터가 BB 프레임을 채우기에 충분하면, STUFFI는 0으로 설정되고, BBF는 스테밍 필드를 갖지 않는다. 그렇지 않으면, STUFFI는 1로 설정되고, 스테밍 필드는 BBF 헤더 직후에 삽입된다. 스테밍 필드는 2바이트의 스테밍 필드 헤더 및 가변 사이즈의 스테밍 데이터를 포함한다.

- [0177] BB 스크램블러는 에너지 분산을 위해 완전한 BBF를 스크램블링한다. 스크램블링 시퀀스는 BBF와 동기화된다. 스크램블링 시퀀스는 피드백 시프트 레지스터에 의해 생성된다.
- [0178] PLS 생성 블록(2020)은 PLS 데이터를 생성할 수 있다. PLS는 수신기에서 피지컬 레이어(physical layer) 데이터 파이프에 접속할 수 있는 수단을 제공한다. PLS 데이터는 PLS1 데이터 및 PLS2 데이터로 구성된다.
- [0179] PLS1 데이터는 PLS2 데이터를 디코딩하는 데 필요한 파라미터뿐만 아니라 시스템에 관한 기본 정보를 전달하는 고정된 사이즈, 코딩, 변조를 갖는 프레임에서 FSS로 전달되는 PLS 데이터의 첫 번째 집합이다. PLS1 데이터는 PLS2 데이터의 수신 및 디코딩을 가능하게 하는 데 요구되는 파라미터를 포함하는 기본 송신 파라미터를 제공한다. 또한, PLS1 데이터는 프레임 그룹의 듀레이션 동안 일정하다.
- [0180] PLS2 데이터는 데이터 파이프 및 시스템에 관한 더욱 상세한 PLS 데이터를 전달하는 FSS로 전송되는 PLS 데이터의 두 번째 집합이다. PLS2는 수신기가 원하는 데이터 파이프를 디코딩하는 데 충분한 정보를 제공하는 파라미터를 포함한다. PLS2 시그널링은 PLS2 스테틱(static, 정적) 데이터(PLS2-STAT 데이터) 및 PLS2 다이내믹(dynamic, 동적) 데이터(PLS2-DYN 데이터)의 두 종류의 파라미터로 더 구성된다. PLS2 스테틱(static, 정적) 데이터는 프레임 그룹의 듀레이션 동안 스테틱(static, 정적)인 PLS2 데이터이고, PLS2 다이내믹(dynamic, 동적) 데이터는 프레임마다 다이내믹(dynamic, 동적)으로 변화하는 PLS2 데이터이다.
- [0181] PLS 데이터에 대한 자세한 내용은 후술한다.
- [0182] PLS 스크램블러(2030)는 에너지 분산을 위해 생성된 PLS 데이터를 스크램블링할 수 있다.
- [0183] 전술한 블록은 생략될 수도 있고 유사 또는 동일 기능을 갖는 블록에 의해 대체될 수도 있다.
- [0184] 도 3은 본 발명의 다른 일 실시예에 따른 인풋 포맷 블록을 나타낸다.
- [0185] 도 3에 도시된 인풋 포맷 블록은 도 1을 참조하여 설명한 인풋 포맷 블록(1000)의 일 실시예에 해당한다.
- [0186] 도 3은 입력 신호가 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)에 해당하는 경우 인풋 포맷 블록의 모드 어댑테이션(mode adaptaion, 모드 적응) 블록을 나타낸다.

- [0187] 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)을 처리하기 위한 인풋 포맷 블록의 모드 어댑테이션(mode adaptaion, 모드 적응) 블록은 다수 입력 스트림을 독립적으로 처리할 수 있다.
- [0188] 도 3을 참조하면, 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)을 각각 처리하기 위한 모드 어댑테이션(mode adaptaion, 모드 적응) 블록은 인풋 스트림 스플리터 (input stream splitter) (3000), 인풋 스트림 싱크로나이저 (input stream synchronizer) (3010), 컴펜세이팅 딜레이(compensatin delay, 보상 지연) 블록(3020), 널 패킷 딜리션 블록 (null packet deletion block) (3030), 헤더 컴프레션 블록 (header compression block) (3040), CRC 인코더 (CRC encoder) (3050), BB 프레임 슬라이서(BB frame slicer) (3060), 및 BB 헤더 삽입 블록 (BB header insertion block) (3070)을 포함할 수 있다. 모드 어댑테이션(mode adaptaion, 모드 적응) 블록의 각 블록에 대해 설명한다.
- [0189] CRC 인코더(3050), BB 프레임 슬라이서(3060), 및 BB 헤더 삽입 블록(3070)의 동작은 도 2를 참조하여 설명한 CRC 인코더, BB 프레임 슬라이서, 및 BB 헤더 삽입 블록의 동작에 해당하므로, 그 설명은 생략한다.
- [0190] 인풋 스트림 스플리터(3000)는 입력된 TS, IP, GS 스트림을 다수의 서비스 또는 서비스 컴포넌트(오디오, 비디오 등) 스트림으로 분할한다.
- [0191] 인풋 스트림 싱크로나이저(3010)는 ISSY라 불릴 수 있다. ISSY는 어떠한 입력 데이터 포맷에 대해서도 CBR (constant bit rate) 및 일정한 종단간 전송(end-to-end transmission) 지연을 보장하는 적합한 수단을 제공할 수 있다. ISSY는 TS를 전달하는 다수의 데이터 파이프의 경우에 항상 이용되고, GS 스트림을 전달하는 다수의 데이터 파이프에 선택적으로 이용된다.
- [0192] 컴펜세이팅 딜레이(compensatin delay, 보상 지연) 블록(3020)은 수신기에서 추가로 메모리를 필요로 하지 않고 TS 패킷 재결합 메커니즘을 허용하기 위해 ISSY 정보의 삽입에 뒤따르는 분할된 TS 패킷 스트림을 지연시킬 수 있다.
- [0193] 널 패킷 딜리션 블록(3030)은 TS 입력 스트림 경우에만 사용된다. 일부 TS 입력 스트림 또는 분할된 TS 스트림은 VBR (variable bit-rate) 서비스를 CBR TS 스트림에 수용하기 위해 존재하는 많은 수의 널 패킷을 가질 수 있다. 이 경우, 불필요한 전송 오버헤드를 피하기 위해, 널 패킷은 확인되어 전송되지 않을 수 있다. 수신기에서, 제거된 널 패킷은 전송에 삽입된 DNP(deleted null-packet, 삭제된 널 패킷) 카운터를 참조하여 원래 존재했던 정확한 장소에 재삽입될 수 있어, CBR이 보장되고 타임 스탬프(PCR) 갱신의 필요가 없어진다.
- [0194] 헤더 컴프레션 블록(3040)은 TS 또는 IP 입력 스트림에 대한 전송 효율을 증가시키기 위해 패킷 헤더 압축을 제공할 수 있다. 수신기는 헤더의 특정 부분에 대한 선형적인(a priori) 정보를 가질 수 있기 때문에, 이 알려진 정보(known information)는 송신기에서 삭제될 수 있다.
- [0195] TS에 대해, 수신기는 동기 바이트 구성(0x47) 및 패킷 길이(188 바이트)에 관한 선형적인 정보를 가질 수 있다. 입력된 TS가 하나의 PID만을 갖는 콘텐츠를

전달하면, 즉, 하나의 서비스 컴포넌트(비디오, 오디오 등) 또는 서비스 서브 컴포넌트(SVC 베이스 레이어, SVC 인스턴스먼트 레이어, MVC 베이스 뷰, 또는 MVC 의존 뷰)에 대해서만, TS 패킷 헤더 압축이 TS에 (선택적으로) 적용될 수 있다. TS 패킷 헤더 압축은 입력 스트림이 IP 스트림인 경우 선택적으로 사용된다. 상기 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.

[0196]

[0197] 도 4는 본 발명의 다른 실시예에 따른 인풋 포맷 블록을 나타낸다.

[0198] 도 4에 도시된 인풋 포맷 블록은 도 1을 참조하여 설명한 인풋 포맷 블록(1000)의 일 실시예에 해당한다.

[0199] 도 4는 입력 신호가 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)에 해당하는 경우 인풋 포맷 블록의 스트림 어댑테이션(stream adaptation, 스트림 적응) 블록을 나타낸다.

[0200] 도 4를 참조하면, 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)을 각각 처리하기 위한 모드 어댑테이션(mode adaptaion, 모드 적응) 블록은 스케줄러(4000), 1-프레임 딜레이(delay) 블록(4010), 스테리핑 삽입 블록(4020), 인 밴드(In-band) 시그널링 블록(4030), BB 프레임 스크램블러(4040), PLS 생성 블록(4050), PLS 스크램블러(4060)를 포함할 수 있다. 스트림 어댑테이션(stream adaptation, 스트림 적응) 블록의 각 블록에 대해 설명한다.

[0201] 스테리핑 삽입 블록(4020), BB 프레임 스크램블러(4040), PLS 생성 블록(4050), PLS 스크램블러(4060)의 동작은 도 2를 참조하여 설명한 스테리핑 삽입 블록, BB 스크램블러, PLS 생성 블록, PLS 스크램블러(4060)의 동작에 해당하므로 그 설명은 생략한다.

[0202] 스케줄러(4000)는 각 데이터 파이프의 FECBLOCK의 양으로부터 전체 프레임에 걸쳐 전체의 셀 할당을 결정할 수 있다. PLS, EAC 및 FIC에 대한 할당을 포함해서, 스케줄러는 프레임의 FSS의 PLS 셀 또는 인 밴드(In-band) 시그널링으로 전송되는 PLS2-DYN 데이터의 값을 생성한다. FECBLOCK, EAC, FIC에 대한 상세한 내용은 후술한다.

[0203] 1-프레임 딜레이(delay) 블록(4010)은 다음 프레임에 관한 스케줄링 정보가 데이터 파이프에 삽입될 인 밴드(In-band) 시그널링 정보에 관한 현 프레임을 통해 전송될 수 있도록 입력 데이터를 하나의 전송 프레임만큼 지연시킬 수 있다.

[0204] 인 밴드(In-band) 시그널링 블록(4030)은 PLS2 데이터의 지연되지 않은 부분을 프레임의 데이터 파이프에 삽입할 수 있다.

[0205] 전술한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.

[0206]

[0207] 도 5는 본 발명의 일 실시예에 따른 BICM 블록을 나타낸다.

- [0208] 도 5에 도시된 BICM 블록은 도 1을 참조하여 설명한 BICM 블록(1010)의 일 실시예에 해당한다.
- [0209] 전술한 바와 같이, 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치는 지상파 방송 서비스, 모바일 방송 서비스, UHDTV 서비스 등을 제공할 수 있다.
- [0210] QoS가 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치에 의해 제공되는 서비스의 특성에 의존하므로, 각각의 서비스에 해당하는 데이터는 서로 다른 방식을 통해 처리되어야 한다. 따라서, 본 발명의 일 실시예에 따른 BICM 블록은 SISO, MISO, MIMO 방식을 각각의 데이터 경로에 해당하는 데이터 파이프에 독립적으로 적용함으로써 각 데이터 파이프를 독립적으로 처리할 수 있다. 결과적으로, 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치는 각각의 데이터 파이프를 통해 전송되는 각 서비스 또는 서비스 컴포넌트에 대한 QoS를 조절할 수 있다.
- [0211] (a)는 베이스 프로파일 및 핸드헬드 프로파일에 의해 공유되는 BICM 블록을 나타내고, (b)는 어드벤스 프로파일의 BICM 블록을 나타낸다.
- [0212] 베이스 프로파일 및 핸드헬드 프로파일에 의해 공유되는 BICM 블록 및 어드벤스 프로파일의 BICM 블록은 각각의 데이터 파이프를 처리하기 위한 복수의 처리 블록을 포함할 수 있다.
- [0213] 베이스 프로파일 및 핸드헬드 프로파일에 대한 BICM 블록 및 어드벤스 프로파일에 대한 BICM 블록의 각각의 처리 블록에 대해 설명한다.
- [0214] 베이스 프로파일 및 핸드헬드 프로파일에 대한 BICM 블록의 처리 블록(5000)은 데이터 FEC 인코더(5010), 비트 인터리버(5020), 컨스텔레이션 매퍼(mapper)(5030), SSD (signal space diversity) 인코딩 블록(5040), 타임 인터리버(5050)를 포함할 수 있다.
- [0215] 데이터 FEC 인코더(5010)는 외부 코딩(BCH) 및 내부 코딩(LDPC)을 이용하여 FECBLOCK 절차를 생성하기 위해 입력 BBF에 FEC 인코딩을 실행한다. 외부 코딩(BCH)은 선택적인 코딩 방법이다. 데이터 FEC 인코더(5010)의 구체적인 동작에 대해서는 후술한다.
- [0216] 비트 인터리버(5020)는 효율적으로 실현 가능한 구조를 제공하면서 데이터 FEC 인코더(5010)의 출력을 인터리빙하여 LDPC 코드 및 변조 방식의 조합으로 최적화된 성능을 달성할 수 있다. 비트 인터리버(5020)의 구체적인 동작에 대해서는 후술한다.
- [0217] 컨스텔레이션 매퍼(5030)는 QPSK, QAM-16, 불균일 QAM (NUQ-64, NUQ-256, NUQ-1024) 또는 불균일 컨스텔레이션 (NUC-16, NUC-64, NUC-256, NUC-1024)을 이용해서 베이스 및 핸드헬드 프로파일에서 비트 인터리버(5020)로부터의 각각의 셀 워드를 변조하거나 어드벤스 프로파일에서 셀 워드 디멀티플렉서(5010-1)로부터의 셀 워드를 변조하여 파워가 정규화된 컨스텔레이션 포인트를 제공할 수 있다. 해당 컨스텔레이션 매핑은 데이터

파이프에 대해서만 적용된다. NUQ가 임의의 형태를 갖는 반면, QAM-16 및 NUQ는 정사각형 모양을 갖는 것이 관찰된다. 각각의 컨스텔레이션이 90도의 배수만큼 회전되면, 회전된 컨스텔레이션은 원래의 것과 정확히 겹쳐진다. 회전 대칭 특성으로 인해 실수 및 허수 컴포넌트의 용량 및 평균 파워가 서로 동일해진다. NUQ 및 NUC는 모두 각 코드 레이트(code rate)에 대해 특별히 정의되고, 사용되는 특정 하나는 PLS2 데이터에 보관된 파라미터 DP_MOD에 의해 시그널링 된다.

- [0218] SSD 인코딩 블록(5040)은 2차원, 3차원, 4차원에서 셀을 프리코딩하여, 어려운 페이딩 조건에서 수신 견고성(robustness)을 증가시킬 수 있다.
- [0219] 타임 인터리버(5050)는 데이터 파이프 레벨에서 동작할 수 있다. 타임 인터리빙의 파라미터는 각각의 데이터 파이프에 대해 다르게 설정될 수 있다. 타임 인터리버(5050)의 구체적인 동작에 관해서는 후술한다.
- [0220] 어드벤스 프로파일에 대한 BICM 블록의 처리 블록(5000-1)은 데이터 FEC 인코더, 비트 인터리버, 컨스텔레이션 매핑, 및 타임 인터리버를 포함할 수 있다.
- [0221] 단, 처리 블록(5000-1)은 셀 워드 디멀티플렉서(5010-1) 및 MIMO 인코딩 블록(5020-1)을 더 포함한다는 점에서 처리 블록(5000)과 구별된다.
- [0222] 또한, 처리 블록(5000-1)에서의 데이터 FEC 인코더, 비트 인터리버, 컨스텔레이션 매핑, 타임 인터리버의 동작은 전술한 데이터 FEC 인코더(5010), 비트 인터리버(5020), 컨스텔레이션 매핑(5030), 타임 인터리버(5050)의 동작에 해당하므로, 그 설명은 생략한다.
- [0223] 셀 워드 디멀티플렉서(5010-1)는 어드벤스 프로파일의 데이터 파이프가 MIMO 처리를 위해 단일 셀 워드 스트림을 이중 셀 워드 스트림으로 분리하는 데 사용된다. 셀 워드 디멀티플렉서(5010-1)의 구체적인 동작에 관해서는 후술한다.
- [0224] MIMO 인코딩 블록(5020-1)은 MIMO 인코딩 방식을 이용해서 셀 워드 디멀티플렉서(5010-1)의 출력을 처리할 수 있다. MIMO 인코딩 방식은 방송 신호 송신을 위해 최적화되었다. MIMO 기술은 용량 증가를 얻기 위한 유망한 방식이지만, 채널 특성에 의존한다. 특별히 방송에 대해서, 서로 다른 신호 전파 특성으로 인한 두 안테나 사이의 수신 신호 파워 차이 또는 채널의 강한 LOS 컴포넌트는 MIMO로부터 용량 이득을 얻는 것을 어렵게 한다. 제안된 MIMO 인코딩 방식은 MIMO 출력 신호 중 하나의 위상 랜덤화 및 회전 기반 프리코딩을 이용하여 이 문제를 극복한다.
- [0225] MIMO 인코딩은 송신기 및 수신기 모두에서 적어도 두 개의 안테나를 필요로 하는 2x2 MIMO 시스템을 위해 의도된다. 두 개의 MIMO 인코딩 모드는 본 제안인 FR-SM (full-rate spatial multiplexing) 및 FRFD-SM (full-rate full-diversity spatial multiplexing)에서 정의된다. FR-SM 인코딩은 수신기 측에서의 비교적 작은 복잡도 증가로 용량 증가를 제공하는 반면, FRFD-SM 인코딩은 수신기 측에서의 큰 복잡도 증가로 용량 증가 및 추가적인 다이버시티 이득을 제공한다. 제안된 MIMO 인코딩 방식은 안테나 극성 배치를 제한하지 않는다.

- [0226] MIMO 처리는 어드벤스 프로파일 프레임에 요구되는데, 이는 어드벤스 프로파일 프레임에서의 모든 데이터 파이프가 MIMO 인코더에 의해 처리된다는 것을 의미한다. MIMO 처리는 데이터 파이프 레벨에서 적용된다. 컨스텔레이션 매핑 출력의 페어(pair, 쌍)인 NUQ ($e_{1,i}$ 및 $e_{2,i}$)는 MIMO 인코더의 입력으로 공급된다. MIMO 인코더 출력 페어(pair, 쌍)($g_{1,i}$ 및 $g_{2,i}$)은 각각의 송신 안테나의 동일한 캐리어 k 및 OFDM 심볼 l 에 의해 전송된다.
- [0227] 전송한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.
- [0228]
- [0229] 도 6은 본 발명의 다른 실시예에 따른 BICM 블록을 나타낸다.
- [0230] 도 6에 도시된 BICM 블록은 도 1을 참조하여 설명한 BICM 블록(1010)의 일 실시예에 해당한다.
- [0231] 도 6은 PLS, EAC, 및 FIC의 보호를 위한 BICM 블록을 나타낸다. EAC는 EAS 정보 데이터를 전달하는 프레임의 일부이고, FIC는 서비스와 해당하는 베이스 데이터 파이프 사이에서 매핑 정보를 전달하는 프레임에서의 로지컬 채널이다. EAC 및 FIC에 대한 상세한 설명은 후술한다.
- [0232] 도 6을 참조하면, PLS, EAC, 및 FIC의 보호를 위한 BICM 블록은 PLS FEC 인코더(6000), 비트 인터리버(6010), 및 컨스텔레이션 매핑(6020)를 포함할 수 있다.
- [0233] 또한, PLS FEC 인코더(6000)는 스크램블러, BCH 인코딩/제로 삽입 블록, LDPC 인코딩 블록, 및 LDPC 패리티 평처링(puncturing) 블록을 포함할 수 있다. BICM 블록의 각 블록에 대해 설명한다.
- [0234] PLS FEC 인코더(6000)는 스크램블링된 PLS 1/2 데이터, EAC 및 FIC 섹션을 인코딩할 수 있다.
- [0235] 스크램블러는 BCH 인코딩 및 쇼트닝(shortening) 및 평처링된 LDPC 인코딩 전에 PLS1 데이터 및 PLS2 데이터를 스크램블링 할 수 있다.
- [0236] BCH 인코딩/제로 삽입 블록은 PLS 보호를 위한 쇼트닝된 BCH 코드를 이용하여 스크램블링된 PLS 1/2 데이터에 외부 인코딩을 수행하고, BCH 인코딩 후에 제로 비트를 삽입할 수 있다. PLS1 데이터에 대해서만, 제로 삽입의 출력 비트가 LDPC 인코딩 전에 퍼뮤테이션(permutation) 될 수 있다.
- [0237] LDPC 인코딩 블록은 LDPC 코드를 이용하여 BCH 인코딩/제로 삽입 블록의 출력을 인코딩할 수 있다. 완전한 코딩 블록을 생성하기 위해, C_{ldpc} 및 패리티 비트 P_{ldpc} 는 각각의 제로가 삽입된 PLS 정보 블록 I_{ldpc} 로부터 조직적으로 인코딩되고, 그 뒤에 첨부된다.
- [0238] [수식1]
- $$C_{ldpc} = [I_{ldpc} \ P_{ldpc}] = [i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$$
- [0239] PLS1 및 PLS2에 대한 LDPC 코드 파라미터는 다음의 표 4와 같다.

[0240] [표4]

시그널 링 타입	Ksig	Kbch	Nbch_pari ty	Kldpc (=Nbch)	Nldpc	Nldpc_pari ty	코드 레이트(co de rate)	Qldpc
PLS1	342	1020	60	1080	4320	3240	1/4	36
PLS2	<1021							
	>1020	2100		2160	7200	5040	3/10	56

[0241] LDPC 패리티 펄칭 블록은 PLS1 데이터 및 PLS2 데이터에 대해 펄칭을 수행할 수 있다.

[0242] 쇼트닝이 PLS1 데이터 보호에 적용되면, 일부 LDPC 패리티 비트는 LDPC 인코딩 후에 펄칭된다. 또한, PLS2 데이터 보호를 위해, PLS2의 LDPC 패리티 비트가 LDPC 인코딩 후에 펄칭된다. 이들 펄칭된 비트는 전송되지 않는다.

[0243] 비트 인터리버(6010)는 각각의 쇼트닝 및 펄칭된 PLS1 데이터 및 PLS2 데이터를 인터리빙할 수 있다.

[0244] 컨스텔레이션 매핑(6020)은 비트 인터리빙된 PLS1 데이터 및 PLS2 데이터를 컨스텔레이션에 매핑할 수 있다.

[0245] 전송한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.

[0246]

[0247] 도 7은 본 발명의 일 실시예에 따른 프레임 빌딩 블록(frame building block)을 나타낸다.

[0248] 도 7에 도시한 프레임 빌딩 블록은 도 1을 참조하여 설명한 프레임 빌딩 블록(1020)의 일 실시예에 해당한다.

[0249] 상기 프레임 빌딩 블록 (Frame building block)은 프레이밍 & 인터리빙(Framing & Interleaving) 블록으로 표현될 수도 있다.

[0250] 도 7을 참조하면, 프레임 빌딩 블록은 딜레이 컴펜세이션(delay compensation, 지연보상) 블록(7000), 셀 매핑 (cell mapper) (7010), 및 프리퀀시 인터리버 (frequency interleaver) (7020)를 포함할 수 있다. 프레임 빌딩 블록의 각 블록에 관해 설명한다.

[0251] 딜레이 컴펜세이션(delay compensation, 지연보상) 블록(7000)은 데이터 파이프와 해당하는 PLS 데이터 사이의 타이밍을 조절하여 송신기 측에서 데이터 파이프와 해당하는 PLS 데이터 간의 동시성(co-time)을 보장할 수 있다. 인풋 포맷 블록 및 BICM 블록으로 인한 데이터 파이프의 지연을 다룸으로써 PLS 데이터는 데이터 파이프만큼 지연된다. BICM 블록의 지연은 주로 타입

인터리버(5050)로 인한 것이다. 인 밴드(In-band) 시그널링 데이터는 다음 타임 인터리빙 그룹의 정보를 시그널링될 데이터 파이프보다 하나의 프레임 앞서 전달되도록 할 수 있다. 딜레이 컴펜세이션(delay compensation, 지연보상) 블록은 그에 맞추어 인 밴드(In-band) 시그널링 데이터를 지연시킨다.

[0252] 셀 매퍼(7010)는 PLS, EAC, FIC, 데이터 파이프, 보조 스트림, 및 더미 셀을 프레임 내에서 OFDM 심볼의 액티브(active) 캐리어에 매핑할 수 있다.

[0253] 셀 매퍼(7010)의 기본 기능은 각각의 데이터 파이프, PLS 셀, 및 EAC/FIC 셀에 대한 타임 인터리빙에 의해 생성된 데이터 셀을, 존재한다면, 하나의 프레임 내에서 각각의 OFDM 심볼에 해당하는 액티브(active) OFDM 셀의 어레이에 매핑하는 것이다. (PSI(program specific information)/SI와 같은) 서비스 시그널링 데이터는 개별적으로 수집되어 데이터 파이프에 의해 보내질 수 있다. 셀 매퍼는 프레임 구조의 구성 및 스케줄러에 의해 생성된 다이내믹 인포메이션(dynamic information, 동적 정보)에 따라 동작한다. 프레임에 관한 자세한 내용은 후술한다.

[0254] 주파수 인터리버(7020)는 셀 매퍼(7010)로부터 수신된 데이터 셀을 랜덤하게 인터리빙하여 주파수 다이버시티를 제공할 수 있다. 또한, 주파수 인터리버(7020)는 단일 프레임에서 최대의 인터리빙 이득을 얻기 위해 다른 인터리빙 시드(seed) 순서를 이용하여 두 개의 순차적인 OFDM 심볼로 구성된 OFDM 심볼 페어(pair, 쌍)에서 동작할 수 있다.

[0255] 전술한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.

[0256]

[0257] 도 8은 본 발명의 일 실시예에 따른 OFDM 제너레이션 블록을 나타낸다.

[0258] 도 8에 도시된 OFDM 제너레이션 블록은 도 1을 참조하여 설명한 OFDM 제너레이션 블록(1030)의 일 실시예에 해당한다.

[0259] OFDM 제너레이션 블록은 프레임 빌딩 블록에 의해 생성된 셀에 의해 OFDM 캐리어를 변조하고, 파일럿을 삽입하고, 전송을 위한 시간 영역 신호를 생성한다. 또한, 해당 블록은 순차적으로 가드 인터벌을 삽입하고, PAPR 감소 처리를 적용하여 최종 RF 신호를 생성한다.

[0260] 상기 프레임 빌딩 블록 (Frame building block)은 프레이밍 & 인터리빙(Framing & Interleaving) 블록으로 표현될 수도 있다.

[0261] 도 8을 참조하면, OFDM 제너레이션 블록은 파일럿 및 리저브드 톤 삽입 블록 (pilot and reserved tone insertion block) (8000), 2D-eSFN (single frequency network) 인코딩 블록(8010), IFFT (inverse fast Fourier transform) 블록(8020), PAPR 감소 블록(8030), 가드 인터벌 삽입 블록 (guard interval insertion block)(8040), 프리앰블 삽입 블록 (preamble insertion block)(8050), 기타 시스템 삽입 블록(8060), 및 DAC 블록(8070)을 포함할 수 있다. OFDM 제너레이션 블록의 각 블록에 대해 설명한다.

- [0262] 파일럿 및 리저브드 톤 삽입 블록(8000)은 파일럿 및 리저브드 톤을 삽입할 수 있다.
- [0263] OFDM 심볼 내의 다양한 셀은 수신기에서 선형적으로 알려진 전송된 값을 갖는 파일럿으로 알려진 참조 정보로 변조된다. 파일럿 셀의 정보는 분산 파일럿, 연속 파일럿, 엣지 파일럿, FSS (frame signalling symbol) 파일럿, 및 FES (frame edge symbol) 파일럿으로 구성된다. 각 파일럿은 파일럿 타입 및 파일럿 패턴에 따라 특정 증가 파워 레벨에서 전송된다. 파일럿 정보의 값은 주어진 심볼에서 하나가 각각의 전송 캐리어에 대한 것인 일련의 값들에 해당하는 참조 시퀀스에서 유도된다. 파일럿은 프레임 동기화, 주파수 동기화, 시간 동기화, 채널 추정, 전송 모드 식별을 위해 사용될 수 있고, 또한 위상 잡음을 추적하기 위해 사용될 수 있다.
- [0264] 참조 시퀀스로부터 취한 참조 정보는 프레임의 프리앰블, FSS 및 FES를 제외한 모든 심볼에서 분산 파일럿 셀에서 전송된다. 연속 파일럿은 프레임의 모든 심볼에 삽입된다. 연속 파일럿의 수 및 위치는 FFT 사이즈 및 분산 파일럿 패턴에 모두 의존한다. 엣지 캐리어들은 프리앰블 심볼을 제외한 모든 심볼 내의 엣지 파일럿들과 동일하다. 엣지 캐리어들은 스펙트럼의 엣지까지 주파수 인터폴레이션(interpolation, 보간)을 허용하기 위해 삽입된다. FSS 파일럿들은 FSS에 삽입되고, FES 파일럿들은 FES에 삽입된다. FSS 파일럿들 및 FES 파일럿들은 프레임의 엣지까지 시간 인터폴레이션(interpolation, 보간)을 허용하기 위해 삽입된다.
- [0265] 본 발명의 일 실시예에 따른 시스템은 매우 견고한 전송 모드를 지원하기 위해 분산 MISO 방식이 선택적으로 사용되는 SFN(Single Frequency Network)를 지원한다. 2D-eSFN은 다수의 송신 안테나를 사용하는 분산 MISO 방식으로, 각 안테나는 SFN 네트워크에서 각각 다른 송신기에 위치할 수 있다.
- [0266] 2D-eSFN 인코딩 블록(8010)은 SFN 구성에서 시간 및 주파수 다이버시티를 생성하기 위해 2D-eSFN 처리를 하여 다수의 송신기로부터 전송된 신호의 위상을 왜곡시킬 수 있다. 따라서, 장시간 동안의 낮은 평면 페이딩 또는 깊은 페이딩으로 인한 버스트 오류가 경감될 수 있다.
- [0267] IFFT 블록(8020)은 OFDM 변조 방식을 이용하여 2D-eSFN 인코딩 블록(8010)으로부터의 출력을 변조할 수 있다. 파일럿 (또는 리저브드 톤)으로 지정되지 않은 데이터 심볼에서의 모든 셀은 주파수 인터리버로부터의 데이터 셀 중 하나를 전달한다. 셀들은 OFDM 캐리어에 매핑된다.
- [0268] PAPR 감소 블록(8030)은 시간 영역에서 다양한 PAPR 감소 알고리즘을 이용하여 입력 신호에 PAPR 감소를 실행한다.
- [0269] 가드 인터벌 삽입블록(8040)은 가드 인터벌을 삽입할 수 있고, 프리앰블 삽입 블록(8050)은 신호 앞에 프리앰블을 삽입할 수 있다. 프리앰블의 구조에 대한 자세한 내용은 후술한다.
- [0270] 기타 시스템 삽입 블록(8060)은 방송 서비스를 제공하는 둘 이상의 서로 다른

방송 송신/수신 시스템의 데이터가 동일한 RF 신호 대역에서 동시에 전송될 수 있도록 시간 영역에서 복수의 방송 송신/수신 시스템의 신호를 멀티플렉싱 할 수 있다. 이 경우, 둘 이상의 서로 다른 방송 송신/수신 시스템은 서로 다른 방송 서비스를 제공하는 시스템을 말한다. 서로 다른 방송 서비스는 지상파 방송 서비스, 모바일 방송 서비스 등을 의미할 수 있다. 각각의 방송 서비스에 관련된 데이터는 서로 다른 프레임을 통해 전송될 수 있다.

[0271] DAC 블록(8070)은 입력된 디지털 신호를 아날로그 신호로 변환하여 출력할 수 있다. DAC 블록(8070)으로부터 출력된 신호는 물리 계층 프로파일에 따라 다수의 출력 안테나를 통해 전송될 수 있다. 본 발명의 일 실시예에 따른 송신 안테나는 수직 또는 수평 극성을 가질 수 있다.

[0272] 전술한 블록은 설계에 따라 생략되거나 유사 또는 동일한 기능을 갖는 블록으로 대체될 수 있다.

[0273]

[0274] 도 9는 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치의 구조를 나타낸다.

[0275] 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치는 도 1을 참조하여 설명한 차세대 방송 서비스에 대한 방송 신호 송신 장치에 대응할 수 있다.

[0276] 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치는 동기 및 복조 모듈 (synchronization & demodulation module) (9000), 프레임 파싱 모듈 (frame parsing module) (9010), 디매핑 및 디코딩 모듈 (demapping & decoding module) (9020), 출력 프로세서 (output processor) (9030), 및 시그널링 디코딩 모듈 (signaling decoding module) (9040)을 포함할 수 있다. 방송 신호 수신 장치의 각 모듈의 동작에 대해 설명한다.

[0277] 동기 및 복조 모듈(9000)은 m개의 수신 안테나를 통해 입력 신호를 수신하고, 방송 신호 수신 장치에 해당하는 시스템에 대해 신호 검출 및 동기화를 실행하고, 방송 신호 송신 장치에 의해 실행되는 절차의 역과정에 해당하는 복조를 실행할 수 있다.

[0278] 프레임 파싱 모듈(9010)은 입력 신호 프레임을 파싱하고, 사용자에게 의해 선택된 서비스가 전송되는 데이터를 추출할 수 있다. 방송 신호 송신 장치가 인터리빙을 실행하면, 프레임 파싱 모듈(9010)은 인터리빙의 역과정에 해당하는 디인터리빙을 실행할 수 있다. 이 경우, 추출되어야 하는 신호 및 데이터의 위치가 시그널링 디코딩 모듈(9040)로부터 출력된 데이터를 디코딩함으로써 획득되어, 방송 신호 송신 장치에 의해 생성된 스케줄링 정보가 복원될 수 있다.

[0279] 상기 프레임 파싱 모듈(또는 블록)은 디프레이밍 및 디인터리빙(Deframing 및 Deinterleaving) 모듈로 표현될 수도 있다.

[0280] 디매핑 및 디코딩 모듈(9020)은 입력 신호를 비트 영역 데이터로 변환한 후, 필요에 따라 비트 영역 데이터들을 디인터리빙할 수 있다. 디매핑 및 디코딩

모듈(9020)은 전송 효율을 위해 적용된 매핑에 대한 디매핑을 실행하고, 디코딩을 통해 전송 채널에서 발생한 에러를 정정할 수 있다. 이 경우, 디매핑 및 디코딩 모듈(9020)은 시그널링 디코딩 모듈(9040)로부터 출력된 데이터를 디코딩함으로써 디매핑 및 디코딩을 위해 필요한 전송 파라미터를 획득할 수 있다.

[0281] 출력 프로세서(9030)는 전송 효율을 향상시키기 위해 방송 신호 송신 장치에 의해 적용되는 다양한 압축/신호 처리 절차의 역과정을 실행할 수 있다. 이 경우, 출력 프로세서(9030)는 시그널링 디코딩 모듈(9040)로부터 출력된 데이터에서 필요한 제어 정보를 획득할 수 있다. 출력 프로세서(8300)의 출력은 방송 신호 송신 장치에 입력되는 신호에 해당하고, MPEG-TS, IP 스트림 (v4 또는 v6) 및 GS일 수 있다.

[0282] 시그널링 디코딩 모듈(9040)은 동기 및 복조 모듈(9000)에 의해 복조된 신호로부터 PLS 정보를 획득할 수 있다. 전송한 바와 같이, 프레임 파싱 모듈(9010), 디매핑 및 디코딩 모듈(9200), 출력 프로세서(9300)는 시그널링 디코딩 모듈(9040)로부터 출력된 데이터를 이용하여 그 기능을 실행할 수 있다.

[0283]

[0284] 도 10은 본 발명의 일 실시예에 따른 프레임 구조를 나타낸다.

[0285] 도 10은 프레임 타임의 구성에 및 슈퍼 프레임에서의 FRU (frame repetition unit, 프레임 반복 단위)를 나타낸다. (a)는 본 발명의 일 실시예에 따른 슈퍼 프레임을 나타내고, (b)는 본 발명의 일 실시예에 따른 FRU를 나타내고, (c)는 FRU에서의 다양한 피지컬 프로파일(PHY profile)의 프레임을 나타내고, (d)는 프레임의 구조를 나타낸다.

[0286] 슈퍼 프레임은 8개의 FRU로 구성될 수 있다. FRU는 프레임의 TDM에 대한 기본 멀티플렉싱 단위이고, 슈퍼 프레임에서 8회 반복된다.

[0287] FRU에서 각 프레임은 피지컬 프로파일(베이스, 핸드헬드, 어드벤스 프로파일) 중 하나 또는 FEF에 속한다. FRU에서 프레임의 최대 허용수는 4이고, 주어진 피지컬 프로파일은 FRU에서 0회 내지 4회 중 어느 횟수만큼 나타날 수 있다(예를 들면, 베이스, 베이스, 핸드헬드, 어드벤스). 피지컬 프로파일 정의는 필요시 프리앰블에서의 PHY_PROFILE의 리저브드 값을 이용하여 확장될 수 있다.

[0288] FEF 부분은 포함된다면 FRU의 끝에 삽입된다. FEF가 FRU에 포함되는 경우, FEF의 최대수는 슈퍼 프레임에서 8이다. FEF 부분들이 서로 인접할 것이 권장되지 않는다.

[0289] 하나의 프레임은 다수의 OFDM 심볼 및 프리앰블로 더 분리된다. (d)에 도시한 바와 같이, 프레임은 프리앰블, 하나 이상의 FSS, 노멀 데이터 심볼, FES를 포함한다.

[0290] 프리앰블은 고속 퓨처캐스트 UTB 시스템 신호 검출을 가능하게 하고, 신호의 효율적인 송신 및 수신을 위한 기본 전송 파라미터의 집합을 제공하는 특별한

심볼이다. 프리앰블에 대한 자세한 내용은 후술한다.

[0291] FSS의 주된 목적은 PLS 데이터를 전달하는 것이다. 고속 동기화 및 채널 추정을 위해, 이에 따른 PLS 데이터의 고속 디코딩을 위해, FSS는 노멀 데이터 심볼보다 고밀도의 파일럿 패턴을 갖는다. FES는 FSS와 완전히 동일한 파일럿을 갖는데, 이는 FES에 바로 앞서는 심볼에 대해 외삽(extrapolation) 없이 FES 내에서의 주파수만의 인터폴레이션(interpolation, 보간) 및 시간적 보간(temporal interpolation)을 가능하게 한다.

[0292]

[0293] 도 11은 본 발명의 일 실시예에 따른 프레임의 시그널링 계층 구조(signaling hierarchy structure)를 나타낸다.

[0294] 도 11은 시그널링 계층 구조를 나타내는데, 이는 세 개의 주요 부분인 프리앰블 시그널링 데이터(11000), PLS1 데이터(11010), 및 PLS2 데이터(11020)로 분할된다. 매 프레임마다 프리앰블 신호에 의해 전달되는 프리앰블의 목적은 프레임의 기본 전송 파라미터 및 전송 타입을 나타내는 것이다. PLS1은 수신기가 관심 있는 데이터 파이프에 접속하기 위한 파라미터를 포함하는 PLS2 데이터에 접속하여 디코딩할 수 있게 한다. PLS2는 매 프레임마다 전달되고, 두 개의 주요 부분인 PLS2-STAT 데이터와 PLS2-DYN 데이터로 분할된다. PLS2 데이터의 스태틱(static, 정적) 및 다이내믹(dynamic, 동적) 부분에는 필요시 패딩이 뒤따른다.

[0295]

[0296] 도 12는 본 발명의 일 실시예에 따른 프리앰블 시그널링 데이터를 나타낸다.

[0297] 프리앰블 시그널링 데이터는 수신기가 프레임 구조 내에서 PLS 데이터에 접속하고 데이터 파이프를 추적할 수 있게 하기 위해 필요한 21비트의 정보를 전달한다. 프리앰블 시그널링 데이터에 대한 자세한 내용은 다음과 같다.

[0298] PHY_PROFILE: 해당 3비트 필드는 현 프레임의 피지컬 프로파일 타입을 나타낸다. 서로 다른 피지컬 프로파일 타입의 매핑은 아래 표 5에 주어진다.

[0299] [표5]

값	피지컬 프로파일
000	베이스 프로파일
001	핸드헬드 프로파일
010	어드벤스 프로파일
011~110	리저브드
111	FEF

[0300] FFT_SIZE: 해당 2비트 필드는 아래 표 6에서 설명한 바와 같이 프레임 그룹 내에서 현 프레임의 FFT 사이즈를 나타낸다.

[0301]

[표6]

Value	FFT 사이즈
00	8K FFT
01	16K FFT
10	32K FFT
11	리저브드

[0302] GI_FRACTION: 해당 3비트 필드는 아래 표 7에서 설명한 바와 같이 현 슈퍼 프레임에서의 가드 인터벌 일부(fraction) 값을 나타낸다.

[0303] [표7]

값	GI_FRACTION
000	1/5
001	1/10
010	1/20
011	1/40
100	1/80
101	1/160
110~111	리저브드

[0304] EAC_FLAG: 해당 1비트 필드는 EAC가 현 프레임에 제공되는지 여부를 나타낸다. 해당 필드가 1로 설정되면, EAS가 현 프레임에 제공된다. 해당 필드가 0으로 설정되면, EAS가 현 프레임에서 전달되지 않는다. 해당 필드는 슈퍼 프레임 내에서 다이내믹(dynamic, 동적)으로 전환될 수 있다.

[0305] PILOT_MODE: 해당 1비트 필드는 현 프레임 그룹에서 현 프레임에 대해 파일럿 모드가 모바일 모드인지 또는 고정 모드인지 여부를 나타낸다. 해당 필드가 0으로 설정되면, 모바일 파일럿 모드가 사용된다. 해당 필드가 1로 설정되면, 고정 파일럿 모드가 사용된다.

[0306] PAPR_FLAG: 해당 1비트 필드는 현 프레임 그룹에서 현 프레임에 대해 PAPR 감소가 사용되는지 여부를 나타낸다. 해당 필드가 1로 설정되면, 톤 예약(tone reservation)이 PAPR 감소를 위해 사용된다. 해당 필드가 0으로 설정되면, PAPR 감소가 사용되지 않는다.

[0307] FRU_CONFIGURE: 해당 3비트 필드는 현 슈퍼 프레임에서 존재하는 FRU의 피지컬 프로파일 타입 구성을 나타낸다. 현 슈퍼 프레임에서 모든 프리앰블에서의 해당 필드에서, 현 슈퍼 프레임에서 전달되는 모든 프로파일 타입이 식별된다. 해당 3비트 필드는 아래 표 8에 나타난 바와 같이 각각의 프로파일에 대해 다르게 정의된다.

[0308] [표8]

	커런트(current) PHY_PROFILE E = '000' (베이스)	커런트(current) PHY_PROFILE E = '001' (핸드헬드)	커런트(current) PHY_PROFILE E = '010' (어드벤스)	커런트(current) PHY_PROFILE E = '111' (FEF)
FRU_CONFIGUR E = 000	베이스 프로파일만 존재	핸드헬드 프로파일만 존재	어드벤스 프로파일만 존재	FEF만 존재
FRU_CONFIGUR E = 1XX	핸드헬드 프로파일 존재	베이스 프로파일 존재	베이스 프로파일 존재	베이스 프로파일 존재
FRU_CONFIGUR E = X1X	어드벤스 프로파일 존재	어드벤스 프로파일 존재	핸드헬드 프로파일 존재	핸드헬드 프로파일 존재
FRU_CONFIGUR E = XX1	FEF 존재	FEF 존재	FEF 존재	어드벤스 프로파일 존재

[0309] RESERVED: 해당 7비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

[0310]

[0311] 도 13은 본 발명의 일 실시예에 따른 PLS1 데이터를 나타낸다.

[0312] PLS1 데이터는 PLS2의 수신 및 디코딩을 가능하게 하기 위해 필요한 파라미터를 포함한 기본 전송 파라미터를 제공한다. 전송한 바와 같이, PLS1 데이터는 하나의 프레임 그룹의 전체 듀레이션 동안 변화하지 않는다. PLS1 데이터의 시그널링 필드의 구체적인 정의는 다음과 같다.

[0313] PREAMBLE_DATA: 해당 20비트 필드는 EAC_FLAG를 제외한 프리앰블 시그널링 데이터의 카피이다.

[0314] NUM_FRAME_FRU: 해당 2비트 필드는 FRU당 프레임 수를 나타낸다.

[0315] PAYLOAD_TYPE: 해당 3비트 필드는 프레임 그룹에서 전달되는 페이로드 데이터의 포맷을 나타낸다. PAYLOAD_TYPE은 표 9에 나타난 바와 같이 시그널링 된다.

[0316]

[표9]

값	페이로드 타입
1XX	TS가 전송됨
X1X	IP 스트림이 전송됨
XX1	GS가 전송됨

- [0317] NUM_FSS: 해당 2비트 필드는 현 프레임에서 FSS의 수를 나타낸다.
- [0318] SYSTEM_VERSION: 해당 8비트 필드는 전송되는 신호 포맷의 버전을 나타낸다. SYSTEM_VERSION은 주 버전 및 부 버전의 두 개의 4비트 필드로 분리된다.
- [0319] 주 버전: SYSTEM_VERSION 필드의 MSB인 4비트는 주 버전 정보를 나타낸다. 주 버전 필드에서의 변화는 호환이 불가능한 변화를 나타낸다. 디폴트 값은 0000이다. 해당 표준에서 서술된 버전에 대해, 값이 0000으로 설정된다.
- [0320] 부 버전: SYSTEM_VERSION 필드의 LSB인 4비트는 부 버전 정보를 나타낸다. 부 버전 필드에서의 변화는 호환이 가능하다.
- [0321] CELL_ID: 이는 ATSC 네트워크에서 지리적 셀을 유일하게 식별하는 16비트 필드이다. ATSC 셀 커버리지는 퓨처캐스트 UTB 시스템당 사용되는 주파수 수에 따라 하나 이상의 주파수로 구성될 수 있다. CELL_ID의 값이 알려지지 않거나 특정되지 않으면, 해당 필드는 0으로 설정된다.
- [0322] NETWORK_ID: 이는 현 ATSC 네트워크를 유일하게 식별하는 16비트 필드이다.
- [0323] SYSTEM_ID: 해당 16비트 필드는 ATSC 네트워크 내에서 퓨처캐스트 UTB 시스템을 유일하게 식별한다. 퓨처캐스트 UTB 시스템은 입력이 하나 이상의 입력 스트림(TS, IP, GS)이고 출력이 RF 신호인 지상파 방송 시스템이다. 퓨처캐스트 UTB 시스템은 존재한다면 FEF 및 하나 이상의 피지컬 프로파일을 전달한다. 동일한 퓨처캐스트 UTB 시스템은 서로 다른 입력 스트림을 전달하고 서로 다른 지리적 영역에서 서로 다른 RF를 사용할 수 있어, 로컬 서비스 삽입을 허용한다. 프레임 구조 및 스케줄링은 하나의 장소에서 제어되고, 퓨처캐스트 UTB 시스템 내에서 모든 전송에 대해 동일하다. 하나 이상의 퓨처캐스트 UTB 시스템은 모두 동일한 피지컬 구조 및 구성을 갖는다는 동일한 SYSTEM_ID 의미를 가질 수 있다.
- [0324] 다음의 루프(loop)는 각 프레임 타입의 길이 및 FRU 구성을 나타내는 FRU_PHY_PROFILE, FRU_FRAME_LENGTH, FRU_GI_FRACTION, RESERVED로 구성된다. 루프(loop) 사이즈는 FRU 내에서 4개의 피지컬 프로파일(FEF 포함)이 시그널링되도록 고정된다. NUM_FRAME_FRU가 4보다 작으면, 사용되지 않는 필드는 제로로 채워진다.
- [0325] FRU_PHY_PROFILE: 해당 3비트 필드는 관련된 FRU의 (i+1)번째 프레임(i는

루프(loop) 인덱스)의 피지컬 프로파일 타입을 나타낸다. 해당 필드는 표 8에 나타낸 것과 동일한 시그널링 포맷을 사용한다.

[0326] FRU_FRAME_LENGTH: 해당 2비트 필드는 관련된 FRU의 (i+1)번째 프레임의 길이를 나타낸다. FRU_GI_FRACTION와 함께 FRU_FRAME_LENGTH를 사용하면, 프레임 듀레이션의 정확한 값이 얻어질 수 있다.

[0327] FRU_GI_FRACTION: 해당 3비트 필드는 관련된 FRU의 (i+1)번째 프레임의 가드 인터벌 일부 값을 나타낸다. FRU_GI_FRACTION은 표 7에 따라 시그널링 된다.

[0328] RESERVED: 해당 4비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

[0329] 다음의 필드는 PLS2 데이터를 디코딩하기 위한 파라미터를 제공한다.

[0330] PLS2_FEC_TYPE: 해당 2비트 필드는 PLS2 보호에 의해 사용되는 FEC 타입을 나타낸다. FEC 타입은 표 10에 따라 시그널링 된다. LDPC 코드에 대한 자세한 내용은 후술한다.

[0331] [표10]

콘텐츠	PLS2 FEC 타입
00	4K-1/4 및 7K-3/10 LDPC 코드
01 ~ 11	리저브드(reserved)

[0332] PLS2_MOD: 해당 3비트 필드는 PLS2에 의해 사용되는 변조 타입을 나타낸다. 변조 타입은 표 11에 따라 시그널링 된다.

[0333] [표11]

값	PLS2_MODE
000	BPSK
001	QPSK
010	QAM-16
011	NUQ-64
100~111	리저브드(reserved)

[0334] PLS2_SIZE_CELL: 해당 15비트 필드는 현 프레임 그룹에서 전달되는 PLS2에 대한 모든 코딩 블록의 사이즈(QAM 셀의 수로 특정됨)인 Ctotal_partial_block를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.

[0335] PLS2_STAT_SIZE_BIT: 해당 14비트 필드는 현 프레임 그룹에 대한 PLS2-STAT의 사이즈를 비트수로 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.

[0336] PLS2_DYN_SIZE_BIT: 해당 14비트 필드는 현 프레임 그룹에 대한 PLS2-DYN의 사이즈를 비트수로 나타낸다. 해당 값은 현 프레임 그룹의 전체

듀레이션 동안 일정하다.

- [0337] PLS2_REP_FLAG: 해당 1비트 플래그는 PLS2 반복 모드가 현 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, PLS2 반복 모드는 활성화된다. 해당 필드의 값이 0으로 설정되면, PLS2 반복 모드는 비활성화된다.
- [0338] PLS2_REP_SIZE_CELL: 해당 15비트 필드는 PLS2 반복이 사용되는 경우 현 프레임 그룹의 매 프레임마다 전달되는 PLS2에 대한 부분 코딩 블록의 사이즈(QAM 셀의 수로 특정됨)인 *Ctotal_partial_block*를 나타낸다. 반복이 사용되지 않는 경우, 해당 필드의 값은 0과 동일하다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [0339] PLS2_NEXT_FEC_TYPE: 해당 2비트 필드는 다음 프레임 그룹의 매 프레임에서 전달되는 PLS2에 사용되는 FEC 타입을 나타낸다. FEC 타입은 표 10에 따라 시그널링 된다.
- [0340] PLS2_NEXT_MOD: 해당 3비트 필드는 다음 프레임 그룹의 매 프레임에서 전달되는 PLS2에 사용되는 변조 타입을 나타낸다. 변조 타입은 표 11에 따라 시그널링 된다.
- [0341] PLS2_NEXT_REP_FLAG: 해당 1비트 플래그는 PLS2 반복 모드가 다음 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, PLS2 반복 모드는 활성화된다. 해당 필드의 값이 0으로 설정되면, PLS2 반복 모드는 비활성화된다.
- [0342] PLS2_NEXT_REP_SIZE_CELL: 해당 15비트 필드는 PLS2 반복이 사용되는 경우 다음 프레임 그룹의 매 프레임마다 전달되는 PLS2에 대한 전체 코딩 블록의 사이즈(QAM 셀의 수로 특정됨)인 *Ctotal_full_block*를 나타낸다. 다음 프레임 그룹에서 반복이 사용되지 않는 경우, 해당 필드의 값은 0과 동일하다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [0343] PLS2_NEXT_REP_STAT_SIZE_BIT: 해당 14비트 필드는 다음 프레임 그룹에 대한 PLS2-STAT의 사이즈를 비트수로 나타낸다. 해당 값은 현 프레임 그룹에서 일정하다.
- [0344] PLS2_NEXT_REP_DYN_SIZE_BIT: 해당 14비트 필드는 다음 프레임 그룹에 대한 PLS2-DYN의 사이즈를 비트수로 나타낸다. 해당 값은 현 프레임 그룹에서 일정하다.
- [0345] PLS2_AP_MODE: 해당 2비트 필드는 현 프레임 그룹에서 PLS2에 대해 추가 패리티가 제공되는지 여부를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다. 아래의 표 12는 해당 필드의 값을 제공한다. 해당 필드의 값이 00으로 설정되면, 현 프레임 그룹에서 추가 패리티가 PLS2에 대해 사용되지 않는다.
- [0346]

[표12]

값	PLS2-AP 모드
00	추가 패리티가 제공되지 않음
01	AP1 모드
10~11	리저브드(reserved)

- [0347] PLS2_AP_SIZE_CELL: 해당 15비트 필드는 PLS2의 추가 패리티 비트의 사이즈(QAM 셀의 수로 특정됨)를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [0348] PLS2_NEXT_AP_MODE: 해당 2비트 필드는 다음 프레임 그룹의 매 프레임마다 PLS2 시그널링에 대해 추가 패리티가 제공되는지 여부를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다. 표 12는 해당 필드의 값을 정의한다.
- [0349] PLS2_NEXT_AP_SIZE_CELL: 해당 15비트 필드는 다음 프레임 그룹의 매 프레임마다 PLS2의 추가 패리티 비트의 사이즈(QAM 셀의 수로 특정됨)를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [0350] RESERVED: 해당 32비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [0351] CRC_32: 전체 PLS1 시그널링에 적용되는 32비트 에러 검출 코드
- [0352]
- [0353] 도 14는 본 발명의 일 실시예에 따른 PLS2 데이터를 나타낸다.
- [0354] 도 14는 PLS2 데이터의 PLS2-STAT 데이터를 나타낸다. PLS2-STAT 데이터는 프레임 그룹 내에서 동일한 반면, PLS2-DYN 데이터는 현 프레임에 대해 특정한 정보를 제공한다.
- [0355] PLS2-STAT 데이터의 필드에 대해 다음에 구체적으로 설명한다.
- [0356] FIC_FLAG: 해당 1비트 필드는 FIC가 현 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, FIC는 현 프레임에서 제공된다. 해당 필드의 값이 0으로 설정되면, FIC는 현 프레임에서 전달되지 않는다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [0357] AUX_FLAG: 해당 1비트 필드는 보조 스트림이 현 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, 보조 스트림은 현 프레임에서 제공된다. 해당 필드의 값이 0으로 설정되면, 보조 프레임은 현 프레임에서 전달되지 않는다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [0358] NUM_DP: 해당 6비트 필드는 현 프레임 내에서 전달되는 데이터 파이프의 수를 나타낸다. 해당 필드의 값은 1에서 64 사이이고, 데이터 파이프의 수는 NUM_DP+1이다.
- [0359] DP_ID: 해당 6비트 필드는 피지컬 프로파일 내에서 유일하게 식별한다.

[0360] DP_TYPE: 해당 3비트 필드는 데이터 파이프의 타입을 나타낸다. 이는 아래의 표 13에 따라 시그널링 된다.

[0361] [표13]

값	데이터 파이프 타입
000	타입 1 데이터 파이프
001	타입 2 데이터 파이프
010~111	리저브드(reserved)

[0362] DP_GROUP_ID: 해당 8비트 필드는 현 데이터 파이프가 관련되어 있는 데이터 파이프 그룹을 식별한다. 이는 수신기가 동일한 DP_GROUP_ID를 갖게 되는 특정 서비스와 관련되어 있는 서비스 컴포넌트의 데이터 파이프에 접속하는 데 사용될 수 있다.

[0363] BASE_DP_ID: 해당 6비트 필드는 관리 계층에서 사용되는 (PSI/SI와 같은) 서비스 시그널링 데이터를 전달하는 데이터 파이프를 나타낸다. BASE_DP_ID에 의해 나타내는 데이터 파이프는 서비스 데이터와 함께 서비스 시그널링 데이터를 전달하는 노멀 데이터 파이프이거나, 서비스 시그널링 데이터만을 전달하는 전용 데이터 파이프일 수 있다.

[0364] DP_FEC_TYPE: 해당 2비트 필드는 관련된 데이터 파이프에 의해 사용되는 FEC 타입을 나타낸다. FEC 타입은 아래의 표 14에 따라 시그널링 된다.

[0365] [표14]

값	FEC_TYPE
00	16K LDPC
01	64K LDPC
10 ~ 11	리저브드(reserved)

[0366] DP_COD: 해당 4비트 필드는 관련된 데이터 파이프에 의해 사용되는 코드 레이트(code rate)을 나타낸다. 코드 레이트(code rate)은 아래의 표 15에 따라 시그널링 된다.

[0367]

[표15]

값	코드 레이트(code rate)
0000	5/15
0001	6/15
0010	7/15
0011	8/15
0100	9/15
0101	10/15
0110	11/15
0111	12/15
1000	13/15
1001 ~ 1111	리저브드(reserved)

[0368] DP_MOD: 해당 4비트 필드는 관련된 데이터 파이프에 의해 사용되는 변조를 나타낸다. 변조는 아래의 표 16에 따라 시그널링 된다.

[0369] [표16]

값	변조
0000	QPSK
0001	QAM-16
0010	NUQ-64
0011	NUQ-256
0100	NUQ-1024
0101	NUC-16
0110	NUC-64
0111	NUC-256
1000	NUC-1024
1001~1111	리저브드(reserved)

[0370] DP_SSD_FLAG: 해당 1비트 필드는 SSD 모드가 관련된 데이터 파이프에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, SSD는 사용된다. 해당 필드의 값이 0으로 설정되면, SSD는 사용되지 않는다.

[0371] 다음의 필드는 PHY_PROFILE가 어드벤스 프로파일을 나타내는 010과 동일할 때에만 나타난다.

[0372] DP_MIMO: 해당 3비트 필드는 어떤 타입의 MIMO 인코딩 처리가 관련된 데이터 파이프에 적용되는지 나타낸다. MIMO 인코딩 처리의 타입은 아래의 표 17에 따라 시그널링 된다.

[0373] [표17]

값	MIMO 인코딩
000	FR-SM
001	FRFD-SM
010~111	리저브드(reserved)

[0374] DP_TI_TYPE: 해당 1비트 필드는 타임 인터리빙의 타입을 나타낸다. 0의 값은 하나의 타임 인터리빙 그룹이 하나의 프레임에 해당하고 하나 이상의 타임 인터리빙 블록을 포함하는 것을 나타낸다. 1의 값은 하나의 타임 인터리빙 그룹이 하나보다 많은 프레임으로 전달되고 하나의 타임 인터리빙 블록만을 포함하는 것을 나타낸다.

[0375] DP_TI_LENGTH: 해당 2비트 필드(허용된 값은 1, 2, 4, 8뿐이다)의 사용은 다음과 같은 DP_TI_TYPE 필드 내에서 설정되는 값에 의해 결정된다.

[0376] DP_TI_TYPE의 값이 1로 설정되면, 해당 필드는 각각의 타임 인터리빙 그룹이 매핑되는 프레임의 수인 PI를 나타내고, 타임 인터리빙 그룹당 하나의 타임 인터리빙 블록이 존재한다 (NTI=1). 해당 2비트 필드로 허용되는 PI의 값은 아래의 표 18에 정의된다.

[0377] DP_TI_TYPE의 값이 0으로 설정되면, 해당 필드는 타임 인터리빙 그룹당 타임 인터리빙 블록의 수 NTI를 나타내고, 프레임당 하나의 타임 인터리빙 그룹이 존재한다 (PI=1). 해당 2비트 필드로 허용되는 PI의 값은 아래의 표 18에 정의된다.

[0378] [표18]

2비트 필드	PI	NTI
00	1	1
01	2	2
10	4	3
11	8	4

[0379] DP_FRAME_INTERVAL: 해당 2비트 필드는 관련된 데이터 파이프에 대한 프레임 그룹 내에서 프레임 간격(IJUMP)을 나타내고, 허용된 값은 1, 2, 4, 8 (해당하는 2비트 필드는 각각 00, 01, 10, 11)이다. 프레임 그룹의 모든 프레임에 나타나지 않는 데이터 파이프에 대해, 해당 필드의 값은 순차적인 프레임 사이의 간격과 동일하다. 예를 들면, 데이터 파이프가 1, 5, 9, 13 등의 프레임에

나타나면, 해당 필드의 값은 4로 설정된다. 모든 프레임에 나타나는 데이터 파이프에 대해, 해당 필드의 값은 1로 설정된다.

[0380] DP_TL_BYPASS: 해당 1비트 필드는 타임 인터리버(5050)의 가용성을 결정한다. 데이터 파이프에 대해 타임 인터리빙이 사용되지 않으면, 해당 필드 값은 1로 설정된다. 반면, 타임 인터리빙이 사용되면, 해당 필드 값은 0으로 설정된다.

[0381] DP_FIRST_FRAME_IDX: 해당 5비트 필드는 현 데이터 파이프가 발생하는 슈퍼 프레임의 첫 번째 프레임의 인덱스를 나타낸다. DP_FIRST_FRAME_IDX의 값은 0에서 31 사이이다.

[0382] DP_NUM_BLOCK_MAX: 해당 10비트 필드는 해당 데이터 파이프에 대한 DP_NUM_BLOCKS의 최대값을 나타낸다. 해당 필드의 값은 DP_NUM_BLOCKS와 동일한 범위를 갖는다.

[0383] DP_PAYLOAD_TYPE: 해당 2비트 필드는 주어진 데이터 파이프에 의해 전달되는 페이로드 데이터의 타입을 나타낸다. DP_PAYLOAD_TYPE은 아래의 표 19에 따라 시그널링 된다.

[0384] [표19]

값	페이로드 타입
00	TS.
01	IP
10	GS
11	리저브드(reserved)

[0385] DP_INBAND_MODE: 해당 2비트 필드는 현 데이터 파이프가 인 밴드(In-band) 시그널링 정보를 전달하는지 여부를 나타낸다. 인 밴드(In-band) 시그널링 타입은 아래의 표 20에 따라 시그널링 된다.

[0386] [표20]

값	인 밴드 모드(In-band mode)
00	인 밴드(In-band) 시그널링이 전달되지 않음
01	INBAND-PLS만 전달됨
10	INBAND-ISSY만 전달됨
11	INBAND-PLS 및 INBAND-ISSY가 전달됨

[0387] DP_PROTOCOL_TYPE: 해당 2비트 필드는 주어진 데이터 파이프에 의해 전달되는 페이로드의 프로토콜 타입을 나타낸다. 페이로드의 프로토콜 타입은 입력 페이로드 타입이 선택되면 아래의 표 21에 따라 시그널링 된다.

[0388]

[표21]

값	DP_PAYLOAD_TYPE 이 TS인 경우	DP_PAYLOAD_TYPE 이 IP인 경우	DP_PAYLOAD_TYPE 이 GS인 경우
00	MPEG2-TS	IPv4	(Note)
01	리저브드(reserved)	IPv6	리저브드(reserved)
10	리저브드(reserved)	리저브드(reserved)	리저브드(reserved)
11	리저브드(reserved)	리저브드(reserved)	리저브드(reserved)

[0389] DP_CRC_MODE: 해당 2비트 필드는 CRC 인코딩이 인풋 포맷 블록에서 사용되는지 여부를 나타낸다. CRC 모드는 아래의 표 22에 따라 시그널링 된다.

[0390] [표22]

값	CRC 모드
00	사용되지 않음
01	CRC-8
10	CRC-16
11	CRC-32

[0391] DNP_MODE: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되는 경우에 관련된 데이터 파이프에 의해 사용되는 널 패킷 삭제 모드를 나타낸다. DNP_MODE는 아래의 표 23에 따라 시그널링 된다. DP_PAYLOAD_TYPE이 TS ('00')가 아니면, DNP_MODE는 00의 값으로 설정된다.

[0392] [표23]

값	널 패킷 삭제 모드
00	사용되지 않음
01	DNP-NORMAL
10	DNP-OFFSET
11	리저브드(reserved)

[0393] ISSY_MODE: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되는 경우에 관련된 데이터 파이프에 의해 사용되는 ISSY 모드를 나타낸다. ISSY_MODE는 아래의 표 24에 따라 시그널링 된다. DP_PAYLOAD_TYPE이 TS ('00')가 아니면, ISSY_MODE는 00의 값으로 설정된다.

[0394]

[표24]

값	ISSY 모드
00	사용되지 않음
01	ISSY-UP
10	ISSY-BBF
11	리저브드(reserved)

[0395] HC_MODE_TS: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되는 경우에 관련된 데이터 파이프에 의해 사용되는 TS 헤더 압축 모드를 나타낸다. HC_MODE_TS는 아래의 표 25에 따라 시그널링 된다.

[0396] [표25]

값	헤더 압축 모드
00	HC_MODE_TS 1
01	HC_MODE_TS 2
10	HC_MODE_TS 3
11	HC_MODE_TS 4

[0397]

[0398]

[0399]

[0400] HC_MODE_IP: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 IP ('01')로 설정되는 경우에 IP 헤더 압축 모드를 나타낸다. HC_MODE_IP는 아래의 표 26에 따라 시그널링 된다.

[0401] [표26]

값	헤더 압축 모드
00	압축 없음
01	HC_MODE_IP 1
10~11	리저브드(reserved)

[0402] PID: 해당 13비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되고 HC_MODE_TS가 01 또는 10으로 설정되는 경우에 TS 헤더 압축을 위한 PID 수를 나타낸다.

[0403] RESERVED: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

[0404] 다음 필드는 FIC_FLAG가 1과 동일할 때만 나타난다.

[0405] FIC_VERSION: 해당 8비트 필드는 FIC의 버전 넘버를 나타낸다.

[0406] FIC_LENGTH_BYTE: 해당 13비트 필드는 FIC의 길이를 바이트 단위로

나타낸다.

- [0407] RESERVED: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [0408] 다음 필드는 AUX_FLAG가 1과 동일할 때만 나타난다.
- [0409] NUM_AUX: 해당 4비트 필드는 보조 스트림의 수를 나타낸다. 제로는 보조 스트림이 사용되지 않는 것을 나타낸다.
- [0410] AUX_CONFIG_RFU: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [0411] AUX_STREAM_TYPE: 해당 4비트는 현 보조 스트림의 타입을 나타내기 위한 추후 사용을 위해 리저브드(reserved)된다.
- [0412] AUX_PRIVATE_CONFIG: 해당 28비트 필드는 보조 스트림을 시그널링 하기 위한 추후 사용을 위해 리저브드(reserved)된다.
- [0413]
- [0414] 도 15는 본 발명의 다른 일 실시예에 따른 PLS2 데이터를 나타낸다.
- [0415] 도 15는 PLS2 데이터의 PLS2-DYN을 나타낸다. PLS2-DYN 데이터의 값은 하나의 프레임 그룹의 듀레이션 동안 변화할 수 있는 반면, 필드의 사이즈는 일정하다.
- [0416] PLS2-DYN 데이터의 필드의 구체적인 내용은 다음과 같다.
- [0417] FRAME_INDEX: 해당 5비트 필드는 슈퍼 프레임 내에서 현 프레임의 프레임 인덱스를 나타낸다. 슈퍼 프레임의 첫 번째 프레임의 인덱스는 0으로 설정된다.
- [0418] PLS_CHANGE_COUNTER: 해당 4비트 필드는 구성이 변화하기 전의 슈퍼 프레임의 수를 나타낸다. 구성이 변화하는 다음 슈퍼 프레임은 해당 필드 내에서 시그널링 되는 값에 의해 나타낸다. 해당 필드의 값이 0000으로 설정되면, 이는 어떠한 예정된 변화도 예측되지 않는 것을 의미한다. 예를 들면, 1의 값은 다음 슈퍼 프레임에 변화가 있다는 것을 나타낸다.
- [0419] FIC_CHANGE_COUNTER: 해당 4비트 필드는 구성(즉, FIC의 콘텐츠)이 변화하기 전의 슈퍼 프레임의 수를 나타낸다. 구성이 변화하는 다음 슈퍼 프레임은 해당 필드 내에서 시그널링 되는 값에 의해 나타낸다. 해당 필드의 값이 0000으로 설정되면, 이는 어떠한 예정된 변화도 예측되지 않는 것을 의미한다. 예를 들면, 0001의 값은 다음 슈퍼 프레임에 변화가 있다는 것을 나타낸다.
- [0420] RESERVED: 해당 16비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [0421] 다음 필드는 현 프레임에서 전달되는 데이터 파이프와 관련된 파라미터를 설명하는 NUM_DP에서의 루프(loop)에 나타난다.
- [0422] DP_ID: 해당 6비트 필드는 피지컬 프로파일 내에서 데이터 파이프를 유일하게 나타낸다.
- [0423] DP_START: 해당 15비트 (또는 13비트) 필드는 DPU 어드레싱(addressing) 기법을 사용하여 데이터 파이프의 첫 번째의 시작 위치를 나타낸다. DP_START 필드는 아래의 표 27에 나타낸 바와 같이 피지컬 프로파일 및 FFT 사이즈에 따라

다른 길이를 갖는다.

[0424] [표27]

피지컬 프로파일	DP_START 필드 사이즈	
64K	16K	15 비트
베이스	13 비트	
핸드헬드	-	13 비트
어드벤스	13 비트	15 비트

- [0425] DP_NUM_BLOCK: 해당 10비트 필드는 현 데이터 파이프에 대한 현 타임 인터리빙 그룹에서 FEC 블록의 수를 나타낸다. DP_NUM_BLOCK의 값은 0에서 1023 사이에 있다.
- [0426] RESERVED: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [0427] 다음의 필드는 EAC와 관련된 FIC 파라미터를 나타낸다.
- [0428] EAC_FLAG: 해당 1비트 필드는 현 프레임에서 EAC의 존재를 나타낸다. 해당 비트는 프리앰블에서 EAC_FLAG와 같은 값이다.
- [0429] EAS_WAKE_UP_VERSION_NUM: 해당 8비트 필드는 자동 활성화 지시의 버전 넘버를 나타낸다.
- [0430] EAC_FLAG 필드가 1과 동일하면, 다음의 12비트가 EAC_LENGTH_BYTE 필드에 할당된다. EAC_FLAG 필드가 0과 동일하면, 다음의 12비트가 EAC_COUNTER에 할당된다.
- [0431] EAC_LENGTH_BYTE: 해당 12비트 필드는 EAC의 길이를 바이트로 나타낸다.
- [0432] EAC_COUNTER: 해당 12비트 필드는 EAC가 도달하는 프레임 전의 프레임의 수를 나타낸다.
- [0433] 다음 필드는 AUX_FLAG 필드가 1과 동일한 경우에만 나타난다.
- [0434] AUX_PRIVATE_DYN: 해당 48비트 필드는 보조 스트림을 시그널링 하기 위한 추후 사용을 위해 리저브드(reserved)된다. 해당 필드의 의미는 설정 가능한 PLS2-STAT에서 AUX_STREAM_TYPE의 값에 의존한다.
- [0435] CRC_32: 전체 PLS2에 적용되는 32비트 에러 검출 코드.
- [0436]
- [0437] 도 16은 본 발명의 일 실시예에 따른 프레임의 로지컬(logical) 구조를 나타낸다.
- [0438] 전술한 바와 같이, PLS, EAC, FIC, 데이터 파이프, 보조 스트림, 더미 셀은 프레임에서 OFDM 심볼의 액티브(active) 캐리어에 매핑된다. PLS1 및 PLS2는 처음에 하나 이상의 FSS에 매핑된다. 그 후, EAC가 존재한다면 EAC 셀은 바로 뒤따르는 PLS 필드에 매핑된다. 다음에 FIC가 존재한다면 FIC 셀이 매핑된다. 데이터 파이프는 PLS 다음에 매핑되거나, EAC 또는 FIC가 존재하는 경우, EAC 또는 FIC 이후에 매핑된다. 타입 1 데이터 파이프가 처음에 매핑되고, 타입 2 데이터 파이프가 다음에 매핑된다. 데이터 파이프의 타입의 구체적인 내용은

후술한다. 일부 경우, 데이터 파이프는 EAS에 대한 일부 특수 데이터 또는 서비스 시그널링 데이터를 전달할 수 있다. 보조 스트림 또는 스트림은 존재한다면 데이터 파이프를 다음에 매핑되고 여기에는 차례로 더미 셀이 뒤따른다. 전술한 순서, 즉, PLS, EAC, FIC, 데이터 파이프, 보조 스트림, 및 더미 셀의 순서로 모두 함께 매핑하면 프레임에서 셀 용량을 정확히 채운다.

[0439]

[0440] 도 17은 본 발명의 일 실시예에 따른 PLS 매핑을 나타낸다.

[0441] PLS 셀은 FSS의 액티브(active) 캐리어에 매핑된다. PLS가 차지하는 셀의 수에 따라, 하나 이상의 심볼이 FSS로 지정되고, FSS의 수 NFSS는 PLS1에서의 NUM_FSS에 의해 시그널링된다. FSS는 PLS 셀을 전달하는 특수한 심볼이다. 경고성 및 지연 시간(latency)은 PLS에서 중대한 사안이므로, FSS는 높은 파일럿 밀도를 가지고 있어 고속 동기화 및 FSS 내에서의 주파수만의 인터폴레이션(interpolation, 보간)을 가능하게 한다.

[0442] PLS 셀은 도 17의 예에 나타낸 바와 같이 하향식으로 FSS의 액티브(active) 캐리어에 매핑된다. PLS1 셀은 처음에 첫 FSS의 첫 셀부터 셀 인덱스의 오름차순으로 매핑된다. PLS2 셀은 PLS1의 마지막 셀 직후에 뒤따르고, 매핑은 첫 FSS의 마지막 셀 인덱스까지 아래방향으로 계속된다. 필요한 PLS 셀의 총 수가 하나의 FSS의 액티브(active) 캐리어의 수를 초과하면, 매핑은 다음 FSS로 진행되고 첫 FSS와 완전히 동일한 방식으로 계속된다.

[0443] PLS 매핑이 완료된 후, 데이터 파이프가 다음에 전달된다. EAC, FIC 또는 둘 다 현 프레임에 존재하면, EAC 및 FIC는 PLS와 노멀 데이터 파이프 사이에 배치된다.

[0444]

[0445] 도 18은 본 발명의 일 실시예에 따른 EAC 매핑을 나타낸다.

[0446] EAC는 EAS 메시지를 전달하는 전용 채널이고 EAS에 대한 데이터 파이프에 연결된다. EAS 지원은 제공되지만, EAC 자체는 모든 프레임에 존재할 수도 있고 존재하지 않을 수도 있다. EAC가 존재하는 경우, EAC는 PLS2 셀의 직후에 매핑된다. PLS 셀을 제외하고 FIC, 데이터 파이프, 보조 스트림 또는 더미 셀 중 어느 것도 EAC 앞에 위치하지 않는다. EAC 셀의 매핑 절차는 PLS와 완전히 동일하다.

[0447] EAC 셀은 도 18의 예에 나타낸 바와 같이 PLS2의 다음 셀부터 셀 인덱스의 오름차순으로 매핑된다. EAS 메시지 크기에 따라, 도 18에 나타낸 바와 같이 EAC 셀은 적은 심볼을 차지할 수 있다.

[0448] EAC 셀은 PLS2의 마지막 셀 직후에 뒤따르고, 매핑은 마지막 FSS의 마지막 셀 인덱스까지 아래방향으로 계속된다. 필요한 EAC 셀의 총 수가 마지막 FSS의 남아 있는 액티브(active) 캐리어의 수를 초과하면, EAC 매핑은 다음 심볼로 진행되며, FSS와 완전히 동일한 방식으로 계속된다. 이 경우 EAC의 매핑이 이루어지는 다음 심볼은 노멀 데이터 심볼이고, 이는 FSS보다 더 많은

액티브(active) 캐리어를 갖는다.

[0449] EAC 매핑이 완료된 후, 존재한다면 FIC가 다음에 전달된다. FIC가 전송되지 않으면(PLS2 필드에서 시그널링으로), 데이터 파이프가 EAC의 마지막 셀 직후에 뒤따른다.

[0450]

[0451] 도 19는 본 발명의 일 실시예에 따른 FIC 매핑을 나타낸다.

[0452] (a)는 EAC 없이 FIC 셀의 매핑의 예를 나타내고, (b)는 EAC와 함께 FIC 셀의 매핑의 예를 나타낸다.

[0453] FIC는 고속 서비스 획득 및 채널 스캔을 가능하게 하기 위해 계층간 정보(cross-layer information)를 전달하는 전용 채널이다. 해당 정보는 주로 데이터 파이프 사이의 채널 바인딩 (channel binding) 정보 및 각 방송사의 서비스를 포함한다. 고속 스캔을 위해, 수신기는 FIC를 디코딩하고 방송사 ID, 서비스 수, BASE_DP_ID와 같은 정보를 획득할 수 있다. 고속 서비스 획득을 위해, FIC뿐만 아니라 베이스 데이터 파이프도 BASE_DP_ID를 이용해서 디코딩될 수 있다. 베이스 데이터 파이프가 전송하는 콘텐츠를 제외하고, 베이스 데이터 파이프는 노멀 데이터 파이프와 정확히 동일한 방식으로 인코딩되어 프레임에 매핑된다. 따라서, 베이스 데이터 파이프에 대한 추가 설명이 필요하지 않다. FIC 데이터가 생성되어 관리 계층에서 소비된다. FIC 데이터의 콘텐츠는 관리 계층 사양에 설명된 바와 같다.

[0454] FIC 데이터는 선택적이고, FIC의 사용은 PLS2의 스테틱(static, 정적)인 부분에서 FIC_FLAG 파라미터에 의해 시그널링 된다. FIC가 사용되면, FIC_FLAG는 1로 설정되고, FIC에 대한 시그널링 필드는 PLS2의 스테틱(static, 정적)인 부분에서 정의된다. 해당 필드에서 시그널링되는 것은 FIC_VERSION이고, FIC_LENGTH_BYTE. FIC는 PLS2와 동일한 변조, 코딩, 타임 인터리빙 파라미터를 사용한다. FIC는 PLS2_MOD 및 PLS2_FEC와 같은 동일한 시그널링 파라미터를 공유한다. FIC 데이터는 존재한다면 PLS2 후에 매핑되거나, EAC가 존재하는 경우 EAC 직후에 매핑된다. 노멀 데이터 파이프, 보조 스트림, 또는 더미 셀 중 어느 것도 FIC 앞에 위치하지 않는다. FIC 셀을 매핑하는 방법은 EAC와 완전히 동일하고, 이는 다시 PLS와 동일하다.

[0455] PLS 후의 EAC가 존재하지 않는 경우, FIC 셀은 (a)의 예에 나타난 바와 같이 PLS2의 다음 셀부터 셀 인덱스의 오름차순으로 매핑된다. FIC 데이터 사이즈에 따라, (b)에 나타난 바와 같이, FIC 셀은 수 개의 심볼에 대해서 매핑된다.

[0456] FIC 셀은 PLS2의 마지막 셀 직후에 뒤따르고, 매핑은 마지막 FSS의 마지막 셀 인덱스까지 아래방향으로 계속된다. 필요한 FIC 셀의 총 수가 마지막 FSS의 남아 있는 액티브(active) 캐리어의 수를 초과하면, 나머지 FIC 셀의 매핑은 다음 심볼로 진행되며 이는 FSS와 완전히 동일한 방식으로 계속된다. 이 경우, FIC가 매핑되는 다음 심볼은 노멀 데이터 심볼이며, 이는 FSS보다 더 많은 액티브(active) 캐리어를 갖는다.

- [0457] EAS 메시지가 현 프레임에서 전송되면, EAC는 FIC 보다 먼저 매핑되고 (b)에 나타낸 바와 같이 EAC의 다음 셀부터 FIC 셀은 셀 인덱스의 오름차순으로 매핑된다.
- [0458] FIC 매핑이 완료된 후, 하나 이상의 데이터 파이프가 매핑되고, 이후 존재한다면 보조 스트림, 더미 셀이 뒤따른다.
- [0459]
- [0460] 도 20은 본 발명의 일 실시예에 따른 데이터 파이프의 타입을 나타낸다.
- [0461] (a)는 타입 1 데이터 파이프를 나타내고, (b)는 타입 2 데이터 파이프를 나타낸다.
- [0462] 선행하는 채널, 즉 PLS, EAC, FIC가 매핑된 후, 데이터 파이프의 셀이 매핑된다. 데이터 파이프는 매핑 방법에 따라 두 타입 중 하나로 분류된다.
- [0463] 타입 1 데이터 파이프: 데이터 파이프가 TDM에 의해 매핑된다.
- [0464] 타입 2 데이터 파이프: 데이터 파이프가 FDM에 의해 매핑된다.
- [0465] 데이터 파이프의 타입은 PLS2의 스테틱(static, 정적)인 부분에서 DP_TYPE 필드에 의해 나타낸다. 도 20은 타입 1 데이터 파이프 및 타입 2 데이터 파이프의 매핑 순서를 나타낸다. 타입 1 데이터 파이프는 우선 셀 인덱스의 오름차순으로 매핑된 후, 마지막 셀 인덱스에 도달한 후, 심볼 인덱스가 1씩 증가된다. 다음 심볼 내에서, 데이터 파이프는 $p = 0$ 을 시작으로 셀 인덱스의 오름차순으로 계속 매핑된다. 하나의 프레임에서 함께 매핑되는 다수의 데이터 파이프와 함께, 각각의 타입 1 데이터 파이프는 데이터 파이프의 TDM과 유사하게 시간으로 그루핑된다.
- [0466] 타입 2 데이터 파이프는 우선 심볼 인덱스의 오름차순으로 매핑되고, 프레임의 마지막 OFDM 심볼에 도달한 후, 셀 인덱스는 1씩 증가하고, 심볼 인덱스는 첫 번째 가용 심볼로 되돌아 간 후, 그 심볼 인덱스부터 증가한다. 하나의 프레임에서 다수의 데이터 파이프를 매핑한 후, 각각의 타입 2 데이터 파이프는 데이터 파이프의 FDM과 유사하게 주파수로 그루핑된다.
- [0467] 타입 1 데이터 파이프 및 타입 2 데이터 파이프는 필요시 프레임에서 공존할 수 있는데, 타입 1 데이터 파이프가 항상 타입 2 데이터 파이프에 선행한다는 제한이 있다. 타입 1 및 타입 2 데이터 파이프를 전달하는 OFDM 셀의 총 수는 데이터 파이프의 전송에 사용할 수 있는 OFDM 셀의 총 수를 초과할 수 없다.
- [0468] [수식2]
- $$D_{DP1} + D_{DP2} \leq D_{DP}$$
- [0469] 이때, $DDP1$ 는 타입 1 데이터 파이프가 차지하는 OFDM 셀의 수에 해당하고, $DDP2$ 는 타입 2 데이터 파이프가 차지하는 셀의 수에 해당한다. PLS, EAC, FIC가 모두 타입 1 데이터 파이프와 마찬가지로 방식으로 매핑되므로, PLS, EAC, FIC는 모두 “타입 1 매핑 규칙”에 따른다. 따라서, 대체로 타입 1 매핑이 항상 타입 2 매핑에 선행한다.

[0470]

- [0471] 도 21은 본 발명의 일 실시예에 따른 데이터 파이프 매핑을 나타낸다.
- [0472] (a)는 타입 1 데이터 파이프를 매핑하기 위한 OFDM 셀의 어드레싱을 나타내고, (b)는 타입 2 데이터 파이프를 매핑하기 위한 OFDM 셀의 어드레싱을 나타낸다.
- [0473] 타입 1 데이터 파이프(0, ..., DDP1-1)를 매핑하기 위한 OFDM 셀의 어드레싱은 타입 1 데이터 파이프의 액티브(active) 데이터 셀에 대해 정의된다. 어드레싱 방식은 각각의 타입 1 데이터 파이프에 대한 타임 인터리빙으로부터의 셀이 액티브(active) 데이터 셀에 할당되는 순서를 정의한다. 어드레싱 방식은 또한 PLS2의 다이나믹(dynamic, 동적) 부분에서 데이터 파이프의 위치를 시그널링하는 데 사용된다.
- [0474] EAC 및 FIC 없이, 어드레스 0은 마지막 FSS에서 PLS를 전달하는 마지막 셀에 바로 뒤따르는 셀을 말한다. EAC가 전송되고, FIC가 해당하는 프레임에 없으면, 어드레스 0은 EAC를 전달하는 마지막 셀에 바로 뒤따르는 셀을 말한다. FIC가 해당하는 프레임에서 전송되면, 어드레스 0은 FIC를 전달하는 마지막 셀에 바로 뒤따르는 셀을 말한다. 타입 1 데이터 파이프에 대한 어드레스 0은 (a)에 나타난 바와 같은 두 가지 서로 다른 경우를 고려해서 산출될 수 있다. (a)의 예에서, PLS, EAC, FIC는 모두 전송된다고 가정한다. EAC와 FIC 중 하나 또는 모두가 생략되는 경우로의 확장은 자명하다. (a)의 좌측에 나타난 바와 같이 FIC까지 모든 셀을 매핑한 후에 FSS에 남아 있는 셀이 있으면.
- [0475] 타입 2 데이터 파이프(0, ..., DDP2-1)를 매핑하기 위한 OFDM 셀의 어드레싱은 타입 2 데이터 파이프의 액티브(active) 데이터 셀에 대해 정의된다. 어드레싱 방식은 각각의 타입 2 데이터 파이프에 대한 타임 인터리빙으로부터의 셀이 액티브(active) 데이터 셀에 할당되는 순서를 정의한다. 어드레싱 방식은 또한 PLS2의 다이나믹(dynamic, 동적) 부분에서 데이터 파이프의 위치를 시그널링하는 데 사용된다.
- [0476] (b)에 나타난 바와 같이, 세 가지 약간 다른 경우가 가능하다. (b)의 좌측에 나타난 첫 번째 경우에, 마지막 FSS에 있는 셀은 타입 2 데이터 파이프 매핑에 사용될 수 있다. 중앙에 나타난 두 번째 경우에, FIC는 노멀 심볼의 셀을 차지하지만, 해당 심볼에서의 FIC 셀의 수는 CFSS보다 크지 않다. (b)의 우측에 나타난 세 번째 경우는 해당 심볼에 매핑된 FIC 셀의 수가 CFSS를 초과한다는 점을 제외하고 두 번째 경우와 동일하다.
- [0477] PLS, EAC, FIC가 타입 1 데이터 파이프와 동일한 “타입 1 매핑 규칙”에 따르므로, 타입 1 데이터 파이프가 타입 2 데이터 파이프에 선행하는 경우로의 확장은 자명하다.
- [0478] 데이터 파이프 유닛(DPU)은 프레임에서 데이터 셀을 데이터 파이프에 할당하는 기본 단위이다.
- [0479] DPU는 프레임에서 데이터 파이프의 위치를 찾아내기 위한 시그널링 단위로 정의된다. 셀 매핑(7010)은 각각의 데이터 파이프에 대해 타임 인터리빙에 의해 생성된 셀을 매핑할 수 있다. 타임 인터리버(5050)는 일련의 타임 인터리빙

블록을 출력하고, 각각의 타임 인터리빙 블록은 XFECBLOCK의 가변 수를 포함하고, 이는 결국 셀의 집합으로 구성된다. XFECBLOCK에서의 셀의 수 N_{cells} 는 FECBLOCK 사이즈, N_{ldpc} , 컨스텔레이션 심볼당 전송되는 비트 수에 의존한다. DPU는 주어진 피지컬 프로파일에 지원되는 XFECBLOCK에서의 셀의 수 N_{cells} 의 모든 가능한 값의 최대 공약수로 정의된다. 셀에서의 DPU의 길이는 LDPU로 정의된다. 각각의 피지컬 프로파일은 FECBLOCK 사이즈의 서로 다른 조합 및 컨스텔레이션 심볼당 다른 비트 수를 지원하므로, LDPU는 피지컬 프로파일을 기초로 정의된다.

[0480]

[0481] 도 22는 본 발명의 일 실시예에 따른 FEC 구조를 나타낸다.

[0482] 도 22는 비트 인터리빙 전의 본 발명의 일 실시예에 따른 FEC 구조를 나타낸다. 전송한 바와 같이, 데이터 FEC 인코더는 외부 코딩(BCH) 및 내부 코딩(LDPC)을 이용하여 FECBLOCK 절차를 생성하기 위해 입력 BBF에 FEC 인코딩을 실행할 수 있다. 도시된 FEC 구조는 FECBLOCK에 해당한다. 또한, FECBLOCK 및 FEC 구조는 LDPC 코드워드의 길이에 해당하는 동일한 값을 갖는다.

[0483] 도 22에 도시된 바와 같이, BCH 인코딩이 각각의 BBF(K_{bch} 비트)에 적용된 후, LDPC 인코딩이 BCH - 인코딩된 BBF(K_{ldpc} 비트 = N_{bch} 비트)에 적용된다.

[0484] N_{ldpc} 의 값은 64800 비트 (롱 FECBLOCK) 또는 16200 비트 (쇼트 FECBLOCK)이다.

[0485] 아래의 표 28 및 표 29는 롱 FECBLOCK 및 쇼트 FECBLOCK 각각에 대한 FEC 인코딩 파라미터를 나타낸다.

[0486] [표28]

LDPC 비율	N_{ldpc}	K_{ldpc}	K_{bch}	BCH 에러 정정 능력	$N_{bch}-K_{bch}$
5/15	64800	21600	21408	12	192
6/15	25920	25728			
7/15	30240	30048			
8/15	34560	34368			
9/15	38880	38688			
10/15	43200	43008			
11/15	47520	47328			
12/15	51840	51648			
13/15	56160	55968			

[0487]

[표29]

LDPC 비율	Nldpc	Kldpc	Kbch	BCH 에러 정정 능력	Nbch-Kbch
5/15	16200	5400	5232	12	168
6/15	6480	6312			
7/15	7560	7392			
8/15	8640	8472			
9/15	9720	9552			
10/15	10800	10632			
11/15	11880	11712			
12/15	12960	12792			
13/15	14040	13872			

[0488] BCH 인코딩 및 LDPC 인코딩의 구체적인 동작은 다음과 같다.

[0489] 12-에러 정정 BCH 코드가 BBF의 외부 인코딩에 사용된다. 쇼트 FECBLOCK 및 롱 FECBLOCK에 대한 BBF 생성 다항식은 모든 다항식을 곱함으로써 얻어진다.

[0490] LDPC 코드는 외부 BCH 인코딩의 출력을 인코딩하는 데 사용된다. 완성된 Bldpc (FECBLOCK)를 생성하기 위해, Pldpc (패리티 비트)가 각각의 lldpc (BCH - 인코딩된 BBF)로부터 조직적으로 인코딩되고, lldpc에 첨부된다. 완성된 Bldpc (FECBLOCK)는 다음의 수학적식으로 표현된다.

[0491] [수식3]

$$\mathbf{B}_{ldpc} = [\mathbf{I}_{ldpc} \ \mathbf{P}_{ldpc}] = [i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$$

[0492] 롱 FECBLOCK 및 쇼트 FECBLOCK에 대한 파라미터는 위의 표 28 및 29에 각각 주어진다.

[0493] 롱 FECBLOCK에 대해 Nldpc - Kldpc 패리티 비트를 계산하는 구체적인 절차는 다음과 같다.

[0494] 1) 패리티 비트 초기화

[0495] [수식4]

$$p_0 = p_1 = p_2 = \dots = p_{N_{ldpc}-K_{ldpc}-1} = 0$$

[0496] 2) 패리티 체크 매트릭스의 어드레스의 첫 번째 행에서 특정된 패리티 비트 어드레스에서 첫 번째 정보 비트 i_0 누산(accumulate). 패리티 체크 매트릭스의 어드레스의 상세한 내용은 후술한다. 예를 들면, 비율 13/15에 대해,

[0497]

[수식5]

$$\begin{aligned}
P_{983} &= P_{983} \oplus i_0 & P_{2815} &= P_{2815} \oplus i_0 \\
P_{4837} &= P_{4837} \oplus i_0 & P_{4989} &= P_{4989} \oplus i_0 \\
P_{6138} &= P_{6138} \oplus i_0 & P_{6458} &= P_{6458} \oplus i_0 \\
P_{6921} &= P_{6921} \oplus i_0 & P_{6974} &= P_{6974} \oplus i_0 \\
P_{7572} &= P_{7572} \oplus i_0 & P_{8260} &= P_{8260} \oplus i_0 \\
P_{8496} &= P_{8496} \oplus i_0
\end{aligned}$$

[0498] 3) 다음 359개의 정보 비트 i_s , $s=1, 2, \dots, 359$ 에 대해, 다음의 수학적식을 이용하여 패리티 비트 어드레스에서 i_s 누산(accumulate).

[0499] [수식6]

$$\{x + (s \bmod 360) \times Q_{ldpc}\} \bmod (N_{ldpc} - K_{ldpc})$$

[0500] 여기서, x 는 첫 번째 비트 i_0 에 해당하는 패리티 비트 누산기의 어드레스를 나타내고, Q_{ldpc} 는 패리티 체크 매트릭스의 어드레스에서 특정된 코드 레이트(code rate) 의존 상수이다. 상기 예인, 비율 13/15에 대한, 따라서 정보 비트 i_1 에 대한 $Q_{ldpc} = 24$ 에 계속해서, 다음 동작이 실행된다.

[0501] [수식7]

$$\begin{aligned}
P_{1007} &= P_{1007} \oplus i_1 & P_{2839} &= P_{2839} \oplus i_1 \\
P_{4861} &= P_{4861} \oplus i_1 & P_{5013} &= P_{5013} \oplus i_1 \\
P_{6162} &= P_{6162} \oplus i_1 & P_{6482} &= P_{6482} \oplus i_1 \\
P_{6945} &= P_{6945} \oplus i_1 & P_{6998} &= P_{6998} \oplus i_1 \\
P_{7596} &= P_{7596} \oplus i_1 & P_{8284} &= P_{8284} \oplus i_1 \\
P_{8520} &= P_{8520} \oplus i_1
\end{aligned}$$

[0502] 4) 361번째 정보 비트 i_{360} 에 대해, 패리티 비트 누산기의 어드레스는 패리티 체크 매트릭스의 어드레스의 두 번째 행에 주어진다. 마찬가지로, 다음 359개의 정보 비트 i_s , $s=361, 362, \dots, 719$ 에 대한 패리티 비트 누산기의 어드레스는 수학적식 6을 이용하여 얻어진다. 여기서, x 는 정보 비트 i_{360} 에 해당하는 패리티 비트 누산기의 어드레스, 즉 패리티 체크 매트릭스의 두 번째 행의 엔트리를 나타낸다.

[0503] 5) 마찬가지로, 360개의 새로운 정보 비트의 모든 그룹에 대해, 패리티 체크 매트릭스의 어드레스로부터의 새로운 행은 패리티 비트 누산기의 어드레스를 구하는 데 사용된다.

[0504] 모든 정보 비트가 이용된 후, 최종 패리티 비트가 다음과 같이 얻어진다.

[0505] 6) $i=1$ 로 시작해서 다음 동작을 순차적으로 실행

[0506]

[수식8]

$$P_i = P_i \oplus P_{i-1}, \quad i = 1, 2, \dots, N_{ldpc} - K_{ldpc} - 1$$

[0507] 여기서 $p_i, i=0,1,\dots,N_{ldpc} - K_{ldpc} - 1$ 의 최종 콘텐츠는 패리티 비트 p_i 와 동일하다.

[0508] [표30]

코드 레이트(code rate)	Q_{ldpc}
5/15	120
6/15	108
7/15	96
8/15	84
9/15	72
10/15	60
11/15	48
12/15	36
13/15	24

[0509] 표 30을 표 31로 대체하고, 롱 FECBLOCK에 대한 패리티 체크 매트릭스의 어드레스를 쇼트 FECBLOCK에 대한 패리티 체크 매트릭스의 어드레스로 대체하는 것을 제외하고, 쇼트 FECBLOCK에 대한 해당 LDPC 인코딩 절차는 롱 FECBLOCK에 대한 t LDPC 인코딩 절차에 따른다.

[0510] [표31]

코드 레이트(code rate)	Q_{ldpc}
5/15	30
6/15	27
7/15	24
8/15	21
9/15	18
10/15	15
11/15	12
12/15	9
13/15	6

[0511] 도 23은 본 발명의 일 실시예에 따른 비트 인터리빙을 나타낸다.

[0512] LDPC 인코더의 출력은 비트 인터리빙되는데, 이는 QCB (quasi-cyclic block)

인터리빙 및 내부 그룹 인터리빙이 뒤따르는 패리티 인터리빙으로 구성된다.

[0513] (a)는 QCB 인터리빙을 나타내고, (b)는 내부 그룹 인터리빙을 나타낸다.

[0514] FECBLOCK은 패리티 인터리빙될 수 있다. 패리티 인터리빙의 출력에서, LDPC 코드워드는 롱 FECBLOCK에서 180개의 인접하는 QCB으로 구성되고, 쇼트 FECBLOCK에서 45개의 인접하는 QCB으로 구성된다. 롱 또는 쇼트 FECBLOCK에서의 각각의 QCB는 360비트로 구성된다. 패리티 인터리빙된 LDPC 코드워드는 QCB 인터리빙에 의해 인터리빙된다. QCB 인터리빙의 단위는 QCB이다. 패리티 인터리빙의 출력에서의 QCB는 도 23에 나타난 바와 같이 QCB 인터리빙에 의해 퍼뮤테이션되는데, 여기서 FECBLOCK 길이에 따라 $N_{\text{cells}} = 64800/n \bmod$ 또는 $16200/n \bmod$ 이다. QCB 인터리빙 패턴은 변조 타입 및 LDPC 코드 레이트(code rate)의 각 조합에 고유하다.

[0515] QCB 인터리빙 후에, 내부 그룹 인터리빙이 아래의 표 32에 정의된 변조 타입 및 차수($n \bmod$)에 따라 실행된다. 하나의 내부 그룹에 대한 QCB의 수 $N_{\text{QCB_IG}}$ 도 정의된다.

[0516] [표32]

변조 타입	n_{mod}	$N_{\text{QCB_IG}}$
QAM-16	4	2
NUC-16	4	4
NUQ-64	6	3
NUC-64	6	6
NUQ-256	8	4
NUC-256	8	8
NUQ-1024	10	5
NUC-1024	10	10

[0517] 내부 그룹 인터리빙 과정은 QCB 인터리빙 출력의 $N_{\text{QCB_IG}}$ 개의 QCB로 실행된다. 내부 그룹 인터리빙은 360개의 열 및 $N_{\text{QCB_IG}}$ 개의 행을 이용해서 내부 그룹의 비트를 기입하고 판독하는 과정을 포함한다. 기입 동작에서, QCB 인터리빙 출력으로부터의 비트가 행 방향으로 기입된다. 판독 동작은 열 방향으로 실행되어 각 행에서 m 개의 비트를 판독한다. 여기서 m 은 NUC의 경우 1과 같고 NUQ의 경우 2와 같다.

[0518]

[0519] 도 24는 본 발명의 일 실시예에 따른 셀-워드 디멀티플렉싱을 나타낸다.

[0520] 도 24에서, (a)는 8 및 12 bpcu MIMO에 대한 셀-워드 디멀티플렉싱을 나타내고, (b)는 10 bpcu MIMO에 대한 셀-워드 디멀티플렉싱을 나타낸다.

[0521] 비트 인터리빙 출력의 각각의 셀 워드($c_{0,l}, c_{1,l}, \dots, c_{n \bmod -1,l}$)는 하나의

XFECBLOCK에 대한 셀-워드 디멀티플렉싱 과정을 설명하는 (a)에 나타난 바와 같이 ($d1,0,m, d1,1,m, \dots, d1,n \bmod -1,m$) 및 ($d2,0,m, d2,1,m, \dots, d2,n \bmod -1,m$)로 디멀티플렉싱된다.

- [0522] MIMO 인코딩을 위해 다른 타입의 NUQ를 이용하는 10 bpcu MIMO 경우에, NUQ-1024에 대한 비트 인터리버가 재사용된다. 비트 인터리버 출력의 각각의 셀 워드 ($c0,1, c1,1, \dots, c9,1$)는 (b)에 나타난 바와 같이 ($d1,0,m, d1,1,m, \dots, d1,3,m$) 및 ($d2,0,m, d2,1,m, \dots, d2,5,m$)로 디멀티플렉싱된다.
- [0523] 도 25는 본 발명의 일 실시예에 따른 타임 인터리빙을 나타낸다.
- [0524] (a) 내지 (c)는 타임 인터리빙 모드의 예를 나타낸다.
- [0525] 타임 인터리버는 데이터 파이프 레벨에서 동작한다. 타임 인터리빙의 파라미터는 각각의 데이터 파이프에 대해 다르게 설정될 수 있다.
- [0526] PLS2-STAT 데이터의 일부에 나타나는 다음의 파라미터는 타임 인터리빙을 구성한다.
- [0527] DP_TI_TYPE (허용된 값: 0 또는 1): 타임 인터리빙 모드를 나타낸다. 0은 타임 인터리빙 그룹당 다수의 타임 인터리빙 블록(하나 이상의 타임 인터리빙 블록)을 갖는 모드를 나타낸다. 이 경우, 하나의 타임 인터리빙 그룹은 하나의 프레임에 (프레임간 인터리빙 없이) 직접 매핑된다. 1은 타임 인터리빙 그룹당 하나의 타임 인터리빙 블록만을 갖는 모드를 나타낸다. 이 경우, 타임 인터리빙 블록은 하나 이상의 프레임에 걸쳐 확산된다(프레임간 인터리빙).
- [0528] DP_TI_LENGTH: DP_TI_TYPE = '0'이면, 해당 파라미터는 타임 인터리빙 그룹당 타임 인터리빙 블록의 수 NTI이다. DP_TI_TYPE = '1'인 경우, 해당 파라미터는 하나의 타임 인터리빙 그룹으로부터 확산되는 프레임의 수 PI이다.
- [0529] DP_NUM_BLOCK_MAX (허용된 값: 0 내지 1023): 타임 인터리빙 그룹당 XFECBLOCK의 최대 수를 나타낸다.
- [0530] DP_FRAME_INTERVAL (허용된 값: 1, 2, 4, 8): 주어진 피지컬 프로파일의 동일한 데이터 파이프를 전달하는 두 개의 순차적인 프레임 사이의 프레임의 수 IJUMP를 나타낸다.
- [0531] DP_TI_BYPASS (허용된 값: 0 또는 1): 타임 인터리빙이 데이터 프레임에 이용되지 않으면, 해당 파라미터는 1로 설정된다. 타임 인터리빙이 이용되면, 0으로 설정된다.
- [0532] 추가로, PLS2-DYN 데이터로부터의 파라미터 DP_NUM_BLOCK은 데이터 그룹의 하나의 타임 인터리빙 그룹에 의해 전달되는 XFECBLOCK의 수를 나타낸다.
- [0533] 타임 인터리빙이 데이터 프레임에 이용되지 않으면, 다음의 타임 인터리빙 그룹, 타임 인터리빙 동작, 타임 인터리빙 모드는 고려되지 않는다. 그러나 스케줄러부터의 다이내믹(dynamic, 동적) 구성 정보를 위한 딜레이 컴펜세이션(delay compensation, 지연보상) 블록은 여전히 필요하다. 각각의 데이터 파이프에서, SSD/MIMO 인코딩으로부터 수신한 XFECBLOCK은 타임

인터리빙 그룹으로 그룹핑된다. 즉, 각각의 타임 인터리빙 그룹은 정수 개의 XFECBLOCK의 집합이고, 다이내믹(dynamic, 동적)으로 변화하는 수의 XFECBLOCK을 포함할 것이다. 인덱스 n의 타임 인터리빙 그룹에 있는 XFECBLOCK의 수는 NxBLOCK_Group(n)로 나타내고, PLS2-DYN 데이터에서 DP_NUM_BLOCK으로 시그널링된다. 이때, NxBLOCK_Group(n)은 최소값 0에서 가장 큰 값이 1023인 최대값 NxBLOCK_Group_MAX (DP_NUM_BLOCK_MAX에 해당)까지 변화할 수 있다.

- [0534] 각각의 타임 인터리빙 그룹은 하나의 프레임에 직접 매핑되거나 PI개의 프레임에 걸쳐 확산된다. 또한 각각의 타임 인터리빙 그룹은 하나 이상(NTI개)의 타임 인터리빙 블록으로 분리된다. 여기서 각각의 타임 인터리빙 블록은 타임 인터리버 메모리의 하나의 사용에 해당한다. 타임 인터리빙 그룹 내의 타임 인터리빙 블록은 약간의 다른 수의 XFECBLOCK을 포함할 수 있다. 타임 인터리빙 그룹이 다수의 타임 인터리빙 블록으로 분리되면, 타임 인터리빙 그룹은 하나의 프레임에만 직접 매핑된다. 아래의 표 33에 나타난 바와 같이, 타임 인터리빙에는 세 가지 옵션이 있다(타임 인터리빙을 생략하는 추가 옵션 제외).

- [0535] [표33]

모드	설명
옵션 1	(a)에 나타난 바와 같이 각각의 타임 인터리빙 그룹은 하나의 타임 인터리빙 블록을 포함하고 하나의 프레임에 직접 매핑된다. 해당 옵션은 DP_TI_TYPE = '0' 및 DP_TI_LENGTH = '1'(NTI=1)에 의해 PLS2-STAT에서 시그널링된다.
옵션 2	각각의 타임 인터리빙 그룹은 하나의 타임 인터리빙 블록을 포함하고 하나 이상의 프레임에 매핑된다. (b)는 하나의 타임 인터리빙 그룹이 두 개의 프레임, 즉 DP_TI_LENGTH = '2' (PI=2) 및 DP_FRAME_INTERVAL (IJUMP = 2)에 매핑되는 예를 나타낸다. 이것은 낮은 데이터율 서비스에 더 높은 시간 다이버시티를 제공한다. 해당 옵션은 DP_TI_TYPE = '1'에 의해 PLS2-STAT에서 시그널링된다.
옵션 3	(c)에 나타난 바와 같이 각각의 타임 인터리빙 그룹은 다수의 타임 인터리빙 블록으로 분리되고 하나의 프레임에 직접 매핑된다. 각각의 타임 인터리빙 블록은 데이터 파이프에 대해 최대의 비트율(bit rate)을 제공하도록 풀(full) 타임 인터리빙 메모리를 사용할 수 있다. 해당 옵션은 PI=1이면서 DP_TI_TYPE = '0' 및 DP_TI_LENGTH = NTI에 의해 PLS2-STAT에서 시그널링된다.

- [0536] 각각의 데이터 파이프에서, 타임 인터리빙 메모리는 입력된 XFECBLOCK

(SSD/MIMO 인코딩 블록으로부터 출력된 XFECBLOCK)을 저장한다. 입력된 XFECBLOCK은

$(d_{n,s,0,0}, d_{n,s,0,1}, \dots, d_{n,s,0,N_{\text{cells}}-1}, d_{n,s,0,0}, \dots, d_{n,s,1,0}, \dots, d_{n,s,1,N_{\text{cells}}-1})$,와
 $(\dots, d_{n,s,N_{\text{xBLOCK_TI}}(n,s)-1,0}, \dots)$ 로 정의된다고 가정한다. 여기서, $d_{n,s,r,q}$ 는 n 번째 타임
 인터리빙 그룹의 s 번째 타임 인터리빙 블록에서 r 번째 XFECBLOCK의 q 번째
 셀이고, 다음과 같은 SSD 및 MIMO 인코딩의 출력을 나타낸다.

$$[0537] \quad d_{n,s,r,q} = \begin{cases} f_{n,s,r,q}, & \text{the output of SSD encoding} \\ g_{n,s,r,q}, & \text{the output of MIMO encoding} \end{cases}$$

[0538] 또한, 타임 인터리버(5050)로부터 출력된 XFECBLOCK은
 $(h_{n,s,0}, \dots, h_{n,s,1}, h_{n,s,i}, \dots, h_{n,s,N_{\text{xBLOCK_TI}}(n,s) \times N_{\text{cells}}-1})$ 로 정의된다고 가정한다.
 여기서, $h_{n,s,i}$ 는 n 번째 타임 인터리빙 그룹의 s 번째 타임 인터리빙 블록에서
 i 번째($i = 0, \dots, N_{\text{xBLOCK_TI}}(n,s) \times N_{\text{cells}} - 1$) 출력 셀이다.

[0539] 일반적으로, 타임 인터리버는 프레임 생성 과정 이전에 데이터 파이프
 데이터에 대한 버퍼로도 작용할 것이다. 이는 각각의 데이터 파이프에 대해
 2개의 메모리 뱅크로 달성된다. 첫 번째 타임 인터리빙 블록은 첫 번째 뱅크에
 기입된다. 첫 번째 뱅크에서 판독되는 동안 두 번째 타임 인터리빙 블록이 두
 번째 뱅크에 기입된다.

[0540] 타임 인터리빙은 트위스트된 행-열 블록 인터리버이다. n 번째 타임 인터리빙
 그룹의 s 번째 타임 인터리빙 블록에 대해, 열의 수 N_c 가 $N_{\text{xBLOCK_TI}}(n,s)$ 와 동일한
 반면, 타임 인터리빙 메모리의 행의 수 N_r 는 셀의 수 N_{cell} 와 동일하다.

[0541]

[0542] 도 26은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 기본
 동작을 나타낸다.

[0543] 도 26(a)는 타임 인터리버에서 기입 동작을 나타내고, 도 26(b)는 타임
 인터리버에서 판독 동작을 나타낸다. (a)에 나타난 바와 같이, 첫 번째
 XFECBLOCK은 타임 인터리빙 메모리의 첫 번째 열에 열 방향으로 기입되고, 두
 번째 XFECBLOCK은 다음 열에 기입되고, 이러한 동작이 이어진다. 그리고
 인터리빙 어레이에서, 셀이 대각선 방향으로 판독된다. (b)에 나타난 바와 같이
 첫 번째 행으로부터 (가장 왼쪽 열을 시작으로 행을 따라 오른쪽으로) 마지막
 행까지 대각선 방향 판독이 진행되는 동안, N_r 개의 셀이 판독된다. 구체적으로,
 $z_{n,s,i}$ ($i = 0, \dots, N_r N_c$)이 순차적으로 판독될 타임 인터리빙 메모리 셀 위치라고
 가정하면, 이러한 인터리빙 어레이에서의 판독 동작은 아래 식에서와 같이 행
 인덱스 $R_{n,s,i}$, 열 인덱스 $C_{n,s,i}$, 관련된 트위스트 파라미터 $T_{n,s,i}$ 를 산출함으로써
 실행된다.

[0544]

[수식9]

$$\begin{aligned} \text{GENERATE}(R_{n,s,i}, C_{n,s,i}) = \\ \{ \\ R_{n,s,i} = \text{mod}(i, N_r), \\ T_{n,s,i} = \text{mod}(S_{\text{shift}} \times R_{n,s,i}, N_c), \\ C_{n,s,i} = \text{mod}(T_{n,s,i} + \left\lfloor \frac{i}{N_r} \right\rfloor, N_c) \\ \} \end{aligned}$$

[0545] 여기서, S_{shift} 는 $N_{\text{xBLOCK_TI}}(n,s)$ 에 상관없이 대각선 방향 판독 과정에 대한 공통 시프트 값이고, 시프트 값은 아래 식에서와 같이 PLS2-STAT에서 주어진 $N_{\text{xBLOCK_TI_MAX}}$ 에 의해 결정된다.

[0546] [수식10]

$$\text{for} \begin{cases} N'_{\text{xBLOCK_TI_MAX}} = N_{\text{xBLOCK_TI_MAX}} + 1, & \text{if } N_{\text{xBLOCK_TI_MAX}} \bmod 2 = 0 \\ N'_{\text{xBLOCK_TI_MAX}} = N_{\text{xBLOCK_TI_MAX}}, & \text{if } N_{\text{xBLOCK_TI_MAX}} \bmod 2 = 1 \end{cases}$$

$$S_{\text{shift}} = \frac{N'_{\text{xBLOCK_TI_MAX}} - 1}{2}$$

[0547] 결과적으로, 판독될 셀 위치는 좌표 $z_{n,s,i} = N_r C_{n,s,i} + R_{n,s,i}$ 에 의해 산출된다.

[0548]

[0549] 도 27은 본 발명의 다른 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 동작을 나타낸다.

[0550] 더 구체적으로, 도 27은 $N_{\text{xBLOCK_TI}}(0,0) = 3$, $N_{\text{xBLOCK_TI}}(1,0) = 6$,

$N_{\text{xBLOCK_TI}}(2,0) = 5$ 일 때 가상 XFECBLOCK을 포함하는 각각의 타임 인터리빙 그룹에 대한 타임 인터리빙 메모리에서 인터리빙 어레이를 나타낸다.

[0551] 변수 $N_{\text{xBLOCK_TI}}(n,s) = N_r$ 는 $N_{\text{xBLOCK_TI_MAX}}$ 보다 작거나 같을 것이다. 따라서,

$N_{\text{xBLOCK_TI}}(n,s)$ 에 상관없이 수신기 측에서 단일 메모리 디인터리빙을 달성하기 위해, 트위스트된 행-열 블록 인터리버용 인터리빙 어레이는 가상 XFECBLOCK을 타임 인터리빙 메모리에 삽입함으로써

$N_r \times N_r = N_{\text{cells}} \times N_{\text{xBLOCK_TI_MAX}}$ 의 크기로 설정되고, 판독 과정은 다음 식과 같이 이루어진다.

[0552]

[수식11]

```

p = 0;      n, s, i, Cn, s, i )
for i=0; i<Ncells NxBLOCK_TI_MAX ; i=i+1
{RENERATE (Rn, s, j, Cn, s, i) ;
Vi = Nr Cn, s, j + Rn, s, j
if Vi < Ncells NxBLOCK_TI (n, s)
{
Zn, s, p = Vi ; p=p+1;
}
}

```

- [0553] 타임 인터리빙 그룹의 수는 3으로 설정된다. 타임 인터리버의 옵션은 DP_TI_TYPE='0', DP_FRAME_INTERVAL='1', DP_TI_LENGTH='1', 즉 NTI=1, IJUMP=1, PI=1에 의해 PLS2-STAT 데이터에서 시그널링된다. 각각 N_{cells} = 30인 XFECBLOCK의 타임 인터리빙 그룹당 수는 각각의 N_{xBLOCK_TI}(0,0) = 3, N_{xBLOCK_TI}(1,0) = 6, N_{xBLOCK_TI}(2,0) = 5에 의해 PLS2-DYN 데이터에서 시그널링된다. XFECBLOCK의 최대 수는 N_{xBLOCK_Group_MAX}에 의해 PLS2-STAT 데이터에서 시그널링 되고, 이는

$$\left\lfloor N_{xBLOCK_Group_MAX} / N_{TI} \right\rfloor = N_{xBLOCK_TI_MAX} = 6 \text{로 이어진다.}$$

[0554]

- [0555] 도 28은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 대각선 방향 판독 패턴을 나타낸다.

- [0556] 더 구체적으로, 도 28은 파라미터 $N_{xBLOCK_TI_MAX} = 7$ 및 $S_{shift} = (7-1)/2 = 3$ 을 갖는 각각의 인터리빙 어레이로부터의 대각선 방향 판독 패턴을 나타낸다. 이때 위에 유사 코드로 나타낸 판독 과정에서, $V_i \geq N_{cells} N_{xBLOCK_TI}(n,s)$ 이면, V_i 의 값이 생략되고, V_i 의 다음 계산값이 사용된다.

- [0557] 도 29는 본 발명의 일 실시예에 따른 각각의 인터리빙 어레이로부터의 인터리빙된 XFECBLOCK을 나타낸다.

- [0558] 도 29는 파라미터 $N_{xBLOCK_TI_MAX} = 7$ 및 $S_{shift} = 3$ 을 갖는 각각의 인터리빙 어레이로부터 인터리빙된 XFECBLOCK을 나타낸다.

[0559]

- [0560] 도 30은 본 발명의 일 실시예에 따른 synchronization & demodulation 모듈을 나타낸 도면이다.

- [0561] 도 30에 도시된 synchronization & demodulation 모듈은 도 9에서 설명한 synchronization & demodulation 모듈의 일 실시예에 해당한다. 또한 도 30에 도시된 synchronization & demodulation 모듈은 도 9에서 설명한 웨이브폼 제너레이션 모듈의 역동작을 수행할 수 있다.

- [0562] 도 30에 도시된 바와 같이 본 발명의 일 실시예에 따른 synchronization & demodulation 모듈은 m 개의 Rx 안테나를 사용하는 수신 장치의 synchronization & demodulation 모듈의 실시예로서, m개의 path만큼 입력된 신호를 복조하여 출력하기 위한 m개의 처리 블록들을 포함할 수 있다. m개의 처리 블록들은 모두 동일한 처리 과정을 수행할 수 있다. 이하에서는 m개의 처리 블록 중 첫번째 처리 블록(30000)의 동작을 중심으로 설명한다.
- [0563] 첫번째 처리 블록(30000)은 튜너(30100), ADC 블록(30200), preamble detector(30300), guard sequence detector(30400), waveform transform 블록(30500), Time/freq sync 블록(30600), Reference signal detector(30700), Channel equalizer(30800) 및 Inverse waveform transform 블록(30900)을 포함할 수 있다.
- [0564] 튜너(30100)는 원하는 주파수 대역을 선택하고 수신한 신호의 크기를 보상하여 ADC 블록(30200)으로 출력할 수 있다.
- [0565] ADC 블록(30200)은 튜너(30100)에서 출력된 신호를 디지털 신호로 변환할 수 있다.
- [0566] preamble detector(30300)는 디지털 신호에 대해 수신 장치에 대응하는 시스템의 신호인지 여부를 확인하기 위하여 프리앰블(또는 프리앰블 신호 또는 프리앰블 심볼)을 디텍팅 할 수 있다. 이 경우, preamble detector(30300)는 프리앰블을 통해 수신되는 기본적인 transmission parameter들을 복호할 수 있다.
- [0567] guard sequence detector(30400)는 디지털 신호 내의 guard sequence를 디텍팅할 수 있다. Time/freq sync 블록(30600)은 디텍팅된 guard sequence를 이용하여 time/frequency synchronization을 수행할 수 있으며, Channel equalizer(30800)는 디텍팅된 guard sequence를 이용하여 수신/복원된 sequence를 통해서 채널을 추정할 수 있다.
- [0568] waveform transform 블록(30500)은 송신측에서 inverse waveform transform이 수행되었을 경우 이에 대한 역변환 과정을 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 multi-carrier system인 경우, waveform transform 블록(30500)은 FFT 변환과정을 수행할 수 있다. 또한 본 발명의 일 실시예에 따른 방송 송수신 시스템이 single carrier system 같은 경우, 수신된 시간영역의 신호가 주파수 영역에서 처리하기 위해서 사용되거나, 시간영역에서 모두 처리되는 경우, waveform transform 블록(30500)은 사용되지 않을 수 있다.
- [0569] Time/freq sync 블록(30600)은 preamble detector(30300), guard sequence detector(30400), Reference signal detector(30700)의 출력 데이터를 수신하고, 검출된 신호에 대해서 guard sequence detection, block window positioning을 포함하는 시간 동기화 및 carrier 주파수 동기화를 수행할 수 있다. 이때, 주파수 동기화를 위해서 Time/freq sync 블록(30600)은 waveform transform 블록(30500)의 출력 신호를 feedback하여 사용할 수 있다.
- [0570] Reference signal detector(30700)는 수신된 reference signal을 검출할 수 있다.

따라서 본 발명의 일 실시예에 따른 수신 장치는 synchronization을 수행하거나 channel estimation을 수행할 수 있다.

[0571] Channel equalizer(30800)는 guard sequence나 reference signal로부터 각 전송 안테나로부터 각 수신 안테나까지의 전송채널을 추정하고, 추정된 채널을 이용하여 각 수신 데이터에 대한 채널 보상(equalization)을 수행할 수 있다.

[0572] Inverse waveform transform 블록(30900)은 동기 및 채널추정/보상을 효율적으로 수행하기 위해서 waveform transform 블록(30500)이 waveform transform을 수행한 경우, 다시 원래의 수신 데이터 domain으로 복원해주는 역할을 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 single carrier system인 경우, waveform transform 블록(30500)은 동기/채널추정/보상을 주파수 영역에서 수행하기 위해서 FFT를 수행할 수 있으며, Inverse waveform transform 블록(30900)은 채널보상이 완료된 신호에 대해 IFFT를 수행함으로써 전송된 data symbol을 복원할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 Multi-carrier system인 경우, Inverse waveform transform 블록(30900)은 사용되지 않을 수도 있다.

[0573] 또한 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.

[0574]

[0575] 도 31은 본 발명의 일 실시예에 따른 프레임 파싱 모듈을 나타낸 도면이다.

[0576] 도 31에 도시된 프레임 파싱 모듈은 도 9에서 설명한 프레임 파싱 모듈의 일 실시예에 해당한다.

[0577] 상기 프레임 파싱 모듈(또는 블록)은 디프레이밍 & 디인터리빙(Deframing & Deinterleaving) 모듈로 표현될 수도 있다.

[0578] 도 31에 도시된 바와 같이, 본 발명의 일 실시예에 따른 프레임 파싱 모듈은 적어도 하나 이상의 block deinterleaver(31000) 및 적어도 하나 이상의 cell demapper(31100)를 포함할 수 있다.

[0579] block deinterleaver(31000)는 m 개 수신안테나의 각 data path로 입력되어 synchronization & demodulation 모듈에서 처리된 데이터에 대하여, 각 signal block 단위로 데이터에 대한 deinterleaving을 수행할 수 있다. 이 경우, 도 8에서 설명한 바와 같이, 송신측에서 pair-wise interleaving이 수행된 경우, block deinterleaver(31000)는 각 입력 path에 대해서 연속된 두 개의 데이터를 하나의 pair로 처리할 수 있다. 따라서 block deinterleaver(31000)는 deinterleaving을 수행한 경우에도 연속된 두개의 출력 데이터를 출력할 수 있다. 또한 block deinterleaver(31000)는 송신단에서 수행한 interleaving 과정의 역과정을 수행하여 원래의 데이터 순서대로 출력할 수 있다.

[0580] cell demapper(31100)는 수신된 신호 프레임으로부터 common data에 대응하는 cell들과 data pipe에 대응하는 cell들 및 PLS data에 대응하는 cell들을 추출할 수 있다. 필요한 경우, cell demapper(31100)는 여러 개의 부분으로 분산되어 전송된

data들을 merge하여 하나의 stream으로 출력할 수 있다. 또한 도 7에서 설명한 바와 같이 송신단에서 두 개의 연속된 cell 입력 데이터가 하나의 pair로 처리되어 mapping된 경우, cell demapper(31100) 이에 해당하는 역과정으로 연속된 두 개의 입력 cell들을 하나의 단위로 처리하는 pair-wise cell demapping을 수행할 수 있다.

[0581] 또한 cell demapper(31100)는 현재 프레임을 통해 수신한 PLS signaling data에 대해서, 각각 PLS-pre & PLS-post data로서 모두 추출하여 출력할 수 있다.

[0582] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.

[0583]

[0584] 도 32는 본 발명의 일 실시예에 따른 demapping & decoding 모듈을 나타낸 도면이다.

[0585] 도 32에 도시된 demapping & decoding 모듈은 도 9에서 설명한 demapping & decoding 모듈의 일 실시예에 해당한다.

[0586] 상술한 바와 같이 본 발명의 일 실시예에 따른 송신 장치의 코딩 엔 모듈레이션 모듈은 입력된 data pipe들에 대하여 각각의 path별로 SISO, MISO와 MIMO 방식을 독립적으로 적용하여 처리할 수 있다. 따라서 도 32에 도시된 demapping & decoding 모듈 역시 송신 장치에 대응하여 프레임 파서에서 출력된 데이터를 각각 SISO, MISO, MIMO 처리하기 위한 블록들을 포함할 수 있다.

[0587] 도 32에 도시된 바와 같이, 본 발명의 일 실시예에 따른 demapping & decoding 모듈은 SISO 방식을 위한 제 1 블록(32000), MISO 방식을 위한 제 2 블록(32100), MIMO 방식을 위한 제 3 블록(32200) 및 PLS pre/post 정보를 처리하기 위한 제 4 블록(32300)을 포함할 수 있다. 도 32에 도시된 demapping & decoding 모듈은 일 실시예에 불과하며 설계자의 의도에 따라 demapping & decoding 모듈은 제 1 블록(32000) 및 제 4 블록(32300)만을 포함할 수도 있고, 제 2 블록(32100) 및 제 4 블록(32300)만을 포함할 수도 있고, 제 3 블록(32200) 및 제 4 블록(32300)만을 포함할 수도 있다. 즉 설계자의 의도에 따라 demapping & decoding 모듈은 각 data pipe를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다.

[0588] 이하 각 블록에 대해 설명한다.

[0589] 제 1 블록(32000)은 입력된 data pipe를 SISO 처리하기 위한 블록으로 time de-interleaver 블록(32010), cell de-interleaver 블록(32020), constellation demapper 블록(32030), cell to bit mux 블록(32040), bit de-interleaver 블록(32050) 및 FEC decoder 블록(32060)을 포함할 수 있다.

[0590] time de-interleaver 블록(32010)은 time interleaver 블록의 역과정을 수행할 수 있다. 즉, time de-interleaver 블록(32010)은 시간 영역에서 interleaving된 입력 심볼을 원래의 위치로 deinterleaving할 수 있다.

[0591] cell de-interleaver 블록(32020)은 cell interleaver 블록의 역과정을 수행할 수 있다. 즉, cell de-interleaver 블록(32020)은 하나의 FEC 블록내에서 spreading된 cell들의 위치를 원래의 위치로 deinterleaving 할 수 있다.

- [0592] constellation demapper 블록(32030)은 constellation mapper 블록의 역과정을 수행할 수 있다. 즉, constellation demapper 블록(32030)은 symbol domain의 입력 신호를 bit domain의 data로 demapping할 수 있다. 또한, constellation demapper 블록(32030)은 hard decision을 수행하여 decision된 bit data를 출력할 수도 있고, soft decision 값이나 혹은 확률적인 값에 해당하는 각 bit의 Log-likelihood ratio (LLR)을 출력할 수 있다. 만약 송신단에서 추가적인 diversity gain을 얻기 위해 rotated constellation을 적용한 경우, constellation demapper 블록(32030)은 이에 상응하는 2-Dimensional LLR demapping을 수행할 수 있다. 이때 constellation demapper 블록(32030)은 LLR을 계산할 때 송신 장치에서 I 또는 Q component에 대해서 수행된 delay값을 보상할 수 있도록 계산을 수행할 수 있다.
- [0593] cell to bit mux 블록(32040)은 bit to cell demux 블록의 역과정을 수행할 수 있다. 즉, cell to bit mux 블록(32040)은 bit to cell demux 블록에서 mapping된 bit data들을 원래의 bit stream 형태로 복원할 수 있다.
- [0594] bit de-interleaver 블록(32050)은 bit interleaver 블록의 역과정을 수행할 수 있다. 즉, bit de-interleaver 블록(32050)은 cell to bit mux 블록(32040)에서 출력된 비트 스트림을 원래의 순서대로 deinterleaving할 수 있다.
- [0595] FEC decoder 블록(32060)은 FEC encoder 블록의 역과정을 수행할 수 있다. 즉, FEC decoder 블록(32060)은 LDPC decoding과 BCH decoding을 수행하여 전송채널상 발생된 에러를 정정할 수 있다.
- [0596] 제 2 블록(32100)은 입력된 data pipe를 MISO 처리하기 위한 블록으로, 도 32에 도시된 바와 같이 제 1 블록(32000)과 동일하게 time de-interleaver 블록, cell de-interleaver 블록, constellation demapper 블록, cell to bit mux 블록, bit de-interleaver 블록 및 FEC decoder 블록을 포함할 수 있으나, MISO decoding 블록(32110)을 더 포함한다는 점에서 차이가 있다. 제 2 블록(32100)은 제 1 블록(32000)과 마찬가지로 time deinterleaver부터 출력까지 동일한 역할의 과정을 수행하므로, 동일한 블록들에 대한 설명은 생략한다.
- [0597] MISO decoding 블록(32110)은 MISO processing 블록의 역과정을 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 STBC를 사용한 시스템인 경우, MISO decoding 블록(32110)은 Alamouti decoding을 수행할 수 있다.
- [0598] 제 3 블록(32200)은 입력된 data pipe를 MIMO 처리하기 위한 블록으로, 도 32에 도시된 바와 같이 제 2 블록(32100)과 동일하게 time de-interleaver 블록, cell de-interleaver 블록, constellation demapper 블록, cell to bit mux 블록, bit de-interleaver 블록 및 FEC decoder 블록을 포함할 수 있으나, MIMO decoding 블록(32210)을 포함한다는 점에서 데이터 처리 과정의 차이가 있다. 제 3 블록(32200)에 포함된 time de-interleaver, cell de-interleaver, constellation demapper, cell to bit mux, bit de-interleaver 블록들의 동작은 제 1 내지 제 2 블록(32000-32100)에 포함된 해당 블록들의 동작과 구체적인 기능은 다를 수

있으나 기본적인 역할은 동일하다.

- [0599] MIMO decoding 블록(32210)은 m 개의 수신 안테나 입력 신호에 대해서 cell deinterleaver의 출력 데이터를 입력으로 받고, MIMO processing 블록의 역과정으로서 MIMO decoding을 수행할 수 있다. MIMO decoding 블록(32210)은 최고의 복호화 성능을 얻기 위해서 Maximum likelihood decoding을 수행하거나, 복잡도를 감소시킨 Sphere decoding을 수행할 수 있다. 또는 MIMO decoding 블록(32210)은 MMSE detection을 수행하거나 iterative decoding을 함께 결합 수행하여 향상된 디코딩 성능을 확보할 수 있다.
- [0600] 제 4 블록(32300)은 PLS pre/post 정보를 처리하기 위한 블록으로, SISO 또는 MISO decoding을 수행할 수 있다. 제 4 블록(32300)은 제 4 블록의 역과정을 수행할 수 있다.
- [0601] 제 4 블록(32300)에 포함된 time de-interleaver, cell de-interleaver, constellation demapper, cell to bit mux, bit de-interleaver 블록들의 동작은 제 1 내지 제 3 블록(32000-32200)에 포함된 해당 블록들의 동작과 구체적인 기능은 다를 수 있으나 기본적인 역할은 동일하다.
- [0602] 제 4 블록(32300)에 포함된 Shortened/Punctured FEC decoder(32310)은 Shortened/punctured FEC encoder 블록의 역과정을 수행할 수 있다. 즉, Shortened/Punctured FEC decoder(32310)은 PLS data의 길이에 따라 shortening/puncturing되어 수신된 데이터에 대해서 de-shortening과 de-puncturing을 수행한 후에 FEC decoding을 수행할 수 있다. 이 경우, data pipe에 사용된 FEC decoder를 동일하게 PLS에도 사용할 수 있으므로, PLS만을 위한 별도의 FEC decoder hardware가 필요하지 않으므로 시스템 설계가 용이하고 효율적인 코딩이 가능하다는 장점이 있다.
- [0603] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [0604] 결과적으로 도 32에 도시된 바와 같이, 본 발명의 일 실시예에 따른 demapping & decoding 모듈은 각 path 별로 처리된 data pipe 및 PLS 정보를 output processor로 출력할 수 있다.
- [0605]
- [0606] 도 33 내지 도 34는 본 발명의 일 실시예에 따른 output processor를 나타낸 도면이다.
- [0607] 도 33은 본 발명의 일 실시예에 따른 output processor를 나타낸 도면이다.
- [0608] 도 33에 도시된 output processor는 도 9에서 설명한 output processor의 일 실시예에 해당한다. 또한 도 33에 도시된 output processor는 demapping & decoding 모듈로부터 출력된 single data pipe를 수신하여 single output stream을 출력하기 위한 것으로, 인풋 포매팅 모듈의 역동작을 수행할 수 있다.
- [0609] 도 33에 도시된 output processor는 BB Descrambler 블록(33000), Padding removal 블록(33100), CRC-8 decoder 블록(33200) 및 BB frame processor 블록(33300)을

포함할 수 있다.

- [0610] BB Descrambler 블록(33000)은 입력된 bit stream에 대해서 송신단에서 사용한 것과 동일한 PRBS를 발생시켜서 비트열과 XOR하여 descrambling을 수행할 수 있다.
- [0611] Padding removal 블록(33100)은 송신단에서 필요에 따라 삽입된 padding bit을 제거할 수 있다.
- [0612] CRC-8 decoder 블록(33200)은 Padding removal 블록(33100)으로부터 입력받은 bit stream에 대해서 CRC decoding을 수행하여 block error를 check할 수 있다.
- [0613] BB frame processor 블록(33300)은 BB frame header에 전송된 정보를 decoding하고 디코딩된 정보를 이용하여 MPEG-TS, IP stream (v4 or v6) 또는 Generic stream을 복원할 수 있다.
- [0614] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [0615] 도 34는 본 발명의 다른 실시예에 따른 output processor를 나타낸 도면이다.
- [0616] 도 34에 도시된 output processor는 도 9에서 설명한 output processor의 일 실시예에 해당한다. 또한 도 34에 도시된 output processor는 demapping & decoding 모듈로부터 출력된 multiple data pipes를 수신하는 경우에 해당한다. multiple data pipes에 대한 decoding은 복수의 data pipes에 공통으로 적용될 수 있는 common data 및 이와 연관된 data pipe를 merge하여 decoding하는 경우 또는 수신 장치가 여러 개의 서비스 혹은 service component (scalable video service를 포함)를 동시에 decoding하는 경우를 포함할 수 있다.
- [0617] 도 34에 도시된 output processor는 output processor의 경우와 마찬가지로 BB descrambler 블록, padding removal 블록, CRC-8 decoder 블록 및 BB frame processor 블록을 포함할 수 있다, 각 블록들은 도 33에서 설명한 블록들의 동작과 구체적인 동작은 다를 수 있으나 기본적인 역할은 동일하다.
- [0618] 도 34에 도시된 output processor에 포함된 De-jitter buffer 블록(34000)은 multiple data pipe간의 sync를 위해서 송신단에서 임의로 삽입된 delay를 복원된 TTO (time to output) parameter에 따라 보상할 수 있다.
- [0619] 또한 Null packet insertion 블록(34100)은 복원된 DNP (deleted null packet) 정보를 참고하여 stream내 제거된 null packet을 복원할 수 있으며, common data를 출력할 수 있다.
- [0620] TS clock regeneration 블록(34200)은 ISCR – Input Stream Time Reference 정보를 기준으로 출력 packet의 상세한 시간동기를 복원할 수 있다.
- [0621] TS recombining 블록(34300)은 Null packet insertion 블록(34100)에서 출력된 common data 및 이와 관련된 data pipe들을 recombining하여 원래의 MPEG-TS, IP stream (v4 or v6) 혹은 Generic stream으로 복원하여 출력할 수 있다. TTO, DNP, ISCR 정보는 모두 BB frame header를 통해 획득될 수 있다.
- [0622] In-band signaling decoder 블록(34400)은 data pipe의 각 FEC frame내 padding bit

field를 통해서 전송되는 in-band physical layer signaling 정보를 복원하여 출력할 수 있다.

[0623] 도 34에 도시된 output processor는 PLS-pre path와 PLS-post path에 따라 입력되는 PLS-pre 정보 및 PLS-post 정보를 각각 BB descrambling을 하고 descrambling된 데이터에 대해 디코딩을 수행하여 원래의 PLS data를 복원할 수 있다. 복원된 PLS data는 수신 장치 내의 system controller에 전달되며, system controller는 수신 장치의 synchronization & demodulation 모듈, frame parsing 모듈, demapping & decoding 모듈 및 output processor 모듈에 필요한 parameter를 공급할 수 있다.

[0624] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.

[0625]

[0626] 도 35는 본 발명의 다른 실시예에 따른 코딩 엔 모듈레이션 모듈을 나타낸 도면이다.

[0627] 도 35에 도시된 코딩 엔 모듈레이션 모듈은 각 data pipe를 통해 전송하는 service나 service component별로 QoS를 조절하기 위하여, 모듈은 SISO 방식을 위한 제 1 블록(35000), MISO 방식을 위한 제 2 블록(35100), MIMO 방식을 위한 제 3 블록(35200) 및 PLS pre/post 정보를 처리하기 위한 제 4 블록(35300)을 포함할 수 있다. 또한 본 발명의 일 실시예에 따른 코딩 엔 모듈레이션 모듈은 상술한 바와 같이 설계자의 의도에 따라 각 data pipe를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다. 도 35에 도시된 제 1 블록 내지 제 4 블록(35000-35300)은 제 1 블록 내지 제 4 블록과 거의 동일한 블록들을 포함하고 있다.

[0628] 하지만, 제 1 블록 내지 제 3 블록(35000-35200)에 포함된 constellation mapper 블록(35010)의 기능이 제 1 블록 내지 제 3 블록에 포함된 constellation mapper 블록의 기능과 다르다는 점, 제 1 블록 내지 제 4 블록(35000-35300)의 cell interleaver 및 time interleaver 사이에 rotation & I/Q interleaver 블록(35020)이 포함되어 있다는 점 및 MIMO 방식을 위한 제 3 블록(35200)의 구성이 MIMO 방식을 위한 제 3 블록의 구성이 다르다는 점에 있어서 차이가 있다.

[0629] 도 35에 도시된 constellation mapper 블록(35010)은 입력된 bit word를 complex symbol로 mapping할 수 있다.

[0630] 도 35에 도시된 constellation mapper 블록(35010)은 상술한 바와 같이 제 1 블록 내지 제 3 블록(35000-35200)에 공통적으로 적용될 수 있다.

[0631] rotation & I/Q interleaver 블록(35020)은 cell interleaver에서 출력된 cell interleaving이 된 데이터의 각 complex symbol의 In-phase와 Quadrature-phase component들을 독립적으로 interleaving하여 심볼 단위로 출력할 수 있다. rotation & I/Q interleaver 블록(35020)의 입력 데이터 및 출력 심볼의 개수는 2개 이상이며 이는 설계자의 의도에 따라 변경 가능하다. 또한 rotation & I/Q

interleaver 블록(35020)은 in-phase 성분에 대해서는 interleaving을 수행하지 않을 수도 있다.

[0632] rotation & I/Q interleaver 블록(35020)은 상술한 바와 같이 제 1 블록 내지 제 4 블록(35000-35300)에 공통적으로 적용될 수 있다. 이 경우, rotation & I/Q interleaver 블록(35020)이 PLS pre/post 정보를 처리하기 위한 제 4 블록(35300)에 적용되는지 여부는 상술한 프리앰블을 통해 시그널링 될 수 있다.

[0633] MIMO 방식을 위한 제 3 블록(35200)은 도 35에 도시된 바와 같이, Q-block interleaver 블록(35210) 및 complex symbol generator 블록(35220)을 포함할 수 있다.

[0634] Q-block interleaver 블록(35210)은 FEC encoder로부터 입력받은 FEC encoding이 수행된 FEC block의 parity part에 대해 permutation을 수행할 수 있다. 이를 통해 LDPC H matrix의 parity part를 information part와 동일하게 cyclic structure로 만들 수 있다. Q-block interleaver 블록(35210)은 LDPC H matrix의 Q size를 갖는 출력 bit block들의 순서를 permutation한 뒤, row-column block interleaving을 수행하여 최종 비트열을 생성하여 출력할 수 있다.

[0635] complex symbol generator 블록(35220)은 Q-block interleaver 블록(35210)에서 출력된 비트 열들을 입력받고, complex symbol로 mapping하여 출력할 수 있다. 이 경우, complex symbol generator 블록(35220)은 적어도 두개의 경로를 통해 심볼들을 출력할 수 있다. 이는 설계자의 의도에 따라 변경 가능하다.

[0636] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.

[0637] 결과적으로 도 35에 도시된 바와 같이 본 발명의 다른 실시예에 따른 코딩 앤 모듈레이션 모듈은 각 path별로 처리된 data pipe, PLS-pre 정보, PLS-post 정보를 프레임 스트럭처 모듈로 출력할 수 있다.

[0638]

[0639] 도 36은 본 발명의 다른 실시예에 따른 demapping & decoding 모듈을 나타낸 도면이다.

[0640] 도 36에 도시된 demapping & decoding 모듈은 도 9 및 도 32에서 설명한 demapping & decoding 모듈의 다른 실시예에 해당한다. 또한 도 36에 도시된 demapping & decoding 모듈은 도 35에서 설명한 코딩 앤 모듈레이션 모듈의 역동작을 수행할 수 있다.

[0641] 도 36에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 demapping & decoding 모듈은 SISO 방식을 위한 제 1 블록(36000), MISO 방식을 위한 제 2 블록(36100), MIMO 방식을 위한 제 3 블록(36200) 및 PLS pre/post 정보를 처리하기 위한 제 4 블록(36300)을 포함할 수 있다. 또한 본 발명의 일 실시예에 따른 demapping & decoding 모듈은 상술한 바와 같이 설계자의 의도에 따라 각 data pipe를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다. 도 32에 도시된 제 1 블록 내지 제 4 블록(36000-36300)은 도 32에서 설명한 제 1

- 블록 내지 제 4 블록(32000-32300)과 거의 동일한 블록들을 포함하고 있다.
- [0642] 하지만, 제 1 블록 내지 제 4 블록(36000-36300)의 time deinterleaver 및 cell deinterleaver 사이에 I/Q deinterleaver& derotation 블록 (36010)이 포함되어 있다는 점, 제 1 블록 내지 제 3 블록(36000-36200)에 포함된 constellation demapper 블록(36020)의 기능이 도 32의 제 1 블록 내지 제 3 블록(32000-32200)에 포함된 constellation mapper 블록(32030)의 기능과 다르다는 점 및 MIMO 방식을 위한 제 3 블록(32200)의 구성이 도 32에 도시된 MIMO 방식을 위한 제 3 블록(32200)의 구성이 다르다는 점에 있어서 차이가 있다. 이하에서는 도 32와 동일한 블록들에 대한 설명은 생략하고 상술한 차이점을 중심으로 설명한다.
- [0643] I/Q deinterleaver& derotation 블록(36010)은 도 35에서 설명한 rotation & I/Q interleaver 블록(35020)의 역과정을 수행할 수 있다. 즉, I/Q deinterleaver& derotation 블록(36010)은 송신단에서 I/Q interleaving되어 전송된 I 및 Q component들에 대해 각각 deinterleaving 수행할 수 있으며, 복원된 I/Q component를 갖는 complex symbol을 다시 derotation하여 출력할 수 있다.
- [0644] I/Q deinterleaver& derotation 블록(36010)은 상술한 바와 같이 제 1 블록 내지 제 4 블록(36000-36300)에 공통적으로 적용될 수 있다. 이 경우, I/Q deinterleaver& derotation 블록(36010)이 PLS pre/post 정보를 처리하기 위한 제 4 블록(36300)에 적용되는지 여부는 상술한 프리앰블을 통해 시그널링 될 수 있다.
- [0645] constellation demapper 블록(36020)은 도 35에서 설명한 constellation mapper 블록(35010)의 역과정을 수행할 수 있다. 즉, constellation demapper 블록(36020)은 derotation을 수행하지 않고, cell deinterleaving된 데이터들에 대하여 demapping을 수행할 수 있다.
- [0646] MIMO 방식을 위한 제 3 블록(36200)은 도 36에 도시된 바와 같이, complex symbol parsing 블록(36210) 및 Q-block deinterleaver 블록(36220)을 포함할 수 있다.
- [0647] complex symbol parsing 블록(36210)은 도 35에서 설명한 complex symbol generator 블록(35220)의 역과정을 수행할 수 있다. 즉, complex data symbol을 파싱하고, bit data로 demapping하여 출력할 수 있다. 이 경우, complex symbol parsing 블록(36210)은 적어도 두개의 경로를 통해 complex data symbol들을 입력받을 수 있다.
- [0648] Q-block deinterleaver 블록(36220)은 도 35에서 설명한 Q-block interleaver 블록(35210)의 역과정을 수행할 수 있다. 즉, Q-block deinterleaver 블록(36220)은 row-column deinterleaving에 의해서 Q size block들을 복원한 뒤, permutation된 각 블록들의 순서를 원래의 순서대로 복원한 후, parity deinterleaving을 통해서 parity bit들의 위치를 원래대로 복원하여 출력할 수 있다.
- [0649] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [0650] 결과적으로 도 36에 도시된 바와 같이, 본 발명의 다른 실시예에 따른

demapping & decoding 모듈은 각 path 별로 처리된 data pipe 및 PLS 정보를 output processor로 출력할 수 있다.

[0651]

[0652] 도 37은 본 발명의 일 실시 예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치의 또 다른 구조를 나타낸 도이다.

[0653] 도 37의 방송 송신 장치(37000)는 normative block 및 informative block 모두를 포함한다.

[0654] 도 37에서, 실선으로 표시된 block들은 normative block들을 나타내고, informative MIMO annex가 구현될 때 사용될 수 있는 block들 즉, informative block들은 점선으로 표시된다.

[0655] 본 발명의 일 실시 예에 따른 방송 신호 송신 장치는 4개의 주요 블록들 즉, (1) Input Formatting 블록(37100), (2) BICM 블록(37200), (3) Framing & Interleaving 블록(37300), (4) Waveform Generation 블록(37400)으로 구성된다.

[0656] 상기 Framing & Interleaving 블록은 Frame Building 블록으로 표현될 수도 있다.

[0657] 상기 Input Formatting 블록 및 BICM 블록 사이에는 SFN(Single Frequency Network) 분산(또는 분배) 인터페이스(distribution interface)(37500)가 존재한다.

[0658] 본 명세서에서 제안하는 방송 신호 송/수신 방법에 적용할 수 있는 멀티플렉싱(multiplexing) 방법은 Time Division Multiplexing(TDM), Layered Division Multiplexing(LDM)의 2 가지 방법과, 이 2가지 방법들을 결합한 방법이 사용될 수 있다.

[0659] 상기 2 가지 normative multiplexing 방법을 위한 방송 송신 시스템의 내부 블록도는 도 1 및 도 37에서 살핀 전체 방송 송신 시스템에 대한 내부 블록도보다 간단하게 구현될 수 있다.

[0660]

[0661] 도 38은 본 발명의 일 실시 예에 따른 간략화된 TDM 방송 송신 시스템 및 LDM 방송 송신 시스템을 나타낸 도이다.

[0662] 구체적으로, 도 38a는 간략화된 TDM 방송 송신 시스템의 일 예를 나타내며, 도 38b는 간략화된 LDM 방송 송신 시스템의 일 예를 나타낸다.

[0663] 도 38a에 도시된 바와 같이, TDM 방송 송신 시스템에는 4개의 주요 내부 블록도가 구성되며, 상기 4개의 주요 내부 블록도는 Input Formatting 블록, BICM(Bit Interleaved and Coded Modulation) 블록, Formatting & Interleaving 블록, Waveform Generation 블록이 있다.

[0664] 각 블록들에 대해 간략히 살펴보면, 데이터(data)는 Input Formatting 블록으로 입력되어 포매팅되고, BICM 블록에서 FEC(Forward Error Correction)가 적용되며, constellation 매핑에 따라 매핑된다.

[0665] 또한, 상기 data는 Frame & Interleaving 블록에서 시간 및 주파수 영역에서 Interleaving과 Frame 생성이 수행되어, 결과적으로 Waveform Generation 블록에서 waveform이 생성되어 출력된다.

- [0666] 도 38b에 도시된 바와 같이, LDM 방송 송신 시스템에는 TDM 방송 송신 시스템에 없는 새로운 블록 즉, LDM injection 블록(38100)이 존재하며, 2개의 별개의 Input Formatting 블록과 BICM 블록들이 있다.
- [0667] 상기 별개의 블록(Input Formatting 블록 및 BICM 블록)들은 각 LDM 계층에 대해 하나씩 적용된다.
- [0668] 상기 별개의 블록들은 LDM injection 블록에서 Framing & Interleaving이 수행되기 전에 결합된다.
- [0669] 또한, 다수의 RF(Radio Frequency) 채널들은 채널 본딩(channel bonding)을 통해 지원된다.
- [0670] 도 38b에 도시된 LDM(Layered Division Multiplexing) 방송 시스템에 대해 좀 더 구체적으로 살펴본다.
- [0671] LDM은 하나의 RF channel에서 신호를 전송하기 전에 data stream별로 서로 다른 MCS(modulation and channel coding scheme)이 적용 가능하도록 서로 다른 power levels에서 다수의 data streams을 결합하는 constellation superposition 기술을 말한다.
- [0672] 설명의 편의를 위해, 2 layer LDM 시스템을 일 예로 들어 설명한다.
- [0673] 도 38b에 도시된 바와 같이, 2 layer LDM 시스템은 time interleaving 전에 2 개의 BICM chain을 결합하는 구성(LDM injection block)을 포함한다.
- [0674] 각 BICM chain(consisting of an encoded sequence modulated to a constellation)은 하나의 layer로서 언급되나, 하나의 PLP로서 표현될 수도 있다.
- [0675] 2 layer는 각각 core layer 및 enhanced layer로서 호칭될 수 있다.
- [0676] 상기 core layer는 상기 enhanced layer보다 동일하거나 또는 그보다 더 robust한 MODCOD 결합을 사용해야 한다.
- [0677] 각 layer는 서로 다른 FEC coding 및 constellation mapping을 사용할 수 있다.
- [0678] 일반적으로, layer 별 code length는 동일할 수 있으나, code rate 및 constellaiton은 서로 다르다.
- [0679] 상기 core layer 및 enhanced layer는 (도 38b에 도시된) LDM injection block에서 서로 결합된다.
- [0680] 또한, Injection level controller는 바람직한 bit rate를 성취할 전송 에너지를 출력하기 위해 core layer 대비 상대적으로 enhanced layer의 power를 줄이기 위해 사용된다.
- [0681] (core layer signal 대비 enhanced layer signal의) injection level은 2 layer 간 전송 power의 분배를 가능하게 하는 전송 파라미터이다.
- [0682] 상기 injection level을 다양하게 함으로써, 각 layer의 전송 robustness는 변경될 수 있다.
- [0683] 또한, LDM injection block을 통해 결합된 신호들은 전체 power 결합 후에 power normalizer block에서 normalized된다.
- [0684]

- [0685] 도 39는 본 발명의 일 실시예에 따른 프레이밍 및 인터리빙(Framing & Interleaving) 블록을 나타낸다.
- [0686] 프레이밍 및 인터리빙(Framing & Interleaving) 블록은 프레임 빌딩(Frame Building) 블록으로 표현될 수도 있다.
- [0687] 프레이밍 및 인터리빙(Framing & Interleaving) 블록(39000)은 3개의 부분 즉, (1) 시간 인터리빙(Time Interleaving) 블록(39100), 프레이밍(Framing) 블록(39200), 주파수 인터리빙(Frequency Interleaving) 블록(39300)으로 구성된다.
- [0688] Time Interleaving과 Framing 블록으로의 입력은 다수의 PLPs(M-PLPs)를 포함할 수 있다.
- [0689] 하지만, Framing Block의 출력은 frame들에 배열된 OFDM symbols이다. Frequency Interleaver는 OFDM symbols 상에서 동작한다.
- [0690] 상기 Framing 블록(39200)은 input들을 하나 또는 그 이상의 PLP들과 outputs symbols로 출력한다. 여기서, input들은 data cells을 나타낸다.
- [0691] 또한, 상기 Framing 블록은 preamble symbols로서 잘 알려진 하나 또는 그 이상의 special symbols를 생성한다.
- [0692] 상기 special symbols는 waveform generation block에서 동일한 프로세싱을 겪는다(undergo).
- [0693]
- [0694] 도 40은 본 발명의 일 실시 예가 적용될 수 있는 ATSC 3.0 프레임(frame)구조의 일 예를 나타낸 도이다.
- [0695] 도 40을 참조하면, ATSC 3.0 frame(40000)은 3개의 부분 즉, (1) bootstrap(40100), (2) preamble(40200), (3) data payload(40300)로 구성된다.
- [0696] 상기 3개의 부분 각각은 하나 또는 그 이상의 symbols를 포함한다.
- [0697] 구체적으로, Preamble symbols는 뒤따르는 data symbols에 대한 L1 signaling data를 전송한다.
- [0698] 즉, 상기 L1 signaling data는 data symbols와 관련된 정보를 포함하며, 상기 data symbols는 상기 L1 signaling data 다음에 온다(또는 위치한다).
- [0699] 상기 preamble symbols는 bootstrap 다음에 그리고 특정 data symbols 이전에 directly 발생한다.
- [0700] 상기 data symbols는 frame 내 data를 전송한다.
- [0701] 상기 data symbols는 preamble symbols 다음에 그리고 다음 bootstrap 전에 directly 발생한다.
- [0702] L1 signaling은 물리 계층 파라미터들(physical layer parameters)을 구성하기(또는 설정하기, config) 위해 필요한 정보를 제공한다.
- [0703] 'L1'의 용어는 Layer-1을 언급하는 것으로, ISO 7 layer model의 가장 낮은 계층을 말한다.
- [0704] 상기 L1 signaling은 preamble에 포함된다.
- [0705] 상기 L1-signaling은 2개의 부분 즉, (1) L1-static 및 (2) L1-dynamic으로

구성된다.

- [0706] L1-static은 frame을 완성하는데 정적인(static) 시스템의 가장 기본적인 signaling 정보를 전송하며, 또한 L1-dynamic을 디코딩하기 위해 필요한 파라미터들을 정의한다.
- [0707] L1-dynamic은 L1-dynamic을 디코딩하기 위해 요구되는 정보 및 data context를 구체화한다.
- [0708] L1-static signaling의 길이는 200 bits로 고정되고, L1-dynamic signaling의 길이는 다양하게 정의될 수 있다.
- [0709] 아래 표 34는 L1-static 정보 포맷의 일 예를 나타내며, L1-static에 대한 parameter들은 항상 'L1S_'로 미리 정해진다.
- [0710] [표34]

Syntax	No. of bits	Format
...		
L1S_frequency interleaver	1	
...		

- [0711] 상기 bootstrap(40100)에 대해 좀 더 구체적으로 살펴본다.
- [0712] Bootstrap은 universal entry point를 ATSC waveform에 제공한다.
- [0713] 상기 bootstrap은 모든 방송 수신 장치들에 알려진 고정된 구성(예: sampling rate, signal bandwidth, subcarrier spacing, time domain structure)으로 정의된다.
- [0714] 상기 bootstrap의 일반적인 구조의 경우, bootstrap signal은 Post-Bootstrap Waveform 앞에 위치한다.
- [0715] 상기 Post-Bootstrap Waveform은 frame의 나머지 부분을 의미한다.
- [0716] 즉, 상기 bootstrap 다음에 preamble이 위치할 수 있다.
- [0717] 상기 bootstrap은 다수의 심볼들을 포함하며, 동기 심볼부터 시작된다.
- [0718] 상기 동기 심볼은 service discovery, coarse synchronization, frequency offset estimation 및 initial channel estimation을 가능하게 하도록 매 frame 구간의 시작에 위치된다.
- [0719] 상기 bootstrap은 (초기) 동기 심볼을 포함하여 4개의 심볼들을 포함한다.
- [0720] Bootstrap symbol 1에 대한 signaling field는 eas_wake_up 정보, system_bandwidth 정보, min_time_to_next 정보 등을 포함한다.
- [0721] 상기 eas_wake_up 정보는 emergency가 있는지 없는지를 나타내는 정보를 말한다.
- [0722] system_bandwidth 정보는 현재 PHY 계층 frame의 post-bootstrap 부분을 위해 사용되는 system bandwidth를 나타내는 정보이다.
- [0723] min_time_to_next 정보는 현재 frame의 major version number와 minor version number를 동일하게 매칭하는 다음 frame까지의 최소 시간 간격을 나타내는

정보이다.

[0724] Bootstrap symbol 2에 대한 signaling field는 bsr_coefficient 정보를 포함한다.

[0725] 상기 bsr_coefficient 정보는 (현재 PHY 계층 frame의) Sample Rate Post-Bootstrap가 $(N+16)*0.384\text{MHz}$ 임을 나타내는 정보이다.

[0726] 여기서, N은 0부터 80 범위에 있는 signaling되는 값이다.

[0727] Bootstrap symbol 2에 대한 signaling field는 preamble_structure 정보를 포함한다.

[0728] 상기 preamble_structure 정보는 마지막 bootstrap symbol 다음에 위치하는 하나 또는 그 이상의 RF symbols의 구조를 시그널링하는 정보를 나타낸다.

[0729]

[0730] 주파수 인터리빙(Frequency Interleaving:FI)

[0731] 다음으로, 주파수 인터리빙(Frequency Interleaving)에 대해 좀 더 살펴보기로 한다.

[0732] FI는 주파수 인터리빙(Frequency Interleaving) 또는 주파수 인터리버(Frequency Interleaver)를 의미하는 용어로 사용될 수 있다.

[0733] FI는 하나의 OFDM symbol에서 동작하며, 주파수 영역(frequency domain)에서 발생하는 error bursts를 분리하기 위해 사용된다.

[0734] FI의 사용 여부는 LIS_frequency interleaver의 signaling에 의해 선택될 수 있다.

[0735] 상기 LIS_frequency interleaver 필드는 앞서 살핀 바와 같이 ATSC 3.0 frame의 preamble에 포함된다.

[0736] FI의 input cells(즉, framing 블록의 output cells)은

$$X_{m,l} = (x_{m,l,0}, x_{m,l,1}, x_{m,l,2}, \dots, x_{m,l,N_{\text{data}}-1}) \text{로 정의된다.}$$

[0737] 상기 $x_{m,l,q}$ 은 frame m의 symbol l ($l = 0, \dots, L_F - 1$)의 cell index q를 나타낸다.

[0738] N_{data} 는 하나의 symbol의 active data carrier들의 개수를 나타내며, 이는 normal symbol에 대해 $N_{\text{data}} = C_N$ 로 설정되며, frame start symbol에 대해서는 $N_{\text{data}} = C_{FS}$ 로, frame closing symbol에 대해서는 $N_{\text{data}} = C_{FC}$ 로 표현된다.

[0739] FI는 Frame builder(또는 Framing & Interleaving) 블록의 출력 vector 즉,

$$X_{m,l} = (x_{m,l,0}, x_{m,l,1}, x_{m,l,2}, \dots, x_{m,l,N_{\text{data}}-1}) \text{를 프로세싱한다.}$$

[0740] $x_{m,l,q}$ 는 frame m의 OFDM symbol의 cell index q를 나타낸다.

[0741] 각각의 FI는 wire permutation을 가지는 basic interleaving sequence (또는 main interleaving sequence) 및 offset addition block을 가지는 symbol offset generator로 구성된다.

[0742] 주소 확인(Address check) 블록은 생성된 interleaving address 값을 인증하고, 상기 offset addition block은 상기 address check 블록 다음에 위치한다.

[0743] 상기 주소 확인(Address check) 블록은 Memory-index check 블록 또는 Memory address check 블록으로 호칭될 수 있다.

[0744] 상기 symbol offset generator는 매 symbol pair마다 발생될(accomplished) 수 있다.

[0745] 일 예로, symbol offset value는 2개의 연속적인 symbols($2l$ 및 $2l + 1$)에 대해서는

일정하다.

[0746]

[0747] 이하, 본 명세서에서 제안하는 주파수 인터리빙(Frequency Interleaving:FI) 절차 및 주파수 인터리버(FI) 온/오프(On/Off) 동작 모드(mode)를 지원하는 방법에 대해 살펴보기로 한다.

[0748] 주파수 인터리버 (FI) 온 / 오프 (On/Off) 동작 모드

[0749] 먼저, 본 명세서에서 제안하는 FI 온/오프 동작 모드를 지원하는 방법에 대해 관련 도면을 참조하여 살펴보기로 한다.

[0750] 도 41은 도 7의 프레임 빌딩 블록의 또 다른 일 예를 나타낸 도이다.

[0751] 도 41의 프레임 빌딩 블록(41000)은 도 39의 프레임링 및 인터리빙(Framing & Interleaving) 블록의 또 다른 일 예를 나타내는 내부 블록도일 수 있다.

[0752] 즉, 도 41은 본 명세서에서 제안하는 미래 방송 시스템(future broadcasting system)의 블록 인터리버(block interleaver,41100)에 상응하는 임의 주파수 인터리버(random frequency interleaver)를 포함하는 프레임 빌딩 블록(또는 프레임링 및 인터리빙 블록)의 일 예를 나타낸다.

[0753] 상기 블록 인터리버는 주파수 인터리버(Frequency Interleaver), 임의 주파수 인터리버 등과 같은 의미로 해석되거나 표현될 수 있다.

[0754] 도 41에 도시된 주파수 인터리버(frequency interleaver)는 전송 프레임(frame)의 단위가 되는 전송 블록(block) 내의 셀(cell)들을 주파수 축으로 인터리빙(interleaving)함으로써 추가적인 주파수 다이버시티 게인(frequency diversity gain)을 얻는다.

[0755] 특히, 본 명세서에서는 방송 송신 장치에서(구체적으로, 주파수 인터리버에서) 매 OFDM 심볼마다 서로 다른 인터리빙 시드(interleaving seed)를 적용하고, 더욱이 다수 개의 OFDM 심볼들로 구성된 프레임(frame)마다 인터리빙 시드(interleaving seed)를 다르게 적용하는 주파수 인터리빙(frequency interleaving)의 동작에 대해 제공한다.

[0756] 도 41에 도시된 바와 같이, 본 명세서는 임의의 주파수 인터리버(random frequency interleaver)의 온/오프(on/off) 동작 모드를 지원하는 방법을 제공한다.

[0757] FI의 온/오프 동작 모드를 지원하는 방법에 대해서는 FI 모드 정보(FI_MODE 정보,41200) 및 도 42를 참조하여 좀 더 구체적으로 살펴보기로 한다.

[0758]

[0759] 도 42는 본 발명의 일 실시 예가 적용될 수 있는 프리앰블(Preamble) 포맷의 일 예를 나타낸 도이다.

[0760] 도 42에 도시된 바와 같이, 프리앰블(preamble,42000)은 주파수 인터리버 모드(FI_MODE) 정보(42100)를 포함한다.

[0761] 상기 프리앰블은 앞서 살핀 ATSC 3.0 frame에 포함되며, bootstrap 다음에 그리고, data payload 이전에 위치한다.

[0762] 상기 ATSC 3.0 frame의 구조 및 관련된 설명은 앞서 살핀 도 40을 참조하기로

한다.

- [0763] 즉, 상기 FI_mode 정보는 preamble 내 포함되는 L1 signaling에 포함될 수 있다.
- [0764] 상기 L1-signaling은 도 40에서 살핀 것처럼, 2개의 부분(L1-static 및 L1-dynamic)으로 구분될 수 있다.
- [0765] 여기서, 상기 FI_mode 정보는 상기 L1-static 및/또는 L1-dynamic에 포함될 수 있다.
- [0766] 상기 프리앰블에 포함되는 FI(Frequency Interleaver) 모드(FI_MODE) 정보는 FI의 이용 가능 여부를 나타내는 정보를 나타낸다.
- [0767] FI의 이용 가능 여부는 ON 또는 OFF로 표시될 수 있다.
- [0768] 즉, 상기 FI 모드 정보는 FI가 ON 되어 있는지 또는 OFF 되어 있는지를 나타내는 정보로서, 1 bit로 표현될 수 있다.
- [0769] 상기 FI 모드가 ON으로 설정된 경우(또는 FI 모드가 ON임을 나타내는 경우), 셀 맵퍼로부터 출력되는 data cells은 FI를 통해 OFDM symbol 단위에서 주파수 인터리빙이 수행된다.
- [0770] 상기 FI 모드 정보는 FI 모드 시그널링(signaling)으로 표현될 수도 있다.
- [0771] 일 예로, 상기 FI 모드 정보가 '1'로 설정된 경우, FI가 ON 되어 있음을 나타내며, 이와 반대로, FI 모드 정보가 '0'으로 설정된 경우, FI가 OFF 되어 있음을 나타낼 수 있다.
- [0772] 좀 더 구체적으로, 상기 FI 모드 정보는 상기 프레임 내 L1 Signaling을 통해 전송될 수 있다.
- [0773] 여기서, 프리앰블 심볼(들)은 상기 프리앰블 심볼(들) 다음에 오는 데이터 심볼(들)을 위한 L1 signaling data를 전송한다.
- [0774] 상기 프리앰블 심볼(들)은 부트스트랩(bootstrap) 이후에 위치하며, 데이터 심볼(들) 전에 위치한다.
- [0775] 상기 L1 signaling은 물리 계층 파라미터를 구성하기 위한 필요 정보를 제공하는 것으로, L1은 ISO 7 layer 모델의 가장 낮은 계층에 해당하는 Layer-1을 의미한다.
- [0776] 또한, 상기 L1 signaling은 상기 프리앰블에 포함되며, 두 부분(L1-static 및 L1-dynamic)으로 구성된다.
- [0777] 도 43은 도 31의 프레임 파싱(Frame Parsing) 블록의 또 다른 내부 블록도를 나타낸 도이다.
- [0778] 도 43의 프레임 파싱 블록(43000)은 디프레이밍 및 디인터리빙(Deframing & Deinterleaving) 블록으로 표현될 수도 있다.
- [0779] 즉, 도 43은 본 명세서에서 제안하는 미래 방송 시스템(future broadcasting system)의 블록 디인터리버(block deinterleaver, 43100)에 상응하는 임의의 주파수 디인터리버(random frequency deinterleaver)를 포함하는 프레임 파싱 블록의 일 예를 나타낸다.
- [0780] 상기 블록 디인터리버는 주파수 디인터리버(Frequency Deinterleaver), 임의

주파수 디인터리버 등과 같은 의미로 해석되거나 표현될 수 있다.

[0781] 도 43에 도시된 바와 같이, FI 모드(FI_MODE) 정보 또는 FI 모드 signaling은 도 42에서 살핀 바와 같이, FI의 On 또는 Off 동작 모드를 나타내는 정보를 말한다.

[0782] 즉, 상기 FI 모드 정보(43200)는 FI의 이용 가능 여부를 나타낸다.

[0783] 상기 FI 모드 정보는 frame에 포함되며, 구체적으로 상기 frame의 프리앰블에 포함된다.

[0784] 또한, 상기 FI 모드 정보는 상기 프리앰블의 L1 signaling에 포함된다.

[0785] 상기 L1-signaling은 도 40에서 살핀 것처럼, 2개의 부분(L1-static 및 L1-dynamic)으로 구분될 수 있으며, 상기 FI_mode 정보는 상기 L1-static 및/또는 L1-dynamic에 포함될 수 있다.

[0786] 여기서, 상기 FI_MODE 정보가 FI MODE의 'on'을 나타내는 경우, 방송 수신 장치는 주파수 디인터리버에서 주파수 디인터리빙(frequency deinterleaving) 즉, 방송 송신 장치의 주파수 인터리버에서 수행한 주파수 인터리빙(frequency interleaving) 과정의 역 과정을 수행함으로써 원래의 데이터 순서가 되도록 복원한다.

[0787] 도 42 및 도 43에서 살핀 바와 같이, 본 명세서에서 제안하는 FI_mode 정보의 운영은 방송 시스템에서 FDM(Frequency Division Multiplexing)을 지원하기 위해서 필수적인 정보에 해당한다.

[0788] 방송 시스템에서 FDM 방식을 지원하는 경우, 방송 송신 장치는 특정 주파수 band 별로 PLP 및/또는 데이터를 전송할 수 있게 된다.

[0789] 따라서, PLP 또는 data를 FDM으로 전송할 경우, 인접 채널(또는 인접 frequency band)에 열악한 frequency edge 부분을 통해 상기 PLP 또는 데이터가 전송됨으로써 발생할 수 있는 성능 열화를 줄이기 위해 FI를 off시킨다.

[0790] 구체적으로, (FDM 방식으로) 특정 주파수 band를 이용하여 중요도가 높은(또는 high quality) PLP 또는 데이터를 전송할 때, FI 동작이 수행되는 경우, 상기 특정 주파수 band 전 대역으로 PLP 또는 데이터들이 흩어지게 되어, 인접 채널에 영향을 받을 수 있는 frequency edge 부분에서 성능 열화가 발생하게 된다.

[0791] 따라서, 본 명세서에서 제안하는 FI 동작을 On 또는 Off시키는 FI mode 정보의 운영을 통해 FI 동작을 off시킴으로써, FDM을 결과적으로 지원할 수 있게 되는 효과가 있다.

[0792]

[0793] **주파수 인터리빙 (Frequency Interleaving :FI) 방법**

[0794] 다음으로, 본 명세서에서 제안하는 주파수 인터리빙(frequency interleaving) 방법에 대해 관련 도면을 참조하여 구체적으로 살펴보기로 한다.

[0795] 후술할 주파수 인터리빙 방법은 앞서 살핀 프리앰블에 포함되는 FI 모드 정보 값이 FI 모드가 'ON' 되었음을 나타내는 경우 수행된다.

[0796] 앞서 살핀 바와 같이, 도 7의 셀 매퍼(cell mapper)의 기본적인 기능은 DP(또는 PLPs), PLS data 각각에 대한 data cells를 하나의 신호 프레임 내 OFDM 심볼들

- 각각에 해당하는 active OFDM cells의 어레이들(arrays)에 매핑하는 것이다.
- [0797] 앞서 살핀 바와 같이, 블록 인터리버는 하나의 OFDM 심볼에서 동작할 수 있고, 상기 셀 맵퍼로부터 수신되는 셀들을 임의로 인터리빙함으로써 주파수 다이버시티를 제공할 수 있다.
- [0798] 즉, 하나의 OFDM 심볼에서 동작하는 블록 인터리버의 목적은 프레임 구조 모듈(또는 프레임 빌딩 모듈 또는 프레이밍 & 인터리빙 모듈)로부터 수신되는 데이터 셀들을 임의로 인터리빙함으로써 주파수 다이버시티(frequency diversity)를 제공하는 것이다.
- [0799] 하나의 신호 프레임(또는 하나의 프레임)에서 최대 인터리빙 계인을 얻기 위해, 두 개의 연속적인 OFDM 심볼들로 구성되는 매 OFDM 심볼 쌍(pair)에 대해 다른 인터리빙-시드(interleaving-seed)가 사용된다.
- [0800] 도 41에서 살핀, 블록 인터리버는 신호 프레임의 단위가 되는 전송 블록 내의 셀들을 인터리빙하여 추가적인 다이버시티 계인을 획득할 수 있다.
- [0801] 살핀 것처럼, 상기 블록 인터리버는 프리퀀시 인터리버 또는 임의의 주파수 인터리버라고 호칭할 수 있으며 이는 설계자의 의도에 따라 변경 가능하다.
- [0802] 본 발명의 일 실시 예에 따른 블록 인터리버는 적어도 하나 이상의 OFDM 심볼에 대하여 서로 다른 interleaving seed를 적용하거나, 복수의 OFDM 심볼들을 포함하는 프레임에 대하여 서로 다른 interleaving seed를 적용하는 것을 일 실시 예로 할 수 있다.
- [0803] 상기 프리퀀시 인터리빙 방법은 random frequency interleaving (random FI)으로 호칭될 수 있다.
- [0804] 또한, 상기 random FI는 복수 개의 OFDM 심볼들을 포함하는 신호 프레임이 복수 개 포함된 슈퍼 프레임 구조에 적용되는 것을 일 실시 예로 할 수 있다.
- [0805] 즉, 본 명세서에서 제안하는 방송 신호 송신 장치 또는 방송 신호 송신 장치 내의 주파수 인터리버는 적어도 하나 이상의 OFDM 심볼 즉, 각 OFDM 심볼 또는 pair된 두 개의 OFDM 심볼 (pair-wise OFDM 심볼)마다 서로 다른 interleaving seed (또는 interleaving pattern)를 적용하여 random FI를 수행함으로써, 주파수 다이버시티(frequency diversity)를 획득할 수 있다.
- [0806] 또한, 본 발명의 일 실시 예에 따른 프리퀀시 인터리버는 각 신호 프레임마다 서로 다른 interleaving seed를 적용하여 random FI를 수행함으로써 추가적인 frequency diversity를 획득할 수 있다.
- [0807] 따라서, 본 명세서에서 제안하는 방송 신호 송신 장치 또는 프리퀀시 인터리버는 두 개의 메모리 뱅크(memory bank)들을 이용하여 연속된 한 쌍의 OFDM 심볼 (pair-wise OFDM 심볼) 단위로 프리퀀시 인터리빙을 수행하는 핑-퐁(ping-pong) 프리퀀시 인터리버 구조를 가질 수 있다.
- [0808] 이하, 본 명세서에서 제안하는 프리퀀시 인터리버의 인터리빙 동작은 pair-wise symbol FI (또는 pair-wise FI) 또는 ping-pong FI (ping-pong interleaving)로 호칭될 수 있다.

- [0809] 상술한 인터리빙 동작은 random FI의 실시 예에 해당하며, 호칭은 설계자의 의도에 따라 변경 가능하다.
- [0810] 짝수 번째(even) pair-wise OFDM 심볼들과 홀수 번째(odd) pair-wise OFDM 심볼들은 서로 다른 FI 메모리 뱅크를 통해 불연속적으로 인터리빙 될 수 있다.
- [0811] 또한, 상기 프리퀀시 인터리버는 각 메모리 뱅크로 입력되는 연속된 한 쌍의 OFDM 심볼에 대하여 임의의 interleaving seed를 사용하여 reading 및 writing 동작을 동시에 수행할 수 있다. 구체적인 동작에 대해서는 후술하기로 한다.
- [0812] 또한, 수퍼 프레임내의 모든 OFDM 심볼을 합리적이고 효율적으로 인터리빙하기 위한 논리적인 프리퀀시 인터리빙 동작으로서, 본 명세서에서는 기본적으로 interleaving seed가 한 쌍의 OFDM 심볼 단위로 변화되는 것을 일 실시예로 할 수 있다.
- [0813] 이 경우, 본 명세서의 interleaving seed는 임의의 random 발생기 또는 여러 개의 random 발생기의 조합으로 구성된 random 발생기로 발생하는 것을 일 실시예로 할 수 있다.
- [0814] 또한, 본 명세서는 효율적인 interleaving seed 변화를 위해 하나의 메인 interleaving seed를 cyclic-shifting 하여 다양한 interleaving seed를 생성하는 것을 일 실시예로 할 수 있다.
- [0815] 이 경우, cyclic-shifting rule은 OFDM 심볼과 신호 frame 단위를 고려하여 계층적으로 정의될 수 있다. 이는 설계자 의도에 따라 변경 가능하며, 구체적인 내용은 후술하기로 한다.
- [0816] 또한, 본 명세서에서 제안하는 방송 신호 수신 장치는 상술한 random frequency interleaving의 역과정을 수행할 수 있다.
- [0817] 이 경우, 본 발명의 일 실시 예에 따른 방송 신호 수신 장치 또는 방송 신호 수신 장치의 프리퀀시 디인터리버는 double-memory를 사용하는 ping-pong 구조를 사용하지 않고, 연속된 입력 OFDM 심볼들에 대해 single-memory로 deinterleaving을 수행할 수 있다. 따라서, 프리퀀시 디인터리버는 메모리의 사용 효율성을 증가시킬 수 있다.
- [0818] 또한, 상기 프리퀀시 디인터리버에서 reading 및 writing 동작은 여전히 요구되며, single-memory deinterleaving 동작으로 호칭될 수 있다.
- [0819] 따라서, 상기 single-memory deinterleaving 방법은 메모리 사용 측면에서 매우 효율적이다.
- [0820]
- [0821] 도 44는 본 발명의 일 실시예에 따른 주파수 인터리버의 동작을 나타낸 도면이다.
- [0822] 도 44는 방송 신호 송신 장치에서 2 개의 메모리 뱅크를 사용하는 주파수 인터리버의 기본적인 동작을 예시하며, 방송 신호 수신 장치에서 하나의 메모리 디인터리빙(single-memory deinterleaving) 동작을 가능하게 한다.
- [0823] 살핀 바와 같이, 본 명세서에서 제안하는 프리퀀시 인터리버는 ping-pong

interleaving operation을 수행할 수 있다.

- [0824] 전형적으로, ping-pong interleaving 동작은 2개의 메모리 뱅크에 의해 성취(또는 달성)될 수 있다.
- [0825] 본 명세서에서 제안하는 FI 동작에서, 2개의 메모리 뱅크들은 각각의 pair-wise OFDM symbol에 관한 것이다.
- [0826] 주파수 인터리빙에 대한 최대 메모리 ROM 사이즈는 최대 FFT 사이즈의 약 2배에 해당한다.
- [0827] 방송 신호 송신 장치에서, 상기 ROM 사이즈의 증가는 방송 신호 수신 장치에 비해 덜 중요한 경향이 있다.
- [0828] 살핀 것처럼, 짝수 번째 pair-wise OFDM 심볼들과 홀수 번째 pair-wise OFDM 심볼들은 서로 다른 FI memory-bank를 통해 불연속적으로 인터리빙될 수 있다.
- [0829] 즉, 첫 번째(짝수의 인덱스를 가지는) pair-wise OFDM symbol이 첫 번째 메모리 뱅크에서 인터리빙되는 반면에, 두 번째(홀수의 인덱스를 가지는) pair-wise OFDM symbol은 두 번째 메모리 뱅크에서 인터리빙된다.
- [0830] 각각의 pair-wise OFDM symbol에 대해, 하나의 인터리빙 시드가 사용된다.
- [0831] 상기 인터리빙 시드와 reading-writing (또는 writing-reading) 동작에 기초하여, 2개의 OFDM 심볼은 연속적으로 인터리빙된다.
- [0832] 본 명세서에서 제안하는 reading-writing 동작은 충돌 없이 동시에 성취될 수 있다.
- [0833] 도 44에 도시된 바와 같이, 프리퀀시 인터리버는 demux (44000), 두 개의 메모리 뱅크(memory bank-A (44100) 및 memory bank-B (44200)) 및 mux (44300)를 포함할 수 있다.
- [0834] 먼저, 프리퀀시 인터리버는 pair-wise OFDM symbol FI를 위해 연속적인 입력 OFDM 심볼들로 DEMUX(44000)를 통해 디멀티플렉싱 프로세싱을 수행할 수 있다.
- [0835] 이후, 상기 프리퀀시 인터리버는 하나의 인터리빙 시드를 가지고 각 메모리 뱅크 A 및 메모리 뱅크 B에서 reading-writing FI 동작을 수행한다.
- [0836] 도 44에 도시된 바와 같이, 2개의 메모리 뱅크들(A 및 B)은 각 OFDM symbol pair를 위해 사용된다.
- [0837] 두 번째(홀수의 인덱스를 가지는) OFDM symbol pair가 메모리 뱅크-B에서 인터리빙되는 반면에, 첫 번째(짝수의 인덱스를 가지는) OFDM symbol pair는 메모리 뱅크-A에서 인터리빙된다. 상기 메모리 뱅크 A 및 B에서의 동작은 서로 바뀔 수도 있다.
- [0838] 이후, 상기 프리퀀시 인터리버는 연속적인 OFDM 심볼 전송을 위해 ping-pong FI outputs로 MUX(44300)를 통해 멀티플렉싱 프로세싱을 수행할 수 있다.
- [0839]
- [0840] 도 45는 본 발명의 일 실시예에 따른 MUX 및 DEMUX 방법에 대한 기본적인 스위치 모델(basic switch model)을 나타낸다.

- [0841] 도 45는 상술한 ping-pong FI 구조에서 memory-bank-A 및 B의 입출력에 적용된 DEMUX와 MUX의 간단한 동작을 나타낸다.
- [0842] DEMUX 및 MUX는 각각 연속적인 입력 OFDM 심볼들을 인터리빙되도록 제어하고, 출력 OFDM symbol pair가 전송되도록 제어할 수 있다.
- [0843] 매 OFDM symbol pair에 대해 서로 다른 interleaving seed가 사용된다.
- [0844] 도 45에 도시된 바와 같이, DEMUX 및 MUX는 아래 수학적식에 의해 각각 FI input 및 FI output을 출력한다.
- [0845] [수식12]
- $$s = j \bmod 2$$
- [0846] 여기서, mod는 $j=0,1,\dots,N_{\text{sym}} - 1$ 에 대한 modulo 동작을 나타내며, N_{sym} 은 하나의 프레임 내 OFDM symbol의 개수를 나타낸다.
- [0847]
- [0848] 이하에서, 본 발명의 일 실시예에 따른 프리퀀시 인터리빙의 reading-writing operation을 설명한다.
- [0849] 상기 프리퀀시 인터리버는 첫 번째 및 두 번째 OFDM 심볼들에 대해 각각 하나의 인터리빙 시드를 선택 또는 사용할 수 있고, writing 및 reading 동작에 상기 인터리빙 시드를 사용할 수 있다.
- [0850] 즉, 상기 프리퀀시 인터리버는 선택된 하나의 임의 interleaving seed를 pair-wise OFDM 심볼의 첫 번째 OFDM 심볼에 대해서는 writing 하는 동작에 사용하고, 두 번째 OFDM 심볼에 대해서는 reading 동작에 사용함으로써 효과적으로 interleaving 할 수 있다.
- [0851] 따라서, 사실상 두 개의 서로 다른 인터리빙 시드들이 두 개의 OFDM 심볼들에 각각 적용되는 것처럼 보일 수 있다.
- [0852] 본 명세서에서 제안하는 reading-writing 동작의 구체적인 내용은 아래와 같다.
- [0853] 첫 번째 OFDM 심볼에 대해, 본 발명의 일 실시예에 따른 프리퀀시 인터리버는 (인터리빙 시드에 따라) 메모리에 임의로 writing을 수행할 수 있고, 이후 linear reading을 수행할 수 있다.
- [0854] 두 번째 OFDM 심볼에 대해, 본 발명의 일 실시예에 따른 프리퀀시 인터리버는 상기 첫 번째 OFDM 심볼에 대한 linear reading 동작에 의해 영향을 받아 동시에 메모리에 linear writing을 수행할 수 있다.
- [0855] 또한, 본 발명의 일 실시예에 따른 프리퀀시 인터리버는 이후, 인터리빙 시드에 따라 임의로 reading을 수행할 수 있다.
- [0856] 앞서 살핀 것처럼, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 복수 개의 신호 프레임을 시간 축 상으로 연속적으로 전송할 수 있다.
- [0857] 본 발명에서는 일정 시간 동안 전송되는 신호 프레임들의 집합을 수퍼 프레임이라 호칭할 수 있다.
- [0858] 따라서, 하나의 수퍼 프레임에는 N개의 신호 프레임들이 포함될 수 있으며, 각

신호 프레임들은 복수 개의 OFDM 심볼들을 포함할 수 있다.

[0859]

[0860] 도 46은 본 발명의 일 실시예에 따른 메모리 뱅크의 동작을 나타낸다.

[0861] 도 44 및 도 45에서 살핀 것처럼, 두 개의 메모리 뱅크는 상술한 과정을 통해 발생된 임의의 interleaving seed를 각 pair-wise OFDM symbol에 적용할 수 있다.

[0862] 또한, 각 메모리 뱅크는 매 pair-wise OFDM symbol마다 interleaving seed를 변경할 수 있다.

[0863] 상술한 각 메모리 뱅크에서 interleaving seed의 변경 방법에 대해서는 수학적 식 13 내지 16을 통해 좀 더 살펴보기로 한다.

[0864] 수학적 식 13은 첫 번째 OFDM symbol 즉, i 번째 OFDM symbol pair의 $(j \bmod 2) = 0$ 을 만족하는 OFDM symbol에 대한 임의의 interleaving seed와 관련된 수식을 나타낸다.

[0865] [수식 13]

$$F_j \left(C_j(k) \right) = X_j(k), \text{ where } C_j(k) = \left(T(k) + S_{\lfloor \frac{j}{2} \rfloor} \right) \bmod N_{\text{data}}$$

[0866] 상기 수학적 식 13에서, $i=0,1,\dots,N_{\text{sym}}$, $k=0,1,\dots,N_{\text{data}}$ 를 의미한다.

[0867] N_{data} 는 하나의 symbol에서 active data carriers의 개수를 나타낸다.

[0868] 상기 수학적 식 13은 j 번째 pair-wise OFDM symbol에 대해 $C_j(k)$ 에 해당하는 interleaving sequence를 이용하여 FI에서 주파수 인터리빙을 수행하여 출력되는 출력값($X_j(k)$)을 나타내는 식이다. 수학적 식 13에서, $C_j(k)$ 는 $H_j(k)$ 로 표현될 수도 있다.

[0869] $T(k)$ 는 main FI(또는 basic FI)에서 사용되는 random generator에 의해 생성되는 main interleaving seed(또는 basic interleaving seed)를 나타낸다.

[0870] $T(k)$ 는 random sequence로서, main random interleaving sequence 또는 basic random interleaving sequence 또는 single interleaving seed와 동일한 개념으로 해석될 수 있다.

[0871] Random sequence는 random interleaving-sequence generator 또는 random main-sequence generator에서 생성될 수 있다.

[0872] 상기 $T(k)$ 는 아래 수학적 식 14로 정의될 수 있다.

[0873] [수식 14]

$$T(k) = (i \bmod 2) 2^{N_r-1}$$

[0874] 또한, $S_{\lfloor j/2 \rfloor}$ 는 j 번째 pair-wise OFDM symbol에서 사용되는 random generator에 의해 생성되는 random symbol offset을 나타낸다.

[0875] 즉, $S_{\lfloor j/2 \rfloor}$ 는 심볼 오프셋으로서 cyclic shifting value라 호칭할 수 있으며, sub PRBS(Pseudo-Random Binary Sequence)를 기반으로 생성될 수 있다. 구체적인 내용은 후술한다.

[0876] 상기 $S_{lj/2}$ 는 아래 수학식 15로 정의될 수 있다.

[0877] [수식15]

$$S_{lj/2} = \sum_{j=0}^{N_r-1} G_{lj/2} [j] 2^j$$

[0878] 상기 수학식 14 및 15에서 $l=0, l < L_F, l=l+2$ 를 만족한다.

[0879] 아래 수학식 16은 두 번째 OFDM symbol 즉, i 번째 OFDM symbol pair의 $(j \bmod 2) = 1$ 을 만족하는 OFDM symbol에 대한 임의의 interleaving seed와 관련된 수식을 나타낸다.

[0880] [수식16]

$$D_{DP1} + D_{DP2} \leq D_{DP}$$

[0881] 상기 수학식 16에서, $i=0,1,\dots, N_{\text{sym}}, k=0,1,\dots, N_{\text{data}}$ 를 의미한다.

[0882] 상기 수학식 16은 상기 수학식 13에 의해 출력된 j 번째 pair-wise OFDM symbol에 대해 $C_j(k)$ 에 해당하는 interleaving seed를 이용하여 FI에서 주파수 인터리빙을 수행하여 출력되는 출력값($X_j(k)$)을 나타내는 식이다.

[0883] 상기 수학식 16에서 사용되는 $C_j(k)$ 는 상기 수학식 13의 첫 번째 OFDM symbol에서 사용되는 random interleaving seed와 동일하다.

[0884] 수학식 13 및 16의 random generator는 random interleaving-sequence generator로서, 상기 random interleaving-sequence generator는 frequency interleaver 7020에 포함될 수 있다.

[0885] 메모리 뱅크-A 및 B 각각에서 OFDM symbol pair에 대한 인터리빙 프로세스는 앞서 살핀 바와 같으며, 하나의 interleaving-seed를 이용한다.

[0886] 이용 가능한 data cells 즉, 셀 맵퍼로부터 출력되는 cells은 하나의 OFDM symbol($O_{m,l}$)에서 인터리빙된다(interleaved).

[0887] $O_{m,l}$ 은 아래 수학식 17과 같이 정의될 수 있다.

[0888] 상기 셀 맵퍼로부터 출력되는 data cells($O_{m,l}$)은 FI로 입력되는 data cells을 나타낸다.

[0889] [수식17]

$$O_{m,l} = [X_{m,l,0}, \dots, X_{m,l,p}, \dots, X_{m,l,N_{\text{data}}-1}], \quad l = 0, \dots, N_{\text{sym}} - 1$$

[0890] 상기 수학식 17에서, $X_{m,l,p}$ 는 m 번째 프레임에서 l 번째 OFDM symbol의 p 번째 cell을 나타내며, N_{data} 는 data cell(frame signaling symbol(s), normal data, frame edge symbol)의 개수를 나타낸다.

[0891] 또한, 인터리빙된 data cells($P_{m,l}$)은 아래 수학식 18과 같이 정의된다.

[0892] 상기 인터리빙된 data cells은 FI를 통해 출력되는 신호를 나타낸다.

[0893] [수식18]

$$P_{m,l} = [v_{m,l,0}, \dots, v_{m,l,N_{\text{data}}-1}], \quad l = 0, \dots, N_{\text{sym}} - 1$$

- [0894] 상술한 각 메모리 बैं크에서 interleaving seed(또는 interleaving sequence)를 사용하는 인터리빙은 아래 수학적식과 같이 표현될 수 있다.
- [0895] 아래 수학적식 19 및 20은 앞서 살핀 수학적식 13 및 수학적식 16과 같은 의미로 해석될 수 있다.
- [0896] 즉, 상기 수학적식 13 및 16은 앞서 살핀 logical FI 구조를 통해 발생된 random interleaving sequence(seed)를 OFDM symbol pair에 적용하는과정의 수학적 표현을 나타낸다.
- [0897] 수학적식 19는 첫 번째 OFDM symbol 즉, i 번째 OFDM symbol pair의 $(j \bmod 2) = 0$ 을 만족하는 OFDM symbol에 대한 임의의 interleaving seed와 관련된 수식을 나타낸다.
- [0898] [수식19]
- $$V_{m,l,H_1(p)} = X_{m,l,p}$$
- [0899] 상기 수학적식 19에서 $l=0,1,\dots, N_{\text{sym}} - 1$ 이고, $p=0,1,\dots, N_{\text{data}} - 1$ 을 나타낸다.
- [0900] $H_1(p)$ 는 random generator에 의해 생성되는 interleaving address또는 interleaving seed를 나타낸다.
- [0901] 상기 $H_1(p)$ 또는 $C_1(p)$ 에 대해서는 앞서 살핀 내용을 참조하기로 한다.
- [0902] 아래 수학적식 20은 두 번째 OFDM symbol 즉, i 번째 OFDM symbol pair의 $(j \bmod 2) = 1$ 을 만족하는 OFDM symbol에 대한 임의의 interleaving seed와 관련된 수식을 나타낸다.
- [0903] [수식20]
- $$V_{m,l,p} = X_{m,l,H_1(p)}$$
- [0904] 상기 수학적식 20에서 $l=0,1,\dots, N_{\text{sym}} - 1$ 이고, $p=0,1,\dots, N_{\text{data}} - 1$ 을 나타낸다.
- [0905] N_{data} 의 최대값은 N_{max} 로서 표현되며, 상기 N_{max} 는 각 FFT mode에 따라 다르게 정의된다.
- [0906] 각 메모리 बैं크에서 OFDM symbol pair에 대해 인터리빙된 OFDM symbol pair는 수학적식 19 및 수학적식 20과 같다.
- [0907] $H_j(k)$ 는 각각의 FFT mode에 대해 random interleaving-sequence generator에 의해 생성되는 interleaving seed에 대한 interleaving address이다.
- [0908] random interleaving-sequence generator의 구조에 대해서는 후술하기로 한다.
- [0909] 살핀 바와 같이, 본 명세서에서 제안하는 하나의 OFDM symbol에서 동작하는 주파수 인터리버의 목적은 임의로 data cells를 인터리빙함으로써 주파수 다이버시티를 제공하는 것이다.
- [0910] 하나의 프레임에서 최대 인터리빙 계인을 얻기 위해, 서로 다른 interleaving-seed가 2개의 연속적인 OFDM symbols로 구성되는 OFDM symbol pair마다 사용된다.
- [0911] 수학적식 13 및 수학적식 16에서 살핀 바와 같이, 서로 다른 interleaving seed는 random interleaving-sequence generator에 의해 생성되는 interleaving address에

기초하여 생성될 수 있다.

- [0912] 또한, 서로 다른 interleaving seed는 앞서 언급한 바와 같이 순환 이동 값(cyclic shifting value)에 기초하여 생성될 수 있다.
- [0913] 즉, 매 symbol pair 마다 사용되는 서로 다른 interleaving address는 매 OFDM symbol pair에 대해 상기 cyclic shifting value을 사용함으로써 생성될 수 있다.
- [0914] 앞서 살핀 바와 같이, OFDM 생성 블록은 상기 OFDM 생성 블록으로 입력되는 input data에 대해 FFT 변환을 수행할 수 있다. 그러므로, 하나의 실시 예에 따라 random interleaving-sequence generator를 가지는 주파수 인터리버의 동작이 기술된다.
- [0915] random interleaving-sequence generator는 interleaving address generator로 호칭될 수 있으며, 설계자의 의도에 의해 변경될 수도 있다.
- [0916] random interleaving-sequence generator는 제 1 generator 및 제 2 generator를 포함할 수 있다.
- [0917] 상기 제 1 generator는 main(또는 basic) interleaving seed를 생성하기 위한 것이며, 상기 제 2 generator는 symbol offset을 생성하기 위한 것이다.
- [0918] 따라서, 상기 제 1 generator는 random main(또는 basic)-sequence generator로, 상기 제 2 generator는 random symbol-offset generator로 표현될 수 있다.
- [0919] 상기 제 1 generator 및 제 2 generator의 명칭은 설계자(designer)의 의도에 따라 변경될 수 있으며, 이의 동작에 대해 좀 더 구체적으로 살펴본다.
- [0920] 각 random generator(제 1 generator 및 제 2 generator)는 spreader와 randomizer로 구성되어 있으며, 각각은 interleaving sequence 발생 시 spreading 효과와 random 효과를 각각 부여하는 기능을 수행한다.
- [0921] 여기서, (cell) spreader는 전체 bits 중에 n-bit 상위 부분을 이용하여 동작되며, 간단하게 look-up table을 기반으로 하는 multiplexer(MUX, n-bit toggling)로 동작 가능하다.
- [0922] Randomizer는 PN generator를 통해 동작되며 interleaving시 full randomness를 제공하도록 동작된다.
- [0923] 상기 randomizer는 PN generator를 나타낼 수 있으며, 임의의 PN generator로 대체 가능하다.
- [0924] OFDM 심볼 pair 마다 동작되는 random symbol-offset generator는 interleaving-sequence를 cyclic-shifting 시킬 때 요구되는 symbol-offset 값을 출력한다.
- [0925] 상기 random symbol-offset generator 내 Modulo operator(mod $N_{\max}$)는 N_{data} 를 초과시 동작된다.
- [0926] Memory-index check 블록은 발생하는 memory-index 값이 N_{data} 보다 클 경우 출력 값을 사용하지 않고 (무시하며), 반복적으로 spreader와 randomizer를 동작시켜 출력 memory-index 값이 N_{data} 를 초과하지 않도록 조절하는 역할을

수행한다.

- [0927] 상기 Memory-index check 블록은 Memory address check 블록 또는 address check 블록 등으로 호칭될 수 있다.
- [0928] 앞서 살핀 바와 같이, 본 발명의 일 실시 예에 따른 FFT 사이즈는 1K, 2K, 4K, 8K, 16K, 32K, 64K 등일 수 있으며, 상기 FFT 사이즈는 설계자의 의도에 따라 변경될 수도 있다.
- [0929] 그러므로, interleaving seed (또는 main interleaving seed)는 FFT 사이즈에 기초하여 다양할 수 있다.
- [0930]
- [0931] 도 47은 본 발명의 일 실시예에 따른 프리퀀시 디인터리빙 과정을 나타낸 도면이다.
- [0932] 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 싱글 메모리를 이용하여 상술한 프리퀀시 인터리빙 과정의 역과정을 수행할 수 있다.
- [0933] 도 47은 연속적인 OFDM 심볼들 입력에 대한 single-memory frequency deinterleaving (FDI) 과정을 나타낸 도이다.
- [0934] FDI는 Frequency Deinterleaving 또는 Frequency Deinterleaver의 약칭을 나타낸다.
- [0935] 기본적으로, 주파수 디인터리빙 동작은 주파수 인터리빙 동작의 역과정을 따른다.
- [0936] 주파수 디인터리빙 동작을 위한 single-memory 사용에 대해, 추가적인 프로세싱이 필요하지는 않다.
- [0937] 도 47의 좌측에 도시된 pair-wise OFDM symbol들이 연속적으로 입력되면, 도 47의 우측에 도시된 바와 같이, 방송 신호 수신 장치는 single memory를 이용하여 상술한 reading and writing 동작을 수행할 수 있다.
- [0938] 이 경우, 상기 방송 신호 수신 장치는 memory-index(또는 memory address)를 생성하여 방송 신호 송신 장치에서 수행한 프리퀀시 인터리빙(writing and reading)의 역과정에 대응하는 프리퀀시 디인터리빙(reading and writing)을 수행할 수 있다.
- [0939] 본 명세서에서 제안하는 pair-wise ping-pong interleaving 구조를 사용함으로써 본질적으로 이익이 발생하게 된다.
- [0940]
- [0941] 도 48은 본 발명의 일 실시예에 따른 하나의 슈퍼 프레임에 적용되는 프리퀀시 인터리빙의 개념도를 나타낸다.
- [0942] 본 발명의 일 실시예에 따른 프리퀀시 인터리버는 하나의 신호 프레임에서(심볼 인덱스가 reset되는 지점까지의 구간 동안) 매 pair-wise OFDM symbol마다 interleaving seed를 변경할 수 있고, interleaving seed가 모든 프레임(프레임 인덱스가 reset되는 지점까지의 구간 동안)에서 하나의 신호 프레임에서만 사용되도록 변경할 수 있다.

- [0943] 결과적으로, 본 발명의 일 실시예에 따른 프리퀀시 인터리버는 수퍼 프레임(수퍼 프레임 인덱스가 reset되는 지점까지의 구간 동안)에서 interleaving seed를 변경할 수 있다.
- [0944] 따라서, 본 발명의 일 실시예에 따른 프리퀀시 인터리버는 super-frame내의 모든 OFDM 심볼을 합리적이며 효율적으로 interleaving 할 수 있다.
- [0945]
- [0946] 도 49는 본 명세서에서 제안하는 하나의 수퍼 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism을 나타낸 도면이다.
- [0947] 도 49는 도 48에서 설명한 하나의 super-frame내에 사용될 interleaving seed들을 효과적으로 바꾸기 위한 프리퀀시 인터리버의 logical operation mechanism과 관련 파라미터들을 나타낸다.
- [0948] 상술한 바와 같이 본 발명에서는 하나의 메인 interleaving seed를 임의의 offset만큼 cyclic-shifting하여 다양한 interleaving seed를 효율적으로 생성할 수 있다.
- [0949] 도 49에 도시된 바와 같이, 상기 임의의 offset을 매 frame 및 every pair-wise OFDM symbol마다 다르게 생성하여 different interleaving seed를 생성하는 것을 일 실시예로 할 수 있다. 이하, logical operation mechanism을 설명한다.
- [0950] 도 49의 하단 블록(4910), 본 명세서에서 제안하는 프리퀀시 인터리버는 입력되는 프레임 인덱스를 이용하여 각 신호 frame 마다 frame offset을 랜덤하게 발생시킬 수 있다. 본 발명의 일 실시예에 따른 frame offset은 프리퀀시 인터리버에 포함된 frame offset generator에 의해 생성될 수 있다.
- [0951] 이 경우 각 프레임마다 적용될 수 있는 프레임 오프셋은 super-frame index가 reset되면 super-frame index에 따라 식별되는 각 수퍼 프레임 내의 각 신호 프레임에 대해 발생된다.
- [0952] 도면의 중간에 위치한 블록(4920)에 도시된 바와 같이, 상기 프리퀀시 인터리버는 입력되는 symbol index를 이용하여 각 신호 프레임에 포함된 각 OFDM symbol에 적용하기 위한 심볼 오프셋을 랜덤하게 발생시킬 수 있다.
- [0953] 상기 심볼 오프셋은 프리퀀시 인터리버에 포함된 symbol offset generator에 의해 생성될 수 있다. 이 경우 각 심볼에 대한 심볼 오프셋은 frame index가 reset되면, frame index에 따라 식별되는 각 신호 프레임 내의 심볼들에 대해 발생된다.
- [0954] 또한, 상기 프리퀀시 인터리버는 매 OFDM 심볼에 대해 메인 interleaving seed를 symbol offset만큼 cyclic-shifting하여 다양한 interleaving seed를 생성할 수 있다.
- [0955] 이후 도면의 상단에 위치한 블록(4930)에 도시된 바와 같이, 상기 프리퀀시 인터리버는 입력되는 cell index를 이용하여 각 OFDM 심볼에 포함된 셀들에 대해 random FI를 수행할 수 있다. 본 발명의 일 실시예에 따른 random FI 파라미터는 프리퀀시 인터리버에 포함된 random FI generator에 의해 생성될 수 있다.
- [0956] 도 49에서, π_{frame} 은 i번째 프레임에서 사용되는 random frame offset을 나타내며, $\pi_{\text{symbol}}(j, i)$ 는 random symbol offset generator에 의해 생성되는 i번째 frame의

j번째 symbol의 symbol offset을 나타내며, $\pi_{\text{cell}}(k, j, i)$ 는 random generator에 의해 생성되는 i번째 frame의 j번째 symbol의 k번째 cell의 cell offset을 나타낸다.

[0957] 또한, N_{frame} 은 single super-frame 내 프레임 개수를 나타내며, N_{sym} 은 single frame 내 OFDM symbols의 개수를 나타내며, N_{cell} 은 하나의 OFDM symbol 내 cells의 개수를 나타낸다.

[0958]

[0959] 도 50은 본 발명의 일 실시예에 따른 하나의(single) 수퍼 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism의 수학적식을 나타낸다.

[0960] 구체적으로, 도 50은 상술한 프레임 오프셋 파라미터, 심볼 오프셋 파라미터 및 각 OFDM에 포함된 셀에 적용되는 random FI의 파라미터의 관계를 나타낸다.

[0961] 도 50을 참조하면, g_{frame} 은 프레임 인터리버에서 사용되는 random frame offset generator이며, g_{sym} 은 심볼 인터리버에서 사용되는 random symbol offset generator이며, g_{cell} 은 셀 인터리버에서 사용되는 random generator를 나타낸다.

[0962] $\pi_{\text{frame}}(i)$ 는 random frame offset generator에 의해 생성되는 i번째 frame의 frame offset을 나타내며, $\pi_{\text{symbol}}(j, i)$ 는 random symbol offset generator에 의해 생성되는 i번째 frame의 j번째 symbol의 symbol offset을 나타내며, $\pi_{\text{cell}}(k, j, i)$ 는 random generator에 의해 생성되는 i번째 frame의 j번째 symbol의 k번째 cell의 cell offset을 나타낸다.

[0963] 상기 symbol offset 및 cell offset에 대해 후술할 도 51을 참조하여 좀 더 살펴보기로 한다.

[0964] 도 50에 도시된 바와 같이, 매 OFDM 심볼에 사용될 offset은 상술한 frame offset generator 및 상술한 symbol offset generator의 계층적인 구조를 통해 발생될 수 있다. 이 경우, frame offset generator 및 symbol offset generator는 임의의 random generator를 이용하여 설계될 수 있다.

[0965]

[0966] 도 51은 본 발명의 일 실시예에 따른 하나의 신호 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism을 나타낸 도면이다.

[0967] 도 51은 도 48에서 설명한 single signal frame 내에 사용될 interleaving seed들을 효과적으로 바꾸기 위한 프리퀀시 인터리버의 logical operation mechanism 및 관련 파라미터들을 나타낸다.

[0968] 앞서 살핀 것처럼, 하나의 메인 interleaving seed를 임의의 symbol offset 만큼 cyclic-shifting하여 다양한 interleaving seed를 효율적으로 생성할 수 있다.

[0969] 도 51에 도시된 바와 같이, 본 발명에서는 상기 symbol offset을 매 pair-wise OFDM symbol마다 다르게 생성하여 different interleaving seed를 생성하는 것을 일 실시예로 할 수 있다.

[0970] 이 경우, symbol offset은 임의의 random symbol offset generator를 이용하여 매 pair-wise OFDM 심볼마다 다르게 발생된다.

- [0971] 이하, logical operation mechanism을 설명한다.
- [0972] 도 51의 하단에 위치한 블록(5110)에 도시된 바와 같이, 프리퀀시 인터리버는 입력되는 symbol index를 이용하여 각 신호 프레임에 포함된 각 OFDM symbol에 적용하기 위한 심볼 오프셋을 랜덤하게 발생시킬 수 있다.
- [0973] 상기 심볼 오프셋 (또는 랜덤 심볼 오프셋)은 프리퀀시 인터리버에 포함된 임의의 random generator (또는 symbol offset generator)에 의해 생성될 수 있다.
- [0974] 이 경우 각 심볼에 대한 심볼 오프셋은 frame index가 reset되면, frame index에 따라 식별되는 각 신호 프레임 내의 심볼들에 대해 발생된다.
- [0975] 또한, 상기 프리퀀시 인터리버는 매 OFDM 심볼에 대해 메인 interleaving seed를 발생된 symbol offset만큼 cyclic-shifting하여 다양한 interleaving seed를 생성할 수 있다.
- [0976] 다음, 도 51의 상단에 위치한 블록(5120)에 도시된 바와 같이, 상기 프리퀀시 인터리버는 입력되는 cell index를 이용하여 각 OFDM 심볼에 포함된 셀들에 대해 random FI를 수행할 수 있다.
- [0977] 상기 random FI 파라미터는 프리퀀시 인터리버에 포함된 random FI generator에 의해 생성될 수 있다.
- [0978] 도 51에 도시된 바와 같이, $S_{ij/2j}$ 는 j번째 OFDM symbol에서 사용되는 random symbol offset을 나타내며, $\lfloor \cdot \rfloor$ 기호는 floor 연산을 나타낸다.
- [0979] $C_j(k)$ 는 j번째 OFDM symbol에서 사용되는 random FI를 나타내며, N_{sym} 은 하나의 프레임에서의 OFDM symbol의 개수를 나타내며, N_{data} 는 하나의 OFDM symbol에서의 data cell(s)의 개수를 나타낸다.
- [0980] $S_{ij/2j}$ 와 $C_j(k)$ 의 관계에 대해서는 후술할 도 52를 참조하여 좀 더 구체적으로 살펴보기로 한다.
- [0981]
- [0982] 도 52는 본 발명의 일 실시예에 따른 single signal 프레임에 적용되는 프리퀀시 인터리빙의 logical operation mechanism의 수학적식을 나타낸다.
- [0983] 즉, 도 52는 상술한 심볼 오프셋 파라미터 및 각 OFDM에 포함된 셀에 적용되는 random FI의 파라미터의 관계를 나타낸다.
- [0984] 도 52에 도시된 바와 같이, 매 OFDM 심볼에 사용될 offset은 상술한 symbol offset generator의 계층적인 구조를 통해 발생될 수 있다.
- [0985] 이 경우, symbol offset generator는 임의의 random generator를 이용하여 설계될 수 있다.
- [0986] 앞서 살핀 바와 같이, g_{sym} 은 심볼 인터리버에서 사용되는 random symbol offset generator이며, g_{data} 는 셀 인터리버에서 사용되는 random (FI) generator를 나타낸다.
- [0987]
- [0988] 도 53은 본 명세서에서 제안하는 연속적인 입력 OFDM symbols(input sequential

OFDM symbols)에 대한 single-memory deinterleaving을 나타낸 도면이다.

- [0989] 도 53은 방송 신호 송신 장치 (또는 프리퀀시 인터리버)에서 사용된 interleaving seed를 매 pair-wise OFDM 심볼에 적용하여 deinterleaving을 수행하는 방송 신호 수신 장치 또는 방송 신호 수신 장치의 프리퀀시 디인터리버의 동작을 개념화시켜 나타낸 도면이다.
- [0990] 상기 프리퀀시 디인터리버는 도 31에 도시된 바와 같이, 프레임 파싱 블록에 포함된다.
- [0991] 상기 프레임 파싱 블록은 디프레이밍 & 디인터리버 블록으로 표현될 수도 있다.
- [0992] 상술한 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 싱글 메모리를 이용하여 상술한 프리퀀시 인터리빙 과정의 역과정을 수행할 수 있다.
- [0993]
- [0994] 도 54는 본 명세서에서 제안하는 방송 신호의 송신 방법의 일 예를 나타낸 순서도이다.
- [0995] 도 54를 참고하면, 본 명세서에서 제안하는 방송 신호 송신 장치는 인풋 스트림(Input Stream)들 또는 인풋 데이터 패킷들(input data packets)을 인풋 포매팅(Input Formatting) 모듈을 통해 프로세싱(Processing)한다(S5410).
- [0996] 상기 인풋 데이터 패킷들은 다양한 타입의 packet으로 구성될 수 있다.
- [0997] 즉, 상기 방송 신호 송신 장치는 인풋 포매팅(Input Formatting) 모듈에서 상기 인풋 데이터 패킷들을 다수의 DP(Data Pipe)들 또는 다수의 PLP(Physical Layer Pipe)들로 포매팅한다.
- [0998] 여기서, 상기 다수의 DP(Data Pipe)들 또는 다수의 PLP들은 다수의 데이터 전송 채널(data transmission channel)들로 표현될 수 있다.
- [0999] 이후, 상기 방송 송신 장치는 (포매팅된) 다수의 PLP들의 데이터를 BICM(Bit Interleaved Coding and Modulation) 모듈을 통해 각 PLP 별로 인코딩(encoding)한다(S5420).
- [1000] 상기 BICM 모듈은 인코더(encoder)로 표현될 수도 있다.
- [1001] 따라서, 상기 방송 송신 장치는 인코더(encoder)를 통해 서비스 데이터 또는 서비스 컴포넌트 데이터를 전송하는 데이터 전송 채널 각각에 해당하는 데이터를 인코딩한다.
- [1002] 이후, 상기 방송 송신 장치는 상기 인코딩된 PLP의 데이터를 프레임 빌딩(Frame Building) 모듈을 통해 매핑하여 적어도 하나의 신호 프레임들을 생성한다(S5430).
- [1003] 상기 프레임 빌딩(Frame Building) 모듈은 프레임 빌더(frame builder) 또는 프레이밍 및 인터리빙(Framing & Interleaving) 블록으로 표현될 수도 있다.
- [1004] 상기 신호 프레임은 앞서 살핀 ATSC 3.0 frame을 나타낸다.
- [1005] 살핀 것처럼, 상기 ATSC 3.0 frame은 프리앰블을 포함하며, 상기 프리앰블(preamble)은 본 명세서에서 제안하는 주파수 인터리버 모드(FI_MODE)

정보를 포함한다.

- [1006] 또한, 상기 프리앰블은 bootstrap 다음에 그리고, data payload 이전에 위치한다.
- [1007] 상기 ATSC 3.0 frame의 구조 및 관련된 설명은 앞서 살핀 도 40을 참조하기로 한다.
- [1008] 상기 FI_mode 정보는 preamble 내 포함되는 L1 signaling에 포함될 수 있다.
- [1009] 상기 L1-signaling은 도 40에서 살핀 것처럼, 2개의 부분(L1-static 및 L1-dynamic)으로 구분될 수 있다.
- [1010] 여기서, 상기 FI_mode 정보는 상기 L1-static 및/또는 L1-dynamic에 포함될 수 있다.
- [1011] 상기 프리앰블에 포함되는 FI(Frequency Interleaver) 모드(FI_MODE) 정보는 FI의 이용 가능 여부를 나타내는 정보를 나타내며, FI의 이용 가능 여부는 ON 또는 OFF로 표시될 수 있다.
- [1012] 즉, 상기 FI 모드 정보는 FI가 ON 되어 있는지 또는 OFF 되어 있는지를 나타내는 정보로서, 1 bit로 표현될 수 있다.
- [1013] 상기 FI 모드가 ON으로 설정된 경우(또는 FI 모드가 ON임을 나타내는 경우), 셀 맵퍼로부터 출력되는 data cells은 FI를 통해 OFDM symbol 단위에서 주파수 인터리빙이 수행된다.
- [1014] 상기 FI 모드 정보는 FI 모드 시그널링(signaling)으로 표현될 수도 있다.
- [1015] 일 예로, 상기 FI 모드 정보가 '1'로 설정된 경우, FI가 ON 되어 있음을 나타내며, 이와 반대로, FI 모드 정보가 '0'으로 설정된 경우, FI가 OFF 되어 있음을 나타낼 수 있다.
- [1016] 좀 더 구체적으로, 상기 FI 모드 정보는 상기 프레임 내 L1 Signaling을 통해 전송될 수 있다.
- [1017] 여기서, 프리앰블 심볼(들)은 상기 프리앰블 심볼(들) 다음에 오는 데이터 심볼(들)을 위한 L1 signaling data를 전송한다.
- [1018] 상기 프리앰블 심볼(들)은 부트스트랩(bootstrap) 이후에 위치하며, 데이터 심볼(들) 전에 위치한다.
- [1019] 상기 L1 signaling은 물리 계층 파라미터를 구성하기 위한 필요 정보를 제공하는 것으로, L1은 ISO 7 layer 모델의 가장 낮은 계층에 해당하는 Layer-1을 의미한다.
- [1020] 또한, 상기 L1 signaling은 상기 프리앰블에 포함되며, 두 부분(L1-static 및 L1-dynamic)으로 구성된다.
- [1021] 본 명세서에서 제안하는 FI mode 정보를 통해 방송 송신 신호를 전송하는 방법에 대해 좀 더 구체적으로 살펴본다.
- [1022] 방송 송신 장치는 본 명세서에서 새롭게 정의하는 FI mode 정보를 Preamble(구체적으로, L1-signaling 또는 L1-static 또는 L1-dynamic) 포함시킨다.
- [1023] 이후, 상기 방송 송신 장치는 상기 Preamble 포함된 FI mode 정보 설정 값에 따라 FI 동작을 수행하거나 또는 수행하지 않는다.

- [1024] 이후, 상기 방송 송신 장치는 OFDM 제너레이션(Orthogonal Frequency Division Multiplexing Generation)모듈을 통해 OFDM 방식에 의해 상기 생성된 신호 프레임의 데이터를 변조하고, 상기 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 방송 송신 장치(transmitter)를 통해 전송한다(S5440).
- [1025]
- [1026] 도 55는 본 명세서에서 제안하는 방송 신호의 수신 방법의 일 예를 나타낸 순서도이다.
- [1027] 도 55를 참조하면, 본 명세서에서 제안하는 방송 신호 수신 장치는 Synchronization 및 Demodulation 모듈을 통해 외부로부터 방송 신호를 수신하고, 상기 수신된 방송 신호에 대해 OFDM 방식에 의해 데이터를 복조한다(S5510).
- [1028] 상기 Synchronization 및 Demodulation 모듈은 수신기(receiver) 및 복조기(demodulator)로 표현될 수도 있다.
- [1029] 따라서, 상기 방송 신호 수신 장치는 수신기(receiver)를 통해 상기 적어도 하나의 신호 프레임을 포함하는 방송 신호를 수신하고, 상기 복조기(demodulator)를 통해 상기 수신된 방송 신호를 OFDM(Orthogonal Frequency Division Multiplexing) 방식에 의해 데이터를 복조한다.
- [1030] 이후, 상기 방송 신호 수신 장치는 상기 복조된 데이터를 프레임 파싱(Frame Parsing) 모듈을 통해 적어도 하나의 신호 프레임들로 파싱한다(Parsing,S5520).
- [1031] 상기 프레임 파싱 모듈은 프레임 파서(frame parser) 또는 디프레이밍 및 디인터리빙(Deframing & Deinterleaving)으로 표현될 수도 있다.
- [1032] 따라서, 상기 방송 신호 수신 장치는 상기 프레임 파서(frame parser)를 통해 서비스 데이터(service data) 또는 서비스 컴포넌트 데이터(service component data)를 추출하기 위하여 상기 수신된 방송 신호에 포함된 상기 적어도 하나의 신호 프레임을 파싱(Parsing)한다.
- [1033] 상기 신호 프레임은 앞서 살핀 ATSC 3.0 frame을 나타낸다.
- [1034] 살핀 것처럼, 상기 ATSC 3.0 frame은 프리앰블을 포함하며, 상기 프리앰블(preamble)은 본 명세서에서 제안하는 주파수 인터리버 모드(FI_MODE) 정보를 포함한다.
- [1035] 또한, 상기 프리앰블은 bootstrap 다음에 그리고, data payload 이전에 위치한다.
- [1036] 상기 ATSC 3.0 frame의 구조 및 관련된 설명은 앞서 살핀 도 40을 참조하기로 한다.
- [1037] 상기 FI_mode 정보는 preamble 내 포함되는 L1 signaling에 포함될 수 있다.
- [1038] 상기 L1-signaling은 도 40에서 살핀 것처럼, 2개의 부분(L1-static 및 L1-dynamic)으로 구분될 수 있다.
- [1039] 여기서, 상기 FI_mode 정보는 상기 L1-static 및/또는 L1-dynamic에 포함될 수 있다.
- [1040] 상기 프리앰블에 포함되는 FI(Frequency Interleaver) 모드(FI_MODE) 정보는 FI의 이용 가능 여부를 나타내는 정보를 나타내며, FI의 이용 가능 여부는 ON

또는 OFF로 표시될 수 있다.

- [1041] 즉, 상기 FI 모드 정보는 FI가 ON 되어 있는지 또는 OFF 되어 있는지를 나타내는 정보로서, 1 bit로 표현될 수 있다.
- [1042] 상기 FI 모드가 ON으로 설정된 경우(또는 FI 모드가 ON임을 나타내는 경우), 셀 매퍼로부터 출력되는 data cells은 FI를 통해 OFDM symbol 단위에서 주파수 인터리빙이 수행된다.
- [1043] 상기 FI 모드 정보는 FI 모드 시그널링(signaling)으로 표현될 수도 있다.
- [1044] 일 예로, 상기 FI 모드 정보가 '1'로 설정된 경우, FI가 ON 되어 있음을 나타내며, 이와 반대로, FI 모드 정보가 '0'으로 설정된 경우, FI가 OFF 되어 있음을 나타낼 수 있다.
- [1045] 좀 더 구체적으로, 상기 FI 모드 정보는 상기 프레임 내 L1 Signaling을 통해 전송될 수 있다.
- [1046] 여기서, 프리앰블 심볼(들)은 상기 프리앰블 심볼(들) 다음에 오는 데이터 심볼(들)을 위한 L1 signaling data를 전송한다.
- [1047] 상기 프리앰블 심볼(들)은 부트스트랩(bootstrap) 이후에 위치하며, 데이터 심볼(들) 전에 위치한다.
- [1048] 상기 L1 signaling은 물리 계층 파라미터를 구성하기 위한 필요 정보를 제공하는 것으로, L1은 ISO 7 layer 모델의 가장 낮은 계층에 해당하는 Layer-1을 의미한다.
- [1049] 또한, 상기 L1 signaling은 상기 프리앰블에 포함되며, 두 부분(L1-static 및 L1-dynamic)으로 구성된다.
- [1050] 여기서, 방송 수신 장치가 FI mode 정보가 포함된 신호 프레임을 파싱하는 방법에 대해 좀 더 구체적으로 살펴본다.
- [1051] 즉, 상기 방송 수신 장치는 수신되는(또는 검출되는 또는 디코딩된) FI mode 정보를 통해 방송 송신 장치에서 FI 동작의 수행 여부를 확인한다.
- [1052] 상기 확인 결과, FI 동작이 수행된 경우(FI mode 정보 값: On으로 설정)
- [1053] 상기 방송 수신 장치는 FDI(Frequency DeInterleaving)를 추가적으로 수행한다.
- [1054] 즉, 상기 방송 수신 장치는 Preamble 포함된 FI mode 정보 설정 값에 따라 FDI 동작을 수행하거나 또는 수행하지 않는다.
- [1055] 이후, 상기 방송 신호 수신 장치는 상기 파싱된 적어도 하나의 신호 프레임들을 디매핑 및 디코딩(demapping and decoding) 모듈을 통해 다수의 DP들 또는 다수의 PLP들로 디코딩한다(S5530).
- [1056] 상기 디매핑 및 디코딩(demapping and decoding) 모듈은 변환기(converter) 및 디코더(decoder)로 표현될 수도 있다.
- [1057] 따라서, 상기 방송 신호 수신 장치는 변환기(converter)를 통해 상기 서비스 데이터(service data) 또는 서비스 컴포넌트 데이터(service component data)를 비트들로 변환하고, 디코더(decoder)를 통해 상기 변환된 비트들을 디코딩(decoding)한다.

- [1058] 이후, 상기 방송 신호 수신 장치는 상기 디매핑 및 디코딩 모듈로부터 출력되는 다수의 DP(Data Pipe)들 또는 다수의 PLP들을 아웃풋 프로세서(output processor) 모듈을 통해 인풋 스트림(Input Stream)들 또는 인풋 데이터 패킷(Input Data Packet)들로 복원한다(S5540).
- [1059] 또는, 상기 방송 신호 수신 장치는 상기 아웃풋 프로세서(output processor)를 통해 상기 디코딩된 비트들을 포함하는 데이터 스트림 또는 데이터 패킷들을 출력한다.
- [1060]
- [1061] 본 발명의 사상이나 범위를 벗어나지 않고 본 발명에서 다양한 변경 및 변형이 가능함은 당업자에게 이해된다. 따라서, 본 발명은 첨부된 청구항 및 그 동등 범위 내에서 제공되는 본 발명의 변경 및 변형을 포함하는 것으로 의도된다.
- [1062] 본 명세서에서 장치 및 방법 발명이 모두 언급되고, 장치 및 방법 발명 모두의 설명은 서로 보완하여 적용될 수 있다.

산업상 이용가능성

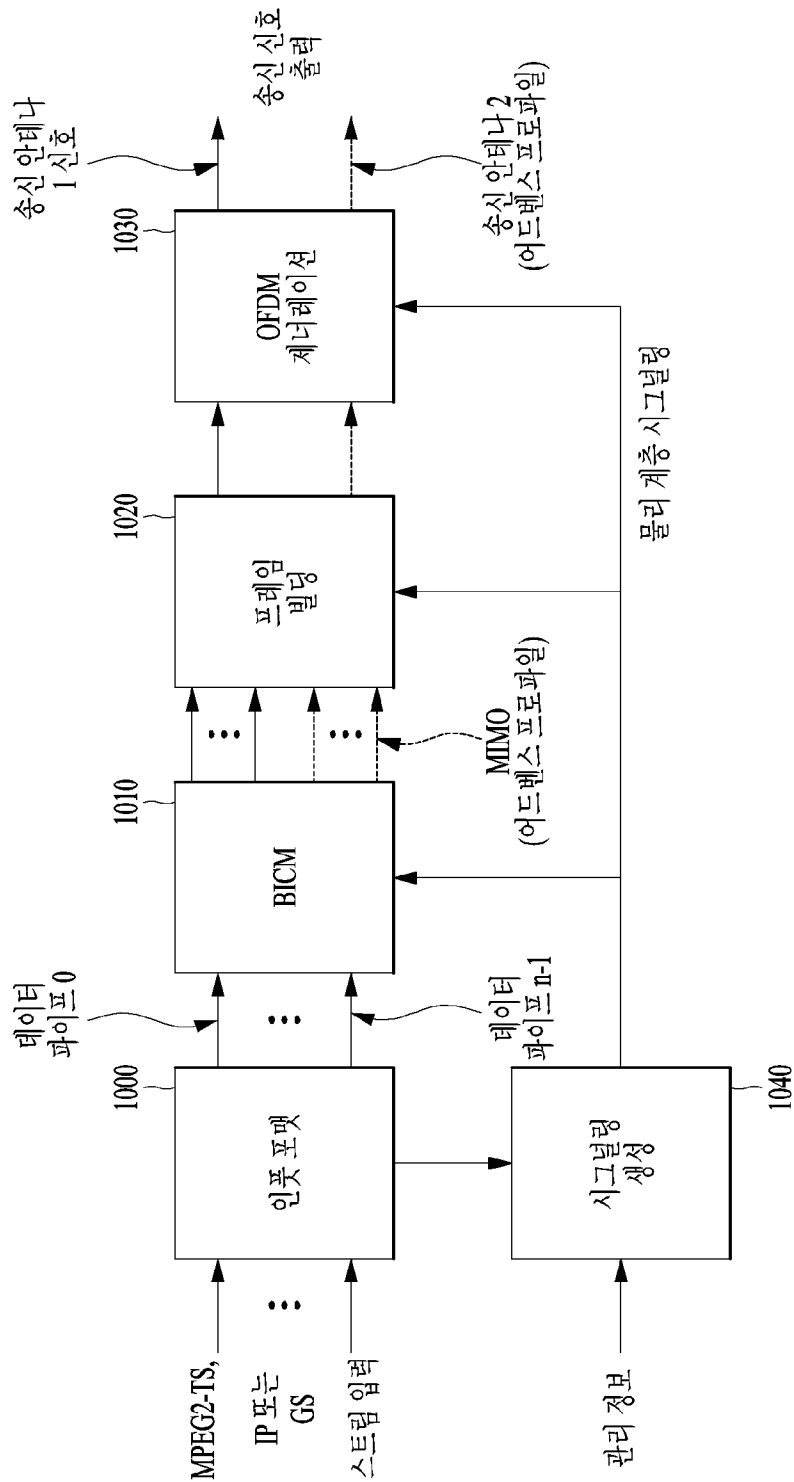
- [1063] 본 명세서는 방송 신호를 수신 및 송신하기 위한 방법 및 장치를 이용하는 것에 있다.

청구범위

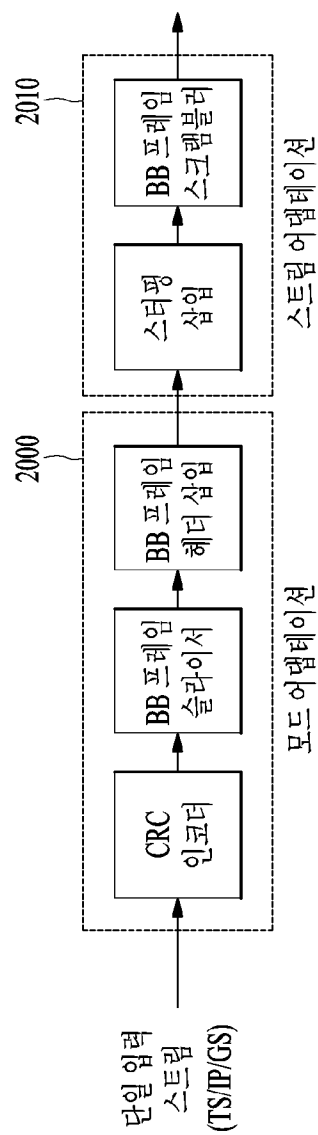
- [청구항 1] 방송 신호를 전송하기 위한 방법에 있어서, 상기 방법은,
인풋 스트림(Input Stream)들을 적어도 하나의 데이터 전송 채널(data transmission channel)로 포맷팅하는 단계;
서비스 데이터(service data) 또는 서비스 컴포넌트 데이터(service component data)를 전송하는 데이터 전송 채널 각각에 대응하는 데이터를 인코딩하는 단계;
상기 인코딩된 데이터를 포함하는 적어도 하나의 신호 프레임을 생성하는 단계;
OFDM(Orthogonal Frequency Division Multiplexing) 방식에 의해 상기 적어도 하나의 신호 프레임을 변조하는 단계; 및
상기 적어도 하나의 변조된 신호 프레임을 포함하는 방송 신호를 전송하는 단계를 포함하여 이루어지는 것을 특징으로 하는 방법.
- [청구항 2] 제 1항에 있어서,
상기 신호 프레임은 주파수 인터리버(Frequency Interleaver:FI)가 사용되는지 또는 사용되지 않는지를 나타내는 제어 정보를 포함하는 것을 특징으로 하는 방법.
- [청구항 3] 제 2항에 있어서,
상기 신호 프레임은 물리계층 시그널링 데이터를 전달하는 프리앰블(preamble)을 더 포함하며,
상기 제어 정보는 상기 프리앰블에 포함되는 것을 특징으로 하는 방법.
- [청구항 4] 제 1항에 있어서,
상기 적어도 하나의 신호 프레임을 생성하는 단계는,
상기 적어도 하나의 신호 프레임에서 데이터를 주파수 인터리빙(frequency interleaving)하는 단계를 더 포함하며,
상기 주파수 인터리빙(frequency interleaving)은 OFDM symbol pair 별로 서로 다른 인터리빙-시드(interleaving-seed)를 사용하며,
상기 주파수 인터리빙(frequency interleaving)은 2개의 메모리를 사용하며,
상기 OFDM symbol pair는 2개의 연속된 OFDM symbols로 구성되는 것을 특징으로 하는 방법.
- [청구항 5] 제 4항에 있어서,
상기 주파수 인터리빙(frequency interleaving)하는 단계는,
짝수 번째(even) OFDM symbol pair와 홀수 번째(odd) OFDM symbol pair를 서로 다른 메모리를 통해 주파수 인터리빙하며,
상기 짝수 번째(even) OFDM symbol pair와 상기 홀수 번째(odd) OFDM symbol pair 간에는 서로 다른 인터리빙-시드(interleaving-seed)를 사용하는 것을 특징으로 하는 방법.

- [청구항 6] 제 4항에 있어서,
상기 주파수 인터리빙(frequency interleaving)은,
제 1 인터리빙 시퀀스 제너레이터(interleaving sequence generator) 및 제 2 인터리빙 시퀀스 제너레이터에 의해 각각 생성되는 인터리빙-시드를 통해 수행되는 것을 특징으로 하는 방법.
- [청구항 7] 제 6항에 있어서,
OFDM symbol pair마다 사용되는 서로 다른 인터리빙-시드는 순환 이동 값(cyclic shift value)를 사용함으로써 생성되며,
상기 순환 이동 값(cyclic shift value)는 상기 제 2 인터리빙 시퀀스 제너레이터에 의해 생성되는 심볼 오프셋 값(symbol offset value)인 것을 특징으로 하는 방법.
- [청구항 8] 제 2항에 있어서,
상기 제어 정보는 주파수 인터리버 모드(FI_MODE) 정보인 것을 특징으로 하는 방법.
- [청구항 9] 방송 신호를 전송하기 위한 송신 장치에 있어서,
인풋 스트림들(Input Streams)을 다수의 데이터 전송 채널(data transmission channel)들로 포맷팅하기 위한 인풋 포맷터(input formatter);
서비스 데이터 또는 서비스 컴포넌트 데이터를 전송하는 데이터 전송 채널 각각에 대응하는 데이터를 인코딩하기 위한 인코더(encoder);
상기 인코딩된 데이터를 포함하는 적어도 하나의 신호 프레임 생성하기 위한 프레이밍 및 인터리빙(Framing & Interleaving) 모듈;
OFDM(Orthogonal Frequency Division Multiplexing) 방식에 의해 상기 적어도 하나의 신호 프레임을 변조하기 위한 모듈레이터(modulator); 및
상기 적어도 하나의 변조된 신호 프레임을 포함하는 방송 신호를 전송하기 위한 전송기(transmitter)를 포함하되,
상기 프레이밍 및 인터리빙(Framing & Interleaving) 모듈은,
상기 적어도 하나의 신호 프레임에서 데이터를 주파수 인터리빙(frequency interleaving)하기 위한 주파수 인터리버(Frequency Interleaver)를 포함하는 것을 특징으로 하는 송신 장치.
- [청구항 10] 제 9항에 있어서,
상기 신호 프레임은 상기 주파수 인터리버(Frequency Interleaver:FI)가 사용되는지 또는 사용되지 않는지를 나타내는 제어 정보를 포함하는 것을 특징으로 하는 송신 장치.
- [청구항 11] 제 10항에 있어서,
상기 신호 프레임은 물리계층 시그널링 데이터를 전달하는 프리앰블(preamble)을 더 포함하며,
상기 제어 정보는 상기 프리앰블에 포함되는 것을 특징으로 하는 송신 장치.

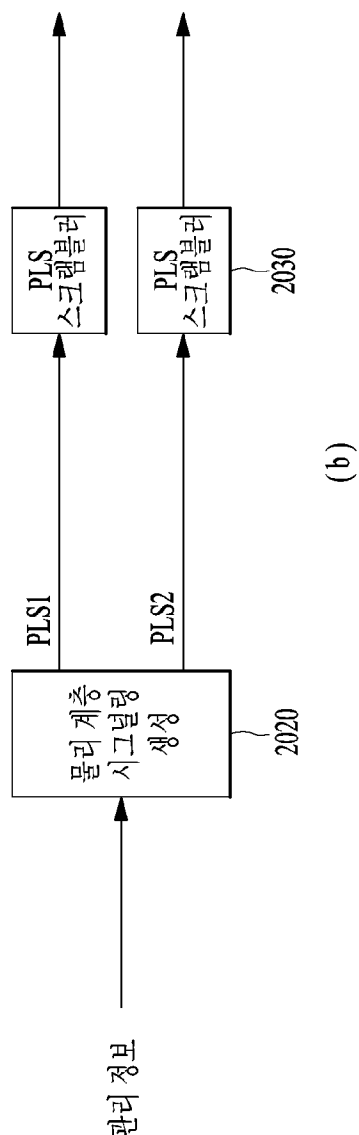
[도 1]



[도2]

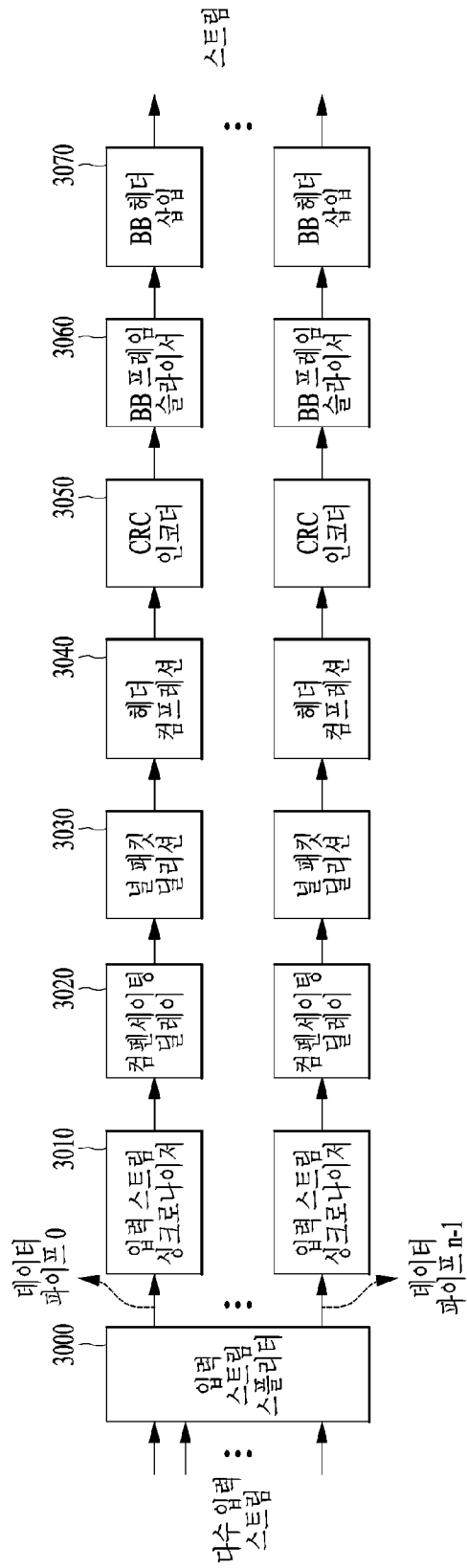


(a)

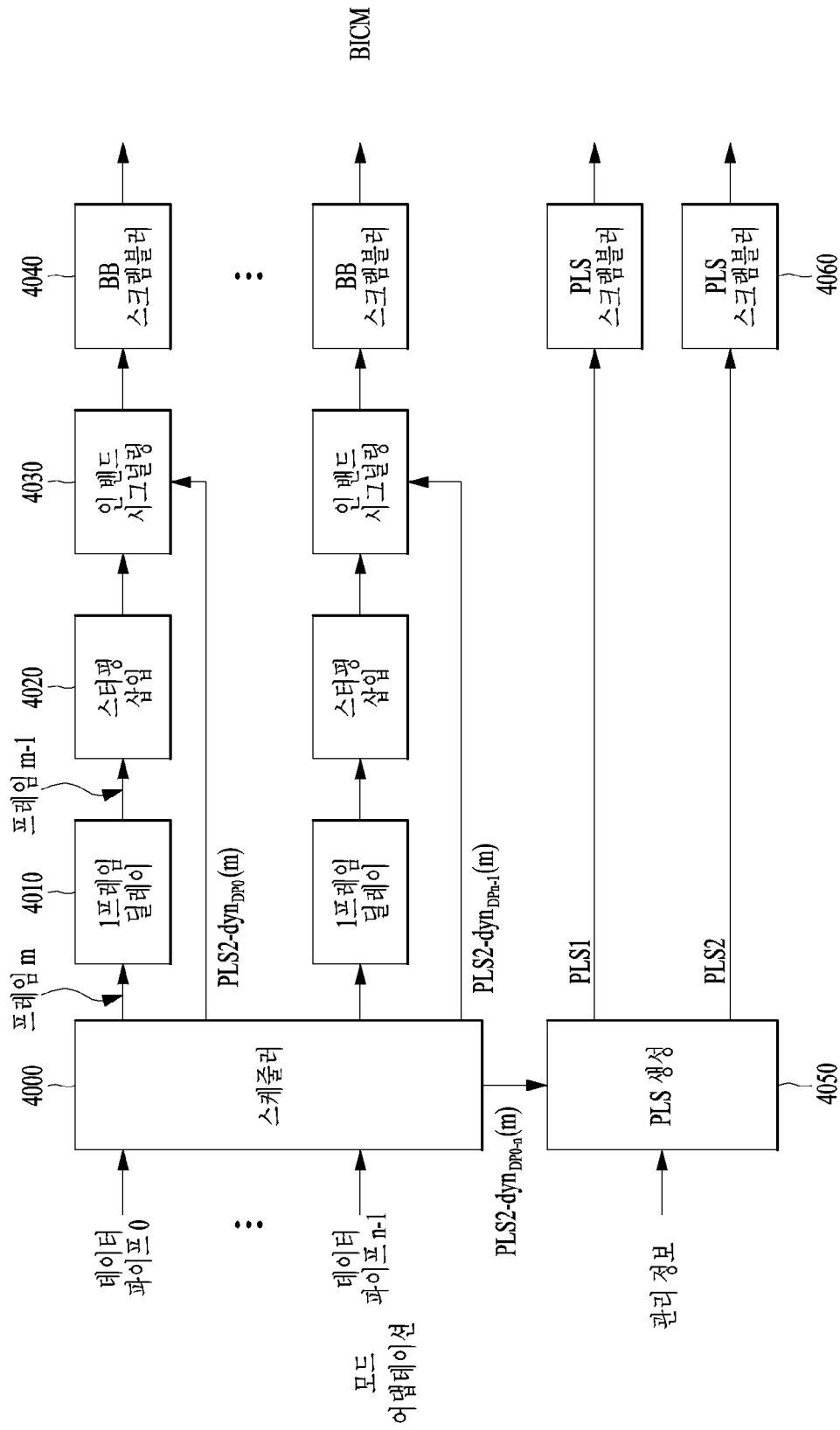


(b)

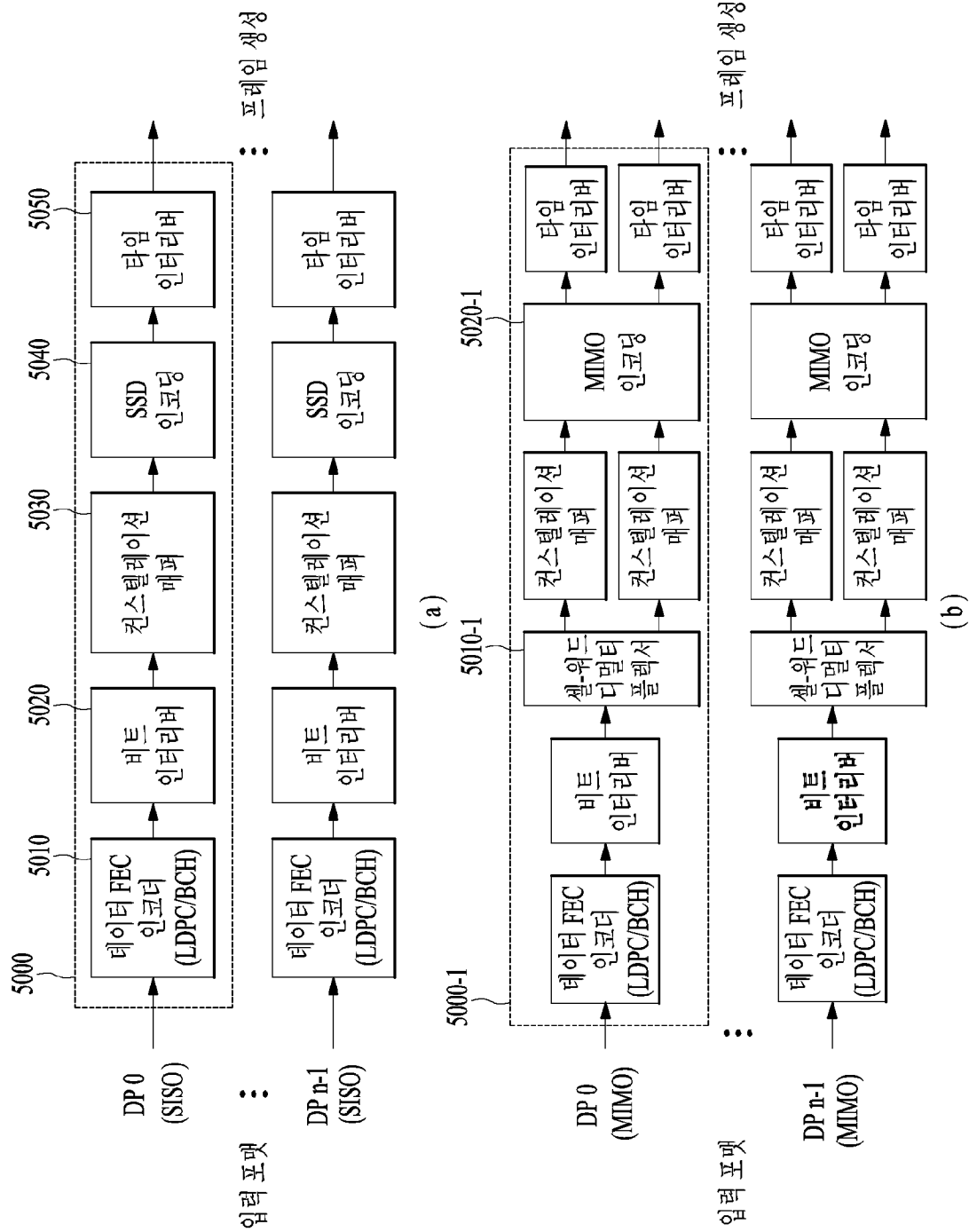
[도3]



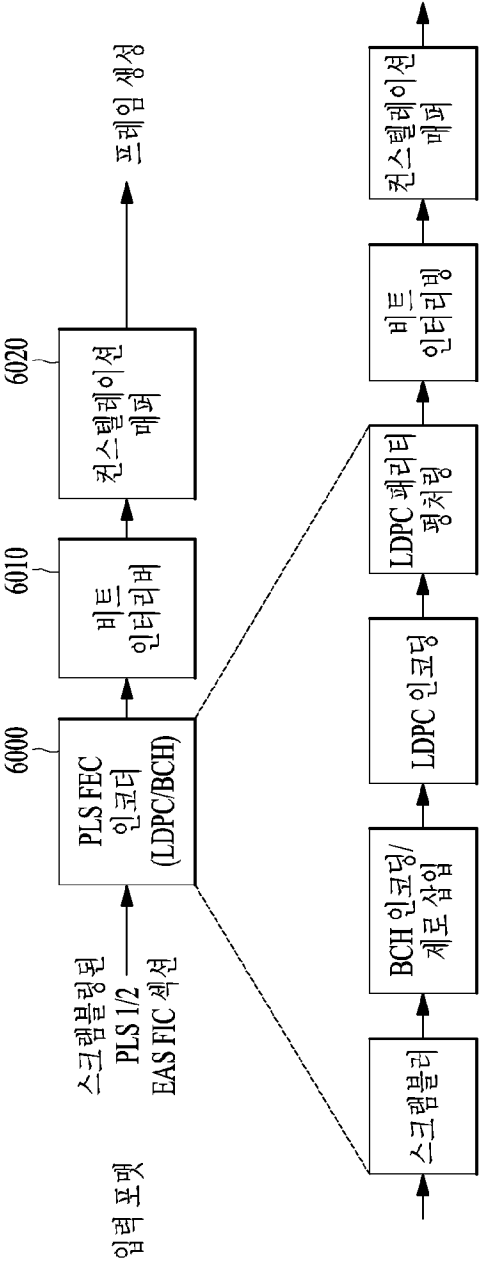
[도4]



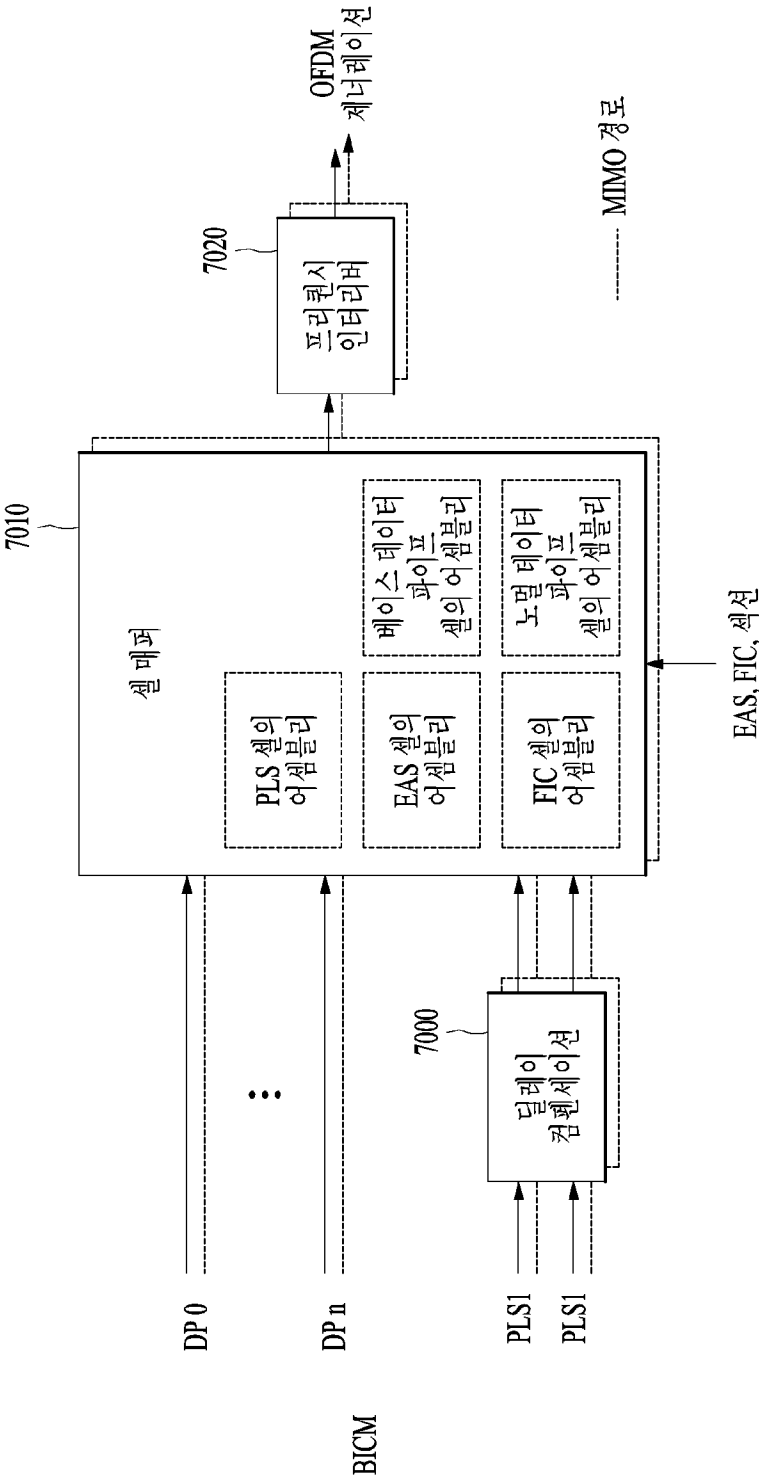
[도5]



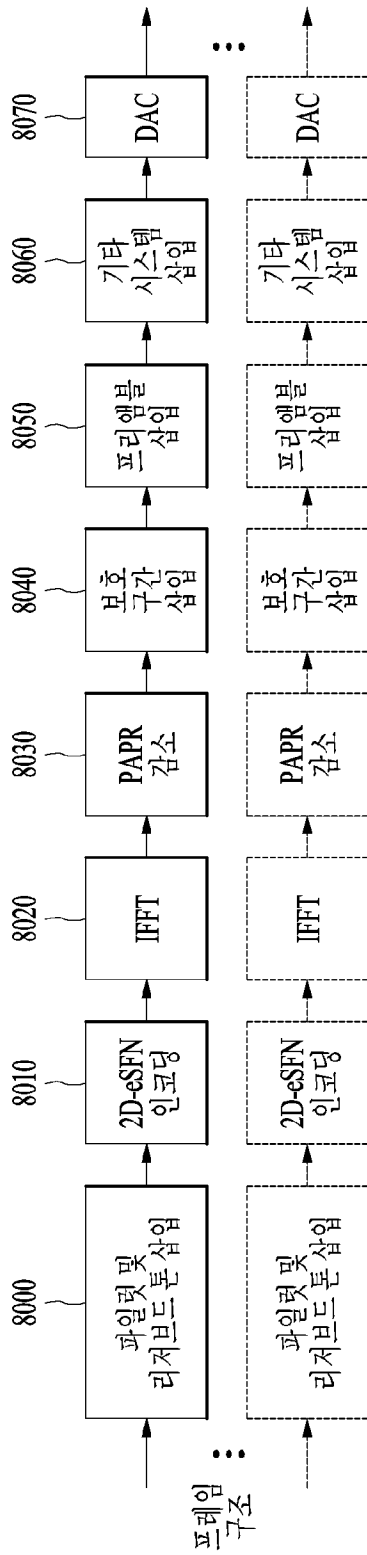
[도6]



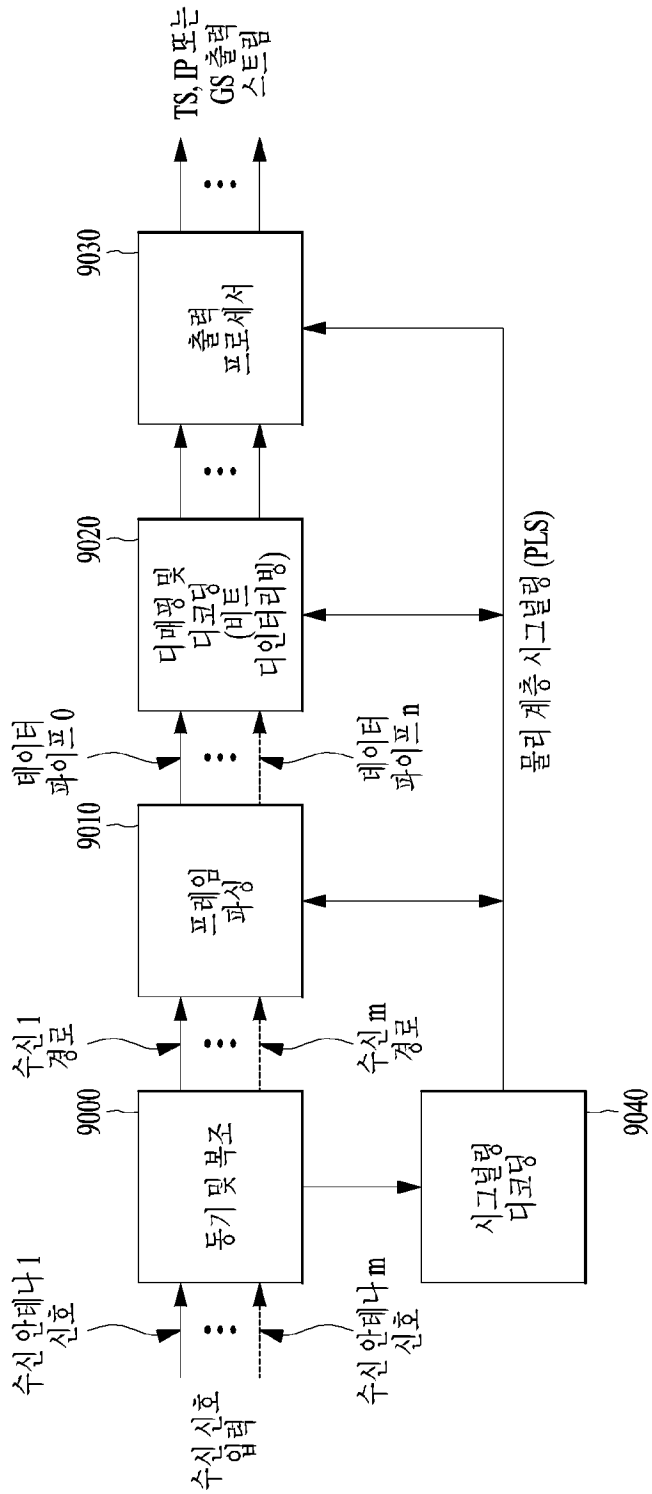
[도7]



[도8]



[도9]



[도12]

콘텐츠	비트
PHY_PROFILE	3
FFT_SIZE	2
GI_FRACTION	3
EAC_FLAG	1
PILOT_MODE	1
PAPR_FLAG	1
FRU_CONFIGURE	3
RESERVED	7

[도13]

콘텐츠	비트
PREAMBLE_DATA	20
NUM_FRAME_FRU	2
PAYLOAD_TYPE	3
NUM_FSS	2
SYSTEM_VERSION	8
CELL_ID	16
NETWORK_ID	16
SYSTEM_ID	16
for i = 0:3	
FRU_PHY_PROFILE	3
FRU_FRAME_LENGTH	2
FRU_GI_FRACTION	3
RESERVED	4
end	
PLS2_FEC_TYPE	2
PLS2_MOD	3
PLS2_SIZE_CELL	15
PLS2_STAT_SIZE_BIT	14
PLS2_SYN_SIZE_BIT	14
PLS2_REP_FLAG	1
PLS2_REP_SIZE_CELL	15
PLS2_NEXT_FEC_TYPE	2
PLS2_NEXT_MODE	3
PLS2_NEXT_REP_FLAG	1
PLS2_NEXT_REP_SIZE_CELL	15
PLS2_NEXT_REP_STAT_SIZE_BIT	14
PLS2_NEXT_REP_DYN_SIZE_BIT	14
PLS2_AP_MODE	2
PLS2_AP_SIZE_CELL	15
PLS2_NEXT_AP_MODE	2
PLS2_NEXT_AP_SIZE_CELL	15
RESERVED	32
CRC 32	32

[도 14]

콘텐츠	비트		
FIC_FLAG	1	DP_PAYLOAD_TYPE	2
AUX_FLAG	1	DP_INBAND_MODE	2
NUM_DP	6	DP_PROTOCOL_TYPE	2
		DP_CRC_MODE	2
for i = 1: NUM_DP		if DP_PAYLOAD_TYPE == TS('00')	
DP_ID	6	DNP_MODE	2
DP_TYPE	3	ISSY_MODE	2
DP_GROUP_ID	8	HC_MODE_TS	2
BASE_DP_ID	6	if HC_MODE_TS == '01' or '10'	
DP_FEC_TYPE	2	PID	13
DP_COD	4	end	
DP_MOD	4	if DP_PAYLOAD_TYPE == IP('01')	
DP_SSD_FLAG	1	HC_MODE_IP	2
if PHY_PROFILE = '010'		end	
DP_MIMO	3	RESERVED	8
end		end	
DP_TI_TYPE	1	if FIC_FLAG == 1	
DP_TI_LENGTH	2	FIC_VERSION	8
DP_TI_BYPASS	1	FIC_LENGTH_BYTE	13
DP_FRAME_INTERVAL	2	RESERVED	8
DP_FIRST_FRAME_IDX	5	end	
DP_NUM_BLOCK_MAX	10	if AUX_FLAG == 1	
		NUM_AUX	4
		AUX_CONFIG_RFU	8
		for i = 1: NUM_AUX	
		AUX_STREAM_TYPE	4
		AUX_PRIVATE_CONF	28
		end	
		end	

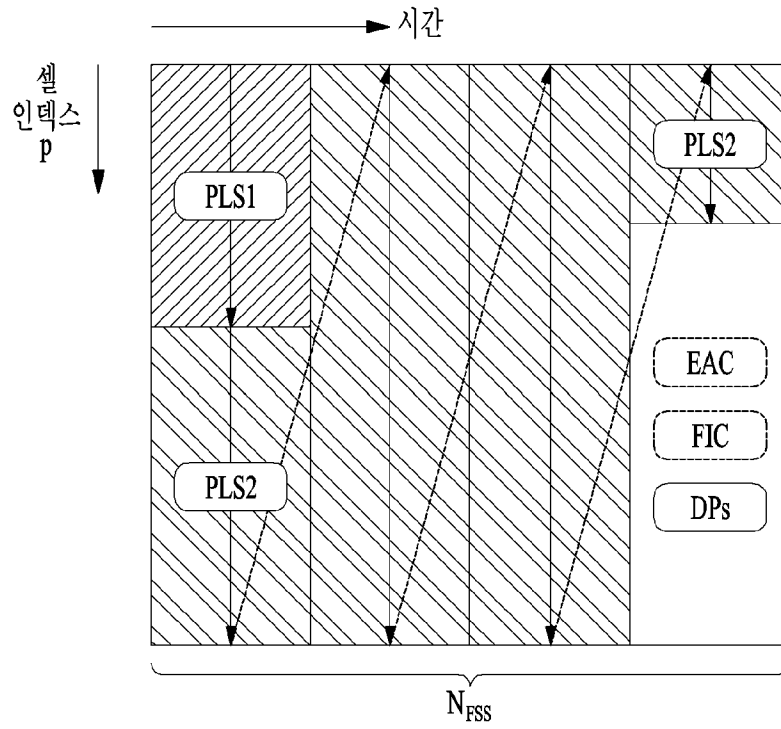
[도 15]

콘텐츠		비트
FRAME_INDEX		5
PLS_CHANGE_COUNTER		4
FIC_CHANGE_COUNTER		4
RESERVED		16
for i = 1: NUM_DP		
	DP_ID	6
	DP_START	15 (또는 13)
	DP_NUM_BLOCK	10
end	RESERVED	8
EAC_FLAG		1
EAS_WAKE_UP_VERSION_NUM		8
if EAC_FLAG = 1		
	EAC_LENGTH_BYTE	12
else		
	EAC_COUNTER	12
end		
for i=1:NUM_AUX		
	AUX_PRIVATE_DYN	48
end		
CRC 32		32

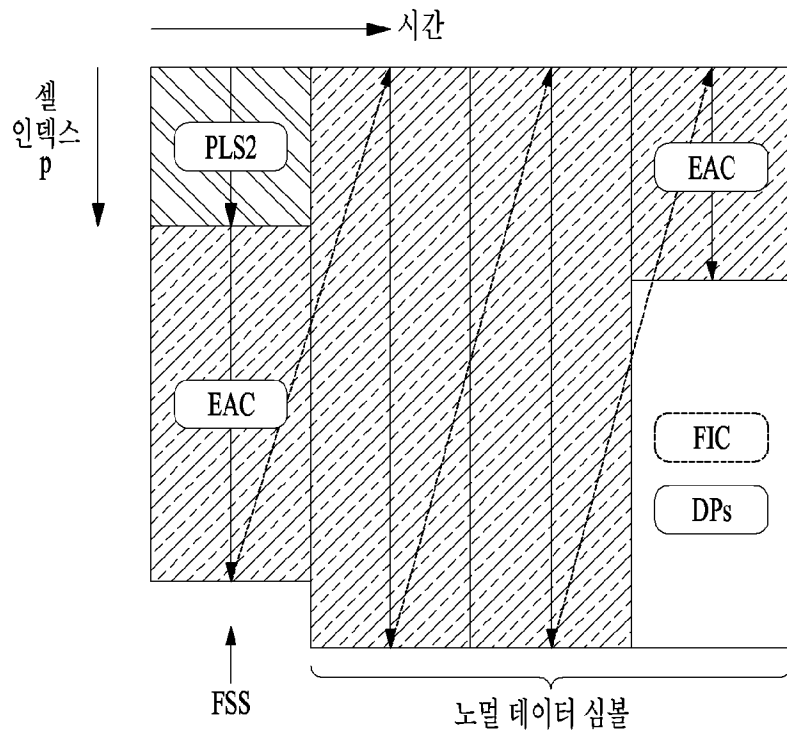
[도 16]



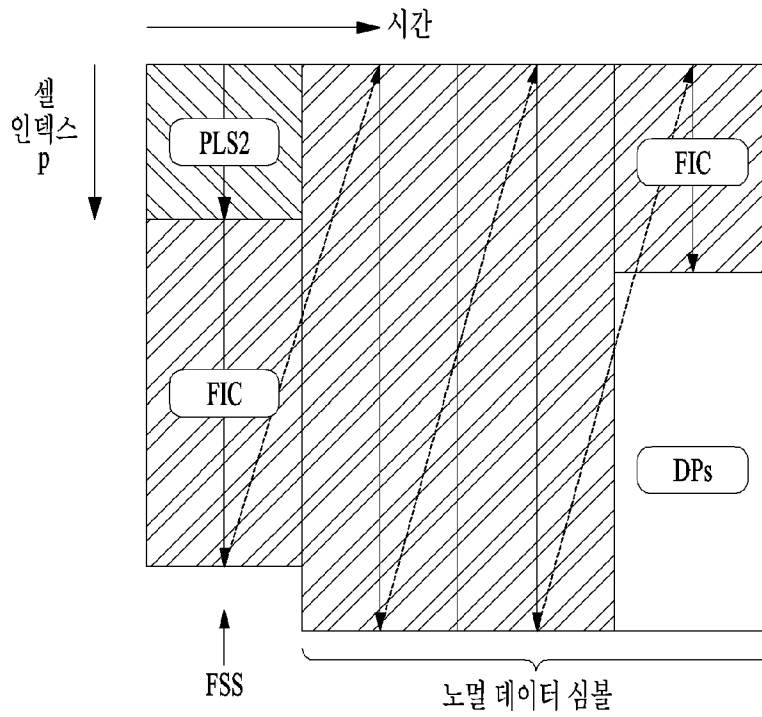
[도17]



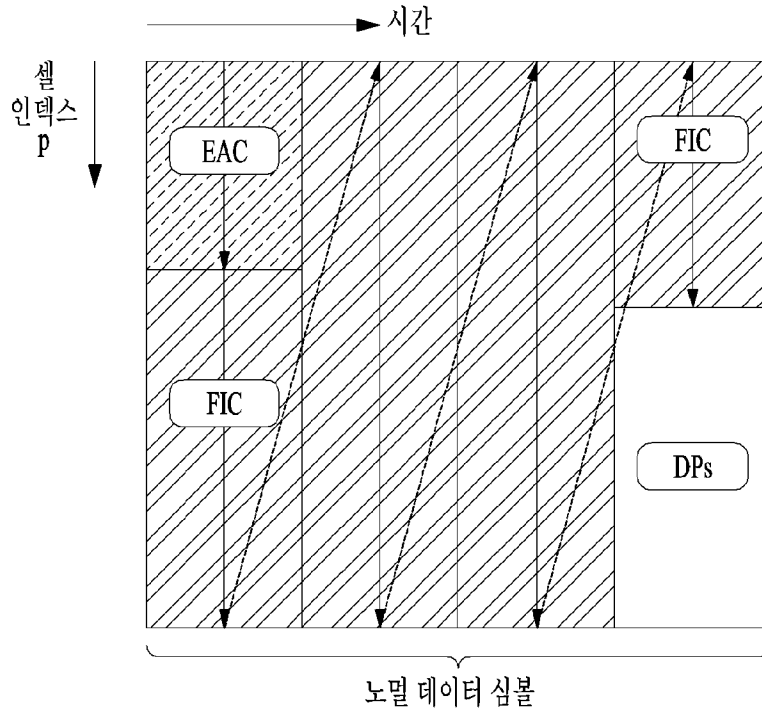
[도18]



[도19]

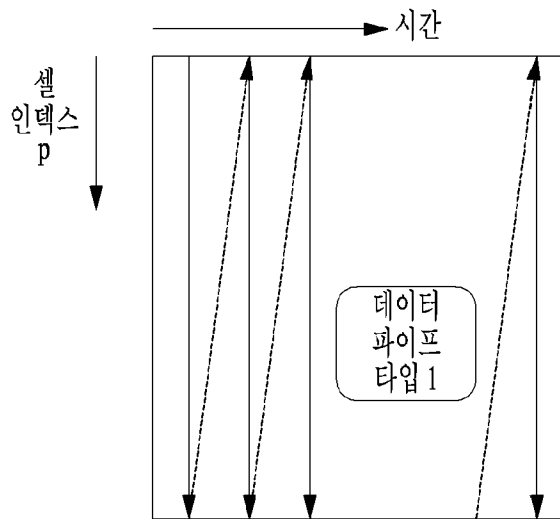


(a)

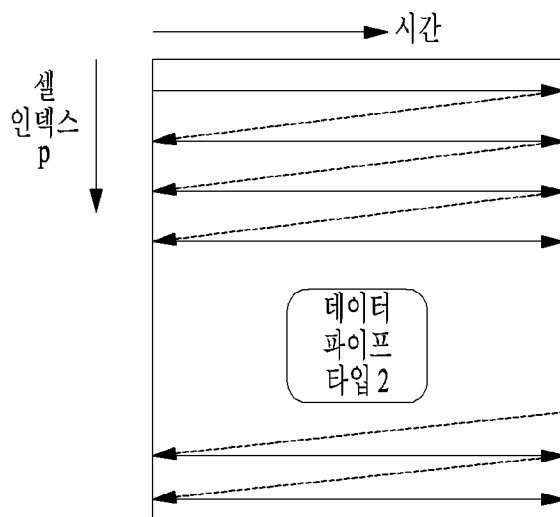


(b)

[도20]

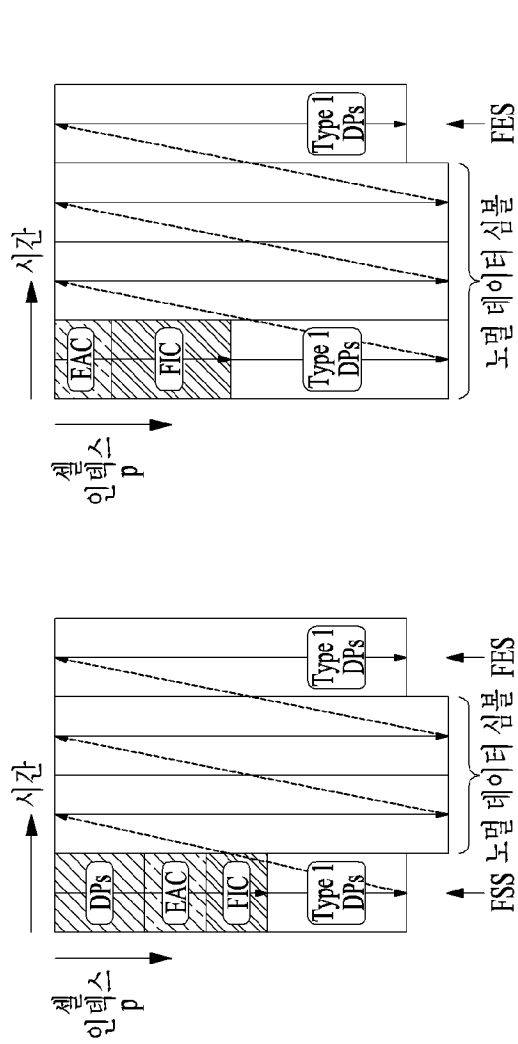


(a)

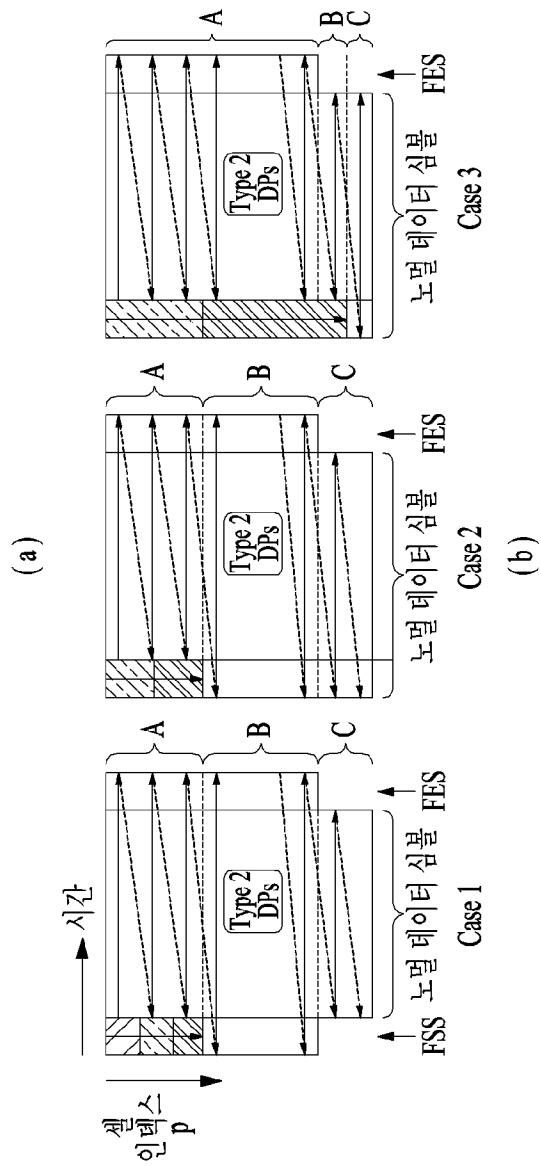
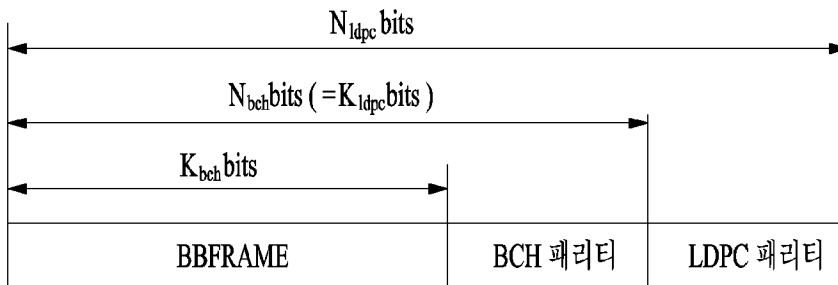


(b)

[도21]

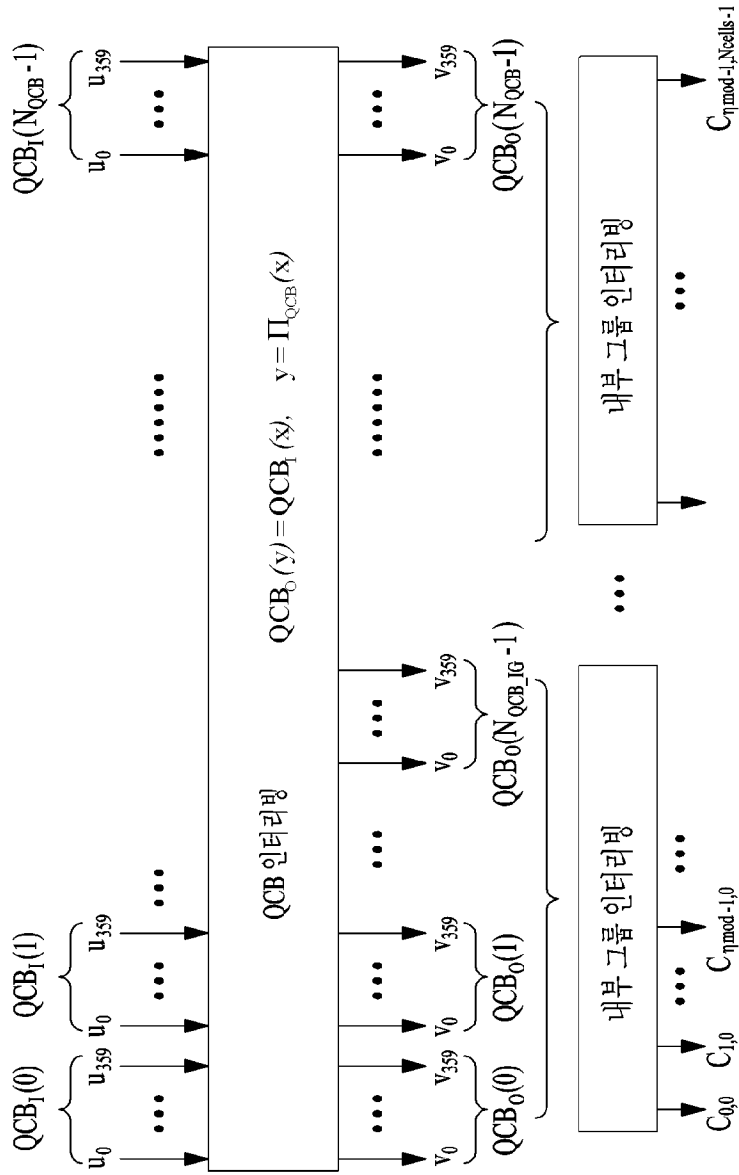


[도22]

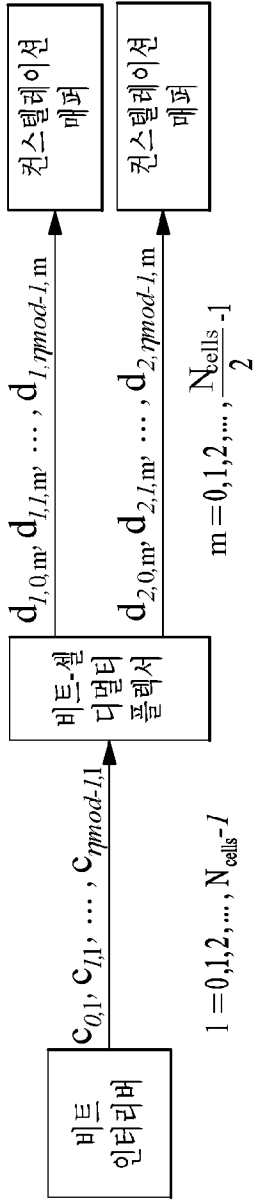


[도23]

$N_{\text{QCB}} = 45$, 쇼트 LDPC 블록의 경우
 $N_{\text{QCB}} = 180$, 롱 LDPC 블록의 경우



[도24]

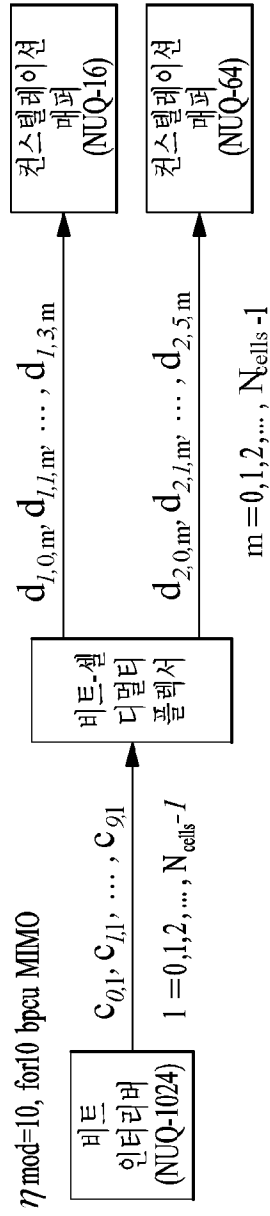


$$\eta \text{ mod} = \begin{cases} 4, & \text{for 8 bpcu MIMO} \\ 6, & \text{for 12 bpcu MIMO} \end{cases}$$

$$d_{1,k,m} = c_{k,2m}, \quad k = 0, 1, \dots, \eta \text{ mod}-1, m = 0, 1, \dots, \frac{N_{\text{cells}}}{2} - 1$$

$$d_{2,k,m} = c_{k,2m+1}$$

(a)



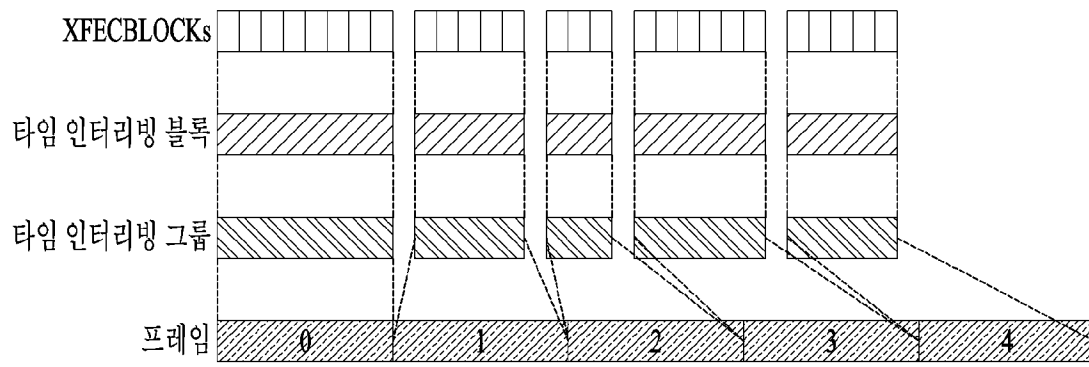
$$\{d_{1,0,m}, d_{1,1,m}, d_{1,2,m}, d_{1,3,m}\} = \{c_{0,m}, c_{1,m}, c_{4,m}, c_{5,m}\}$$

$$\{d_{2,0,m}, d_{2,1,m}, d_{2,2,m}, d_{2,3,m}, d_{2,4,m}, d_{2,5,m}\} = \{c_{2,m}, c_{3,m}, c_{6,m}, c_{7,m}, c_{8,m}, c_{9,m}\}$$

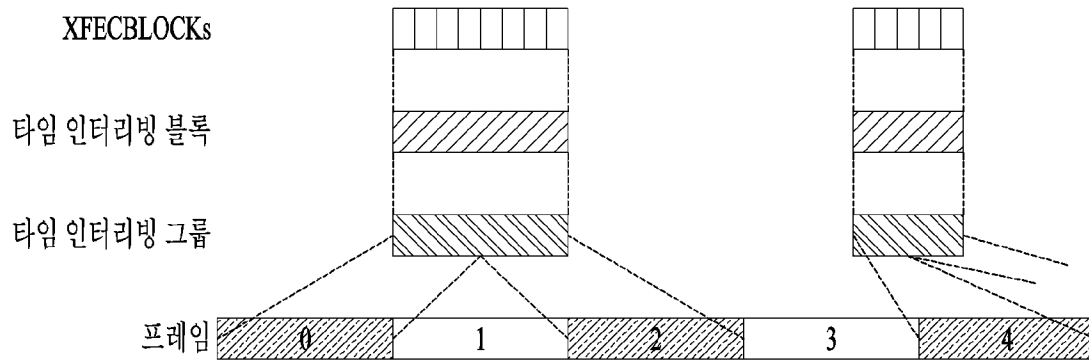
$$, m = 0, 1, \dots, N_{\text{cells}} - 1$$

(b)

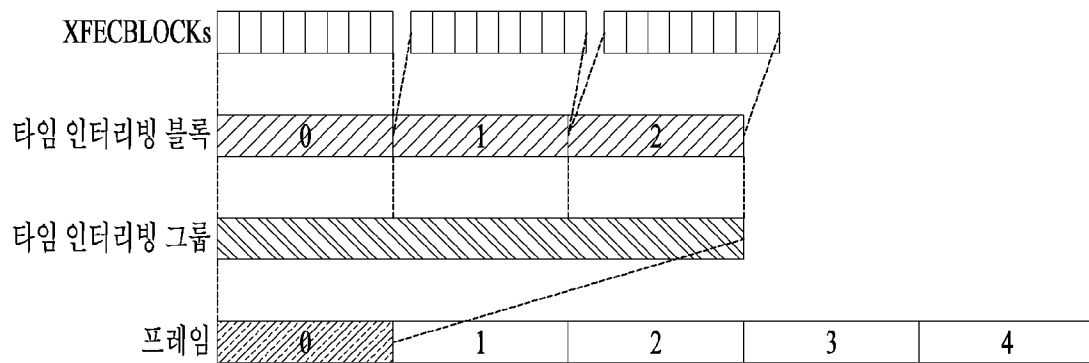
[도25]



(a)

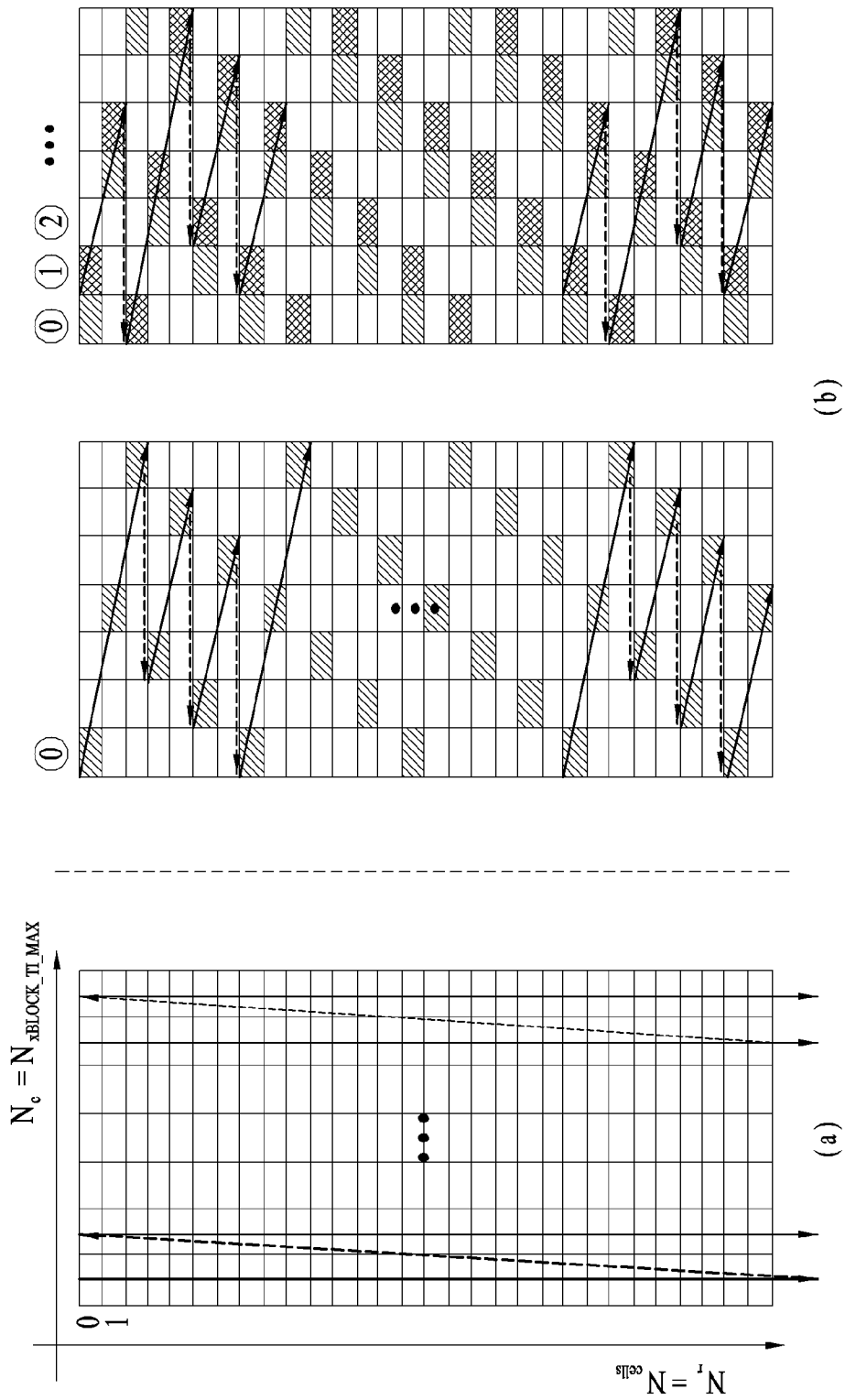


(b)

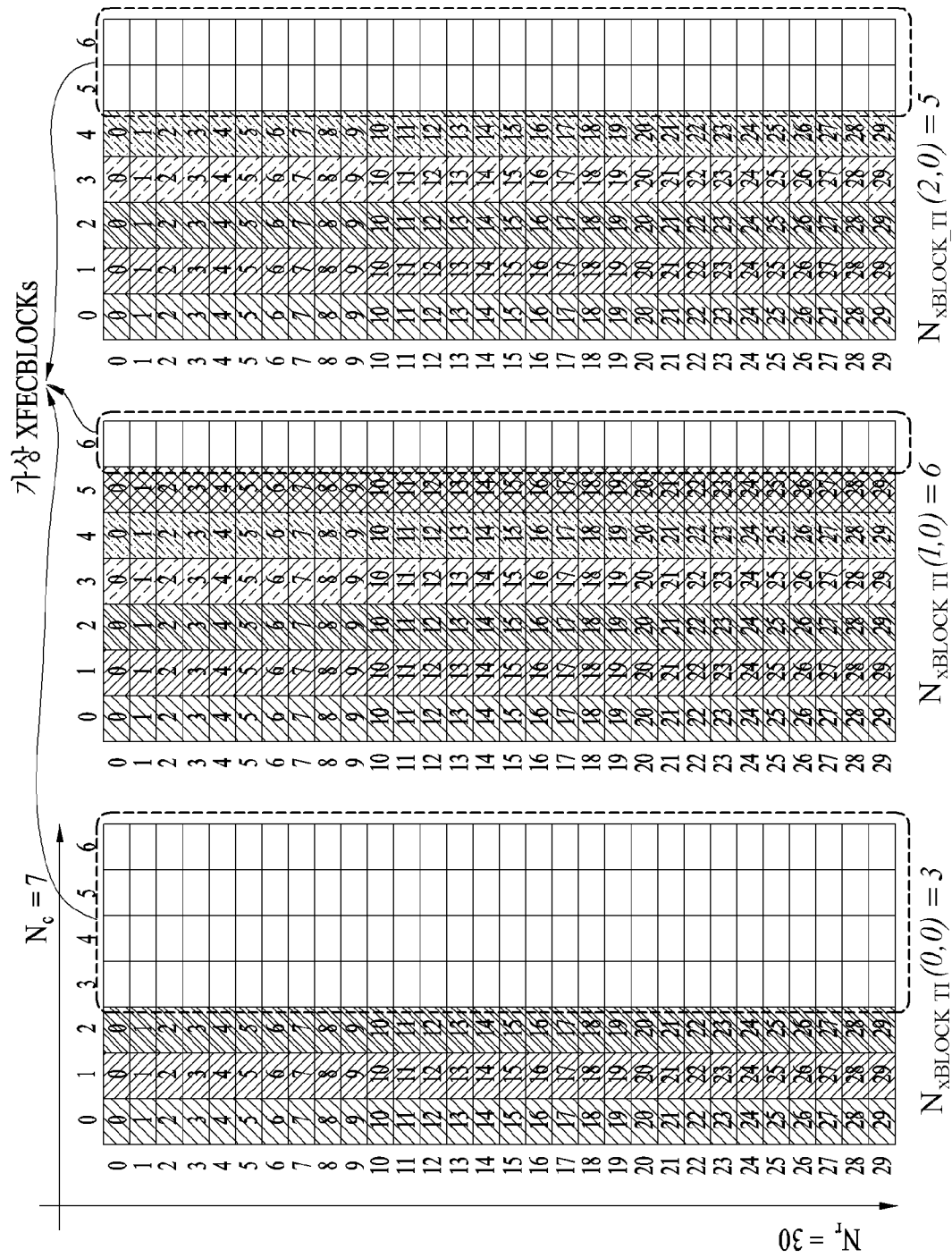


(c)

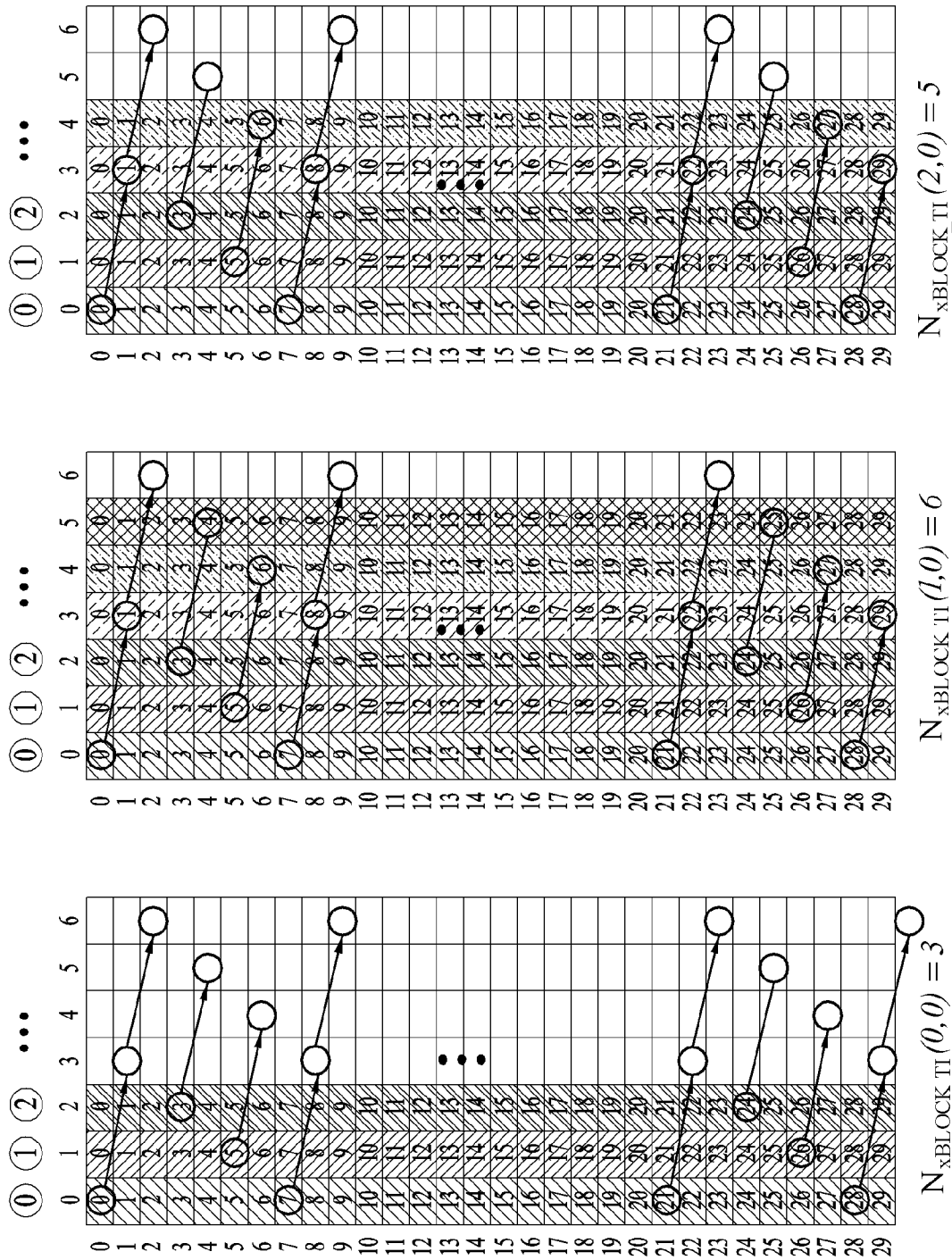
[도26]



[도27]



[도28]



[도29]

0	0	1	2	3	4
1	1	12	24	7	18
2	3	14	25	8	20
3	5	15	26	9	22
4	6	16	28	11	23
5	7	17	0	13	24
6	8	19	2	14	25
7	10	21	4	15	27
8	12	22	5	16	29
9	13	23	6	18	1
10	14	24	7	20	3
11	15	26	9	21	4
12	17	28	11	22	5
13	19	29	12	23	6
14	20	0	13	25	8
15	21	2	14	27	10
16	22	3	16	28	11
17	24	4	18	29	12
18	26	5	19	1	13
19	27	7	20	2	15
20	28	9	21	3	17
21	29	10	23	4	18
22	0	11	25	6	19
23	1	12	26	8	20
24	2	14	27	9	22
25	3	16	28	10	24
26	5	17	0	11	25
27	7	18	1	13	26
28	8	19	2	15	27
29	9	21	4	16	29

$$N_{\text{BLOCK_PI}}(2,0) = 5$$

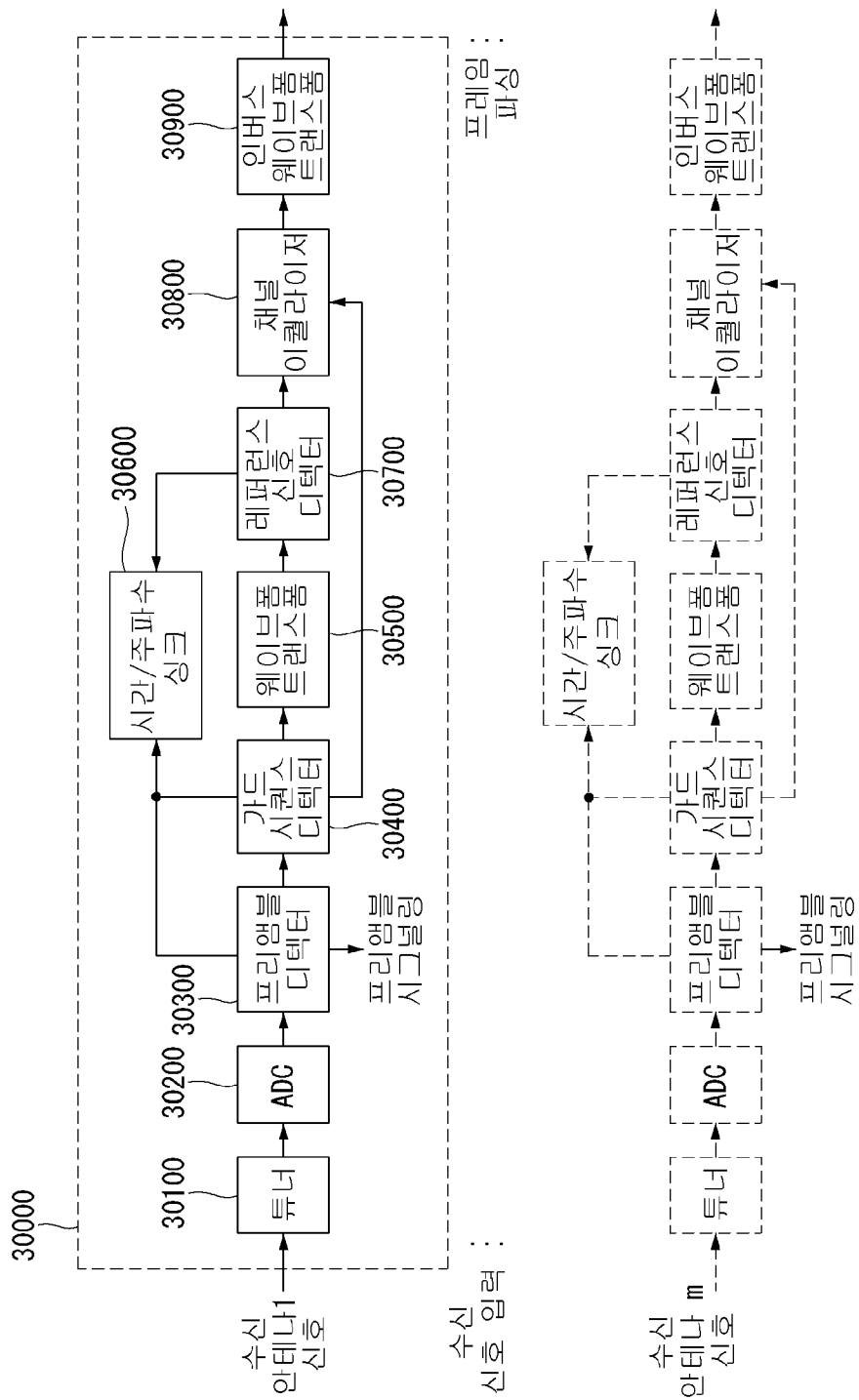
0	0	5	9	14	20	24
1	1	6	10	16	21	25
2	3	7	11	17	22	27
3	4	8	12	18	23	28
4	5	9	14	19	25	29
5	6	10	15	20	26	1
6	7	12	16	21	27	2
7	8	13	17	23	28	3
8	10	14	18	24	29	4
9	11	15	19	25	0	5
10	12	16	21	26	1	6
11	13	17	22	27	2	8
12	14	19	23	28	3	9
13	15	20	24	0	4	10
14	17	21	25	1	6	11
15	18	22	26	2	7	12
16	19	23	28	4	8	13
17	20	24	29	5	9	15
18	21	26	0	6	10	16
19	22	27	1	7	11	17
20	24	28	3	8	13	18
21	25	29	4	9	14	19
22	26	0	5	11	15	20
23	27	1	6	12	16	22
24	28	2	7	13	17	23
25	29	3	9	14	18	24
26	0	4	10	15	20	25
27	1	5	11	16	21	26
28	2	7	12	18	23	27
29	3	8	13	19	24	29

$$N_{\text{BLOCK_PI}}(1,0) = 6$$

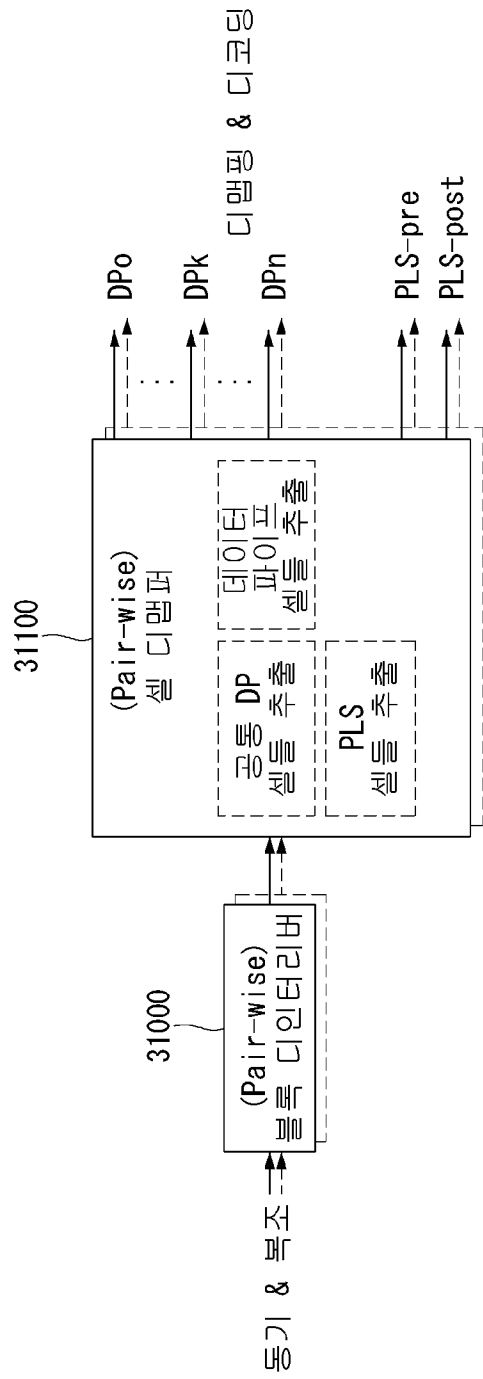
0	0	1	2
1	3	11	25
2	5	14	27
3	7	16	29
4	10	18	1
5	12	21	3
6	14	23	6
7	17	25	8
8	19	28	10
9	21	1	13
10	24	1	15
11	26	6	17
12	28	9	20
13	0	11	22
14	2	13	24
15	5	16	27
16	7	18	29
17	9	20	1
18	12	23	3
19	14	25	5
20	16	27	8
21	19	1	10
22	21	4	12
23	23	1	15
24	26	8	17
25	28	11	19
26	0	13	22
27	1	15	24
28	1	18	26
29	1	20	29

$$N_{\text{BLOCK_PI}}(0,0) = 3$$

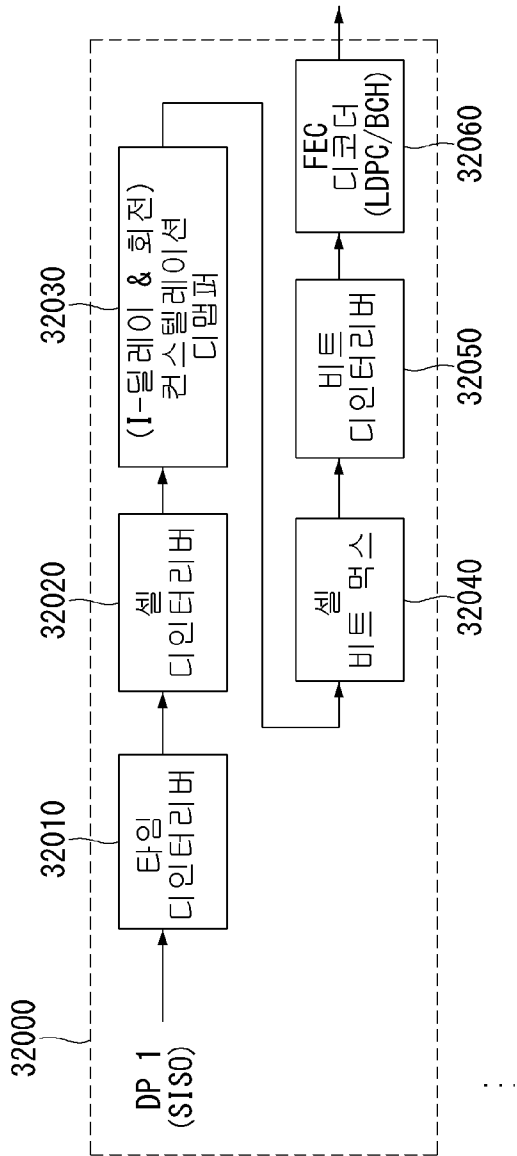
[도30]



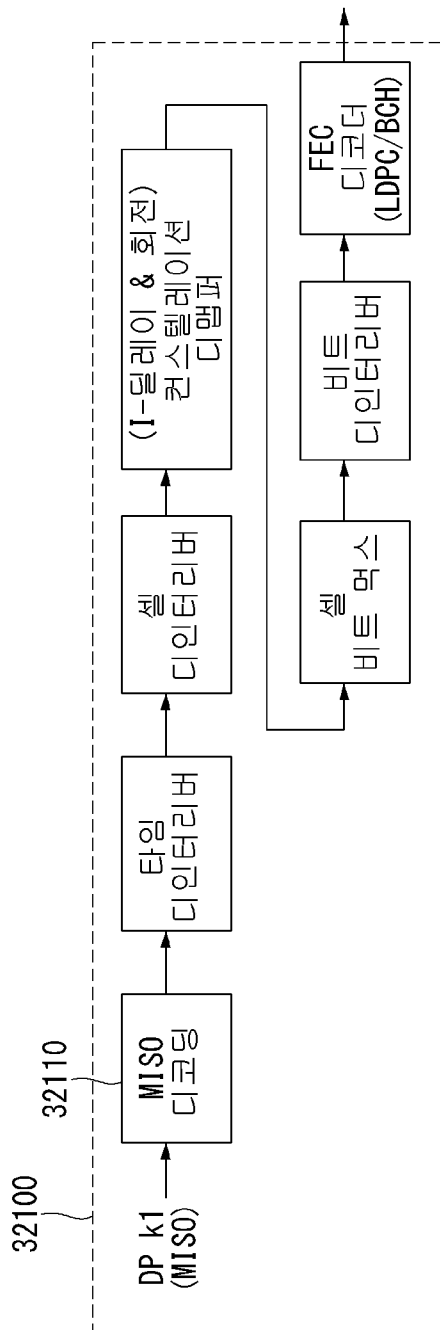
[도31]



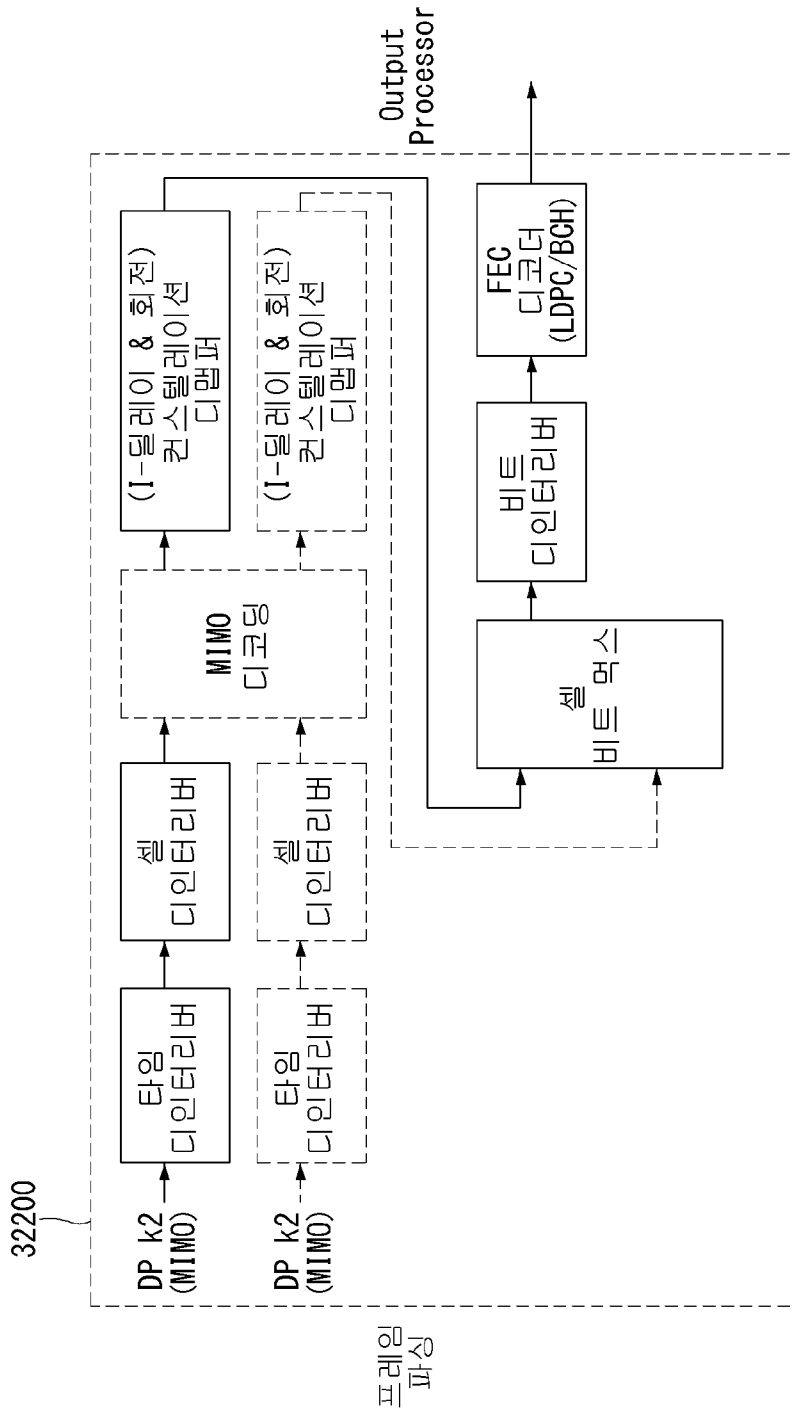
[도32a]



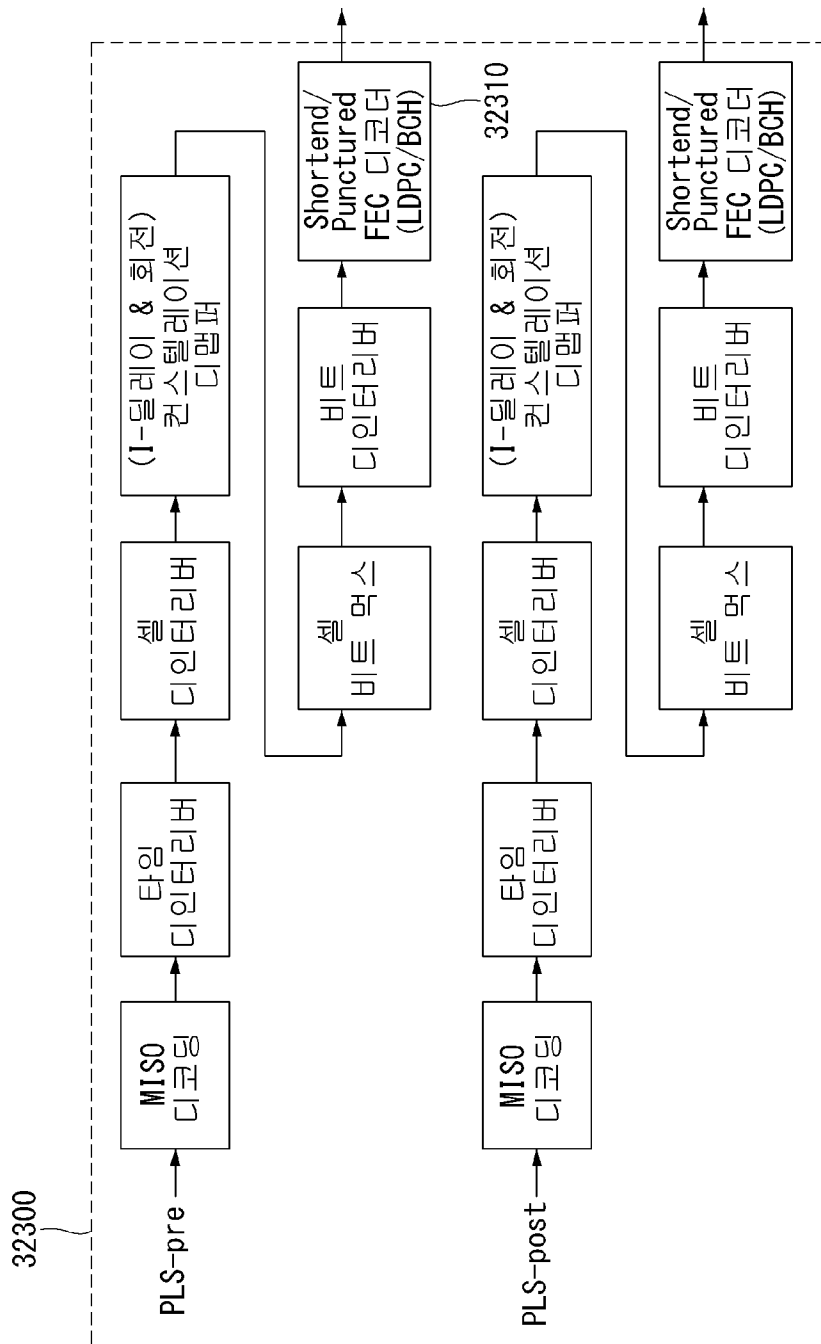
[도32b]



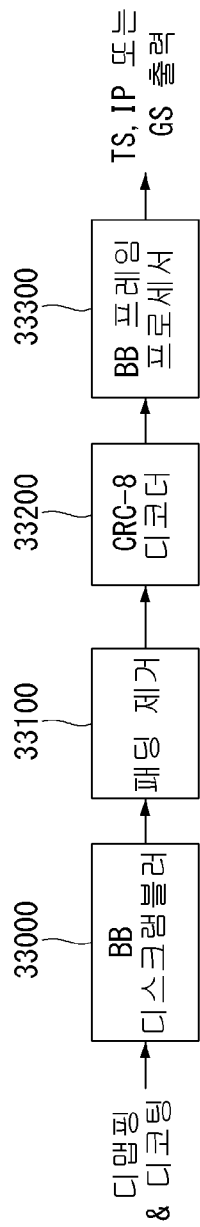
[도32c]



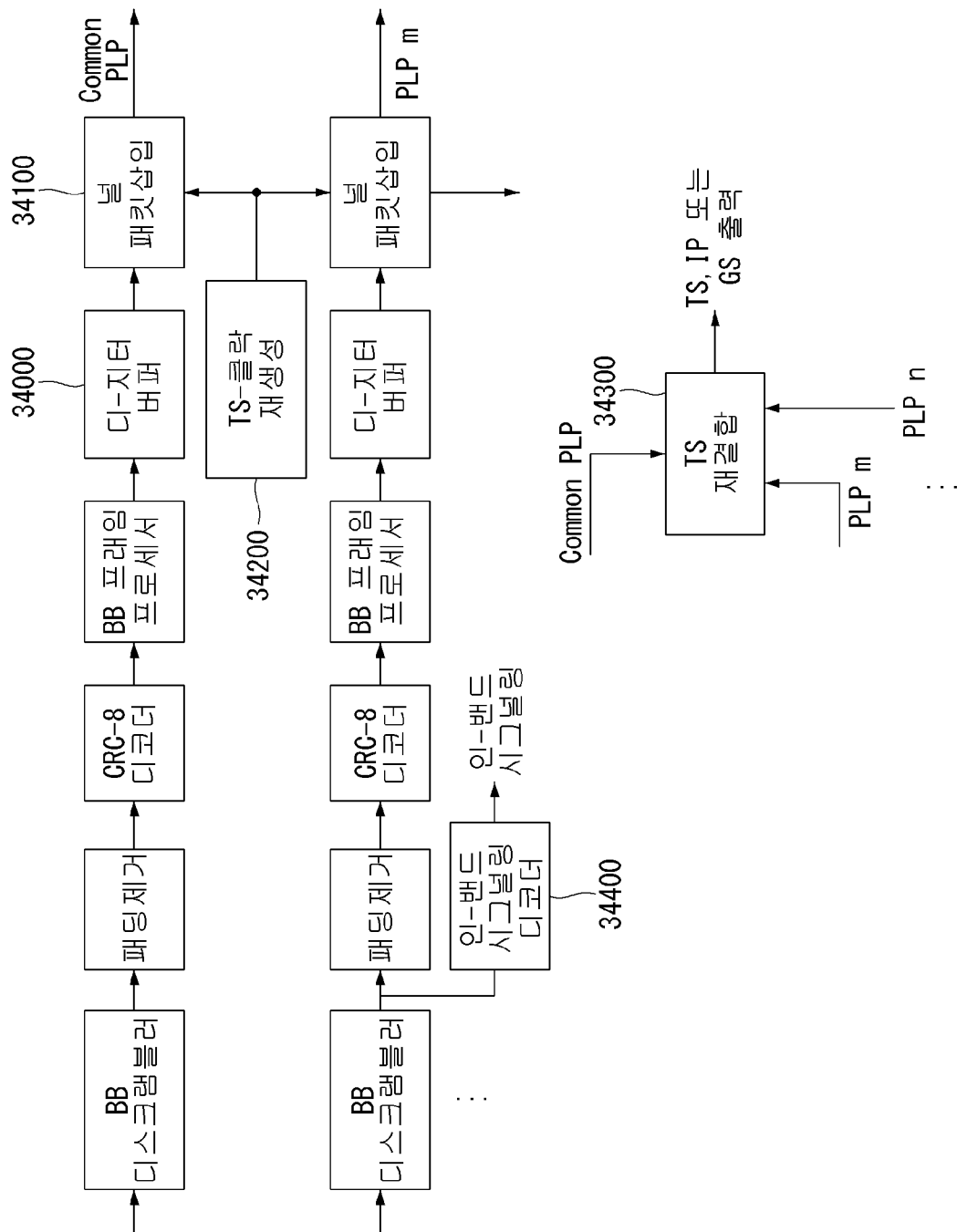
[도32d]



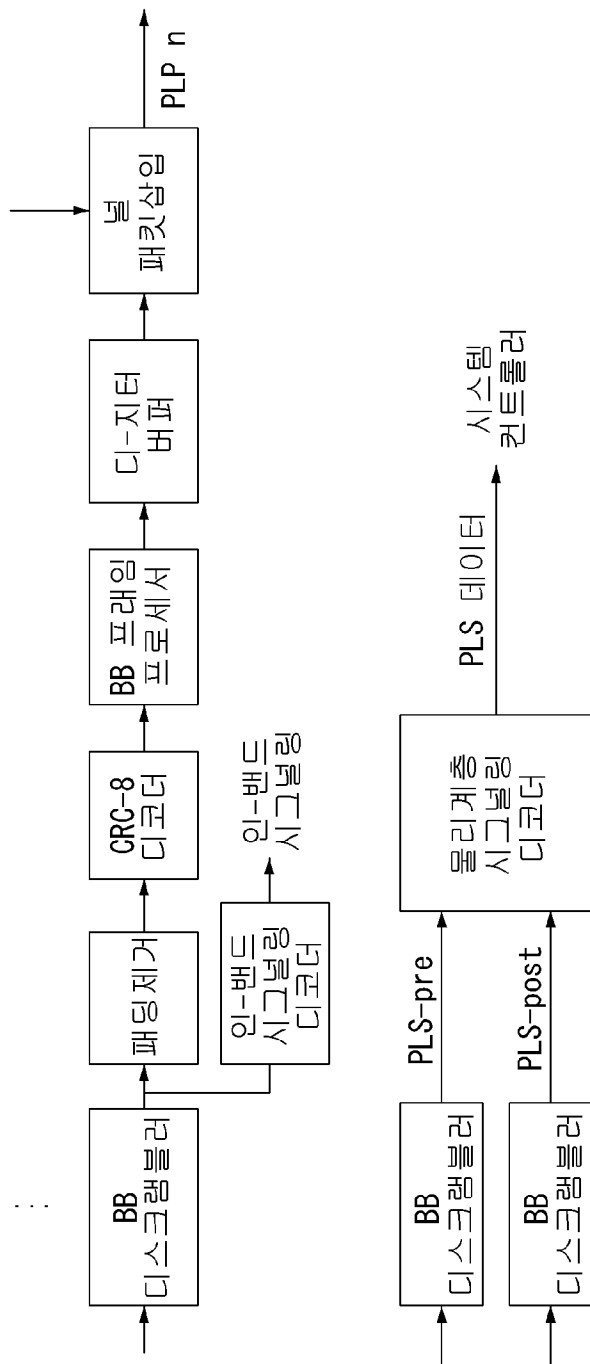
[도33]



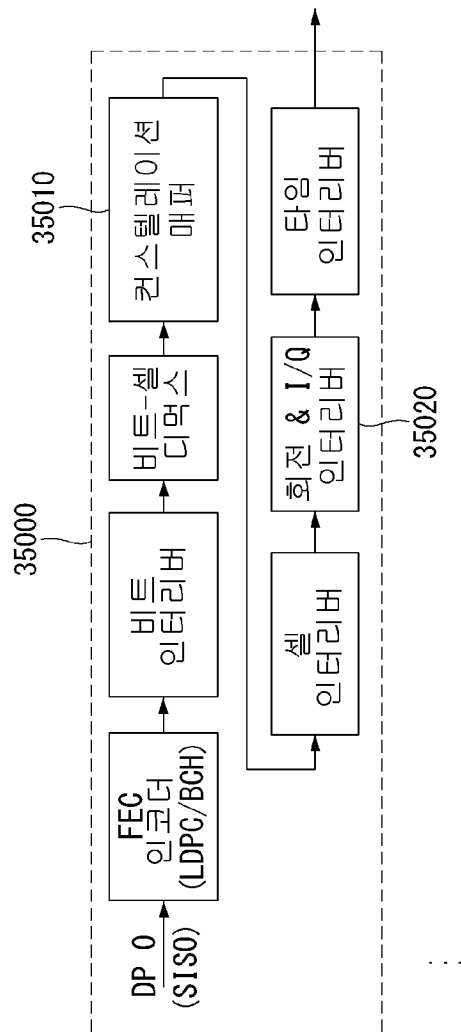
[도34a]



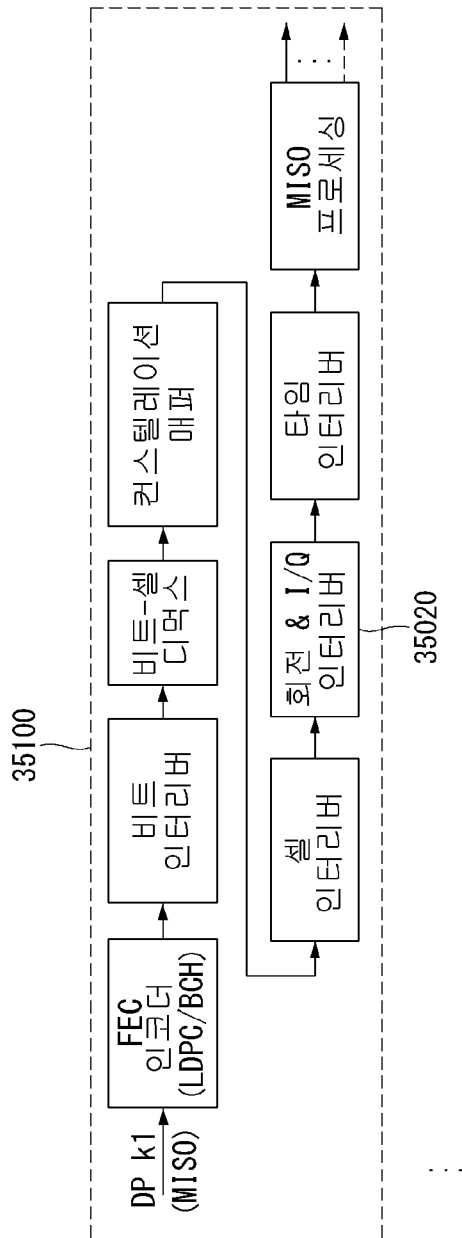
[도34b]



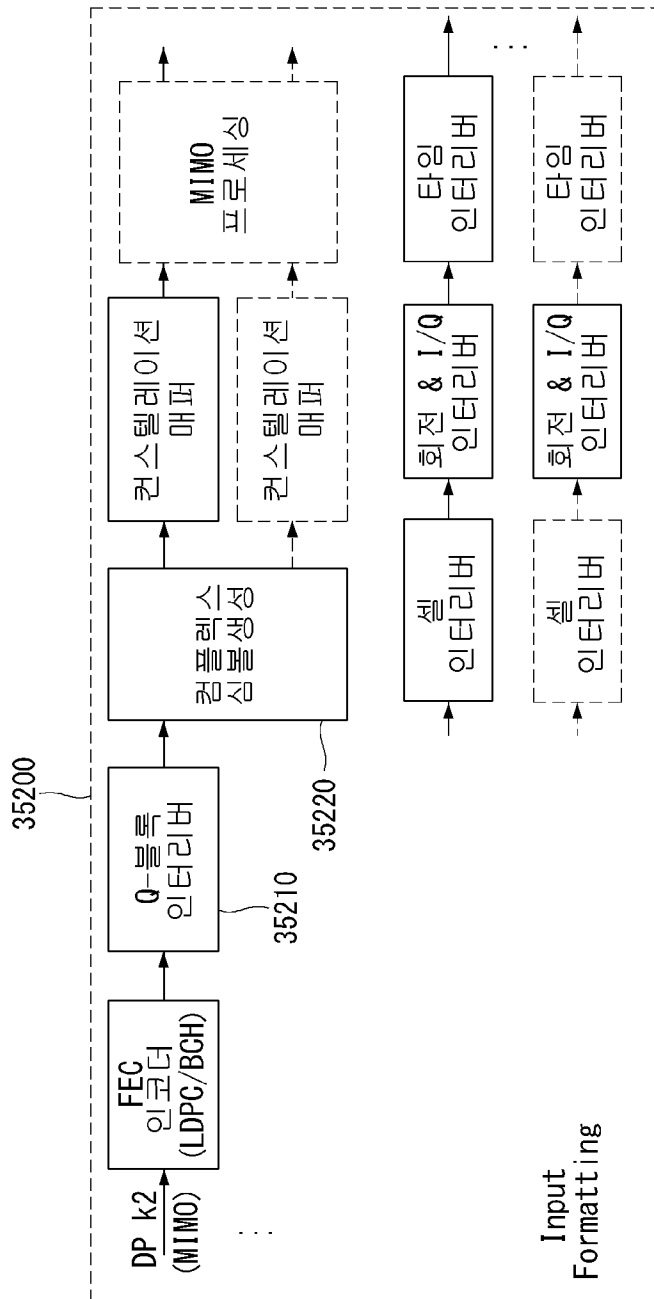
[도35a]



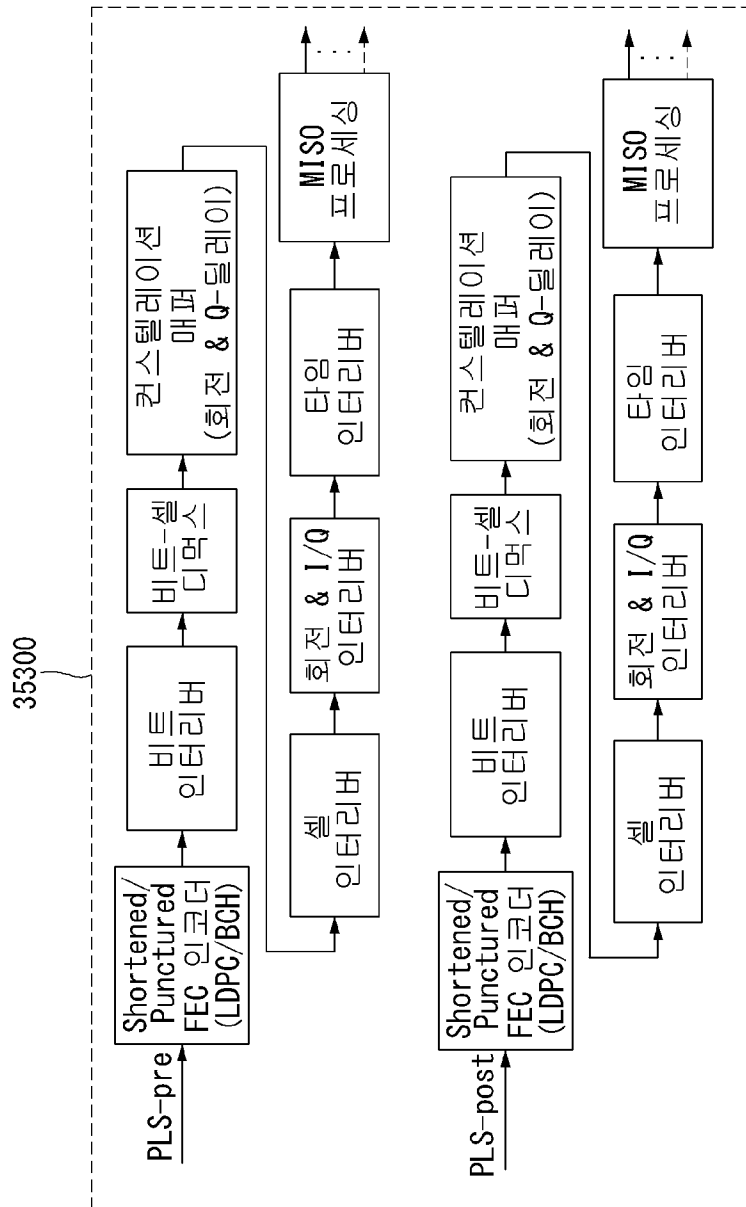
[도35b]



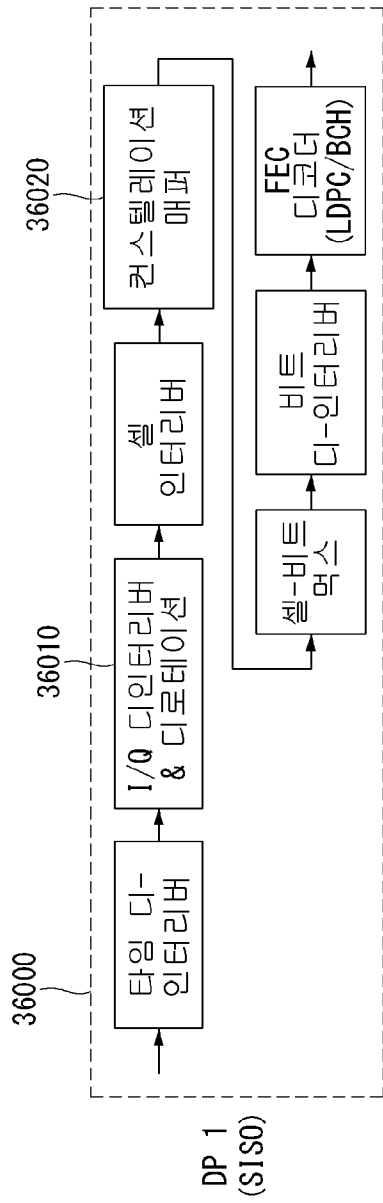
[도35c]



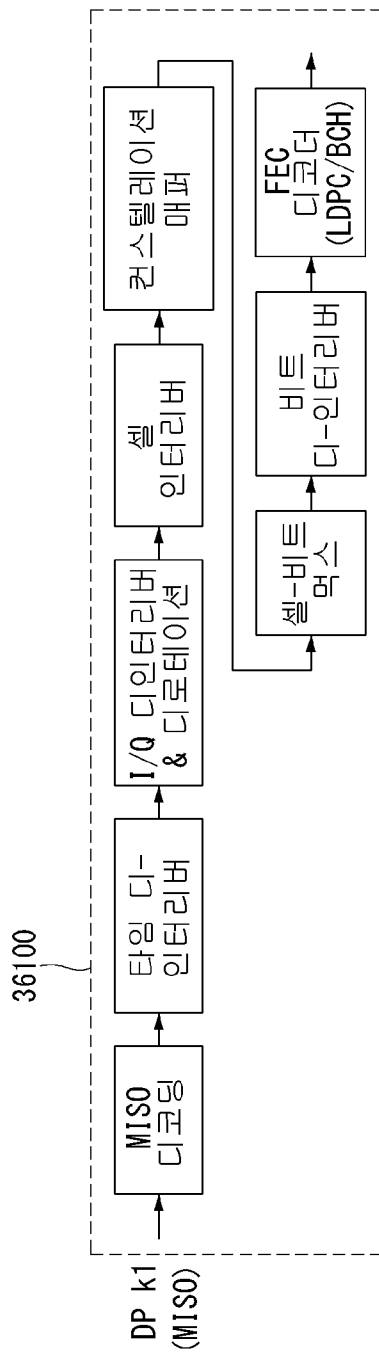
[도35d]



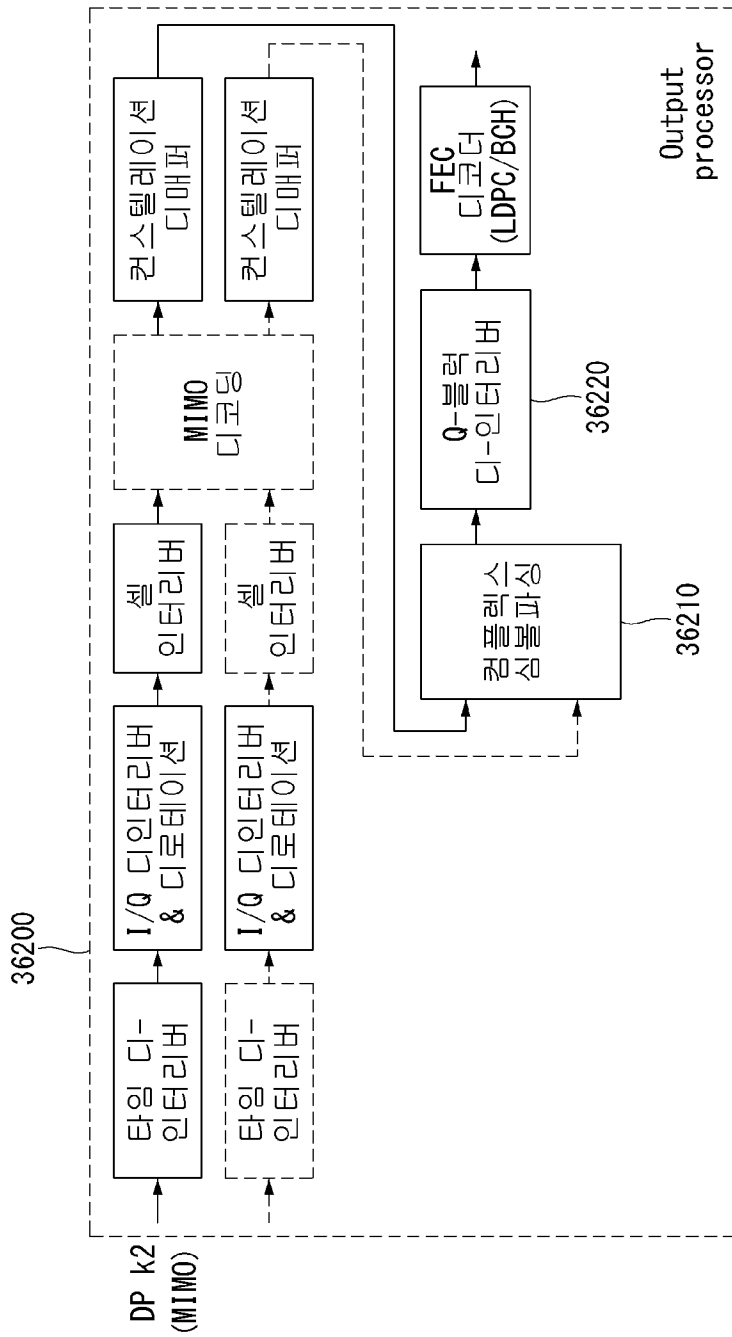
[도36a]



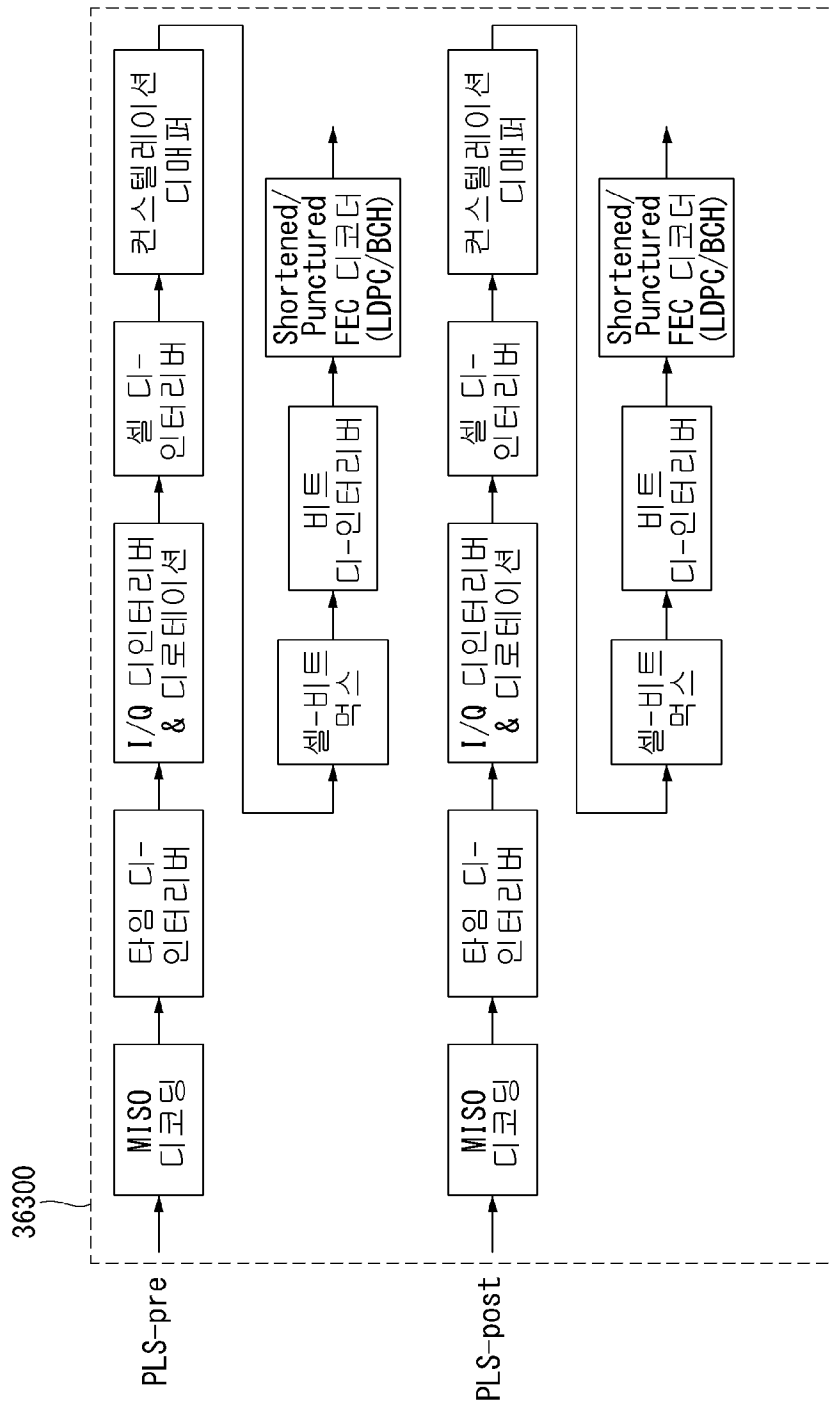
[도36b]



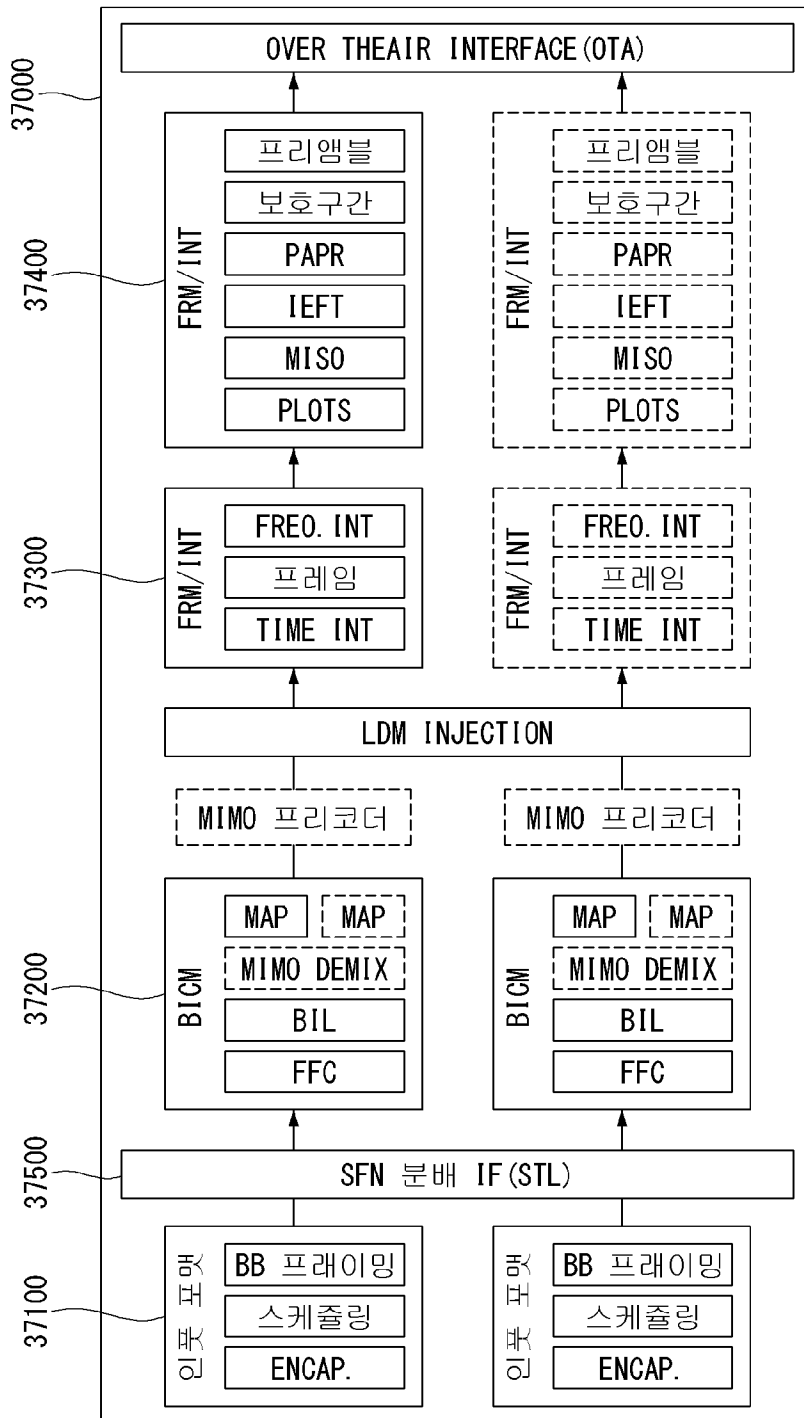
[도36c]



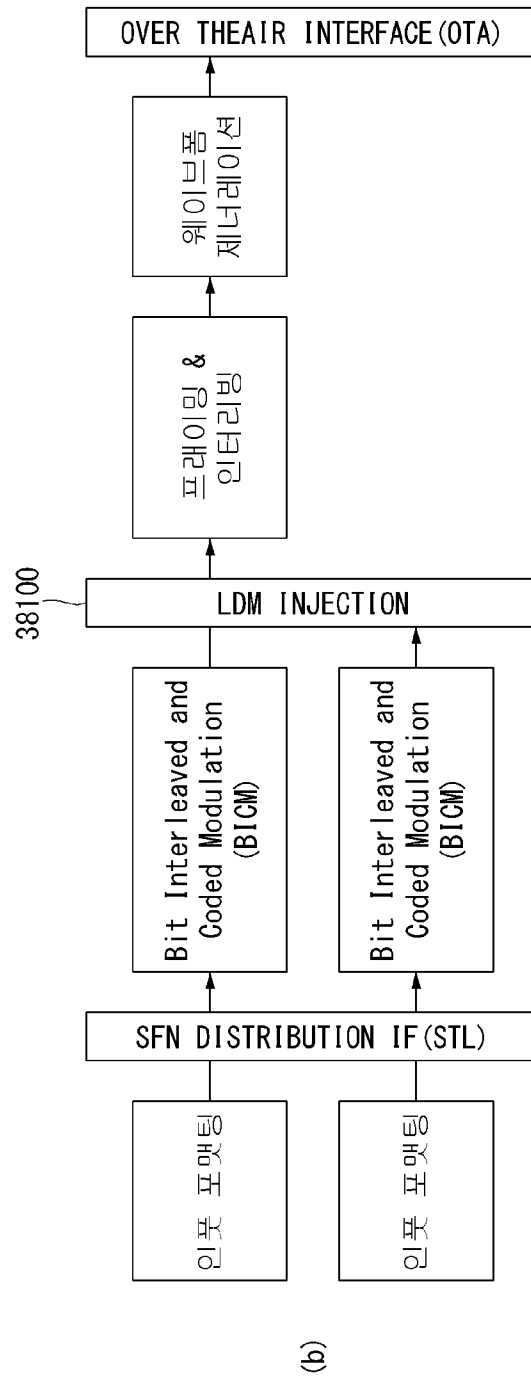
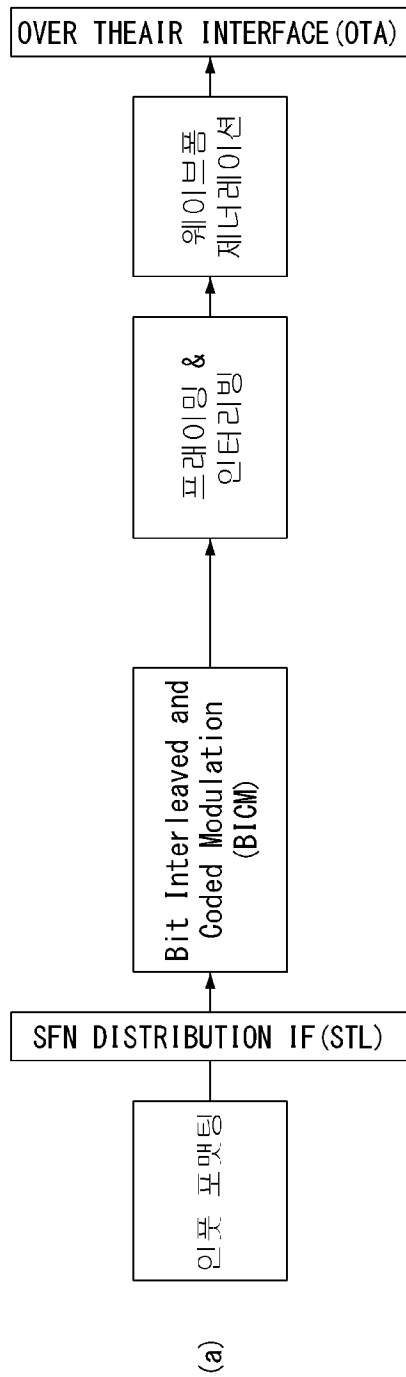
[도36d]



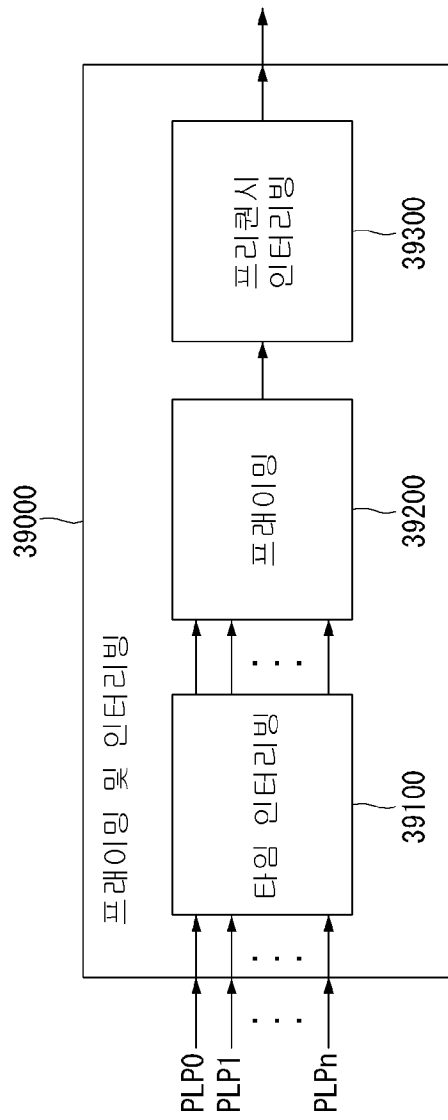
[도37]



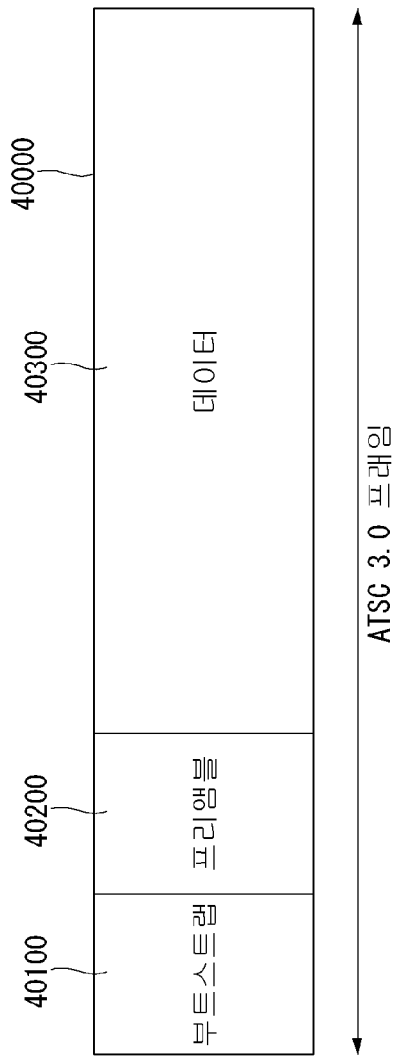
[도38]



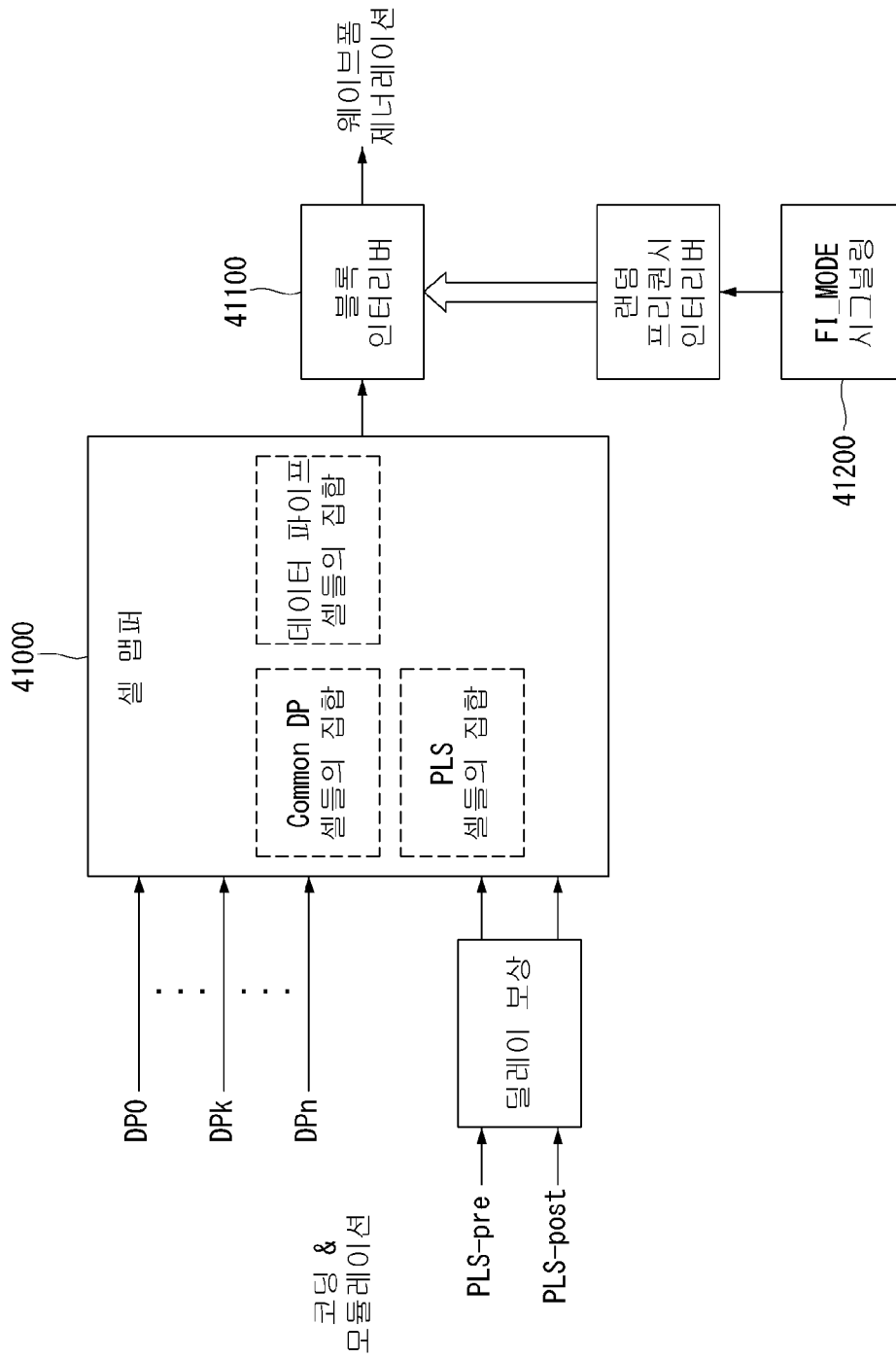
[도39]



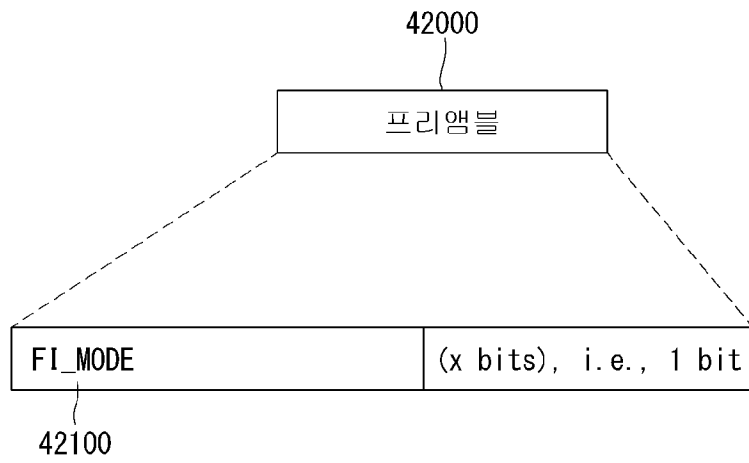
[도40]



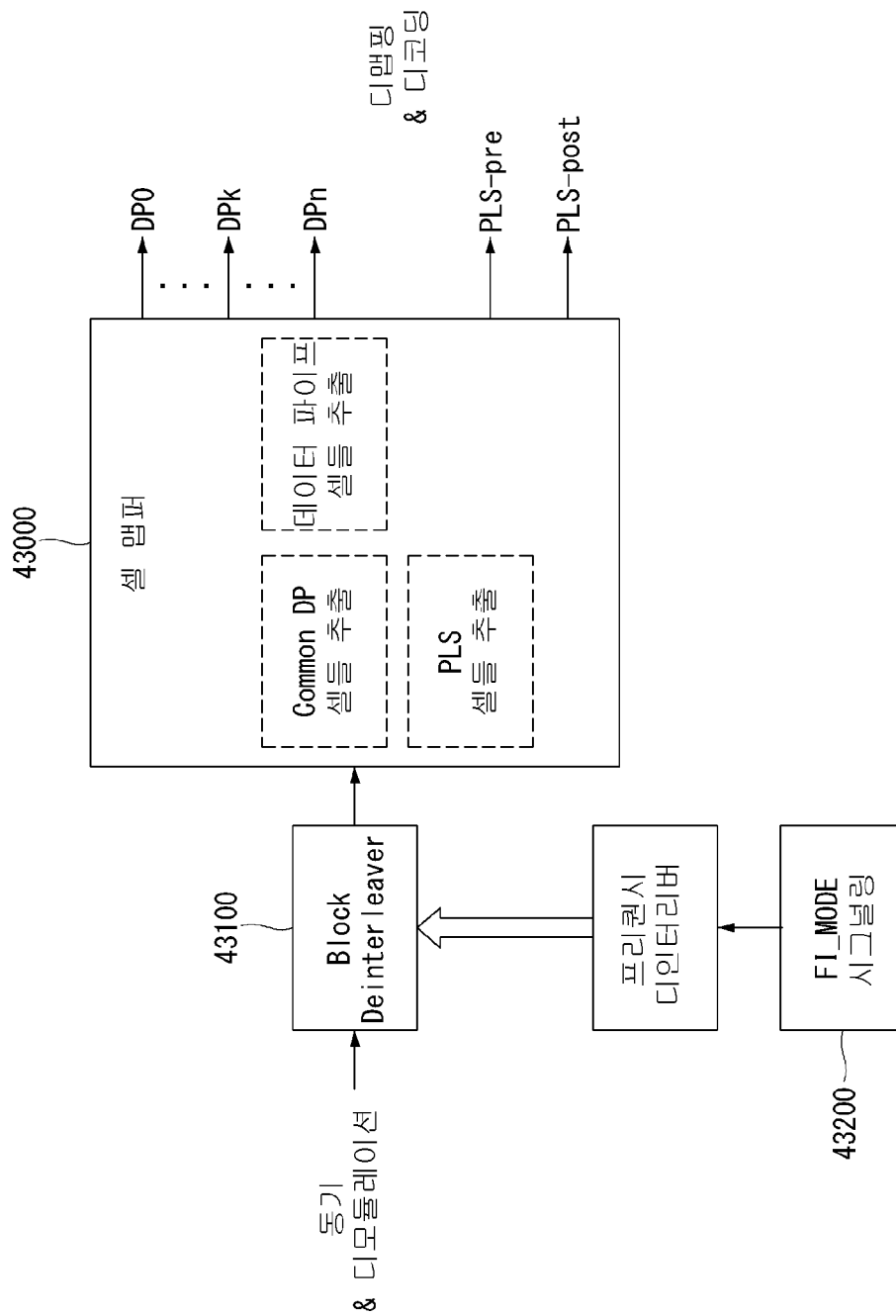
[도41]



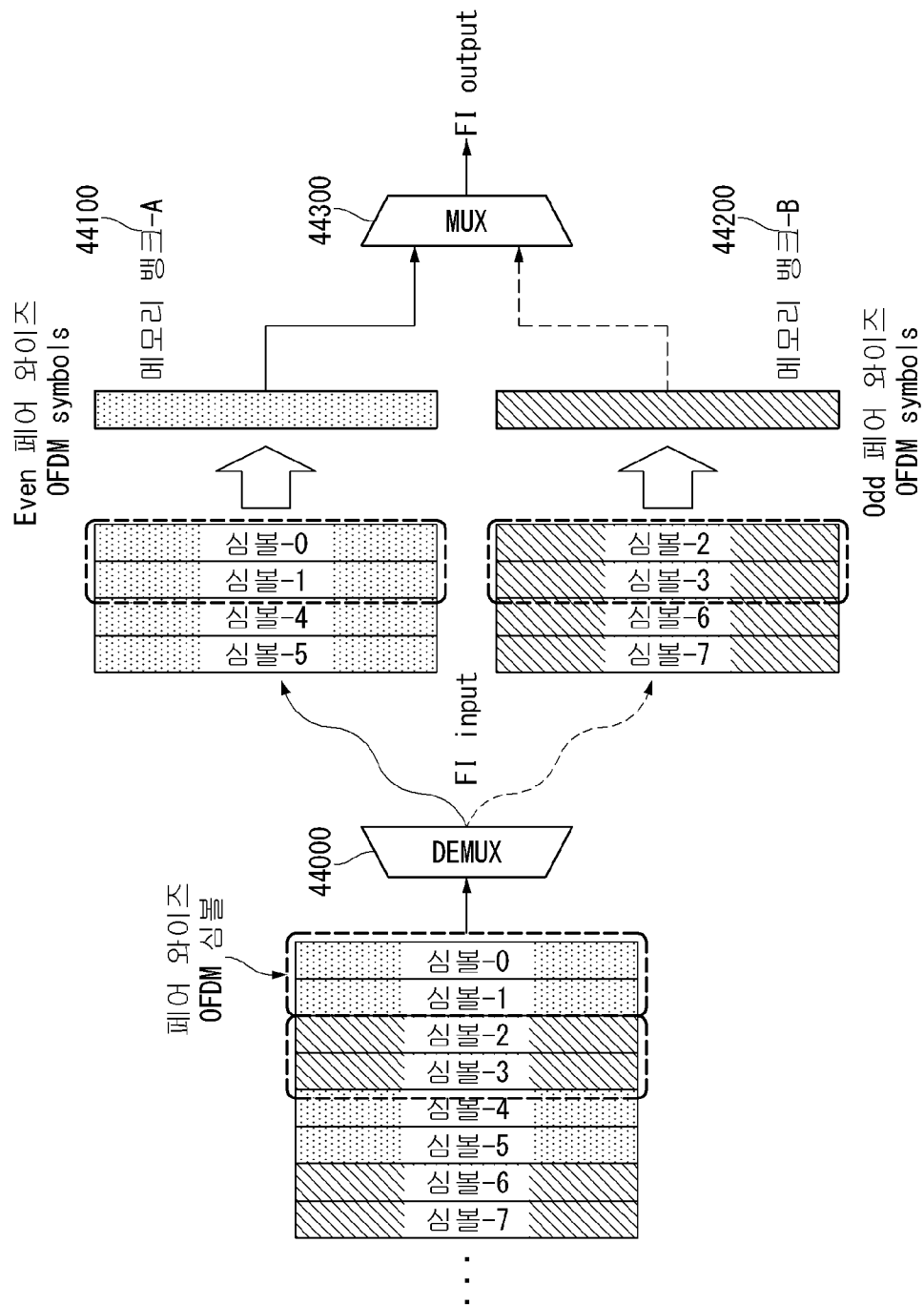
[도42]



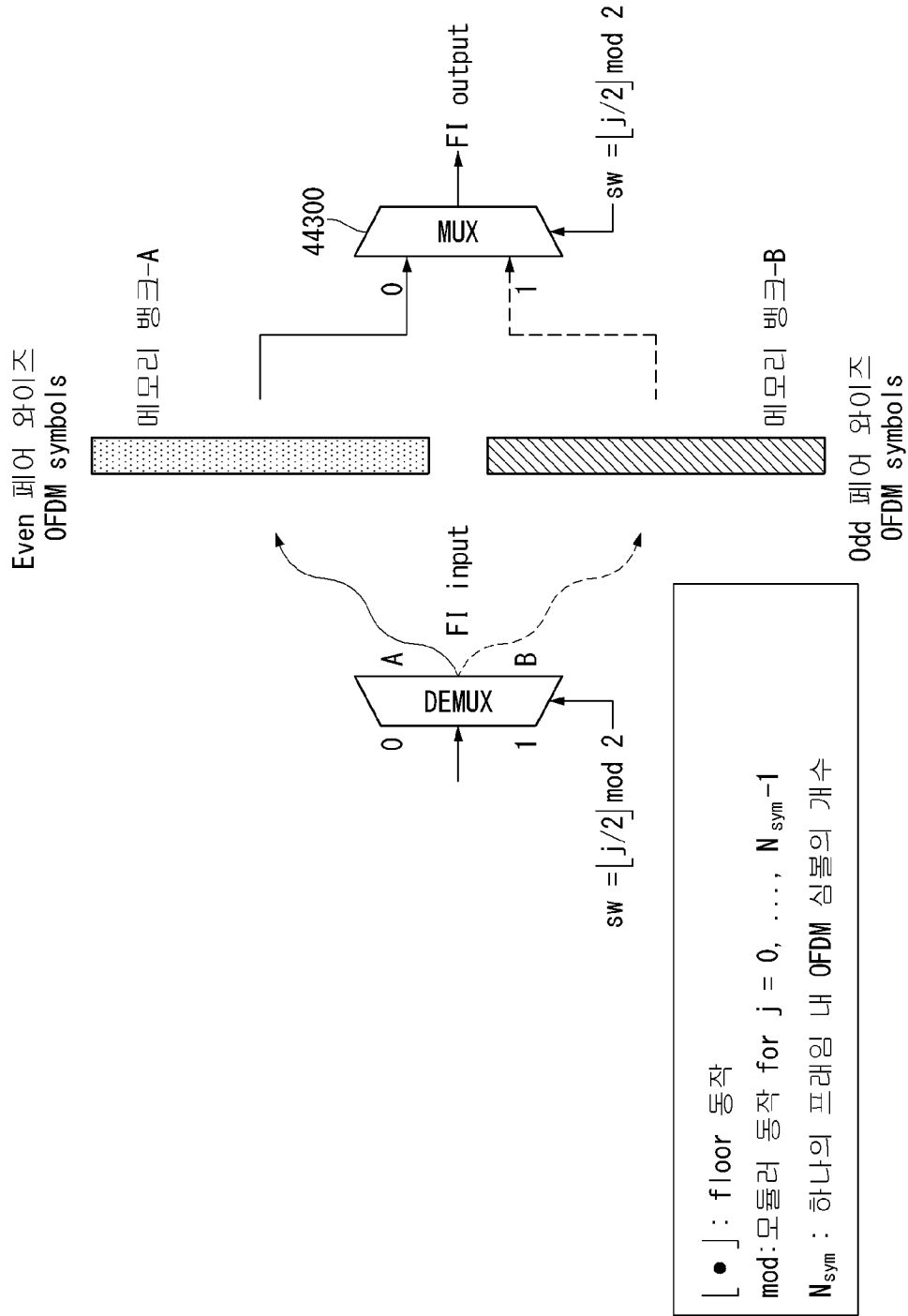
[도43]



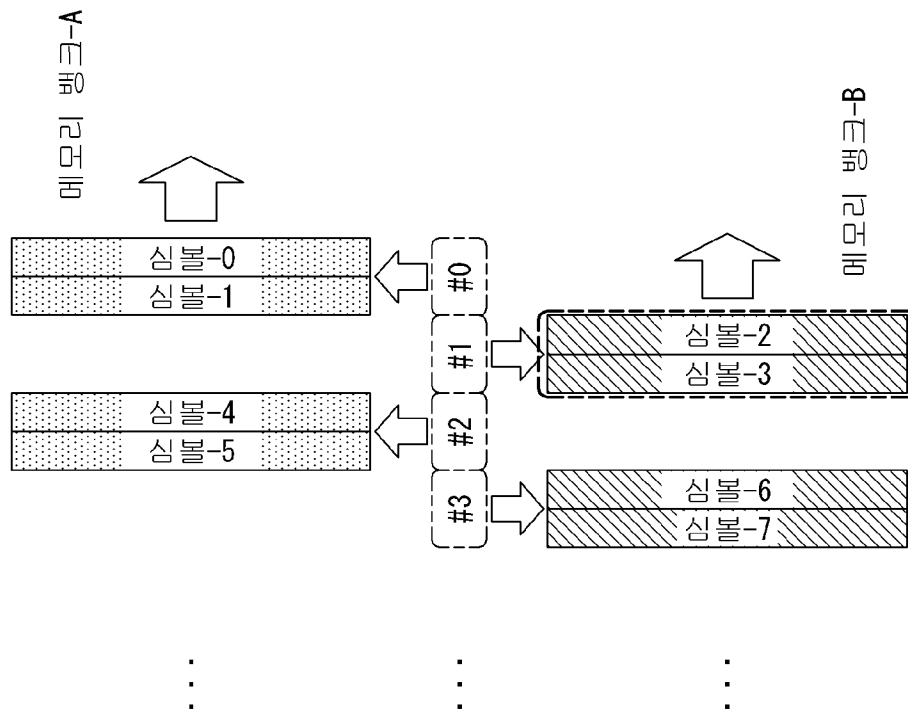
[도44]



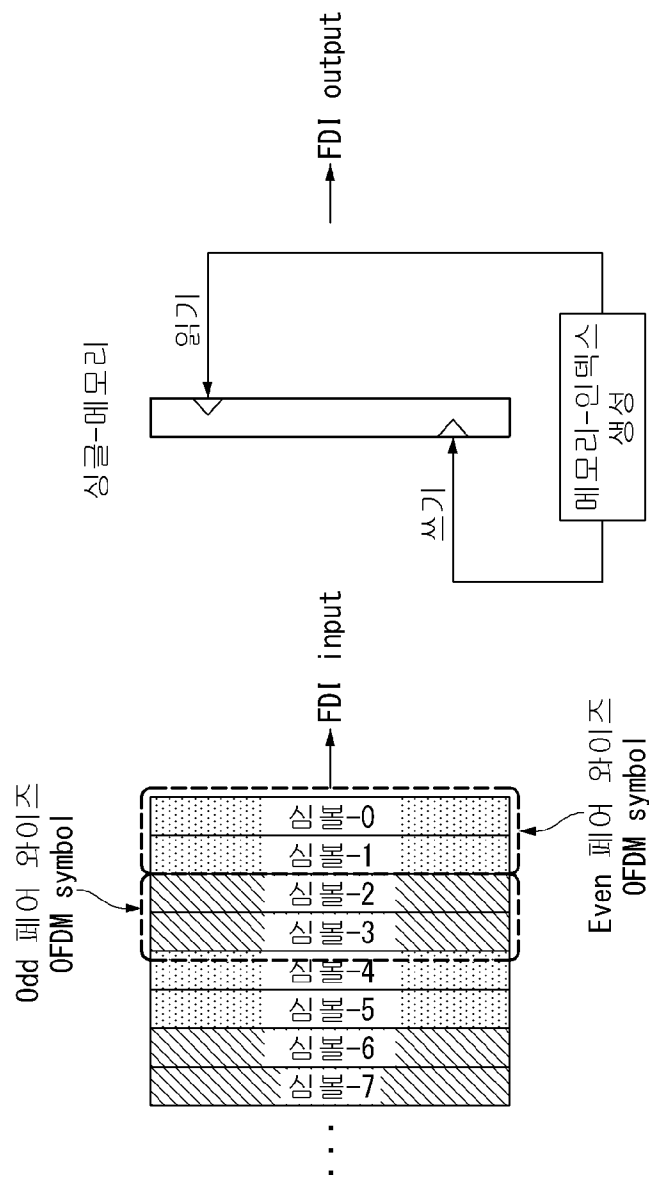
[도45]



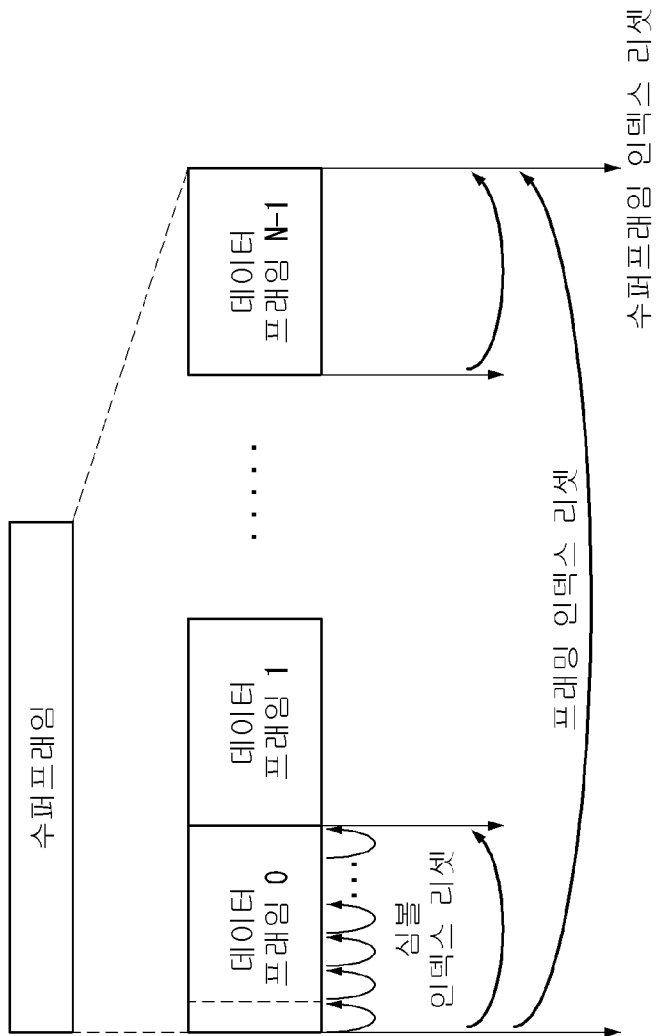
[도46]



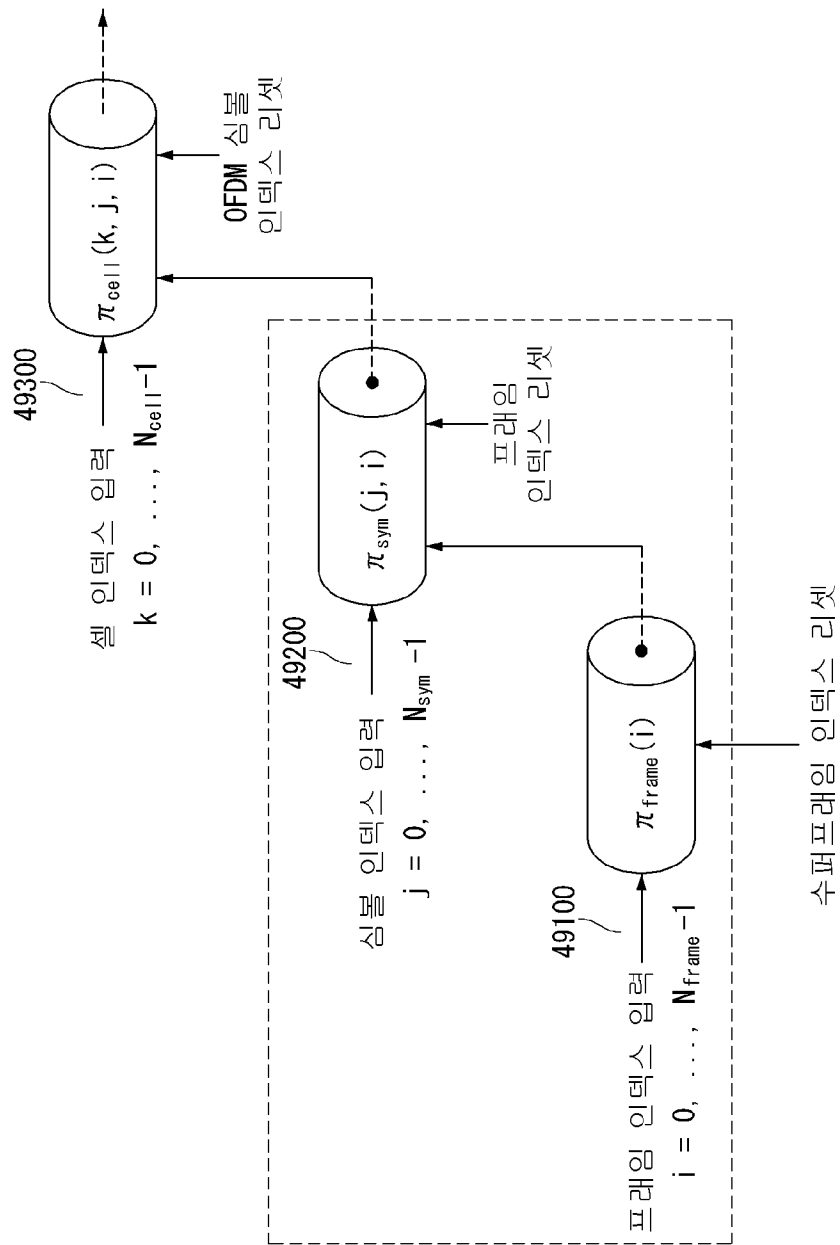
[도47]



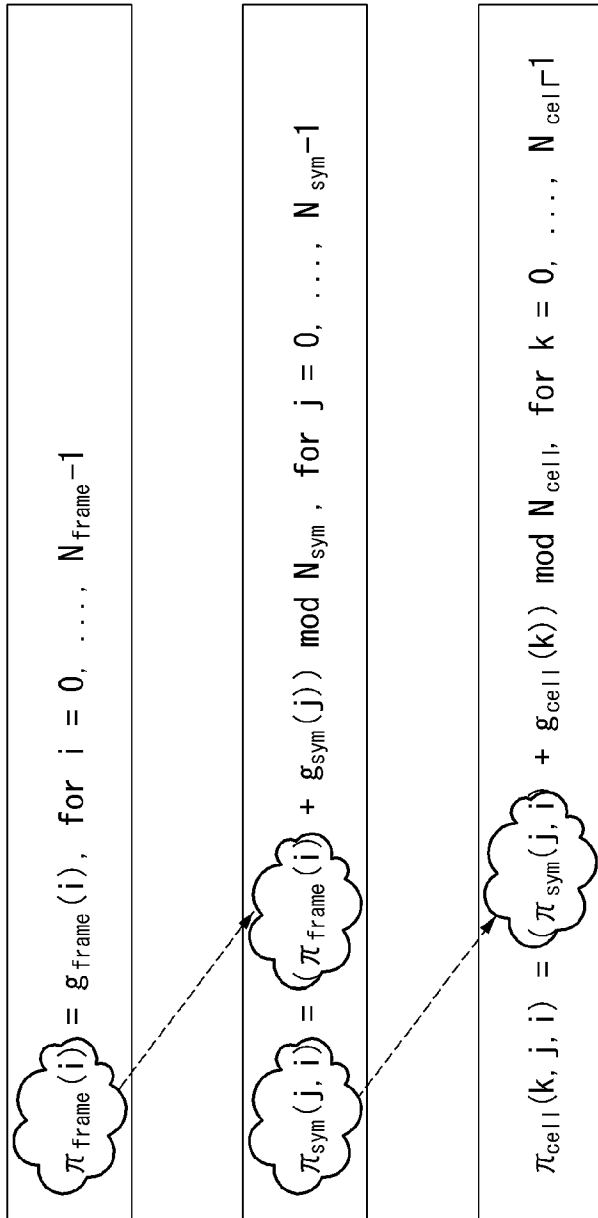
[도48]



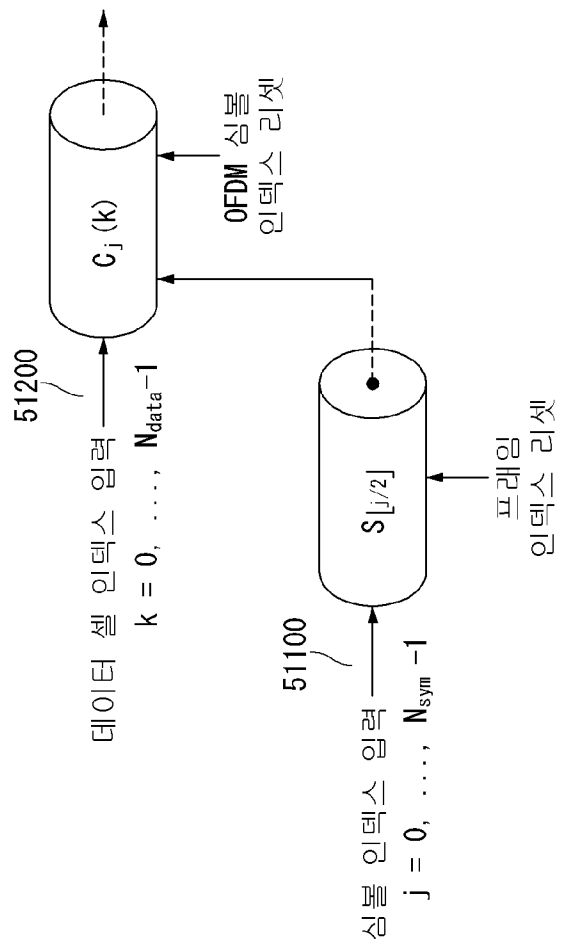
[도49]



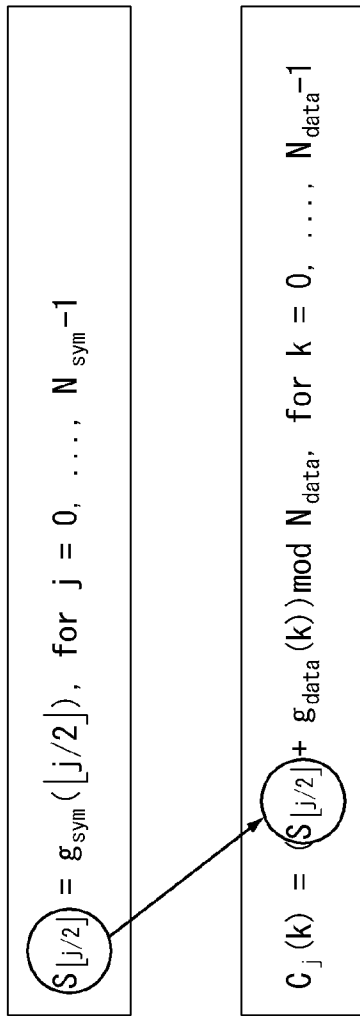
[도50]



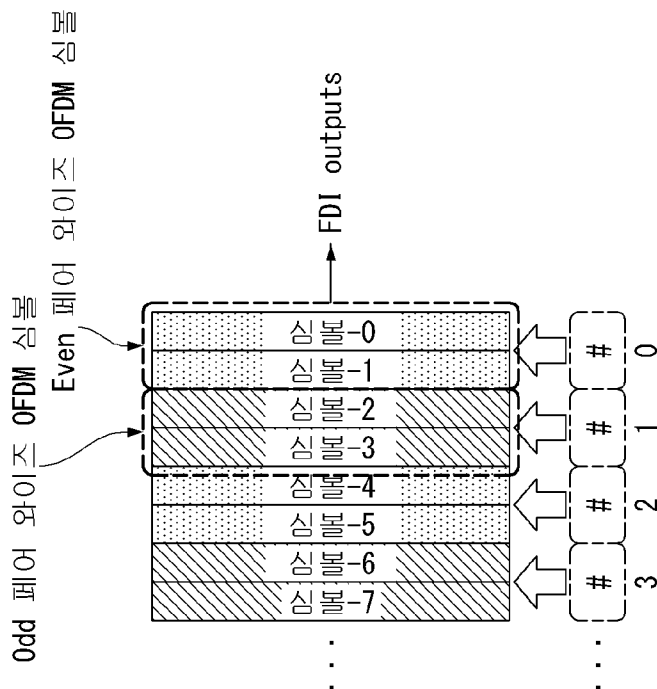
[도51]



[도52]

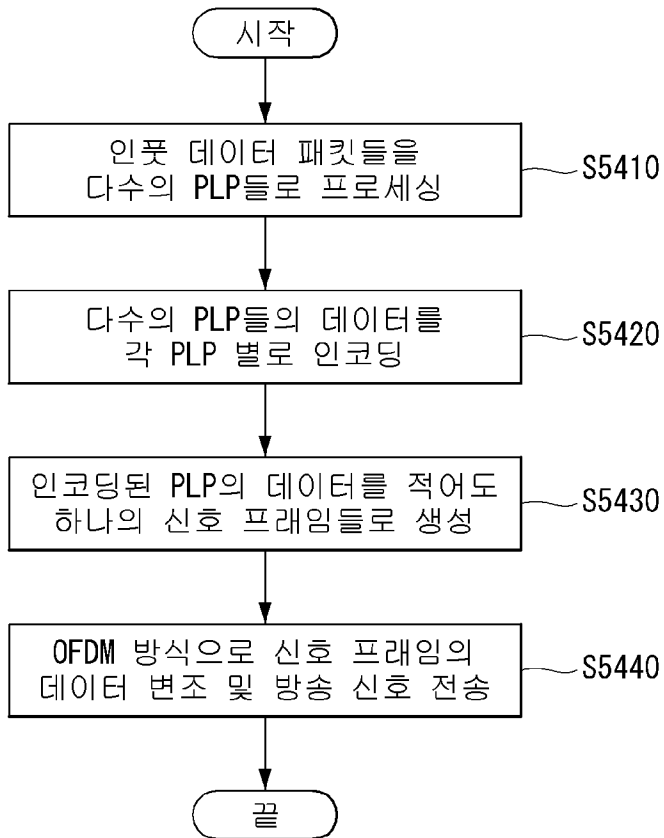


[도53]

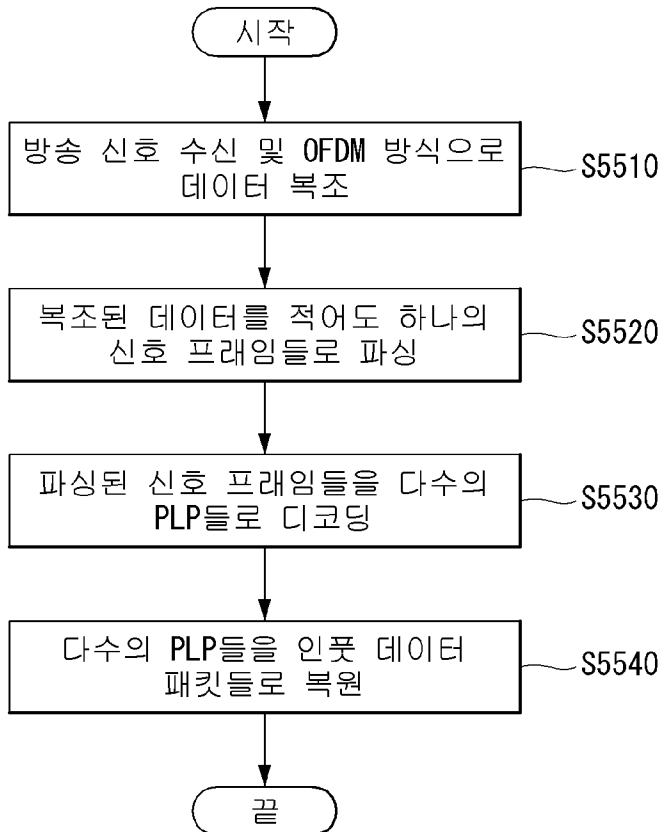


인터리빙 시드들에 대응하는
디인터리빙 시드들

[도54]



[도55]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/007022**A. CLASSIFICATION OF SUBJECT MATTER*****H04N 21/234(2011.01)i, H04N 21/236(2011.01)i, H04J 11/00(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N 21/234; H04N 7/015; H03M 13/27; H04N 7/64; H04L 5/02; H04B 7/08; H04N 19/89; H04N 7/08; H04L 27/26; H04B 7/04; H04N 21/236; H04J 11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: broadcasting signal, OFDM, frequency interleaver, interleaving-seed, even number, odd number, double memory

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2014-171673 A1 (LG ELECTRONICS INC.) 23 October 2014 See paragraphs [0008], [0061], [0405]-[0447].	1-11
A	KR 10-2009-0124974 A (SONY CORPORATION) 03 December 2009 See paragraphs [0071]-[0075].	1-11
A	KR 10-2009-0109537 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 20 October 2009 See paragraphs [0100]-[0102]; and figure 6.	1-11
A	US 2014-0314177 A1 (LG ELECTRONICS INC.) 23 October 2014 See paragraph [0181]; and figure 7.	1-11
A	KR 10-2007-0043577 A (SAMSUNG ELECTRONICS CO., LTD.) 25 April 2007 See page 14, lines 12-21; and figure 11.	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 OCTOBER 2015 (12.10.2015)

Date of mailing of the international search report

12 OCTOBER 2015 (12.10.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/007022

Patent document cited in search report	Publication date	Patent family member	Publication date
WO 2014-171673 A1	23/10/2014	NONE	
KR 10-2009-0124974 A	03/12/2009	CN 101594330 A	02/12/2009
		CN 101594330 B	25/09/2013
		CN 101594331 A	02/12/2009
		CN 101594331 B	25/12/2013
		CN 101594332 A	02/12/2009
		CN 101594332 B	16/04/2014
		EP 2129065 A2	02/12/2009
		EP 2129066 A2	02/12/2009
		EP 2129067 A2	02/12/2009
		EP 2129068 A2	02/12/2009
		GB 0809910 D0	09/07/2008
		GB 0810704 D0	16/07/2008
		GB 2460459 A	02/12/2009
		GB 2460459 B	11/07/2012
		GB 2460477 A	02/12/2009
		JP 05392905 B2	22/01/2014
		JP 2009-290874 A	10/12/2009
		KR 10-1302888 B1	06/09/2013
		KR 10-2009-0124975 A	03/12/2009
		TW 201012141 A	16/03/2010
		TW 201014288 A	01/04/2010
		TW 1450540 B	21/08/2014
		TW 1466507 B	21/12/2014
		US 2009-0296838 A1	03/12/2009
		US 2009-0296840 A1	03/12/2009
		US 8170092 B2	01/05/2012
		US 8175142 B2	08/05/2012
KR 10-2009-0109537 A	20/10/2009	CN 101584121 A	18/11/2009
		CN 101584121 B	29/10/2014
		EP 2122833 A2	25/11/2009
		JP 05415280 B2	12/02/2014
		JP 2010-516151 A	13/05/2010
		KR 10-1472542 B1	16/12/2014
		US 2010-0002792 A1	07/01/2010
		WO 2008-087598 A2	24/07/2008
		WO 2008-087598 A3	30/10/2008
US 2014-0314177 A1	23/10/2014	WO 2014-175606 A1	30/10/2014
KR 10-2007-0043577 A	25/04/2007	CA 2625874 A1	26/04/2007
		CA 2625874 C	22/07/2014
		CN 101292539 A	22/10/2008
		CN 101292539 B	11/08/2010
		JP 05221362 B2	26/06/2013
		JP 2009-524944 A	02/07/2009
		KR 10-0759002 B1	17/09/2007

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04N 21/234(2011.01)i, H04N 21/236(2011.01)i, H04J 11/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04N 21/234; H04N 7/015; H03M 13/27; H04N 7/64; H04L 5/02; H04B 7/08; H04N 19/89; H04N 7/08; H04L 27/26; H04B 7/04; H04N 21/236; H04J 11/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 방송신호, OFDM, 주파수 인터리버, 인터리빙-시드, 짝수, 홀수, 더블 메모리

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	WO 2014-171673 A1 (LG ELECTRONICS INC.) 2014.10.23 단락 [0008], [0061], [0405]-[0447] 참조.	1-11
A	KR 10-2009-0124974 A (소니 가부시끼 가이샤) 2009.12.03 단락 [0071]-[0075] 참조.	1-11
A	KR 10-2009-0109537 A (코닌클리케 필립스 일렉트로닉스 엔.브이.) 2009.10.20 단락 [0100]-[0102]; 및 도면 6 참조.	1-11
A	US 2014-0314177 A1 (LG ELECTRONICS INC.) 2014.10.23 단락 [0181]; 및 도면 7 참조.	1-11
A	KR 10-2007-0043577 A (삼성전자주식회사) 2007.04.25 페이지 14, 라인 12-21; 및 도면 11 참조.	1-11

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 10월 12일 (12.10.2015)

국제조사보고서 발송일

2015년 10월 12일 (12.10.2015)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

이진익

전화번호 +82-42-481-5770



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
WO 2014-171673 A1	2014/10/23	없음	
KR 10-2009-0124974 A	2009/12/03	CN 101594330 A CN 101594330 B CN 101594331 A CN 101594331 B CN 101594332 A CN 101594332 B EP 2129065 A2 EP 2129066 A2 EP 2129067 A2 EP 2129068 A2 GB 0809910 D0 GB 0810704 D0 GB 2460459 A GB 2460459 B GB 2460477 A JP 05392905 B2 JP 2009-290874 A KR 10-1302888 B1 KR 10-2009-0124975 A TW 201012141 A TW 201014288 A TW I450540 B TW I466507 B US 2009-0296838 A1 US 2009-0296840 A1 US 8170092 B2 US 8175142 B2	2009/12/02 2013/09/25 2009/12/02 2013/12/25 2009/12/02 2014/04/16 2009/12/02 2009/12/02 2009/12/02 2009/12/02 2008/07/09 2008/07/16 2009/12/02 2012/07/11 2009/12/02 2014/01/22 2009/12/10 2013/09/06 2009/12/03 2010/03/16 2010/04/01 2014/08/21 2014/12/21 2009/12/03 2009/12/03 2012/05/01 2012/05/08
KR 10-2009-0109537 A	2009/10/20	CN 101584121 A CN 101584121 B EP 2122833 A2 JP 05415280 B2 JP 2010-516151 A KR 10-1472542 B1 US 2010-0002792 A1 WO 2008-087598 A2 WO 2008-087598 A3	2009/11/18 2014/10/29 2009/11/25 2014/02/12 2010/05/13 2014/12/16 2010/01/07 2008/07/24 2008/10/30
US 2014-0314177 A1	2014/10/23	WO 2014-175606 A1	2014/10/30
KR 10-2007-0043577 A	2007/04/25	CA 2625874 A1 CA 2625874 C CN 101292539 A CN 101292539 B JP 05221362 B2 JP 2009-524944 A KR 10-0759002 B1	2007/04/26 2014/07/22 2008/10/22 2010/08/11 2013/06/26 2009/07/02 2007/09/17