



República Federativa do Brasil  
Ministério da Economia  
Instituto Nacional da Propriedade Industrial

**(11) BR 112018002617-4 B1**



**(22) Data do Depósito:** 11/07/2016

**(45) Data de Concessão:** 13/12/2022

---

**(54) Título:** PROCESSO DE METALIZAÇÃO PARA UM DISPOSITIVO DE MEMÓRIA

**(51) Int.Cl.:** H01L 43/12; H01L 27/22.

**(30) Prioridade Unionista:** 10/08/2015 US 14/822,326.

**(73) Titular(es):** QUALCOMM INCORPORATED.

**(72) Inventor(es):** YU LU; SEUNG HYUK KANG.

**(86) Pedido PCT:** PCT US2016041790 de 11/07/2016

**(87) Publicação PCT:** WO 2017/027148 de 16/02/2017

**(85) Data do Início da Fase Nacional:** 07/02/2018

**(57) Resumo:** PROCESSO DE METALIZAÇÃO PARA UM DISPOSITIVO DE MEMÓRIA. Trata-se de um método de fabricação de um dispositivo (100) que inclui formar uma primeira camada de metalização (102) que é acoplada a um dispositivo de lógica do dispositivo. O método inclui adicionalmente formar uma segunda camada de metalização (161) que é acoplada a um módulo de memória de acesso aleatória magneto-resistiva (MRAM) (160) do dispositivo. A segunda camada de metalização é independente da primeira camada de metalização.

“PROCESSO DE METALIZAÇÃO PARA UM DISPOSITIVO DE MEMÓRIA”

I. REIVINDICAÇÃO DE PRIORIDADE

[01] Este pedido reivindica a prioridade ao Pedido de Patente Não Provisório de propriedade conjunta nº U.S. 14/822.326, depositado em 10 de agosto de 2015, cujo conteúdo se encontra expressamente incorporado ao presente documento em sua totalidade a título de referência.

II. CAMPO

[02] A presente revelação refere-se, em geral, a dispositivos semicondutores e, mais particularmente, a dispositivos semicondutores que incluem dispositivos de memória.

III. DESCRIÇÃO DE TÉCNICA RELACIONADA

[03] Os dispositivos de memória de acesso aleatório magneto-resistivas (MRAM) podem usar elementos de armazenamento baseados em resistência para armazenar informações. Por exemplo, uma junção de túnel magnética (MTJ) pode ser programada para ter um estado de baixa resistência para indicar um primeiro valor de lógica (por exemplo, um valor zero de lógica) ou um estado de alta resistência para indicar um segundo valor de lógica (por exemplo, um valor um de lógica).

[04] Alguns dispositivos semicondutores integram um dispositivo de MRAM com um ou mais outros componentes em um único circuito integrado. Por exemplo, um circuito integrado pode incluir um substrato, um dispositivo formado no substrato e um dispositivo de MRAM formado acima do dispositivo com o uso de camadas de metalização do circuito integrado. Nesse exemplo, o dispositivo de MRAM e o dispositivo podem “compartilhar” as camadas de metalização.

Por exemplo, as camadas de metalização podem incluir fiação associada a ambos os dispositivos.

[05] Em algumas circunstâncias, a formação do dispositivo de MRAM nas camadas de metalização pode aumentar o custo e a complexidade de fabricação do circuito integrado. Por exemplo, se a fiação do dispositivo de MRAM e a fiação do dispositivo "compartilharem" uma camada de metalização, um projeto do circuito integrado pode ser modificado a fim de cumprir com as regras de projeto de fabricação ou cumprir com um layout físico do circuito integrado. A modificação do projeto do circuito integrado pode aumentar o custo de produção.

#### IV. SUMÁRIO

[06] Um ou mais componentes associados a um dispositivo de memória (por exemplo, um dispositivo de memória de acesso aleatória magneto-resistiva (MRAM)) são formados com o uso de uma camada de metalização dedicada (ou "personalizada"). A camada de metalização dedicada pode ser usada para criar uma linha de bits acoplada ao dispositivo de MRAM ou para formar um contato acoplado ao dispositivo de MRAM, como exemplos ilustrativos. A camada de metalização dedicada pode ser "inserida" entre camadas de metalização especificadas por um processo de metalização. Por exemplo, se um processo de metalização de back-end da linha (BEOL) especificar  $n$  camadas de metalização, a fabricação de um dispositivo de MRAM pode incluir formar  $n+1$  camadas de metalização em vez de formar  $n$  camadas de metalização (em que  $n$  indica o número de camadas de metalização especificado pelo processo de metalização).

[07] A camada de metalização dedicada pode ser posicionada entre uma camada de metalização particular e outra camada de metalização que é menos densa que a camada de metalização particular. Por exemplo, a camada de metalização dedicada pode ser posicionada acima de uma "camada metálica densa" e abaixo de uma "camada metálica espessa" especificadas pelo processo de metalização. Formando-se o dispositivo de MRAM entre a camada de metalização densa e a camada metálica espessa, o tamanho de elementos de armazenamento baseados em resistência do dispositivo de MRAM pode ser reduzido com o uso de tamanhos de recurso "densos" permitido pela camada metálica densa (o que resulta em alta densidade de armazenamento de dados) enquanto também permite que a camada metálica espessa acople o dispositivo de MRAM a outros componentes de dispositivo (por exemplo, uma região de lógica, tal como um processador ou outro dispositivo). Com o uso de the camada metálica espessa para acoplar o dispositivo de MRAM aos outros componentes de dispositivo (em vez de usar uma ou mais camadas metálicas densas), o "compartilhamento" das camadas metálicas densas entre o dispositivo de MRAM e os outros componentes de dispositivo pode ser evitado ou reduzido. Por exemplo, uma estrutura (por exemplo, uma linha de bits ou um contato) associada ao dispositivo de MRAM pode ser independente de (por exemplo, pode ser formada com o uso de uma ou mais camadas de metalização diferentes em comparação) fiação dos outros componentes de dispositivo (em vez de "compartilhar" uma camada de metalização para a estrutura e a fiação, o que pode aumentar o custo e a complexidade de fabricação).

[08] Adicionalmente, o uso da camada metálica espessa para conectar o dispositivo de MRAM aos outros componentes de dispositivo pode reduzir efeitos parasitários do dispositivo de MRAM sobre os outros componentes de dispositivo. Por exemplo, os componentes de dispositivo fabricados com o uso de metal mais espesso podem causar menos efeitos parasitários resistivos-capacitivos (RC) sobre outros componentes de dispositivo (em comparação com a fabricação com o uso de um metal mais delgado). A fabricação do dispositivo de MRAM com o uso de a metal mais espesso pode, portanto, reduzir efeitos parasitários RC do dispositivo de MRAM sobre os outros componentes de dispositivo (e vice-versa). Como outro exemplo, evitar o "compartilhamento" de uma camada de metalização entre a fiação do dispositivo de MRAM e os outros componentes pode reduzir efeitos parasitários do dispositivo de MRAM sobre os outros componentes de dispositivo (e vice-versa). A redução de efeitos parasitários pode simplificar um processo de projeto associado à integração de um dispositivo de MRAM e outros componentes em um único circuito integrado, tal como evitando-se uma nova simulação do projeto, a requalificação do projeto, a modificação de um layout do dispositivo ou a modificação de um modelo parasitário RC associado ao projeto.

[09] Em um exemplo particular, um método de fabricação de um dispositivo inclui formar uma primeira camada de metalização que é acoplada a um dispositivo de lógica do dispositivo. O método inclui adicionalmente formar uma segunda camada de metalização que é acoplada a

um módulo de MRAM do dispositivo. A segunda camada de metalização é independente da primeira camada de metalização.

[010] Em outro exemplo particular, uma mídia legível por computador armazena instruções que são executáveis por um processador para fazer com que o processador inicie operações durante a fabricação de um dispositivo. As operações incluem formar uma primeira camada de metalização que é acoplada a um dispositivo de lógica do dispositivo. As operações incluem adicionalmente formar uma segunda camada de metalização que é acoplada a um módulo de MRAM do dispositivo. A segunda camada de metalização é independente da primeira camada de metalização.

[011] Em outro exemplo particular, um aparelho inclui uma primeira estrutura de uma primeira camada de metalização. A primeira estrutura é acoplada a um dispositivo de lógica de um circuito integrado. O aparelho inclui adicionalmente uma segunda estrutura de uma segunda camada de metalização. A segunda estrutura é acoplada a um ou mais elementos de armazenamento baseados em resistência de um módulo de MRAM do circuito integrado. A segunda estrutura é independente da primeira estrutura.

[012] Em outro exemplo particular, um método para gerar a arquivo de dados inclui receber informações de projeto que representam pelo menos uma propriedade física de um dispositivo semiconductor. O dispositivo semiconductor inclui uma primeira estrutura de uma primeira camada de metalização de um circuito integrado. A primeira estrutura é acoplada a um dispositivo de lógica. O dispositivo

semicondutor inclui adicionalmente uma segunda estrutura de uma segunda camada de metalização. A segunda estrutura é acoplada a um ou mais elementos de armazenamento baseados em resistência de um módulo de MRAM do circuito integrado. A segunda estrutura é independente da primeira estrutura. O método inclui adicionalmente transformar as informações de projeto para cumprirem com um formato de arquivo e gerar um arquivo de dados que inclui as informações de projeto transformadas.

[013] Uma vantagem particular fornecida por pelo menos um dentre os exemplos revelados é a integração simplificada de múltiplos dispositivos em um circuito integrado. Por exemplo, devido ao fato de uma ou mais estruturas de um módulo de MRAM são independentes de outros componentes (por exemplo, um dispositivo de lógica), a integração do módulo de MRAM e dos outros componentes pode ser simplificada (por exemplo, evitando-se uma nova simulação do projeto, a requalificação do projeto, a modificação de um layout do dispositivo ou a modificação de um modelo parasitário RC associado ao projeto) em comparação com um dispositivo que "compartilha" uma camada de metalização dentre determinados componentes. Outros aspectos, vantagens e recursos da presente revelação se tornarão evidentes após revisão de todo o pedido, incluindo as seguintes seções: Breve Descrição dos Desenhos, Descrição Detalhada e as Reivindicações.

#### V. BREVE DESCRIÇÃO DOS DESENHOS

[014] A Figura 1 retrata um primeiro exemplo ilustrativo particular de um dispositivo, tal como um dispositivo que pode ser fabricado com o uso de um primeiro

processo de fabricação.

[015] A Figura 2 retrata um exemplo ilustrativo particular de um dispositivo durante um primeiro estágio do primeiro processo de fabricação.

[016] A Figura 3 retrata um exemplo ilustrativo particular de um dispositivo durante um segundo estágio do primeiro processo de fabricação,

[017] A Figura 4 retrata um exemplo ilustrativo particular de um dispositivo durante um terceiro estágio do primeiro processo de fabricação.

[018] A Figura 5 retrata um exemplo ilustrativo particular de um dispositivo durante um quarto estágio do primeiro processo de fabricação.

[019] A Figura 6 retrata um exemplo ilustrativo particular de um dispositivo durante um quinto estágio do primeiro processo de fabricação.

[020] A Figura 7 retrata um exemplo ilustrativo particular de um dispositivo durante um sexto estágio do primeiro processo de fabricação.

[021] A Figura 8 retrata um exemplo ilustrativo particular de um dispositivo durante um primeiro estágio de um segundo processo de fabricação.

[022] A Figura 9 retrata um exemplo ilustrativo particular de um dispositivo durante um segundo estágio do segundo processo de fabricação.

[023] A Figura 10 retrata um exemplo ilustrativo particular de um dispositivo durante um terceiro estágio do segundo processo de fabricação.

[024] A Figura 11 retrata um exemplo ilustrativo particular de um dispositivo durante um quarto

estágio do segundo processo de fabricação.

[025] A Figura 12 retrata um exemplo ilustrativo particular de um dispositivo durante um quinto estágio do segundo processo de fabricação.

[026] A Figura 13 é um fluxograma de um exemplo ilustrativo particular de um método de fabricação de um dispositivo, tal como um dispositivo fabricado com o uso do primeiro processo de fabricação das Figuras 1 a 7, um dispositivo fabricado com o uso do segundo processo de fabricação das Figuras 8 a 12 ou ambos.

[027] A Figura 14 é um fluxograma de dados de um exemplo ilustrativo de um processo de produção para produzir um ou mais dispositivos eletrônicos.

[028] A Figura 15 é um diagrama de blocos de um exemplo ilustrativo de um dispositivo eletrônico.

#### VI. DESCRIÇÃO DETALHADA

[029] Com referência à Figura 1, um exemplo ilustrativo particular de um dispositivo é retratado e geralmente designado 100. O dispositivo 100 pode estar incluído dentro de um circuito integrado, tal como uma cunha semicondutora.

[030] O dispositivo 100 inclui um substrato 101, tal como um substrato de silício. O dispositivo 100 inclui adicionalmente uma região 104. A região 104 pode incluir um ou mais dispositivos formados com o uso de uma pluralidade de camadas do dispositivo 100. Por exemplo, a região 104 pode incluir um dispositivo de lógica (por exemplo, um processador ou outro dispositivo) que é formado com o uso de um processo de lógica de óxido metálico semicondutor (CMOS) complementar. A região 104 pode incluir

adicionalmente uma fiação associada ao dispositivo de lógica. Por exemplo, a fiação pode conectar o dispositivo de lógica à via 110.

[031] O dispositivo 100 inclui adicionalmente uma ou mais primeiras estruturas formadas com o uso de uma pluralidade de camadas de metalização, tal como uma pluralidade de camadas de metalização associadas a um processo de metalização de back-end da linha (BEOL). Para ilustração, a Figura 1 retrata uma primeira porção 106 (por exemplo, um primeiro contato) de uma primeira camada de metalização 102, uma segunda porção 107 (por exemplo, um segundo contato) da primeira camada de metalização 102 e uma terceira porção 108 (por exemplo, um terceiro contato) da primeira camada de metalização 102. A primeira camada de metalização 102 pode ser formada com o uso de um processo de deposição (por exemplo, depositando-se metal, tal como um cobre, de acordo com um processo damascene). Uma primeira intercamada dielétrica (ILD) 105 pode ser preenchida ao redor das porções 106 a 108 e uma ou mais vias podem conectar as porções 106 a 108 a um dispositivo de lógica incluído na região 104. Por exemplo, uma via 110 pode conectar a terceira porção 108 a um dispositivo de lógica incluído na região 104. As porções 106 a 108 e a via 110 podem ser associadas a (por exemplo, podem ser acopladas) um dispositivo de lógica, tal como um dispositivo de lógica formado dentro da região 104.

[032] O dispositivo 100 pode incluir adicionalmente um módulo de memória de acesso aleatória magneto-resistiva (MRAM) 160 formado acima da primeira camada de metalização 102. O módulo de MRAM 160 pode

incluir uma pluralidade de elementos de armazenamento baseados em resistência, tal como um elemento de armazenamento baseado em resistência representativo 226. Cada elemento de armazenamento baseado em resistência do dispositivo 100 pode incluir um dispositivo de junção de túnel magnética (MTJ) que pode ser ajustado para um estado de baixa resistência para indicar um primeiro valor de lógica (por exemplo, um valor zero de lógica) ou para um estado de alta resistência para indicar um segundo valor de lógica (por exemplo, um valor um de lógica). O elemento de armazenamento baseado em resistência 226 pode incluir (ou pode ser conectado a) um elemento de acoplamento 228. Deve ser observado que o exemplo da Figura 1 é ilustrativo e que o dispositivo 100 pode incluir mais de um elemento de armazenamento baseado em resistência.

[033] O módulo de MRAM 160 pode incluir adicionalmente um ou mais componentes formados com o uso de uma segunda camada de metalização 161 (por exemplo, depositando-se metal, tal como cobre, de acordo com um processo damascene). Para ilustração, o módulo de MRAM 160 pode incluir um contato de módulo 153 e um contato de matriz 154. O contato de módulo 153 pode incluir uma primeira porção da segunda camada de metalização 161 (por exemplo, uma linha de bits 147) e o contato de matriz 154 pode incluir uma segunda porção 148 da segunda camada de metalização 161 e uma via 149 da segunda camada de metalização 161. A linha de bits 147 e o contato de matriz 154 podem ser associados (por exemplo, acoplados a ou integrados dentro de) ao módulo de MRAM 160. A linha de bits 147 pode ser configurada para polarizar um ou mais

elementos de armazenamento baseados em resistência do módulo de MRAM 160 (por exemplo, o elemento de armazenamento baseado em resistência 226). Uma segunda ILD 138 pode ser preenchida ao redor do contato de módulo 153 e do contato de matriz 154. A segunda ILD 138 pode incluir um material de k baixo poroso (em que k indica uma constante dielétrica do material dielétrico) ou um material dielétrico convencional, por exemplo, óxido de silício.

[034] O dispositivo 100 pode incluir adicionalmente um ou mais componentes formados com o uso de uma terceira camada de metalização 165 (por exemplo, gravando-se materiais para formar uma cavidade e uma trincheira e preenchendo-se a cavidade e a trincheira com cobre, tal como com o uso de um processo duplo damascene). Por exemplo, a cavidade pode ser preenchida com cobre para formar uma via 168 e uma trincheira pode ser preenchida com cobre para formar uma região metálica 164. Uma terceira ILD 162 pode ser preenchida ao redor da região metálica 164 e da via 168.

[035] O dispositivo 100 inclui adicionalmente uma região de MRAM 112, uma região de borda 114 e uma região de lógica 116. A região de MRAM 112 pode incluir uma pluralidade de elementos de armazenamento baseados em resistência (por exemplo, uma memória que inclui o elemento de armazenamento baseado em resistência 226), o contato de módulo 153 e a primeira porção 106. A região de borda 114 pode ser adjacente à região de MRAM 112 e à região de lógica 116. A região de borda 114 pode incluir o contato de matriz 154 e a segunda porção 107. A região de lógica 116 pode incluir a região metálica 164, a via 168, a terceira

porção 108 e a via 110. Os dispositivos semicondutores que podem ser fabricados sob as camadas de metalização não são mostrados na Figura 1 ou em quaisquer Figuras subsequentes, para clareza.

[036] A primeira camada de metalização 102 pode corresponder a uma camada metálica densa formada durante a fabricação do dispositivo 100. Conforme usado no presente documento, uma camada metálica "densa" pode ter um campo relativamente pequeno (o que resulta em componentes que estão relativamente próximos uns dos outros ou são relativamente "densos"). Para ilustração, um processo de metalização de BEOL pode especificar um primeiro campo 171 associado à primeira camada de metalização 102, tal como um campo "mínimo" do processo de metalização de BEOL. O processo de metalização de BEOL pode especificar que componentes do dispositivo 100 formados com o uso de camadas de metalização depositadas após a primeira camada de metalização 102 pode ter um campo maior que o primeiro campo 171. Por exemplo, a terceira camada de metalização 165 pode ser uma camada metálica "espessa" que deve ter pelo menos um segundo campo 175 (o qual é maior que o primeiro campo 171 da primeira camada de metalização 102).

[037] Como um exemplo ilustrativo não ilustrativo, o processo de metalização de BEOL pode especificar que as camadas de metalização um, dois, três, quatro e cinco (M1, M2, M3, M4 e M5) podem ter um campo que corresponde ao primeiro campo 171. O processo de metalização de BEOL pode especificar adicionalmente que um segundo campo (por exemplo, o segundo campo 175) associado às camadas de metalização formadas acima das camadas de

metalização M1 a M5 (tal como a camada de metalização seis (M6)) deve ser maior que o primeiro campo 171 (por exemplo, aproximadamente duas vezes o primeiro campo 171 ou more). Nesse exemplo, a região 104 pode incluir as camadas de metalização M1 a M4, a primeira camada de metalização 102 pode corresponder à camada de metalização M5 e a terceira camada de metalização 165 pode corresponder à camada de metalização M6. Nesse caso, um ou mais componentes do módulo de MRAM 160 (por exemplo, o contato de módulo 153 e o contato de matriz 154) podem ser formados "inserindo-se" a segunda camada de metalização 161 entre as camadas de metalização M5 e M6.

[038] Para ilustração adicional, uma primeira estrutura da primeira camada de metalização 102 pode ter uma primeira espessura 172. A primeira estrutura pode incluir qualquer uma das porções 106 a 108 ou a via 110, como exemplos ilustrativos. Uma segunda estrutura da segunda camada de metalização 161 pode ter uma segunda espessura 173. Por exemplo, a segunda estrutura pode incluir a linha de bits 147, a segunda porção 148 ou a via 149. Uma terceira estrutura da terceira camada de metalização 165 pode ter uma terceira espessura 174 que é maior que a primeira espessura 172. Por exemplo, o processo de metalização de BEOL pode especificar que a terceira espessura 174 deve ser maior que a primeira espessura 172. A segunda espessura 173 pode ser independente da primeira espessura 172 e da terceira espessura 174. Por exemplo, a metalização de BEOL pode não especificar a segunda espessura 173. Em algumas implantações, a segunda espessura 173 pode ser definida igual à primeira espessura 172 (por

exemplo, uma espessura mínima a fim de aumentar a densidade de armazenamento de dados do módulo de MRAM 160).

[039] O uso de uma camada de metalização específica de MRAM (por exemplo, a segunda camada de metalização 161) pode facilitar uma alta densidade de armazenamento de dados do módulo de MRAM 160 (com o uso de um campo reduzido da primeira camada de metalização 102 para fabricar componentes, tal como o elemento de armazenamento baseado em resistência 226) enquanto também evita o "compartilhamento" de uma camada de metalização particular entre o módulo de MRAM 160 e um ou mais componentes da região 104 (por exemplo, um dispositivo de lógica incluído na região 104). Evitar "compartilhar" uma camada de metalização pode simplificar o projeto e a fabricação do dispositivo, reduzindo o custo do dispositivo.

[040] Para ilustração adicional, um exemplo de um primeiro processo de fabricação para fabricar o dispositivo 100 é descrito com referência às Figuras 2 a 7. Deve ser observado que o primeiro processo de fabricação é descrito para propósitos de ilustração e que outros processos de fabricação estão abrangidos pelo escopo da revelação.

[041] Com referência à Figura 2, um dispositivo durante um primeiro estágio do primeiro processo de fabricação é retratado e geralmente designado 200. Na Figura 2, o dispositivo 200 inclui uma camada de tampa inferior 218 (por exemplo, uma camada de tampa de cobre). Uma camada de buffer 220 pode ser formada sobre a camada de tampa inferior 218 (por exemplo, com o uso de um

processo de deposição). A camada de buffer 220 pode incluir um material de óxido, um material de óxido de silício, um material de nitrato de silício, outro material ou uma combinação dos mesmos. A camada de buffer 220 pode ser suavizada ou planificada, tal como com o uso de um processo de planificação químico-mecânico (CMP).

[042] O dispositivo 200 pode incluir adicionalmente um primeiro eletrodo inferior 234 e um segundo eletrodo inferior 236. Os eletrodos inferiores 234, 236 podem ser formados em cavidades (por exemplo, cavidades criadas com o uso de um processo de gravura) da camada de tampa inferior 218 e da camada de buffer 220. Os eletrodos inferiores 234, 236 podem incluir um material condutor 232, 233, tal como um nitrato de tântalo (TaN) ou um material de tungstênio (W). O primeiro eletrodo inferior 234 pode incluir adicionalmente um material 230, tal como um material de nitrato de tântalo (TaN), e o segundo eletrodo inferior 236 pode incluir adicionalmente um material 231, tal como um material de TaN. Os materiais 230, 231 podem ser formados com o uso de um processo de deposição por vapor de plasma (PVD), como um exemplo ilustrativo.

[043] O elemento de armazenamento baseado em resistência 226 pode ser formado no primeiro eletrodo inferior 234. Por exemplo, uma pluralidade de camadas (por exemplo, uma camada livre, uma camada de barreira de túnel e uma camada fixa) pode ser formada (por exemplo, com o uso de um ou mais processos de PVD) e gravada (por exemplo, com o uso de um processo de gravura) para definir um dispositivo de MTJ do elemento de armazenamento baseado em resistência 226. Em algumas aplicações, o dispositivo de

MTJ pode ser formado com o uso de um ou mais processos litográficos. Em algumas implantações, o elemento de acoplamento 228 funciona como uma máscara durante o processo de gravura (para proteger o elemento de armazenamento baseado em resistência durante o processo de gravura). O elemento de acoplamento 228 pode incluir um material de TaN, um material de nitrato de titânio (TiN), outro material ou uma combinação dos mesmos.

[044] O dispositivo 200 pode incluir adicionalmente uma camada de apassivação 222. Por exemplo, a camada de apassivação 222 pode incluir um material de nitrato de silício, um material de óxido de silício, um material de óxido de alumínio, outro material ou uma combinação dos mesmos.

[045] Com referência à Figura 3, um dispositivo durante um segundo estágio do primeiro processo de fabricação é retratado e geralmente designado 300. Na Figura 3, a segunda ILD 138 foi formada (por exemplo, com o uso de um processo de crescimento) sobre a camada de apassivação 222. Uma máscara rígida (HM) 340 pode ser formada (por exemplo, com o uso de um processo de PVD) na segunda ILD 138. A HM 340 pode incluir um material de TiN, outro material ou uma combinação dos mesmos.

[046] Em alguns casos, uma primeira altura 399 da segunda ILD 138 é selecionada com base em um ou mais características do módulo de MRAM 160 da Figura 1, da segunda camada de metalização 161 da Figura 1 ou de ambos. Para ilustração, um processo de metalização de BEOL associado às camadas de metalização 102, 165 pode especificar uma segunda altura da segunda ILD 138 que é

menor que a primeira altura 399. A primeira altura 399 pode ser selecionada (em vez de a segunda altura) para acomodar um ou mais componentes do módulo de MRAM 160 da Figura 1, da segunda camada de metalização 161 da Figura 1 ou de ambos. Por exemplo, a primeira altura 399 pode ser selecionada para permitir o uso de um processo damascene que inclui gravura das cavidades na segunda ILD 138, conforme descrito adicionalmente com referência à Figura 4.

[047] Com referência à Figura 4, um dispositivo durante um terceiro estágio do primeiro processo de fabricação é retratado e geralmente designado 400. Na Figura 4, uma primeira cavidade 441 e uma segunda cavidade 442 foram criadas. Por exemplo, um processo de gravura pode ser realizado para gravar a HM 340, a segunda ILD 138 e a camada de apassivação 222.

[048] Em algumas implantações, um dispositivo protetor 402 é usado durante uma ou mais operações do primeiro processo de fabricação. Por exemplo, o dispositivo protetor 402 pode incluir um escudo, uma cobertura, uma máscara ou outro dispositivo que protege (por exemplo, isola) a região de lógica 116 durante uma ou mais operações direcionadas à região de MRAM 112 e à região de borda 114 (por exemplo, durante um processo de gravura usado para criar as cavidades 441, 442). Em outras implantações, o uso do dispositivo protetor 402 pode ser omitido do primeiro processo de fabricação (por exemplo, com o uso de um ou mais processos "fictícios" em vez do dispositivo protetor 402, tal como uma gravura fictícia e um preenchimento fictício).

[049] Com referência à Figura 5, um

dispositivo durante um quarto estágio do primeiro processo de fabricação é retratado e geralmente designado 500. Na Figura 5, uma primeira camada de barreira 549 e uma segunda camada de barreira 550 foram formadas nas cavidades 441, 442 da Figura 4, respectivamente. A Figura 5 também ilustra que a linha de bits 147, a segunda porção 148 e a via 149 foram formadas nas camadas de barreira 549, 550.

[050] Em uma implantação ilustrativa, as camadas de barreira 549, 550, a linha de bits 147, a segunda porção 148 e a via 149 são formadas com o uso de um processo damascene (por exemplo, um processo duplo damascene) que inclui pré-limpar as cavidades 441, 442 da Figura 4 e depositar um material de barreira dentro das cavidades 441, 442 para formar as camadas de barreira 549, 550. O processo damascene pode incluir adicionalmente formar uma camada de semente nas camadas de barreira 549, 550 e colocar a camada de semente em placas para formar a linha de bits 147, a segunda porção 148 e a via 149. Após formar a linha de bits 147, a segunda porção 148 e a via 149, o processo damascene também pode incluir realizar um processo de suavização ou planificação (por exemplo, um processo de CMP) para formar o dispositivo 500 da Figura 5. Em algumas implantações, o dispositivo protetor 402 pode ser usado para proteger a região de lógica 116 durante uma ou mais operações do processo damascene.

[051] Dependendo da aplicação particular, a via 149 pode ter um tamanho "personalizado" (por exemplo, altura). Por exemplo, a via 149 pode ter uma altura que é diferente de uma altura da via 168 da Figura 1. Como outro exemplo, um processo de metalização de BEOL associado às

camadas de metalização 102, 165 pode especificar uma altura da via 168 (sem especificar uma altura da via 149). Em alguns casos, a via 149 pode ser fabricada com o uso de uma máscara "personalizada" (por exemplo, uma máscara que é formada com base em uma ou mais características físicas da via 149, tal como com base na altura da via 149).

[052] Com referência à Figura 6, um dispositivo durante um quinto estágio do primeiro processo de fabricação é retratado e geralmente designado 600. Na Figura 6, uma primeira tampa de eletromigração (EM) 651 e uma segunda tampa de EM 652 foram formadas na linha de bits 147 e na segunda porção 148, respectivamente. Por exemplo, as tampas de EM 651, 652 podem ser formadas depositando-se um material, por exemplo, com o uso de um processo autoalinhado. As tampas de EM 651, 652 podem incluir um material de CoWP, outro material ou uma combinação dos mesmos. Em algumas implantações, o dispositivo protetor 402 pode ser usado para proteger a região de lógica 116 durante a formação das tampas de EM 651, 652.

[053] Com referência à Figura 7, um dispositivo durante um sexto estágio do primeiro processo de fabricação é retratado e geralmente designado 700. Na Figura 7, a terceira ILD 162 foi formada (por exemplo, com o uso de um processo de crescimento) e gravada (por exemplo, com o uso de um processo de gravura) para definir uma trincheira 702 e uma cavidade 704. Em implantações em que o dispositivo protetor 402 é usado para proteger a região de lógica 116, o dispositivo protetor 402 pode ser removido antes de definir a trincheira 702 e a cavidade 704.

[054] O primeiro processo de fabricação descrito com referência às Figuras 2 a 7 também pode incluir formar a região metálica 164 da Figura 1 dentro da trincheira 702 e formar a via 168 da Figura 1 dentro da cavidade 704 para formar o dispositivo 100 da Figura 1. Por exemplo, um processo duplo damascene de metal espesso pode incluir depositar um metal (por exemplo, cobre) dentro da trincheira 702 e dentro da cavidade 704 e planificar o metal (por exemplo, com o uso de um processo de CMP) para formar o dispositivo 100 da Figura 1. O processo duplo damascene de metal espesso pode ser associado a determinadas camadas de metalização (por exemplo, a terceira camada de metalização 165) que têm um campo maior que outras camadas de metalização (por exemplo, a primeira camada de metalização 102).

[055] As Figuras 8 a 12 retratam estágios associados a um segundo processo de fabricação. Por exemplo, com referência à Figura 12, o segundo processo de fabricação pode ser usado para formar um dispositivo 1200. Em algumas aplicações, o segundo processo de fabricação pode reduzir um número de máscaras usadas em comparação com o primeiro processo de fabricação evitando-se a fabricação da via 149, conforme descrito adicionalmente abaixo. Deve ser observado que o segundo processo de fabricação é descrito para propósitos de ilustração e que outros processos de fabricação estão abrangidos pelo escopo da revelação.

[056] Com referência à Figura 8, um dispositivo durante um primeiro estágio do segundo processo de fabricação é retratado e geralmente designado 800.

Determinados recursos do dispositivo 800 podem corresponder a recursos descritos com referência às Figuras 1 a 7. No exemplo da Figura 8, o dispositivo 800 pode incluir uma segunda cavidade 842 (em vez de a segunda cavidade 442 da Figura 4). Por exemplo, um processo de gravura usado para definir a segunda cavidade 842 pode parar antes de alcançar o segundo eletrodo inferior 236 (em vez de alcançar o segundo eletrodo inferior 236 para expor uma superfície do segundo eletrodo inferior 236 como no exemplo da Figura 4).

[057] Em algumas implantações, o dispositivo protetor 402 é usado durante uma ou mais operações do segundo processo de fabricação. Por exemplo, o dispositivo protetor 402 pode incluir um escudo, uma cobertura, uma máscara ou outro dispositivo que protege (por exemplo, isola) a região de lógica 116 durante uma ou mais operações direcionadas à região de MRAM 112 e à região de borda 114 (por exemplo, durante um processo de gravura usado para criar as cavidades 441, 842). Em outras implantações, o uso do dispositivo protetor 402 pode ser omitido do segundo processo de fabricação (por exemplo, com o uso de um ou mais processos "fictícios" em vez do dispositivo protetor 402, tal como um gravura fictícia e um preenchimento fictício).

[058] Com referência à Figura 9, um dispositivo durante um segundo estágio do segundo processo de fabricação é retratado e geralmente designado 900. O dispositivo 900 inclui um contato de matriz 954 formado dentro da segunda cavidade 842 da Figura 8. O contato de matriz 954 pode incluir uma camada de barreira 950 e uma segunda porção 948.

[059] Em uma implantação ilustrativa, as camadas de barreira 549, 950, a linha de bits 147 e a segunda porção 948 são formadas com o uso de um processo damascene (por exemplo, um único processo damascene) que inclui pré-limpar as cavidades 441, 842 da Figura 8 e depositar um material de barreira dentro das cavidades 441, 842 para formar as camadas de barreira 549, 950. O processo damascene pode incluir adicionalmente formar uma camada de sementeira nas camadas de barreira 549, 950 e colocar a camada de sementeira em placas para formar a linha de bits 147 e a segunda porção 948. Após formar a linha de bits 147 e a segunda porção 948, o processo damascene também pode incluir realizar um processo de suavização ou planificação (por exemplo, um processo de CMP) para formar o dispositivo 900 da Figura 9. Em algumas implantações, o dispositivo protetor 402 pode ser usado para proteger a região de lógica 116 durante uma ou mais operações do processo damascene.

[060] Com referência à Figura 10, um dispositivo durante um terceiro estágio do segundo processo de fabricação é retratado e geralmente designado 1000. Na Figura 10, a primeira tampa de EM 651 e uma segunda tampa de EM 1052 foram formadas na linha de bits 147 e na segunda porção 948, respectivamente. Por exemplo, as tampas de EM 651, 1052 podem ser formadas depositando-se um material, por exemplo, com o uso de um processo autoalinhado. As tampas de EM 651, 1052 podem incluir um material de CoWP, outro material ou uma combinação dos mesmos. Em algumas implantações, o dispositivo protetor 402 pode ser usado para proteger a região de lógica 116 durante a formação das

tampas de EM 651, 1052.

[061] Com referência à Figura 11, um dispositivo durante um quarto estágio do segundo processo de fabricação é retratado e geralmente designado 1100. Na Figura 11, a terceira ILD 162 foi formada (por exemplo, com o uso de um processo de crescimento) e gravada (por exemplo, com o uso de um processo de gravura) para definir a trincheira 702, a cavidade 704 e uma cavidade 1106. A formação da cavidade 704 pode expor uma superfície da terceira porção 108 e a formação da cavidade 1106 pode expor uma superfície da segunda tampa de EM 1052. Em implantações em que o dispositivo protetor 402 é usado para proteger a região de lógica 116, o dispositivo protetor 402 pode ser removido antes de definir a trincheira 702 e a cavidades 704, 1106.

[062] Com referência à Figura 12, um dispositivo durante um quinto estágio do segundo processo de fabricação é retratado e geralmente designado 1200. O dispositivo 1200 pode incluir a região metálica 164 (dentro da trincheira 702), a via 168 (dentro da cavidade 704) e uma via 1270 (dentro da cavidade 1106). A via 1270 é acoplada à segunda tampa de EM 1052 e também é acoplada à região metálica 164.

[063] A região metálica 164 e as vias 168, 1270 podem ser formadas com o uso de um processo duplo damascene de metal espesso. O processo duplo damascene de metal espesso pode incluir depositar um metal (por exemplo, cobre) dentro da trincheira 702 e dentro das cavidades 704, 1106 e planificar o metal (por exemplo, com o uso de um processo de CMP) para formar o dispositivo 1200. O processo

duplo damascene de metal espesso pode ser associado a determinadas camadas de metalização (por exemplo, a terceira camada de metalização 165) que têm um campo maior que outras camadas de metalização (por exemplo, a primeira camada de metalização 102).

[064] Em algumas aplicações, o segundo processo de fabricação pode usar uma máscara a menos em comparação com o primeiro processo de fabricação. Por exemplo, devido ao fato de que a via 149 tem uma altura diferente do que a via 168 (por exemplo, devido ao módulo de MRAM 160 ter sido "inserido" entre as camadas de metalização 102, 165), a formação da via 149 pode utilizar uma máscara "personalizada". Adicionalmente, em alguns casos, uma altura da via 1270 pode ser especificada por um processo de metalização de BEOL associado às camadas de metalização 102, 165. Dessa forma, a formação da via 1270 (em vez de a via 149) para conectar o módulo de MRAM 160 à terceira camada de metalização 165 pode reduzir um número de máscaras usadas durante a fabricação do dispositivo. Em algumas aplicações, o uso do primeiro processo de fabricação pode evitar a modificação de um processo de metalização usado para formar a terceira camada de metalização 165 (evitando-se a fabricação da via 1270). Adicionalmente, o dispositivo 100 pode ter um tamanho menor em comparação com o dispositivo 1200 (por exemplo, conectando-se o módulo de MRAM 160 à terceira camada de metalização 165 com o uso da via 149 em vez de com o uso da via 1270, a qual pode ser fabricada com o uso de um processo de metalização "espessa" e pode ter um tamanho maior do que a via 149). Dessa forma, o primeiro processo

de fabricação ou o segundo processo de fabricação podem ser selecionados com base na aplicação particular.

[065] Com referência à Figura 13, um exemplo ilustrativo particular de um método é retratado e geralmente designado 1300. O método 1300 pode ser realizado durante a fabricação de um dispositivo, tal como durante a fabricação do dispositivo 100 da Figura 1 (por exemplo, com o uso do primeiro processo de fabricação descrito com referência às Figuras 2 a 7), durante a fabricação do dispositivo 1200 da Figura 12 (por exemplo, com o uso do segundo processo de fabricação descrito com referência às Figuras 8 a 12) ou de ambos.

[066] O método 1300 inclui formar uma primeira camada de metalização que é acoplada a um dispositivo de lógica do dispositivo, em 1302. Para ilustração, a primeira camada de metalização pode corresponder à primeira camada de metalização 102 e o dispositivo de lógica pode ser formado dentro da região 104.

[067] O método 1300 inclui adicionalmente formar uma segunda camada de metalização que é acoplada a um módulo de MRAM do dispositivo, em 1304. O módulo de MRAM pode corresponder ao módulo de MRAM 160 e a segunda camada de metalização pode corresponder à segunda camada de metalização 161, como exemplos ilustrativos. A segunda camada de metalização é independente da primeira camada de metalização. Por exemplo, a primeira camada de metalização 102 pode ser "dedicada" a um ou mais componentes de fiação de um dispositivo de lógica formado dentro da região 104,

[068] Como outro exemplo, a região de lógica

116 pode ser protegida (por exemplo, com o uso do dispositivo protetor 402) durante uma ou mais operações direcionadas à região de MRAM 112 e à região de borda 114. Por exemplo, um ou mais componentes (por exemplo, as porções 106 a 108) da primeira camada de metalização 102 podem ser "dedicados" a conectar o dispositivo de lógica a um ou mais outros componentes de dispositivo e a segunda camada de metalização 161 pode ser "dedicada" a conectar o módulo de MRAM 160 a um ou mais outros componentes de dispositivo. Como outro exemplo, a região de lógica 116 pode ser protegida (por exemplo, com o uso do dispositivo protetor 402) durante uma ou mais operações direcionadas à região de MRAM 112 e à região de borda 114 (de forma que os componentes da segunda camada de metalização 161 sejam formados independentemente dos componentes da região de lógica 116).

[069] A primeira camada de metalização pode ser formada com o uso de um processo de metalização de BEOL e a segunda camada de metalização pode ser formada com o uso de um processo de metalização que é dedicado a formar um ou mais componentes associados ao módulo de MRAM. O processo de metalização de BEOL pode especificar um número inteiro positivo  $n$  de camadas de metalização e o dispositivo pode incluir pelo menos  $n+1$  camadas de metalização. A formação da segunda camada de metalização pode incluir realizar um processo damascene para formar os um ou mais componentes. Os um ou mais componentes podem incluir uma ou mais dentre uma linha de bits (por exemplo, a linha de bits 147) do módulo de MRAM ou uma porção de um contato de matriz (por exemplo, a segunda porção 148 ou a

via 149) do módulo de MRAM.

[070] O método 1300 pode incluir opcionalmente formar uma terceira camada de metalização (por exemplo, a terceira camada de metalização 165) após formar a segunda camada de metalização. A primeira camada de metalização pode ser associada a um primeiro campo (por exemplo, o primeiro campo 171) que é menor que um segundo campo (por exemplo, o segundo campo 175) associado à terceira camada de metalização. O primeiro campo é um campo particular (por exemplo, um campo "mínimo") que cumpre com um processo de metalização de BEOL do dispositivo, tal como um campo "mínimo" de camadas de metalização densas especificadas pelo processo de metalização de BEOL. A primeira camada de metalização pode ter uma primeira densidade que é maior que uma segunda densidade associada à terceira camada de metalização.

[071] A formação da primeira camada de metalização e a formação da segunda camada de metalização podem ser iniciadas por um processador que executa instruções. Um exemplo de um processador que executa instruções para fabricar um dispositivo é descrito adicionalmente com referência à Figura 14.

[072] Os dispositivos supracitados e as funcionalidades reveladas podem ser designados e representados com o uso de arquivos de computador (por exemplo, RTL, GDSII, GERBER, etc.). Os arquivos de computador podem ser armazenados em mídias legíveis por computador. Alguns ou todos tais arquivos podem ser fornecidos a manuseadores de fabricação que fabricam dispositivos com base em tais arquivos. Os produtos

resultantes incluem wafers que são, então, cortados em cunha e embalados em circuitos integrados (ou "chips"). Os chips são, então, empregados em dispositivos eletrônicos. A Figura 14 retrata uma modalidade ilustrativa particular de um processo de produção de dispositivo eletrônico 1400.

[073] As informações de dispositivo físico 1402 são recebidas no processo de produção de dispositivo eletrônico 1400, tal como em um computador de pesquisa 1406. Por exemplo, as informações de dispositivo físico 1402 podem incluir parâmetros físicos, características materiais e informações de estrutura que são inseridas por meio de uma interface de usuário 1404 acoplada ao computador de pesquisa 1406. As informações de dispositivo físico 1402 podem representar um ou mais recursos de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12. O computador de pesquisa 1406 inclui um processador 1408, tal como um ou mais núcleos de processamento. O processador 1408 é acoplado a uma mídia legível por computador, tal como uma memória 1410. A memória 1410 pode armazenar instruções legíveis por computador que são executáveis pelo processador 1408 para transformar as informações de dispositivo físico 1402 para cumprirem com um formato de arquivo e para gerar um arquivo de biblioteca 1412.

[074] O arquivo de biblioteca 1412 pode incluir pelo menos um arquivo de dados que inclui as informações de projeto transformadas. Por exemplo, o arquivo de biblioteca 1412 pode especificar uma biblioteca de dispositivos. A biblioteca de dispositivos pode incluir um ou mais componentes de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12. O arquivo de biblioteca 1412

pode ser usado em conjunto com uma ferramenta de automação de projeto eletrônico (EDA) 1420 em um computador de projeto 1414. O computador de projeto 1414 inclui um processador 1416, tal como um ou mais núcleos de processamento. O processador 1416 é acoplado a uma memória 1418. A ferramenta de EDA 1420 pode incluir instruções executáveis por processador armazenadas na memória 1418 para permitir que um usuário do computador de projeto 1414 projete um circuito.

[075] Por exemplo, um usuário do computador de projeto 1414 pode inserir informações de projeto do dispositivo de lógica por meio de uma interface de usuário 1424 acoplada ao computador de projeto 1414. As informações de projeto podem incluir informações de projeto do dispositivo de lógica 1422 e informações de projeto do módulo de MRAM 1423. As informações de projeto do dispositivo de lógica 1422 e as informações de projeto do módulo de MRAM 1423 podem incluir informações de projeto que representam uma ou mais propriedades físicas de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12. Para ilustração, as propriedades de projeto de circuito podem incluir identificação de circuitos e relações particulares para outros elementos em um projeto de circuito, informações de posicionamento, informações de tamanho de recurso, informações de interconexão ou outras informações que representam uma propriedade física de um dispositivo. Em um exemplo ilustrativo, as informações de projeto do dispositivo de lógica 1422 representam um dispositivo de lógica formado dentro da região 104 (por exemplo, um dispositivo de lógica 1499) e as informações de

projeto do módulo de MRAM 1423 representam o módulo de MRAM 160.

[076] O computador de projeto 1414 pode ser configurado para transformar as informações de projeto do dispositivo de lógica 1422 e as informações de projeto do módulo de MRAM 1423 para cumprirem com um formato de arquivo. Para ilustração, o formato de arquivo pode incluir um formato de arquivo binário de banco de dados que representa formatos geométricos planos, etiquetas de texto e outras informações relacionadas a um layout de circuito em um formato hierárquico, tal como um formato de Sistema de Dados Gráfico (GDSII). O computador de projeto 1414 pode ser configurado para gerar um arquivo de dados que inclui as informações de projeto transformadas, tal como um arquivo de GDSII 1426 que inclui informações que descrevem um ou mais componentes de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12.

[077] O arquivo de GDSII 1426 pode ser recebido em um processo de fabricação 1428. O processo de fabricação 1428 pode usar o arquivo de GDSII para fabricar um dispositivo semicondutor que inclui um ou mais componentes de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12. O processo de fabricação pode incluir uma ou mais operações do método 1300 da Figura 13.

[078] O arquivo de GDSII 1426 pode ser fornecido para um produtor de máscara 1430 para criar uma ou mais máscaras, tais como as máscaras a serem usadas com processamento de fotolitografia, ilustradas na Figura 14 como uma máscara 1432. A máscara 1432 pode ser usada durante o processo de fabricação 1428 para gerar um ou mais

wafers 1433, os quais podem ser testados e separados em cunhas, tais como uma cunha 1436 (por exemplo, uma cunha semicondutora). A cunha 1436 pode incluir um ou mais componentes de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12. Por exemplo, a Figura 13 ilustra que a cunha 1436 pode incluir o módulo de MRAM 160 e o dispositivo de lógica 1499 (por exemplo, um dispositivo de lógica formado na região 104). A cunha 1436 pode ser fabricada com o uso de uma ou mais operações do método 1300 da Figura 13.

[079] As operações do processo de fabricação 1428 podem ser iniciadas ou controladas com o uso de um processador 1434 e de uma mídia legível por computador, tal como uma memória 1435. A memória 1435 pode armazenar instruções que são executáveis pelo processador 1434 para fazer com que o processador 1434 inicie uma ou mais operações durante a fabricação de um dispositivo (por exemplo, durante a fabricação da cunha 1436). As operações podem incluir formar uma primeira camada de metalização (por exemplo, a primeira camada de metalização 12) que é acoplada a um dispositivo de lógica (por exemplo, um dispositivo de lógica formado dentro da região 104) do dispositivo. O método inclui adicionalmente formar uma segunda camada de metalização (por exemplo, a segunda camada de metalização 161) que é acoplada a um módulo de MRAM (por exemplo, o módulo de MRAM 160) do dispositivo. A segunda camada de metalização é independente da primeira camada de metalização.

[080] O processo de fabricação 1428 pode ser implantado por um sistema de fabricação que é completamente

automatizado ou parcialmente automatizado. Por exemplo, o processo de fabricação 1428 pode ser automatizado de acordo com uma agenda. O sistema de fabricação pode incluir equipamento de fabricação (por exemplo, ferramentas de processamento) para realizar uma ou mais operações para formar um dispositivo. Por exemplo, o equipamento de fabricação pode ser configurado para depositar um ou mais materiais, cultivar epitaxialmente um ou mais materiais, depositar conformamente um ou mais materiais, aplicar uma máscara rígida, aplicar uma máscara de gravura, realizar gravação, realizar planificação, formar uma pilha de porta (por exemplo, com o uso de um processo de porta de metal), realizar um processo de isolamento de trincheira rasa (STT) e/ou realizar um processo de limpeza padrão 1, como exemplos ilustrativos.

[081] O sistema de fabricação pode ter uma arquitetura distribuída (por exemplo, uma hierarquia). Por exemplo, o sistema de fabricação pode incluir um ou mais processadores, tais como o processador 1434, uma ou mais memórias, tais como a memória 1435, e/ou um ou mais controladores que são distribuídos de acordo com a arquitetura distribuída. A arquitetura distribuída pode incluir um processador de alto nível que controla ou inicia operações de um ou mais sistemas de baixo nível. Por exemplo, uma porção de alto nível do processo de fabricação 1428 pode ser iniciada ou controlada por um ou mais processadores, tais como o processador 1434, e os sistemas de baixo nível podem incluir ou podem ser controlados, cada um, por um ou mais controladores correspondentes. Um controlador particular de um sistema de baixo nível

particular pode receber uma ou mais instruções (por exemplo, comandos) de um sistema de alto nível particular, pode emitir sub-comandos para subordinar módulos ou ferramentas de processo e pode comunicar dados de estado de volta ao processador de alto nível. Cada um dentre os um ou mais sistemas de baixo nível pode ser associado a uma ou mais partes correspondentes de equipamento de fabricação, tais como uma ou mais ferramentas de processamento. Ferramentas de processamento exemplificativas incluem ferramentas de dopagem ou deposição (por exemplo, uma ferramenta de crescimento epitaxial de feixe molecular, uma ferramenta de deposição por vapor químico passível de fluidez (FCVD), uma ferramenta de deposição isolante ou uma ferramenta de deposição spin-on) e ferramentas removíveis (por exemplo, uma ferramenta de remoção química, uma ferramenta de remoção de gás reativo, uma ferramenta de remoção de reação de hidrogênio ou uma ferramenta de remoção de limpeza padrão 1).

[082] Em uma modalidade particular, o sistema de fabricação pode incluir múltiplos processadores que são distribuídos no sistema de fabricação. Por exemplo, um controlador de um componente de sistema de baixo nível pode incluir um processador, tal como o processador 1434. Alternativamente, o processador 1434 pode ser uma parte de um sistema, subsistema ou componente de alto nível do sistema de fabricação. Em outra modalidade, o processador 1434 inclui processamento distribuído em diversos níveis e componentes de um sistema de fabricação.

[083] A cunha 1436 pode ser fornecida para um processo de empacotamento 1438. O processo de empacotamento

1438 pode incorporar a cunha 1436 em um pacote 1440. O pacote 1440 pode incluir uma única cunha (tal como a cunha 1436) ou múltiplas cunhas, tais como em conexão com uma disposição de sistema-em-pacote (SiP). O pacote 1440 pode ser configurado para se conformar a um ou mais padrões ou especificações, tais como um ou mais padrões do Conselho Conjunto para Engenharia de Dispositivo de Elétrons (JEDEC).

[084] Informações em relação ao pacote 1440 podem ser distribuídos para diversos criadores de produto, tal como com o uso de uma biblioteca de componentes armazenada em um computador 1446. O computador 1446 pode incluir um processador 1448, tal como um ou mais núcleos de processamento, acoplado a uma memória 1450. Uma ferramenta de placa de circuito impresso (PCB) pode ser armazenada como instruções executáveis por processador na memória 1450 para processar informações de projeto de PCB 1442 recebidas a partir de um usuário do computador 1446 por meio de uma interface de usuário 1444. As informações de projeto de PCB 1442 podem incluir informações de posicionamento físico de um dispositivo empacotado em uma placa de circuito. O dispositivo empacotado pode incluir um ou mais componentes de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12.

[085] O computador 1446 pode transformar as informações de projeto de PCB 1442 para gerar um arquivo de dados, tal como um arquivo GERBER 1452. O arquivo GERBER 1452 pode indicar informações de posicionamento físico de um dispositivo empacotado em uma placa de circuito, assim como layout de conexões elétricas, tais como traços e vias.

As informações de posicionamento físico podem corresponder a (por exemplo, pode ser gerada com base em) uma ou mais estruturas de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12. Em algumas implantações, o arquivo de dados gerado transformando-se informações de projeto de PCB 1442 pode ter um formato diferente de um formato GERBER.

[086] O arquivo GERBER 1452 pode ser recebido em um processo de montagem de placa 1454 e usado para criar PCBs, tais como uma PCB 1456. A PCB 1456 pode ser produzida de acordo com as informações de projeto indicadas pelo arquivo GERBER 1452. Por exemplo, o arquivo GERBER 1452 pode ser transferido por upload para uma ou mais máquinas para realizar uma ou mais operações de um processo de produção de PCB. A PCB 1456 pode ser populada com componentes eletrônicos que incluem o pacote 1440 para formar uma montagem de circuito impresso (PCA) 1458. Os componentes eletrônicos podem incluir uma ou mais estruturas de qualquer um dos dispositivos 100 a 1200 das Figuras 1 a 12.

[087] A PCA 1458 pode ser recebida em um processo de produção de produto 1460 e integrada em um ou mais dispositivos eletrônicos, tal como um primeiro dispositivo eletrônico 1462 e um segundo dispositivo eletrônico 1464. O primeiro dispositivo eletrônico 1462 e o segundo dispositivo eletrônico 1464 podem incluir, cada um, um dispositivo móvel (por exemplo, um telefone celular), como um exemplo ilustrativo. Em outras implantações, primeiro dispositivo eletrônico 1462 e o segundo dispositivo eletrônico 1464 podem corresponder, cada um, a um computador (por exemplo, um computador do tipo laptop,

um computador do tipo tablet ou um computador do desktop), um dispositivo eletrônico vestível (por exemplo, uma câmera pessoal, um visor montado em cabeça ou um relógio), um sistema ou console de controla de veículo, um aparelho doméstico, um decodificador de sinais, uma unidade de entretenimento, um dispositivo de navegação, um assistente pessoal digital (PDA), uma televisão, um monitor, um sintonizador, um rádio (por exemplo, um rádio por satélite), um reproduutor de música (por exemplo, um reproduutor de música digital ou um reproduutor de música portátil), um reproduutor de vídeo (por exemplo, um reproduutor de vídeo digital, tal como um reproduutor de disco de vídeo digital (DVD) ou um reproduutor de vídeo digital portátil), uma unidade de dados de localização fixa, um robô, um dispositivo de cuidado de saúde, outro dispositivo eletrônico ou uma combinação dos mesmos.

[088] Um ou mais aspectos das modalidades descritas em relação às Figuras 1 a 14 podem ser representados pelo arquivo de biblioteca 1412, pelo arquivo de GDSII 1426 e/ou pelo arquivo GERBER 1452. Um ou mais aspectos dos exemplos descritos em relação às Figuras 1 a 14 podem ser representados por informações armazenadas na memória 1410 do computador de pesquisa 1406, na memória 1418 do computador de projeto 1414, na memória 1450 do computador 1446 e/ou em uma memória de um ou mais outros computadores ou processadores (não mostrados) usados nos diversos estágios, tal como no processo de montagem de placa 1454. Um ou mais aspectos das modalidades descritas em relação às Figuras 1 a 14 também podem ser incorporados em uma ou mais outras modalidades físicas, tais como a

máscara 1432, a cunha 1436, o pacote 1440, a PCA 1458, um ou mais outros produtos, tais como circuitos ou dispositivos de protótipo (não mostrados), ou uma combinação dos mesmos. Embora diversos estágios ilustrativos de produção de um projeto de dispositivo físico a um produto final sejam mostrados, em outras implantações menos estágios podem ser usados ou estágios adicionais podem ser incluídos. O processo de produção de dispositivo eletrônico 1400 pode ser realizado por uma única entidade ou por uma ou mais entidades que realizam diversos estágios do processo de produção de dispositivo eletrônico 1400.

[089] Com referência à Figura 15, um diagrama de blocos de uma modalidade ilustrativa particular de um dispositivo eletrônico é retratado e geralmente designado 1500. O dispositivo eletrônico 1500 pode corresponder a um ou mais dentre o primeiro dispositivo eletrônico 1462 e o segundo dispositivo eletrônico 1464 da Figura 14.

[090] O dispositivo eletrônico 1500 inclui um processador 1510, tal como um processador de sinal digital (DSP), uma unidade de processamento central (CPU), uma unidade de processamento de gráficos (GPU), outro dispositivo de processamento ou uma combinação dos mesmos. O processador 1510 pode ser configurado para executar instruções, tais como instruções 1568. O processador 1510 pode ser formado dentro da região 104. Alternativa ou adicionalmente, um ou mais outros componentes do dispositivo eletrônico 1500 podem ser formados dentro da região 104. O processador 1510 pode corresponder ao dispositivo de lógica 1499. Alternativa ou adicionalmente,

um ou mais outros componentes do dispositivo eletrônico 1500 podem corresponder ao dispositivo de lógica 1499.

[091] O dispositivo eletrônico 1500 pode incluir adicionalmente uma memória 1532. A memória 1532 pode ser acoplada ou integrada dentro do processador 1510. A memória 1532 pode incluir o módulo de MRAM 160.

[092] A Figura 15 também mostra um controlador de exibição 1526 que é acoplado ao processador 1510 e a um monitor 1528. Um codificador/decodificador (CODEC) 1534 também pode ser acoplado ao processador 1510. Um alto-falante 1536 e um microfone 1538 também pode ser acoplado ao CODEC 1534. A Figura 15 também indica que uma interface sem fio 1540 (tal como um ou mais dentre um controlador ou um transceptor sem fio) pode ser acoplada ao processador 1510 e a uma antena 1542.

[093] Em um exemplo particular, o processador 1510, o controlador de exibição 1526, a memória 1532, o CODEC 1534 e a interface sem fio 1540 estão incluídos em um dispositivo de sistema-em-pacote ou de sistema-em-chip 1522. O dispositivo de sistema-em-chip 1522 pode corresponder à cunha 1436. Adicionalmente, um dispositivo de entrada 1530 e uma fonte de alimentação 1544 podem ser acoplados ao dispositivo de sistema-em-chip 1522. Além disso, em um exemplo particular, o visor 1528, o dispositivo de entrada 1530, o alto-falante 1536, o microfone 1538, a antena 1542 e a fonte de alimentação 1544 são externos ao dispositivo de sistema-em-chip 1522. Entretanto, cada um dentre o visor 1528, o dispositivo de entrada 1530, o alto-falante 1536, o microfone 1538, a antena 1542 e a fonte de alimentação 1544 pode ser acoplado

a um componente do dispositivo de sistema-em-chip 1522, tal como a uma interface ou a um controlador.

[094] Em um exemplo particular, um aparelho inclui uma primeira estrutura (por exemplo, qualquer uma das porções 106 a 108 e a via 110) de uma primeira camada de metalização (por exemplo, a primeira camada de metalização 102). A primeira estrutura é acoplada a um dispositivo de lógica (por exemplo, um dispositivo de lógica formado dentro da região 104) de um circuito integrado (por exemplo, a cunha 1436 ou o dispositivo de sistema-em-chip 1522). O aparelho inclui adicionalmente uma segunda estrutura (por exemplo, a linha de bits 147) de uma segunda camada de metalização (por exemplo, a segunda camada de metalização 161 ). A segunda estrutura é acoplada a um ou mais elementos de armazenamento baseados em resistência (por exemplo, o elemento de armazenamento baseado em resistência 226) de um módulo de MRAM (por exemplo, o módulo de MRAM 160) do circuito integrado. A segunda estrutura é independente da primeira estrutura. O aparelho pode ser representado com o uso de informações de projeto, tais como o arquivo de GDSII 1426.

[095] Embora determinados exemplos sejam descritos com referência a um dispositivo de lógica, deve ser observado que outras implantações estão abrangidas pelo escopo da revelação. Por exemplo, em alguns casos, um dispositivo de memória pode ser formado na região 104. Nesse caso, o módulo de MRAM 160 pode funcionar como armazenamento redundante (por exemplo, no caso de um defeito de produção associado ao dispositivo de memória), como um exemplo ilustrativo. Alternativa ou adicionalmente,

a região 104 pode incluir um ou mais outros dispositivos. Adicionalmente, embora determinados exemplos sejam descritos com referência a um dispositivo de MRAM (por exemplo, o módulo de MRAM 160), em outros casos um ou mais outros dispositivos podem ser formados com o uso da segunda camada de metalização 161 (por exemplo, outro dispositivo de memória).

[096] Nos desenhos, determinados recursos podem ser omitidos para clareza de ilustração. Por exemplo, um dispositivo descrito no presente documento pode incluir um ou mais componentes (por exemplo, fiação) omitidos dos desenhos para clareza. Observa-se que um indivíduo versado na técnica reconhecerá que tais recursos podem ser selecionados com base na aplicação particular sem se afastar do escopo da revelação.

[097] Os indivíduos versados na técnica observarão adicionalmente que os diversos blocos, configurações, módulos, circuitos e etapas de algoritmo de lógica ilustrativos descritos em conexão com as modalidades revelados no presente documento podem ser implantados como hardware eletrônico, software de computador executado por um processador ou combinações de ambos. Diversos componentes, blocos, configurações, módulos, circuitos e etapas ilustrativos foram descritos acima geralmente em termos de sua funcionalidade. Se tal funcionalidade é implantada como hardware ou instruções executáveis por processador depende das restrições de aplicação e projeto particulares impostas no sistema geral. Os indivíduos versados na técnica podem implantar a funcionalidade descrita de formas variantes para aplicação particular, mas

tais decisões de implantação não devem ser interpretadas como causando um afastamento do escopo da presente revelação.

[098] As etapas de um método ou algoritmo descritas em conexão com as modalidades reveladas no presente documento podem ser embutidas diretamente em hardware, em um módulo de software executado por um processador ou em uma combinação dos dois. Por exemplo, uma ou mais operações do método 1300 podem ser iniciadas, controladas ou realizadas por um dispositivo de matriz de porta programável em campo (FPGA), um circuito integrado de aplicação específica (ASIC), uma unidade de processamento, tal como uma unidade de processamento central (CPU), um processador de sinal digital (DSP), um controlador, outro dispositivo de hardware, um dispositivo de firmware ou uma combinação dos mesmos. Um módulo de software pode residir em memória de acesso aleatório (RAM), memória de acesso aleatório magneto-resistiva (MRAM), memória flash, memória apenas leitura (ROM), uma memória apenas leitura programável (PROM), memória apenas leitura programável apagável (EPROM), memória apenas leitura programável eletricamente apagável (EEPROM), registros, disco rígido, um disco removível, uma memória apenas leitura de disco compacto (CD-ROM) ou qualquer outra forma de mídia de armazenamento não transitório conhecida na técnica. Uma mídia de armazenamento exemplificativa é acoplada ao processador de forma que o processador possa ler informações, e escrever informações, da mídia de armazenamento. Na alternativa, a mídia de armazenamento pode ser integral ao processador. O processador e a mídia

de armazenamento podem residir em um circuito integrado de aplicação específica (ASIC). O ASIC pode residir em um dispositivo de computação ou um terminal de usuário. Na alternativa, o processador e a mídia de armazenamento podem residir como componentes distintos em um dispositivo de computação ou um terminal de usuário.

[099] A descrição anterior das modalidades reveladas é fornecida para habilitar uma pessoa versada na técnica a fazer ou usar as modalidades reveladas. Diversas modificações a essas modalidades serão prontamente evidentes para os indivíduos versados na técnica e os princípios definidos no presente documento podem ser aplicados a outras modalidades sem se afastar do escopo da revelação. Dessa forma, a presente revelação não é destinada a ser limitada às modalidades mostradas no presente documento, mas deve estar de acordo com o escopo mais amplo possível consistente com os princípios e os recursos inovadores, conforme definido pelas reivindicações a seguir.

REIVINDICAÇÕES

1. Método de fabricação de um dispositivo, o método **caracterizado** pelo fato de que compreende:

formar (1302) uma primeira camada de metalização que é acoplada a um dispositivo de lógica de um dispositivo; e

formar (1304) uma camada de metalização dedicada que é acoplada a um módulo de memória de acesso aleatório magneto-resistiva, MRAM, do dispositivo, em que a camada de metalização dedicada é diferente da primeira camada de metalização.

2. Método, de acordo com a reivindicação 1, **caracterizado** pelo fato de que a primeira camada de metalização é formada com o uso de um processo de metalização de back-end da linha, BEOL, e uma camada de metalização dedicada é formada com o uso de um processo de metalização que é dedicado para formar um ou mais componentes associados ao módulo de MRAM.

3. Método, de acordo com a reivindicação 2, **caracterizado** pelo fato de que o processo de metalização de BEOL especifica um número inteiro positivo  $n$  de camadas de metalização e em que o dispositivo inclui pelo menos  $n+1$  camadas de metalização.

4. Método, de acordo com a reivindicação 2, **caracterizado** pelo fato de que formar a camada de metalização dedicada inclui realizar um processo damascene para formar os um ou mais componentes e em que os um ou mais componentes incluem uma ou mais dentre uma linha de bits do módulo de MRAM ou um contato de matriz do módulo de MRAM.

5. Método, de acordo com a reivindicação 1, **caracterizado** pelo fato de que compreende adicionalmente formar uma terceira camada de metalização após formar a camada de metalização dedicada, em que a primeira camada de metalização é associada a um primeiro campo que é menor que um segundo campo associado à terceira camada de metalização, em que a camada de metalização dedicada é configurada para utilizar o primeiro campo da primeira camada de metalização para formar um ou mais componentes associados ao módulo de MRAM, e em que o um ou mais componentes incluem elementos de armazenamento baseados em resistência.

6. Método, de acordo com a reivindicação 1, **caracterizado** pelo fato de que a formação da primeira camada de metalização e a formação da camada de metalização dedicada são iniciadas por meio de um processador que executa instruções, e em que a camada de metalização dedicada não é compartilhada com o dispositivo de lógica.

7. Memória legível por computador **caracterizada** pelo fato de que compreende instruções armazenadas na mesma, as instruções sendo executáveis por um computador para realizar o método conforme definido em qualquer uma das reivindicações 1 a 6.

8. Aparelho, **caracterizado** pelo fato de que compreende:

uma primeira estrutura (106-108, 110) de uma primeira camada de metalização (102), em que a primeira estrutura (106-108, 110) é acoplada a um dispositivo de lógica (104) de um circuito integrado (1436, 1522); e

uma segunda estrutura (147) de uma camada de

metalização dedicada (161), em que a segunda estrutura (147) é acoplada a um ou mais elementos de armazenamento baseados em resistência (226) de um módulo de memória de acesso aleatório magneto-resistiva, MRAM, (160) do circuito integrado (1436, 1522), em que a segunda estrutura (147) é diferente da primeira estrutura (106-108, 110).

9. Aparelho, de acordo com a reivindicação 8, **caracterizado** pelo fato de que o módulo de MRAM inclui adicionalmente um contato de módulo, um elemento de acoplamento acoplado ao contato de módulo e um contato de matriz.

10. Aparelho, de acordo com a reivindicação 8, **caracterizado** pelo fato de que compreende adicionalmente uma cunha semicondutora que inclui a primeira estrutura e a segunda estrutura.

11. Método de geração de um arquivo de dados (1452), o método **caracterizado** pelo fato de que compreende:

receber informações de projeto (1442) que representam pelo menos uma propriedade física de um dispositivo semicondutor, em que o dispositivo semicondutor compreende:

uma primeira estrutura de uma primeira camada de metalização, em que a primeira estrutura é acoplada a um dispositivo de lógica de um circuito integrado; e

uma segunda estrutura de uma camada de metalização dedicada, em que a segunda estrutura é acoplada a um ou mais elementos de armazenamento baseados em resistência de um módulo de memória de acesso aleatório magneto-resistiva, MRAM, do circuito integrado, em que a segunda estrutura é diferente da primeira estrutura;

transformar as informações de projeto (1442) para cumprirem com um formato de arquivo; e

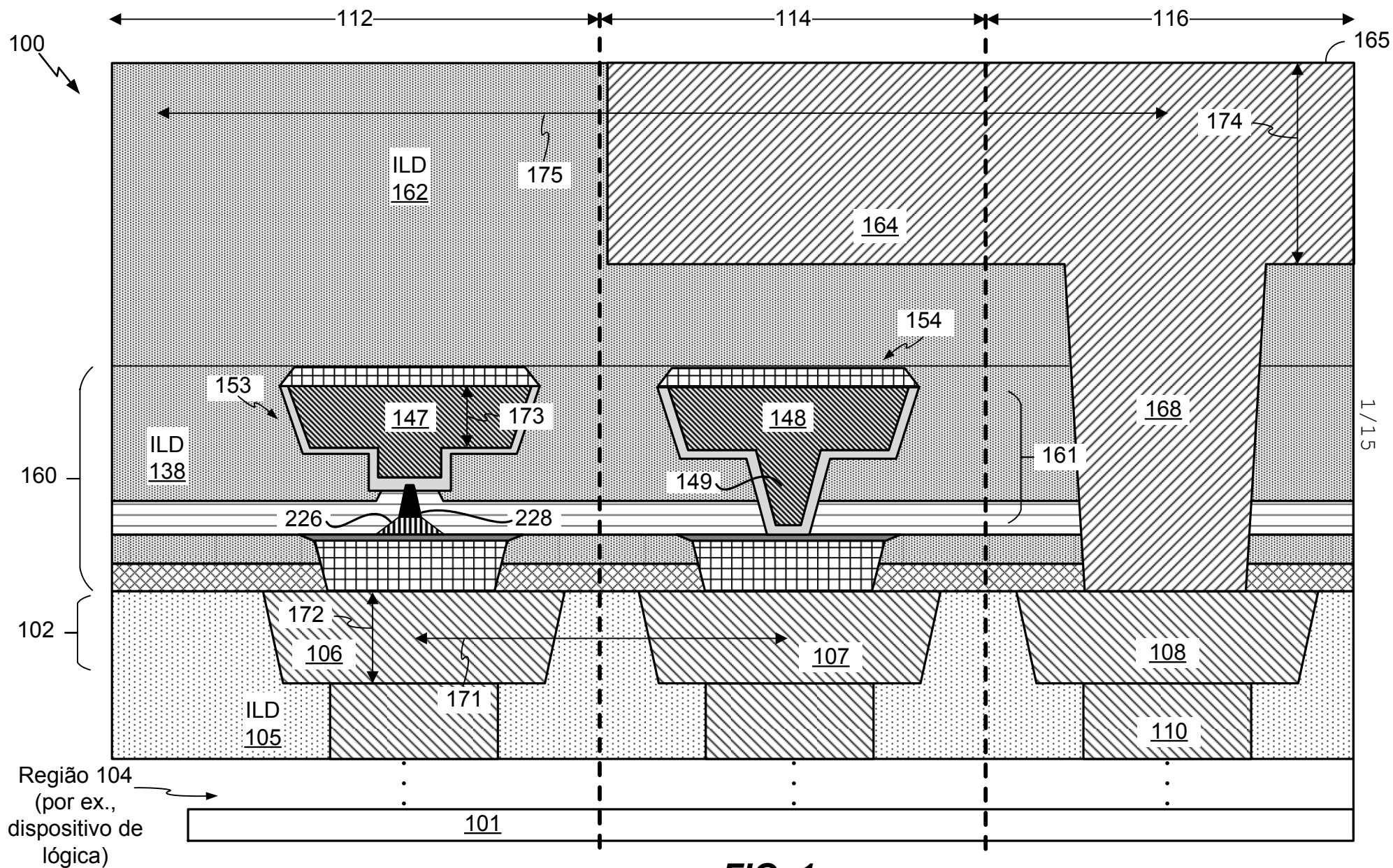
gerar um arquivo de dados (1452) que inclui as informações de projeto transformadas.

12. Método, de acordo com a reivindicação 11, **caracterizado** pelo fato de que o arquivo de dados tem um formato GDSII, e em que as informações de projeto incluem um arquivo de biblioteca.

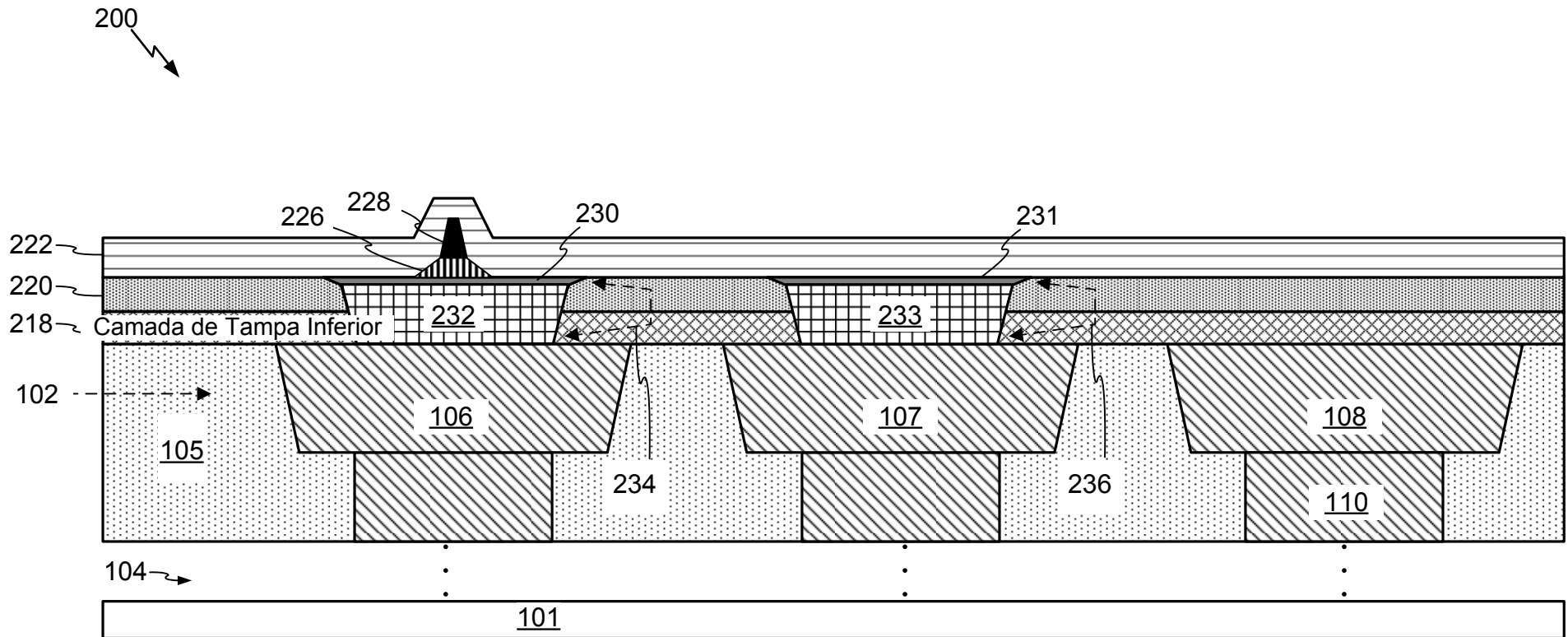
13. Método, de acordo com a reivindicação 11, **caracterizado** pelo fato de que as informações de projeto incluem informações de projeto do dispositivo de lógica que representam o dispositivo de lógica e incluem adicionalmente informações de projeto do módulo de MRAM que representam o módulo de MRAM.

14. Método, de acordo com a reivindicação 11, **caracterizado** pelo fato de que a primeira estrutura inclui um contato ou uma via, em que a camada de metalização dedicada não é compartilhada com o dispositivo de lógica.

15. Método, de acordo com a reivindicação 11, **caracterizado** pelo fato de que a segunda estrutura inclui uma linha de bits do módulo de MRAM ou um contato de matriz do módulo de MRAM.

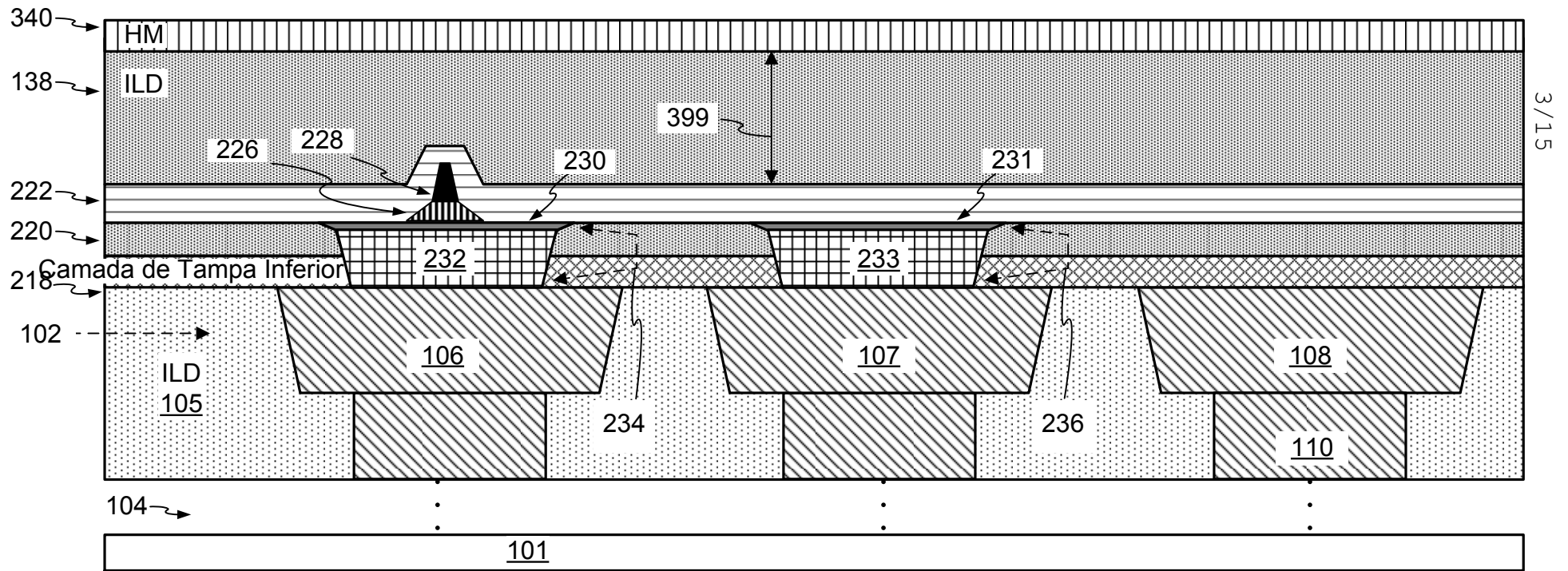


**FIG. 1**

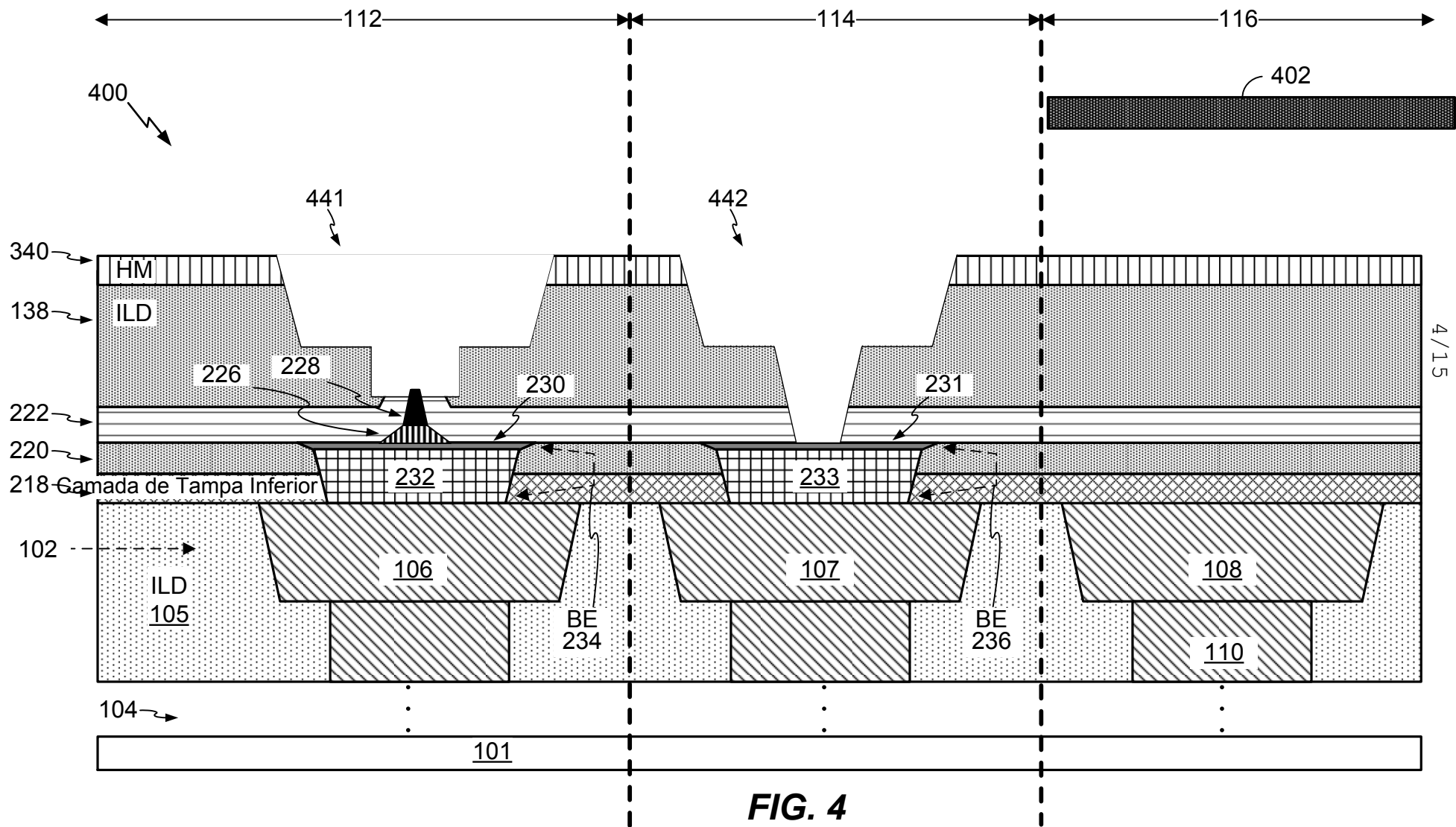


**FIG. 2**

300 ↘

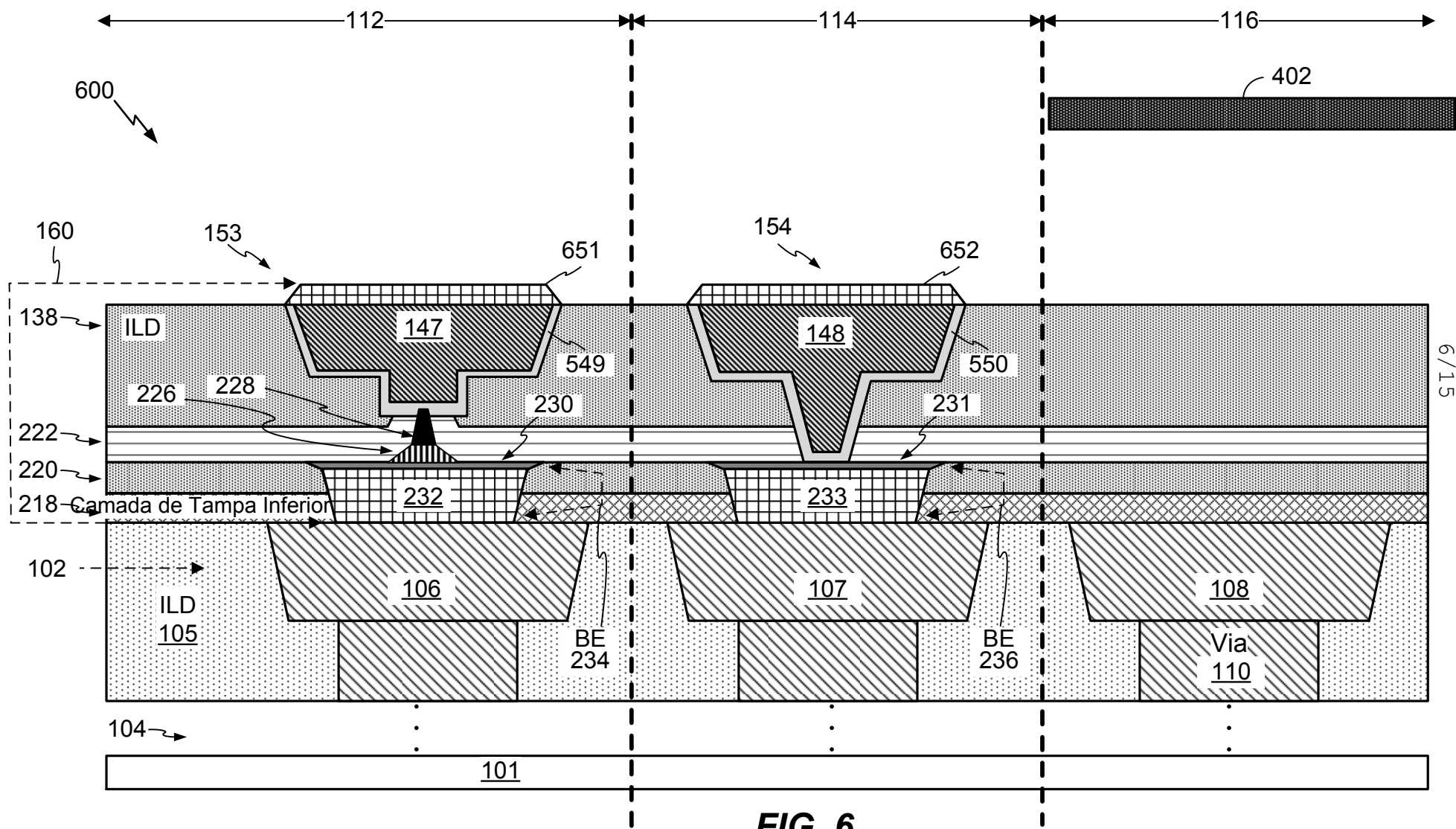


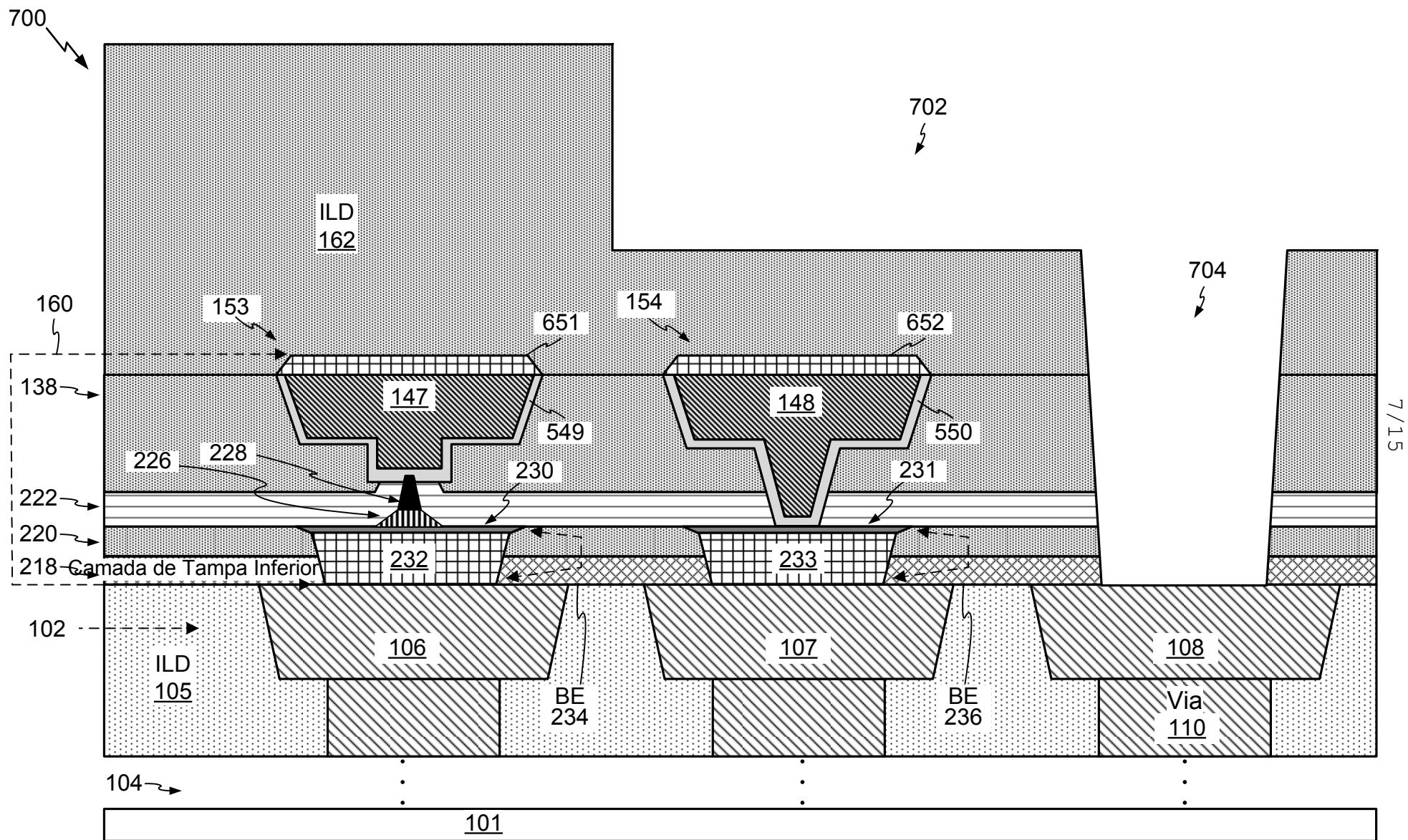
**FIG. 3**



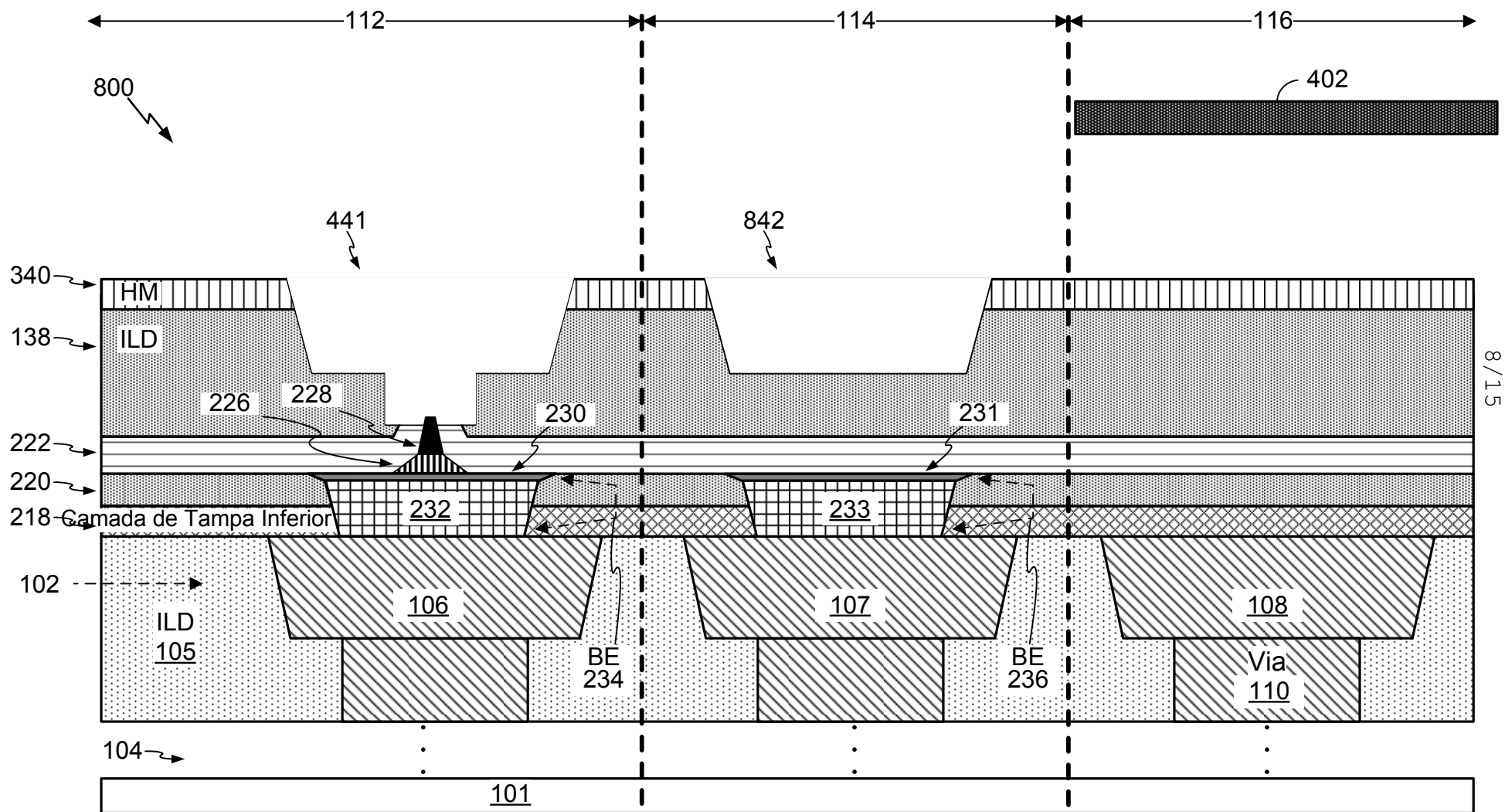
**FIG. 4**







**FIG. 7**

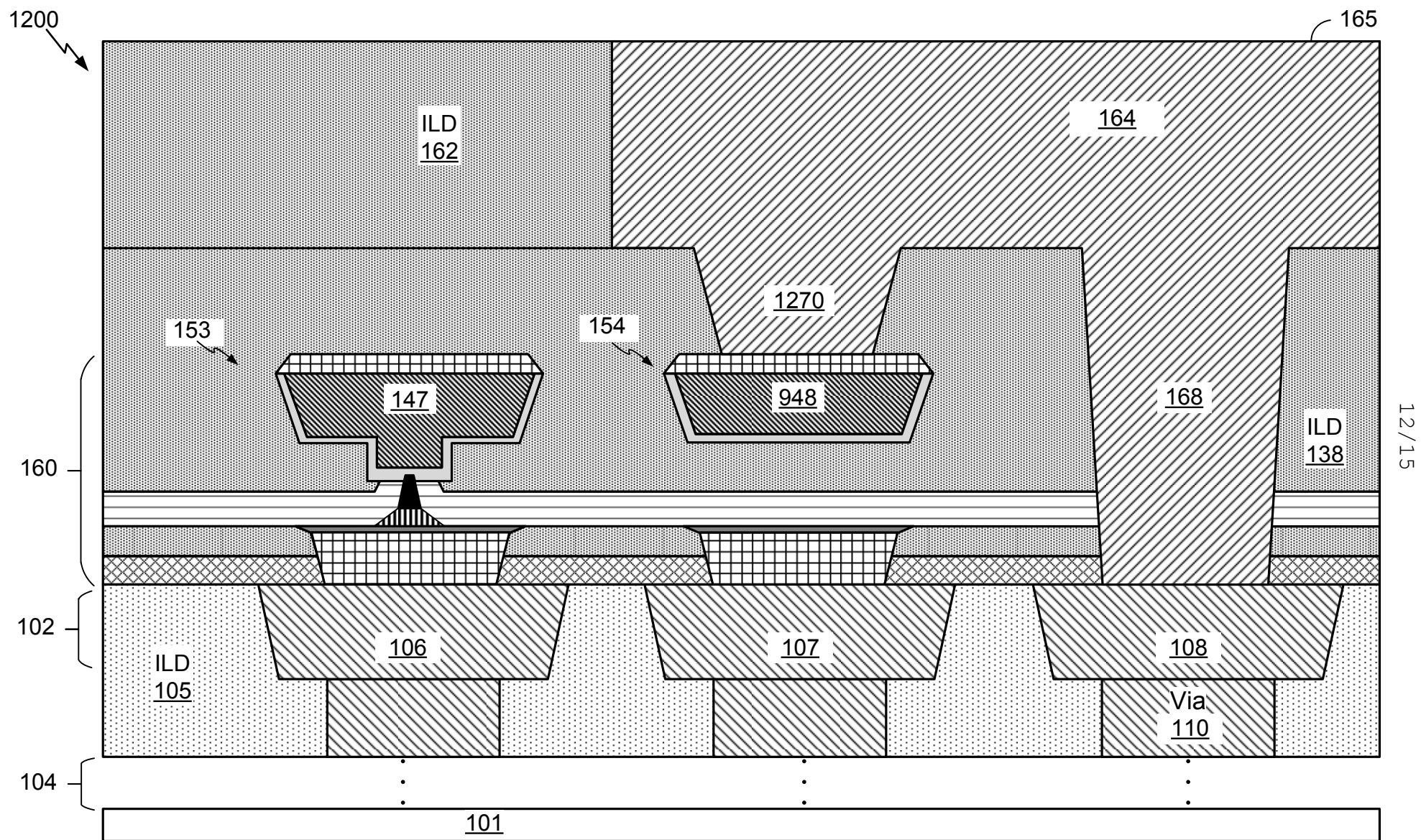


**FIG. 8**

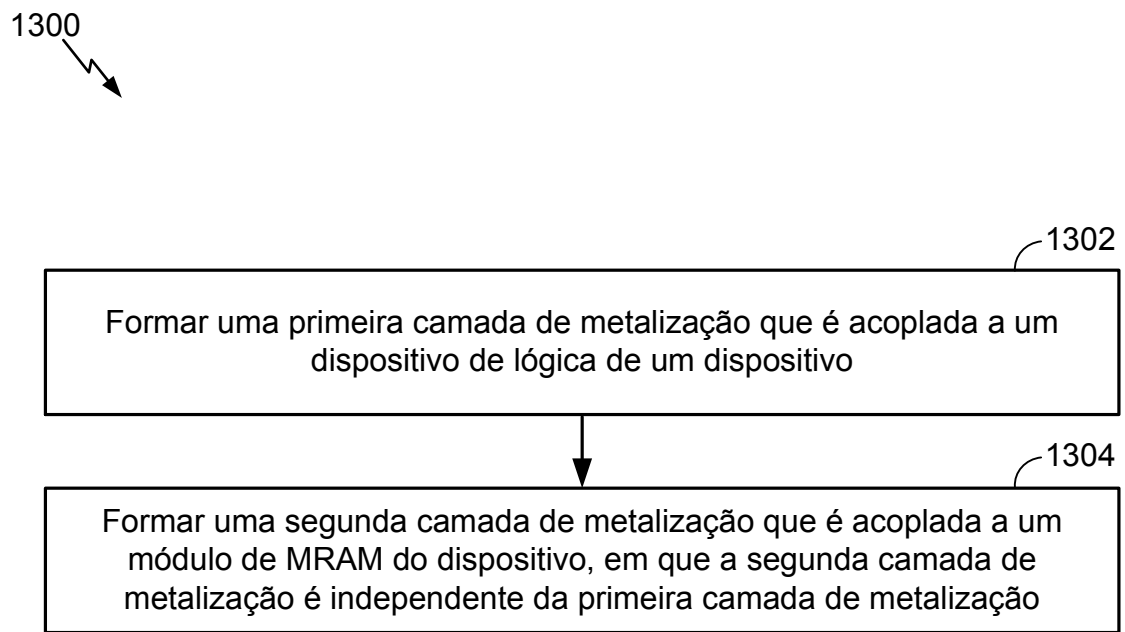




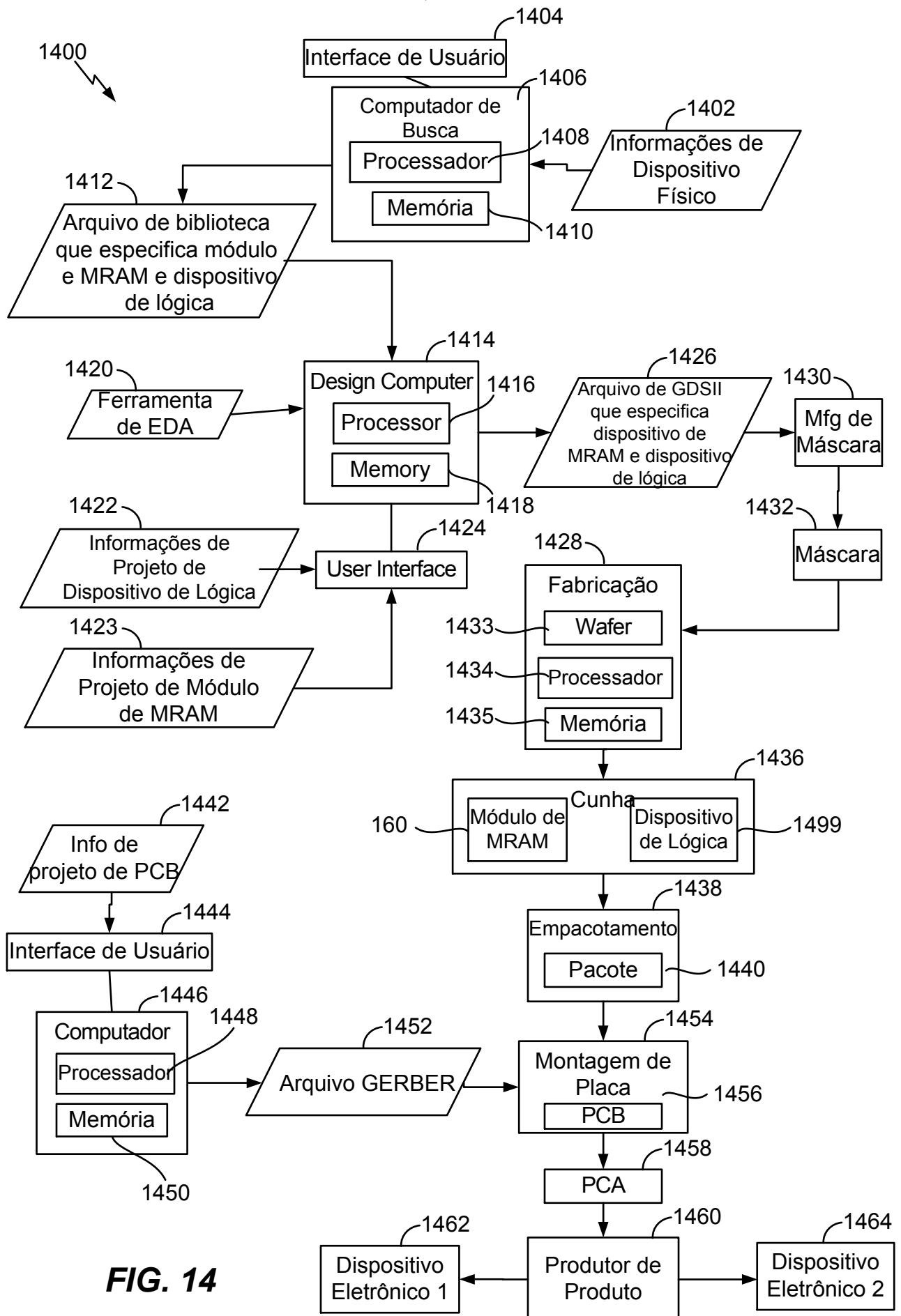




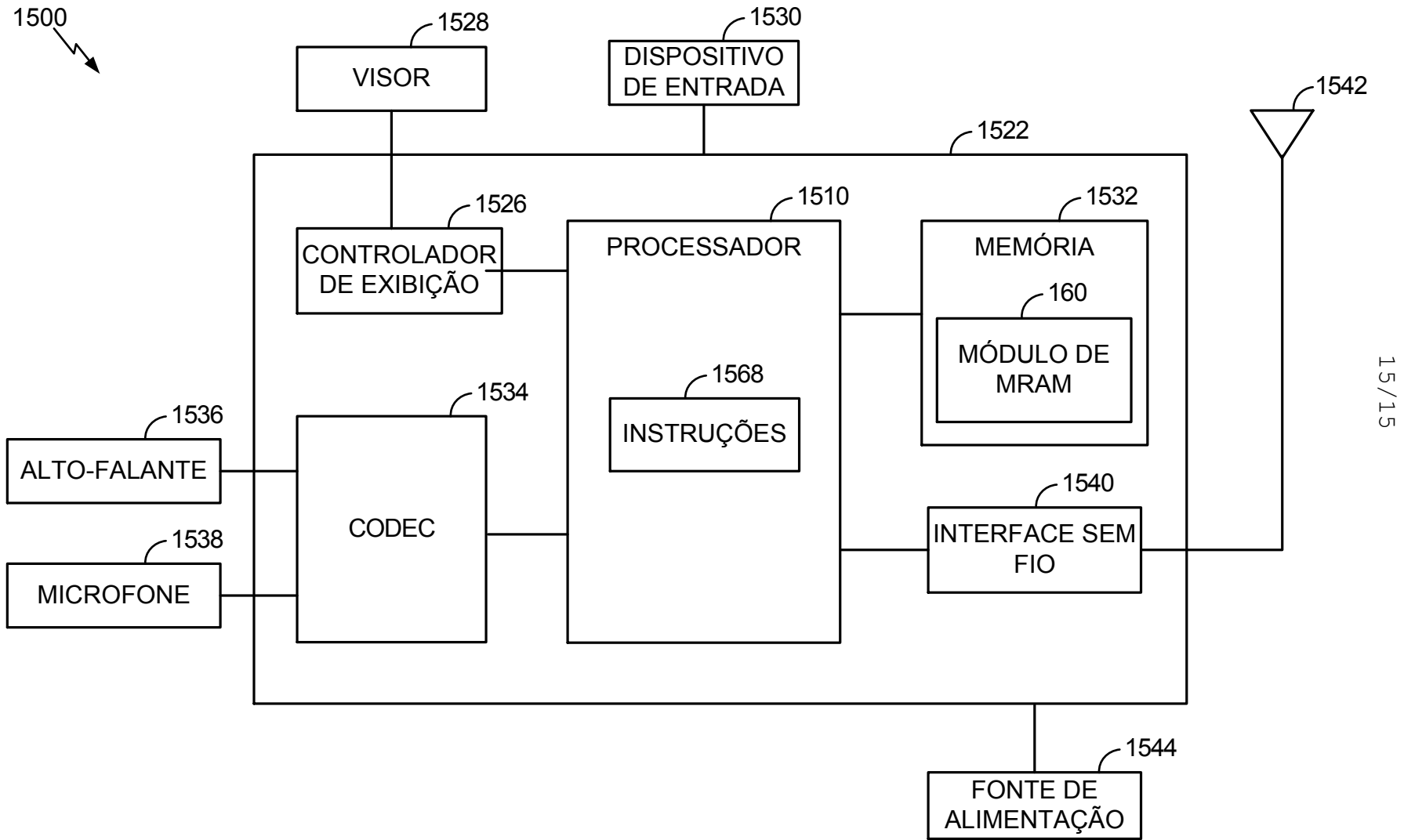
**FIG. 12**



**FIG. 13**



**FIG. 14**



**FIG. 15**