

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-62239

(P2010-62239A)

(43) 公開日 平成22年3月18日 (2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 8 3
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 0 1
H O 1 L 29/792 (2006.01)		
H O 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 11 O L (全 34 頁)

(21) 出願番号	特願2008-224448 (P2008-224448)	(71) 出願人	000003078
(22) 出願日	平成20年9月2日 (2008.9.2)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(72) 発明者	松 下 大 介
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内

最終頁に続く

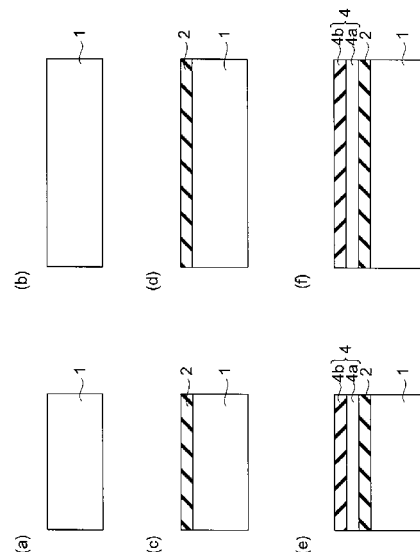
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】下層の絶縁膜が窒化するのを抑制するとともに上層の絶縁膜からの酸素の拡散を抑制して電荷捕獲密度の低下を可及的に防止することを可能にする。

【解決手段】第1絶縁膜2と、第1絶縁膜上に形成され、窒素が添加されたアモルファスシリコン層4aと、アモルファスシリコン層上に形成された第1窒化シリコン層4bと、第1窒化シリコン層上に形成された第2絶縁膜10と、を備えていることを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され、窒素が添加されたアモルファスシリコン層と、
前記アモルファスシリコン層上に形成された第 1 窒化シリコン層と、
前記第 1 窒化シリコン層上に形成された第 2 絶縁膜と、
を備えていることを特徴とする半導体装置。

【請求項 2】

半導体基板と、
前記半導体基板に離間して形成されたソース領域およびドレイン領域と、
前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成された第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され、窒素が添加されたアモルファスシリコン層と、前記アモルファスシリコン層上に形成された第 1 窒化シリコン層とを有する電荷蓄積膜と、
前記電荷蓄積膜上に形成された第 2 絶縁膜と、
前記第 2 絶縁膜上に形成された制御ゲート電極と、
を備えていることを特徴とする半導体装置。

【請求項 3】

制御ゲート電極と、層間絶縁膜とが交互に積層された積層構造と、
前記制御ゲート電極と前記層間絶縁膜の積層方向に前記積層構造を貫通するように設けられた穴の内側の表面を覆う第 1 絶縁膜と、
前記第 1 絶縁膜の内側の表面を覆いかつ窒素が添加されたアモルファスシリコン層と、このアモルファスシリコン層の内側の表面を覆う第 1 窒化シリコン層とを有する電荷蓄積膜と、
前記電荷蓄積膜の内側の表面を覆う第 2 絶縁膜と、
前記第 2 絶縁膜の内側の表面を覆う半導体層と、
を備えていることを特徴とする半導体装置。

【請求項 4】

前記電荷蓄積膜は、前記第 1 窒化シリコン層に対して前記アモルファスシリコン層と反対側に形成された第 2 窒化シリコン層を備えていることを特徴とする請求項 2 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記電荷蓄積膜は、前記第 2 窒化シリコン層に対して前記第 1 窒化シリコン層と反対側に形成された第 3 窒化シリコン層を備えていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記第 1 乃至第 3 窒化シリコン層は、それぞれ三配位の窒素結合を有し、この三配位の窒素結合の密度は、第 1 窒化シリコン層、第 2 窒化シリコン層、第 3 窒化シリコン層の順に、大きいことを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

第 1 絶縁膜を形成する工程と、
雰囲気圧が 550 以下の、アモルファスシリコンの生成が可能な第 1 温度で、アモルファスシリコン生成ガスを供給して前記第 1 絶縁膜上にアモルファスシリコン層を形成する工程と、
前記アモルファスシリコン生成ガスの供給を停止し、前記雰囲気圧の温度を窒化可能な第 2 温度まで上昇させて維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第 1 窒化シリコン層を形成する工程と、
前記第 1 窒化シリコン層上に第 2 絶縁膜を形成する工程と、
を備え、前記第 1 窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする半導体装置の製造方法。

【請求項 8】

第 1 絶縁膜を形成する工程と、

雰囲気が 550 以下の、アモルファスシリコンの生成が可能かつ窒化が可能な第 1 温度で、アモルファスシリコン生成ガスを供給して前記第 1 絶縁膜上にアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン生成ガスの供給を行いつつ前記雰囲気を前記第 1 温度に維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第 1 窒化シリコン層を形成する工程と、

前記第 1 窒化シリコン層上に第 2 絶縁膜を形成する工程と、

を備え、前記第 1 窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする半導体装置の製造方法。

10

【請求項 9】

第 1 絶縁膜を形成する工程と、

雰囲気が 550 以下の、アモルファスシリコンの生成が可能かつ窒化が可能な第 1 温度で、アモルファスシリコン生成ガスを供給して前記第 1 絶縁膜上にアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン生成ガスの供給を行いつつ前記雰囲気を前記第 1 温度に維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第 1 窒化シリコン層を形成する工程と、

前記雰囲気を前記第 1 温度よりも高い第 2 温度まで上昇して維持することにより、前記第 1 窒化シリコン層上に第 2 窒化シリコン層を形成する工程と、

20

前記第 2 窒化シリコン層上に第 2 絶縁膜を形成する工程と、

を備え、前記第 1 および第 2 窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする半導体装置の製造方法。

【請求項 10】

第 1 絶縁膜を形成する工程と、

雰囲気が 550 以下の、アモルファスシリコンの生成が可能かつ窒化が可能な第 1 温度で、アモルファスシリコン生成ガスを供給して前記第 1 絶縁膜上にアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン生成ガスの供給を行いつつ前記雰囲気を前記第 1 温度に維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第 1 窒化シリコン層を形成する工程と、

30

前記雰囲気を前記第 1 温度よりも高い第 2 温度まで上昇して維持することにより、前記第 1 窒化シリコン層上に第 2 窒化シリコン層を形成する工程と、

前記雰囲気を前記第 2 温度に維持したまま、前記アモルファスシリコン生成ガスの供給の停止を行うが前記窒化ガスを供給することにより前記第 2 窒化シリコン層上に第 3 窒化シリコン層を形成する工程と、

前記第 3 窒化シリコン層上に第 2 絶縁膜を形成する工程と、

を備え、前記第 1 乃至第 3 窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする半導体装置の製造方法。

40

【請求項 11】

制御ゲート電極と、層間絶縁膜とが交互に積層された積層構造を形成する工程と、

前記制御ゲート電極と前記層間絶縁膜の積層方向に前記積層構造を貫通する穴を形成する工程と、

前記穴の内側の表面を覆う第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜の内側の表面を覆うアモルファスシリコン層を形成する工程と、

前記アモルファスシリコン層の内側の表面を覆う第 1 窒化シリコン層を形成する工程と

、

前記第 1 窒化シリコン層の内側の表面を覆う第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の内側の表面を覆う半導体層を形成する工程と、

50

を備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に不揮発性半導体記憶装置に用いられる。

【背景技術】

【0002】

不揮発性メモリであるフラッシュメモリ、特にNAND型フラッシュメモリは、微細化が容易であるために低価格化、大容量化が急激に進んでおり、耐衝撃性という特徴もあ

10

【0003】

さて、NAND型フラッシュメモリに用いられるメモリセルは、周囲を絶縁膜で覆われたポリシリコンからなる浮遊ゲートを有しているフローティングゲート(FG)型、周囲を絶縁膜で覆われたシリコン窒化膜からなる電荷トラップ膜を有しているMONOS(Metal-Oxide-Nitride-Oxide-Silicon)型、SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)型であることが最大の特徴である。電荷蓄積膜となる、浮遊ゲートまたは電荷トラップ膜上に電極間絶縁膜またはブロック絶縁膜を挟むように形成された制御ゲートに印加する電圧(制御電圧)を制御して、基板からトンネル絶縁膜を介して浮遊ゲートもしくは電荷トラップ膜に電子をFN(Fowler-Nordheim)トンネリングで注入する(書き込み)、あるいは反対に浮遊ゲートからトンネル絶縁膜を通して電子を引き抜く(FG型、MONOS/SONOS型における消去)、または電荷トラップ膜に正孔を注入し、電子と対消滅させたりすることにより(MONOS/SONOS型における消去補助)、メモリセルの閾値を変動させている。ところが、微細化とともに一つの大きな問題がクローズアップされるようになってきた。

20

【0004】

メモリ容量の増大には素子サイズの微小化が最も有効であるが、そのためには電荷蓄積膜の微細化が必要である。ところが、電荷蓄積膜を微細化した場合でも、メモリセルの駆動に必要とされる電荷量は、誤動作を抑えるため、およびセル当たりのビット数を上げるための多値化を実現するためにも極力高いことが求められる。すなわち、電荷捕獲密度を上げる必要がある。さらに、横方向(電荷蓄積膜の堆積方向に垂直な方向)の微細化に伴って縦方向(電荷蓄積膜の堆積方向)の微細化、すなわち薄膜化が行われて捕獲時間が減少しかつ抜ける電荷が増加する。このため、捕獲効率と保持特性を上げる必要もある。

30

【0005】

電荷捕獲密度を上げるために、電荷蓄積膜となるシリコン窒化膜中のシリコン濃度を向上させる手法が提案されている(例えば、特許文献1参照)。しかし、この特許文献1の手法では、熱を加えてトンネル絶縁膜上にシリコン窒化膜を直接に堆積しているので、トンネル絶縁膜が窒化されて電荷のトラップ源が出来る。そして、このトラップ源が生成された部分で電荷が捕獲されるので、電荷蓄積膜に電荷が効率的に注入されず、捕獲効率が低下する問題がある。

40

【0006】

また、電荷蓄積膜の上部に配置されたブロック絶縁膜を高誘電体膜(High-k膜)にして絶縁性を上げ、捕らえた電荷が抜けないようにすることで保持特性を維持する手法が提案されている(特許文献2参照)。しかし、この特許文献2に記載の手法においては、熱を加えて、電荷蓄積膜となるシリコン窒化膜上に、酸素及び金属を含有したブロック絶縁膜を直接に堆積しているので、シリコン窒化膜中に酸素が拡散し、欠陥が酸化補修されてしまう。このため、捕獲効率が低下する問題がある。

【特許文献1】特開2003-347543号公報

【特許文献2】特開2007-287856号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、上記事情を考慮してなされたもので、下層の絶縁膜が窒化することを抑制することを可能にするとともに上層の絶縁膜からの酸素の拡散を抑制することを可能にして電荷捕獲密度の低下を可及的に防止することのできる、窒化膜を備えた半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の態様による半導体装置は、第1絶縁膜と、前記第1絶縁膜上に形成され、窒素が添加されたアモルファスシリコン層と、前記アモルファスシリコン層上に形成された第1窒化シリコン層と、前記第1窒化シリコン層上に形成された第2絶縁膜と、を備えていることを特徴とする。

10

【0009】

また、本発明の第2の態様による半導体装置は、半導体基板と、前記半導体基板に離間して形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、窒素が添加されたアモルファスシリコン層と、前記アモルファスシリコン層上に形成された第1窒化シリコン層とを有する電荷蓄積膜と、前記電荷蓄積膜上に形成された第2絶縁膜と、前記第2絶縁膜上に形成された制御ゲート電極と、を備えていることを特徴とする。

20

【0010】

また、本発明の第3の態様による半導体装置は、制御ゲート電極と、層間絶縁膜とが交互に積層された積層構造と、前記制御ゲート電極と前記層間絶縁膜の積層方向に前記積層構造を貫通するように設けられた穴の内側の表面を覆う第1絶縁膜と、前記第1絶縁膜の内側の表面を覆いかつ窒素が添加されたアモルファスシリコン層と、このアモルファスシリコン層の内側の表面を覆う第1窒化シリコン層とを有する電荷蓄積膜と、前記電荷蓄積膜の内側の表面を覆う第2絶縁膜と、前記第2絶縁膜の内側の表面を覆う半導体層と、を備えていることを特徴とする。

【0011】

また、本発明の第4の態様による半導体装置の製造方法は、第1絶縁膜を形成する工程と、雰囲気ガスが550以下、アモルファスシリコンの生成が可能な第1温度で、アモルファスシリコン生成ガスを供給して前記第1絶縁膜上にアモルファスシリコン層を形成する工程と、前記アモルファスシリコン生成ガスの供給を停止し、前記雰囲気ガスの温度を窒化可能な第2温度まで上昇させて維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第1窒化シリコン層を形成する工程と、前記第1窒化シリコン層上に第2絶縁膜を形成する工程と、を備え、前記第1窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする。

30

【0012】

また、本発明の第5の態様による半導体装置の製造方法は、第1絶縁膜を形成する工程と、雰囲気ガスが550以下の、アモルファスシリコンの生成が可能かつ窒化が可能な第1温度で、アモルファスシリコン生成ガスを供給して前記第1絶縁膜上にアモルファスシリコン層を形成する工程と、前記アモルファスシリコン生成ガスの供給を行いかつ前記雰囲気を前記第1温度に維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第1窒化シリコン層を形成する工程と、前記第1窒化シリコン層上に第2絶縁膜を形成する工程と、を備え、前記第1窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする。

40

【0013】

また、本発明の第6の態様による半導体装置の製造方法は、第1絶縁膜を形成する工程と、雰囲気ガスが550以下の、アモルファスシリコンの生成が可能かつ窒化が可能な第1温度で、アモルファスシリコン生成ガスを供給して前記第1絶縁膜上にアモルファスシリ

50

コン層を形成する工程と、前記アモルファスシリコン生成ガスの供給を行いつつ前記雰囲気の前記第 1 温度に維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第 1 窒化シリコン層を形成する工程と、前記雰囲気を前記第 1 温度よりも高い第 2 温度まで上昇して維持することにより、前記第 1 窒化シリコン層上に第 2 窒化シリコン層を形成する工程と、前記第 2 窒化シリコン層上に第 2 絶縁膜を形成する工程と、を備え、前記第 1 および第 2 窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする。

【0014】

また、本発明の第 7 の態様による半導体装置の製造方法は、第 1 絶縁膜を形成する工程と、雰囲気が 550 以下の、アモルファスシリコンの生成が可能かつ窒化が可能な第 1 温度で、アモルファスシリコン生成ガスを供給して前記第 1 絶縁膜上にアモルファスシリコン層を形成する工程と、前記アモルファスシリコン生成ガスの供給を行いつつ前記雰囲気を前記第 1 温度に維持しながら窒化ガスを供給することにより前記アモルファスシリコン層上に第 1 窒化シリコン層を形成する工程と、前記雰囲気を前記第 1 温度よりも高い第 2 温度まで上昇して維持することにより、前記第 1 窒化シリコン層上に第 2 窒化シリコン層を形成する工程と、前記雰囲気を前記第 2 温度に維持したまま、前記アモルファスシリコン生成ガスの供給の停止を行うが前記窒化ガスを供給することにより前記第 2 窒化シリコン層上に第 3 窒化シリコン層を形成する工程と、前記第 3 窒化シリコン層上に第 2 絶縁膜を形成する工程と、を備え、前記第 1 乃至第 3 窒化シリコン層を形成する際に、前記アモルファスシリコン層に窒素が添加されることを特徴とする。

【0015】

また、本発明の第 8 の態様による半導体装置の製造方法は、制御ゲート電極と、層間絶縁膜とが交互に積層された積層構造を形成する工程と、前記制御ゲート電極と前記層間絶縁膜の積層方向に前記積層構造を貫通する穴を形成する工程と、前記穴の内側の表面を覆う第 1 絶縁膜を形成する工程と、前記第 1 絶縁膜の内側の表面を覆うアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層の内側の表面を覆う第 1 窒化シリコン層を形成する工程と、前記第 1 窒化シリコン層の内側の表面を覆う第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜の内側の表面を覆う半導体層を形成する工程と、を備えていることを特徴とする

【発明の効果】

【0016】

本発明によれば、下層の絶縁膜が窒化するのを抑制するとともに上層の絶縁膜からの酸素の拡散を抑制して電荷捕獲密度の低下を可及的に防止することができる。

【発明を実施するための最良の形態】

【0017】

(第 1 実施形態)

本発明の第 1 実施形態による半導体装置の製造方法を説明する。本実施形態の製造方法によって製造される半導体装置は、MONOS 型の不揮発性半導体記憶装置であって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図 1 (a) 乃至図 4 (b) を参照して説明する。図 1 (a) 乃至図 4 (b) は、本実施形態の製造方法の製造工程断面図であって、図 1 (a)、図 1 (c)、図 1 (e)、図 2 (a)、図 2 (c)、図 3 (a)、図 3 (c)、図 4 (a) は、図 1 (b)、図 1 (d)、図 1 (f)、図 2 (b)、図 2 (d)、図 3 (b)、図 3 (d)、図 4 (b) とそれぞれ互いに直交する断面を示している。

【0018】

まず、図 1 (a)、図 1 (b) に示すように、所望の不純物をドーピングしたシリコン基板 1 を希 HF 処理し、シリコン基板 1 の表面を水素により終端化する。その後、このシリコン基板 1 を成膜装置のチャンバーに置く。続いて、チャンバー内の雰囲気を、製造プロセス中にシリコンと反応もしくはエッチングしないガス (例えば、窒素ガス) のみにした後、シリコン基板 1 の温度を 700 にまで上げ、シリコン基板から水素を完全に脱離

させる。

【0019】

次に、チャンバー内の雰囲気、例えば分圧が30 Torrの N_2 と、分圧が3 Torrの O_2 との混合雰囲気とし、シリコン基板1の表面を1050℃にして50秒間維持する。これにより、図1(c)、図1(d)に示すように、シリコン基板1上にトンネル絶縁膜となるシリコン酸化膜2が形成される。

【0020】

次に、ジシランガス(Si_2H_6)を用いてシリコン酸化膜上にアモルファスシリコン層を2nm堆積する。このときのシリコン基板1の温度は550℃以下であることが好ましい。本実施形態では、シリコン基板1の温度を例えば420℃とする。続いて、チャンバー内を、例えば分圧が30 Torrの N_2 と、分圧が0.03 Torrの NH_3 との混合雰囲気とし、シリコン基板1の表面を750℃にして100秒間維持する。これにより、図1(e)、図1(f)に示すように、アモルファスシリコン層中に窒素が拡散して、下側に窒素が添加されたアモルファスシリコン層4aと、上側にシリコン窒化層4bが形成される。すなわち、アモルファスシリコン層4aと、シリコン窒化層4bとの積層構造を有する電荷蓄積膜4が形成される。この時、シリコン窒化層4bは面内方向に連続する層であって、三配位の窒素結合を有し、且つ窒素の第二近接原子の少なくとも1つが窒素となる構造を有している。ここで、三配位の窒素結合とは、1個の窒素原子に3個のシリコン原子が結合した状態を意味する。この電荷蓄積膜4の形成プロセスにおけるシリコン基板の温度、ジシランガス(Si_2H_6)の供給、および NH_3 ガスの供給のタイミングチャートを図5に示す。

【0021】

次に、素子分離加工に用いるマスク材6を電荷蓄積膜4上に、CVD(Chemical Vapor Deposition)法で堆積する(図2(a)、図2(b))。その後、レジストマスク(図示せず)を用いたRIE(Reactive Ion Etching)法により、マスク材6、電荷蓄積膜4、トンネル絶縁膜2を、順次エッチング加工してシリコン基板1の表面の一部を露出させる。そして、さらにシリコン基板1の露出した領域をエッチングして、図2(b)に示すように、深さ100nmの素子分離溝8を形成する。その後、上記レジストマスクを除去する。

【0022】

次に、全面に素子分離用のシリコン酸化膜9を堆積して、素子分離溝8を完全に埋め込む。その後、表面部分のシリコン酸化膜9をCMP(Chemical Mechanical Polishing)法を用いて除去し、シリコン酸化膜9の表面を平坦化する。このとき、マスク材6が露出する(図2(c)、図2(d))。

【0023】

次に、露出したマスク材6を選択的にエッチング除去した後、シリコン酸化膜9の露出表面を希フッ酸溶液でエッチング除去する。その後、全面に厚さ15nmのアルミナ層をALD(Atomic Layer Deposition)法で堆積する。このとき、ALD法での成膜時の酸化剤により、アルミナ層に接するシリコン窒化層4bが酸化されて、極薄のシリコン酸窒化層が形成され、このシリコン酸窒化層と、アルミナ層との2層構造を有する厚さ16nmのブロック絶縁膜10が形成される(図3(a)、図3(b))。

【0024】

次に、CVD法を用いて多結晶シリコン層、タングステンシリサイド層を順次堆積し、多結晶シリコン層と、タングステンシリサイド層との2層構造を有する厚さ100nmの導電膜11を、制御ゲート電極として形成する。さらに、RIE用のマスク材12をCVD法で堆積する。その後、レジストマスク(図示せず)を用いたRIE法により、マスク材12、導電膜11、ブロック絶縁膜10、電荷蓄積膜4、トンネル絶縁膜2を、順次エッチング加工して、ワード線方向の溝13を形成する(図3(c)、図3(d))。これにより、電荷蓄積膜4および制御ゲート電極11の形状が確定する。

【0025】

最後に、マスク材 12、導電膜 11、ブロック絶縁膜 10、電荷蓄積膜 4、トンネル絶縁膜 2 の露出した面に、電極側壁酸化膜と呼ばれるシリコン酸化膜 14 を熱酸化法で形成後、イオン注入法を用いてソース/ドレイン領域 15a、15b を形成し、さらに、全面を覆うように層間絶縁膜 16 を CVD 法で形成する (図 4 (a)、図 4 (b))。その後は、周知の方法で配線層等を形成して不揮発性半導体記憶装置が完成する。

【0026】

このようにしてアモルファスシリコンに窒素を添加して電荷蓄積膜とし、同時に電荷蓄積膜の上部にシリコン窒化層を形成した MONOS 構造は、アモルファスシリコンがトンネル絶縁膜 2 への窒素の拡散を抑制し、かつシリコン窒化層 4b がブロック絶縁膜 10 の形成時の電荷蓄積膜 4 への酸素の拡散を抑えるために、捕獲特性と保持特性に優れるという特徴を有する。また、本実施形態で説明したような、窒素が添加されたアモルファスシリコン層と、このアモルファスシリコン層上に形成された第 1 窒化シリコン層との積層構造の電荷蓄積膜とすることにより、電荷蓄積膜上に形成されるブロック絶縁膜に酸素が含まれておらず、かつブロック絶縁膜上に設けられる制御ゲート電極が酸素を含む導電体、例えば、酸化物導電体からなる場合、ブロック絶縁膜を介した制御ゲート電極からの酸素の拡散を可及的に抑制することができる。

10

【0027】

本実施形態の実施例として、絶縁膜上に設けられたアモルファスシリコンを窒化することにより、窒素が添加されたアモルファスシリコン層 4a とシリコン窒化層 4b との積層構造の電荷蓄積膜 4 を形成する方法を用いて不揮発性半導体記憶装置を形成する。また、比較例として、絶縁膜上に電荷蓄積膜となるシリコン窒化膜を直接堆積する方法を用いて不揮発性半導体記憶装置を形成する。そして、実施例と比較例の書き込み消去特性およびデータ保持特性を図 6 に示す。図 6 の横軸は時間を示し、縦軸はフラットバンド電圧のシフト量 ΔV_{fb} を示す。図 6 からわかるように、本実施例は、比較例に比べて、データ保持特性を維持しながら書き込み消去特性が向上している。すなわち、本実施例の方が比較例に比べて、効率的な電荷の注入を行うことができることおよび電荷捕獲密度が向上している。これは、図 7 (a)、図 7 (b) に示すように、本実施例においては、シリコン窒化層 4b と、 SiO_2 からなるトンネル絶縁膜 2 との間にアモルファスシリコン (図中では a-Si と表記している) 4a が存在する。このため、図 7 (c) に示すように、トンネル絶縁膜 2 への窒素の拡散が抑えられ、結果としてトンネル絶縁膜 2 中でのトラップ源の生成を抑制し、高い注入効率を実現できる。また、図 7 (d) に示すように、アルミナのブロック絶縁膜 10 と電荷蓄積膜 4 との間にシリコン窒化層 4b が存在しているので、ブロック絶縁膜 10 の形成時の電荷蓄積膜 4 への酸素の拡散を抑制し、高い電荷捕獲密度を維持できる。

20

30

【0028】

なお、アモルファスシリコン層 4a を形成する際および窒素を添加する際には、アモルファスシリコンの堆積温度、アモルファスシリコン中の窒素濃度に注意が必要である。アモルファスシリコンの堆積温度をパラメータとして、アモルファスシリコン中の平均窒素濃度と、電荷捕獲密度との関係を図 8 に示す。図 8 からわかるように、アモルファスシリコンの堆積温度を低くし、窒素濃度を低くすることによって電荷捕獲密度が向上している。これは、アモルファスシリコンの堆積温度が低いとアモルファスシリコンの結晶成長がしにくく、欠陥が多く含まれたアモルファスシリコン構造となり、その結果として電荷捕獲密度が大きくなることによる。また、アモルファスシリコンの堆積温度が低いとシリコン中に水素が多量に含まれることになる。シリコン中に含まれる水素は、この後の窒化処理時に、a-Si から外れて新しい欠陥を生成する。このことから、アモルファスシリコンの堆積温度としては、水素が含まれつつアモルファスシリコンが堆積することが可能な温度が良い。具体的には、水素が脱離しにくい 500°C 以下が好ましく、堆積時に含まれる水素濃度としては $1 \times 10^{21} \text{ cm}^{-3}$ 以上が好ましい。

40

【0029】

また窒素を添加する温度 (窒化温度) としては、アモルファスシリコン中の欠陥密度が

50

減少せず、かつ窒化が生じる温度であることが好ましい。具体的には800以下が良い。800より高いと、欠陥密度が減少するだけでなく、窒化膜の凝集が起きるために電荷捕獲密度のばらつきが大きくなってしまう。窒素分圧については、窒化速度を遅くしかつ窒素濃度に対する時間の制御性を上げる上で低い方が好ましく、特に50 Torr以下が好ましい。

【0030】

窒化温度、窒素分圧を変えて同じ20at.%の窒素量を添加する場合の電荷捕獲密度の面内ばらつきを図9に示す。窒化温度を800以下、窒素分圧を50 Torr以下にすることによって、電荷捕獲密度を高く維持しつつも、面内ばらつきが小さくなっていることがわかる。

10

【0031】

これは、窒化温度および窒素分圧が高い場合には窒化速度が速く、直ぐにアモルファスシリコンの表面にシリコン窒化膜が形成される。これにより、窒化種の拡散が抑えられ、アモルファスシリコン中の窒素分布のばらつきが大きくなるからである。

【0032】

これに対して、窒化温度および窒素分圧が低いと、窒化速度が遅くなり、これによりアモルファスシリコン中に窒素を効率的に添加することができ、電荷捕獲密度が大きかつばらつきの少ない構造とすることが可能となる。

【0033】

また、窒化温度、窒素分圧によらず、窒化時間は400秒以下が好ましい。しかも、温度によって好ましい時間が異なるので、温度に応じて最適域を選ぶのが好ましい。窒化温度が500、700、800における、アモルファスシリコンの窒化時間と電荷捕獲密度との関係を図10に示す。なお、窒化温度が500のときは、プラズマ窒化を用い、窒化温度が700および800のときは、 NH_3 ガスを用いて窒化している。図10からわかるように、窒化時間が長くなるにつれて電荷捕獲密度が減少している。一方、500窒化では100秒以下、800窒化では200秒以下、700窒化では400秒以下に設定することで電荷捕獲密度の向上が見られている。これは窒化時間が長くなるとアモルファスシリコンが完全に窒化されて絶縁体となることによる。また、そして窒素がアモルファスシリコンを突き抜けて下に配置されているトンネル絶縁膜を窒化し、特性を劣化させてしまうため、この点でも長時間窒化は好ましくない。

20

30

【0034】

なお、本実施形態ではアモルファスシリコンを堆積する際のガスとして Si_2H_6 を用いたが、アモルファスシリコンを堆積できるガスであれば Si_2H_6 に限るものではなく、 SiH_4 、 SiH_2Cl_2 を用いても良い。

【0035】

なお、本実施形態ではアモルファスシリコンを窒化する際のガスとして NH_3 を用いたが、窒化性のガスであれば NH_3 に限るものではなく、 NO 、 N ラジカル、 NH ラジカル、 N_2 ラジカル、 N プラズマ、 NH プラズマ、 N_2 プラズマを用いても良い。

【0036】

なお、本実施形態ではブロック絶縁膜として Al_2O_3 を用いたが、電荷蓄積膜からの電荷の抜けを抑制できるのであれば Al_2O_3 に限るものではなく、 Al_2O_3 の他に SiO_2 または LaAlO を用いることが好ましい。また、 HfSiO 、 HfAlO 、 LaAlSiO 、 LaHfO 等の High-k 膜を用いても良い。

40

【0037】

以上説明したように、本実施形態によれば、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

【0038】

(第2実施形態)

次に、本発明の第2実施形態による半導体記憶装置の製造方法を説明する。本実施形態

50

の製造方法によって製造される半導体記憶装置は、MONOS型の不揮発性半導体記憶装置であって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図11(a)乃至図14(b)を参照して説明する。図11(a)乃至図14(b)は本実施形態の製造方法の製造工程断面図であって、図11(a)、図11(c)、図11(e)、図12(a)、図12(c)、図13(a)、図13(c)、図14(a)は、図11(b)、図11(d)、図11(f)、図12(b)、図12(d)、図13(b)、図13(d)、図14(b)とそれぞれ互いに直交する断面を示している。本実施形態の製造方法は、第1実施形態において、電荷蓄積膜の形成を2回連続して行う方法である。

【0039】

10

まず、図11(a)、図11(b)に示すように、所望の不純物をドーピングしたシリコン基板21を希HF処理し、シリコン基板21の表面を水素により終端化する。その後、このシリコン基板21を成膜装置のチャンバーに置く。続いて、チャンバー内の雰囲気、製造プロセス中にシリコンと反応もしくはエッチングしないガス(例えば、窒素ガス)のみにした後、シリコン基板21の温度を700℃にまで上げ、シリコン基板21から水素を完全に脱離させる。

【0040】

次に、チャンバー内を、例えば分圧が30 Torrの N_2 と、分圧が3 Torrの O_2 との混合ガス雰囲気とし、シリコン基板21の表面を1050℃にして50秒間維持する。これにより、図11(c)、図11(d)に示すように、シリコン基板21上にシリコン酸化膜22が形成される。

20

【0041】

次に、ジシランガスを用いてシリコン酸化膜22上にアモルファスシリコン層23aを2nm堆積する(図11(e)、図11(f))。このときの基板21の温度は550℃以下であることが好ましい。本実施形態では、シリコン基板21の温度を例えば420℃とする。続いて、チャンバー内を、例えば分圧が30 Torrの N_2 と、分圧が0.03 Torrの NH_3 との混合ガス雰囲気とし、シリコン基板21の表面を750℃にして100秒間維持する。これにより、アモルファスシリコン層23a中に窒素が拡散して、下側に窒素が添加されたアモルファスシリコン層23aと、上側にシリコン窒化層23bが形成される。すなわち、アモルファスシリコン層23aと、シリコン窒化層23bとの積層構造を有する第1電荷蓄積層23が形成される。この時、シリコン窒化層23bは面内方向に連続する層であって、三配位の窒素結合を有し、且つ窒素の第二近接原子の少なくとも1つが窒素となる構造を有している。この第1電荷蓄積層23の形成プロセスにおけるシリコン基板の温度、ジシランガス(Si_2H_6)の供給、および NH_3 ガスの供給のタイミングチャートは、第1実施形態で説明した図5に示すようになる。

30

【0042】

次に、再びジシランガスを用いてシリコン窒化層23b上にアモルファスシリコン膜24aを2nm堆積する(図11(e)、図11(f))。このときの基板温度は550℃以下であることが好ましい。本実施形態では、シリコン基板21の温度を例えば420℃とする。続いて、チャンバー内の雰囲気を、例えば分圧30 Torrの N_2 、分圧0.03 Torrの NH_3 とし、シリコン基板21の表面を750℃にして100秒間維持する。これにより、アモルファスシリコン層24a中に窒素が拡散して、下側に窒素が添加されたアモルファスシリコン層24aと、上側にシリコン窒化層24bとの積層構造を有する第2電荷蓄積層24が形成される。この時、シリコン窒化膜24bは面内方向に連続する膜であって、三配位の窒素結合を有し且つ窒素の第二近接原子の少なくとも1つが窒素となる構造を有している。そして、第1電荷蓄積層23と、第2電荷蓄積層24との2層積層膜が電荷蓄積膜25となる。なお、第2電荷蓄積層24の形成プロセスにおけるシリコン基板の温度、ジシランガス(Si_2H_6)の供給、および NH_3 ガスの供給のタイミングチャートは、第1実施形態で説明した図5に示すようになる。

40

【0043】

50

次に、素子分離加工のためのマスク材 26 を電荷蓄積膜 25 上に CVD 法を用いて堆積する (図 12 (a)、図 12 (b))。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 26、電荷窒化膜 25、トンネル絶縁膜 22 を、順次エッチング加工してシリコン基板 21 の表面を一部露出させる。そして、さらにシリコン基板 21 の露出した領域をエッチングして、図 12 (b) に示すように、深さ 100 nm の素子分離溝 28 を形成する。その後、上記レジストマスクを除去する。

【0044】

次に、全面に素子分離用のシリコン酸化膜 29 を堆積して、素子分離溝 28 を完全に埋め込む。その後、表面部分のシリコン酸化膜 29 を CMP 法で除去して、シリコン酸化膜 29 の表面を平坦化する。このとき、マスク材 26 が露出する (図 12 (c)、図 12 (d))。

10

【0045】

次に、露出したマスク材 26 を選択的にエッチング除去した後、シリコン酸化膜 29 の露出表面を希フッ酸溶液でエッチング除去する。その後、全面に厚さ 15 nm のアルミナ層を ALD 法で堆積する。このとき、ALD 法での成膜時の酸化剤により、アルミナ層に接する電荷蓄積膜 25 のシリコン窒化層 24b (図 11 (e)、図 11 (f) 参照) が酸化されて、極薄のシリコン酸窒化層が形成され、シリコン酸窒化層と、アルミナ層との 2 層構造を有する厚さ 16 nm のブロック絶縁膜 30 が形成される (図 13 (a)、図 13 (b))。

20

【0046】

次に、CVD 法を用いて、多結晶シリコン層、タンゲステンシリサイド層を順次堆積し、多結晶シリコン層とタンゲステンシリサイド層との 2 層構造を有する厚さ 100 nm の導電膜 31 を、制御ゲート電極として形成する。さらに、導電膜 31 上に RIE 用のマスク材 32 を CVD 法で堆積する。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 32、導電膜 31、ブロック絶縁膜 30、電荷蓄積層 25、トンネル絶縁膜 22 を順次エッチング加工して、ワード線方向の溝 33 を形成する (図 13 (c)、図 13 (d))。これにより、電荷蓄積膜 25 および制御ゲート電極 31 の形状が確定する。

【0047】

最後に、マスク材 32、導電膜 31、ブロック絶縁膜 30、電荷蓄積膜 25、トンネル絶縁膜 22 の露出面に電極側壁酸化膜と呼ばれるシリコン酸化膜 34 を熱酸化法で形成し、その後、イオン注入法を用いてソース/ドレイン領域 35a、35b を形成する。さらに、全面を覆うように層間絶縁膜 36 を CVD 法で形成する (図 14 (a)、図 14 (b))。その後は、周知の方法で配線層等を形成して不揮発性半導体装置が完成する。

30

【0048】

電荷蓄積膜として、本実施形態のように第 1 電荷蓄積層 23 と、第 2 電荷蓄積層 24 との 2 層構造にした不揮発性半導体記憶装置と、第 1 実施形態のように 1 層構造にした不揮発性半導体記憶装置の書き込み特性および消去特性を図 15 に示す。図 15 からわかるように、本実施形態の方が第 1 実施形態に比べて書き込み特性および消去特性が改善している。これは電荷蓄積膜の厚さが厚くなることによって電子および正孔の捕獲効率が向上したためである。

40

【0049】

なお、本実施形態ではアモルファスシリコンを堆積する際のガスとして Si_2H_6 を用いたが、アモルファスシリコンを堆積できるガスであれば Si_2H_6 に限るものではなく、 SiH_4 、 SiH_2Cl_2 を用いても良い。

【0050】

なお、本実施形態ではアモルファスシリコンを窒化する際のガスとして NH_3 を用いたが、窒化性のガスであれば NH_3 に限るものではなく、 NO 、 N ラジカル、 NH ラジカル、 N_2 ラジカル、 N プラズマ、 NH プラズマ、 N_2 プラズマを用いても良い。

【0051】

50

なお、本実施形態ではブロック膜として Al_2O_3 を用いたが、電荷蓄積膜からの電荷の抜けを抑制できるのであれば Al_2O_3 に限るものではなく、 Al_2O_3 の他に SiO_2 または $LaAlO$ を用いることが好ましい。また、 $HfSiO$ 、 $HfAlO$ 、 $LaAlSiO$ 、 $LaHfO$ 等のHigh-k膜を用いても良い。

【0052】

また、本実施形態ではアモルファスシリコンの堆積と窒化を2回行う場合について説明したが、3回以上繰り返しても良い。必要な電荷蓄積膜の膜厚に応じて繰り返し数を調整すればよい。これによって電荷捕獲効率の更なる向上を果たすことが可能である。ただし、繰り返し数が多くなればその分電気的な膜厚は厚くなってしまいうので、ターゲットとするMONOS構造のトータル膜厚に応じて調整することが必要となる。

10

【0053】

本実施形態も第1実施形態と同様に、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

【0054】

(第3実施形態)

次に、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を説明する。本実施形態の製造方法によって製造される半導体記憶装置は、MONOS型の不揮発性半導体記憶装置であって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図16(a)乃至図19(b)を参照して説明する。図16(a)乃至図19(b)は本実施形態の製造方法の製造工程断面図であって、図16(a)、図16(c)、図16(e)、図17(a)、図17(c)、図18(a)、図18(c)、図19(a)は、図16(b)、図16(d)、図16(f)、図17(b)、図17(d)、図18(b)、図18(d)、図19(b)とそれぞれ互いに直交する断面を示している。

20

【0055】

まず、図16(a)、図16(b)に示すように、所望の不純物をドーピングしたシリコン基板41を希HF処理し、シリコン基板41の表面を水素により終端化する。その後、このシリコン基板41を成膜装置のチャンバーに置く。続いて、チャンバー内の雰囲気、製造プロセス中にシリコンと反応もしくはエッチングしないガス(例えば、窒素ガス)のみにした後、シリコン基板41の温度を700℃にまで上げ、シリコン基板41から水素を完全に脱離させる。

30

【0056】

次に、チャンバー内を、例えば分圧が30Torrの N_2 と、分圧が3Torrの O_2 との混合ガス雰囲気とし、シリコン基板の表面を1050℃にして50秒間維持する。これにより、図16(c)、図16(d)に示すように、シリコン基板41上にトンネル絶縁膜となるシリコン酸化膜42が形成される。

【0057】

次に、ジシランガスを用いてシリコン酸化膜42上にアモルファスシリコン層43を1nm堆積する。このときの基板41の温度は550℃以下であることが好ましい。本実施形態では、シリコン基板41の温度を例えば420℃としている。続いて、シリコン基板41の温度を420℃に保ち、ジシランガスを流しながらチャンバー内に分圧0.03Torrの NH_3 を供給する。これにより、図16(e)、図16(f)に示すように、アモルファスシリコン層43上にシリコン窒化層44が形成されるとともに、下層のアモルファスシリコン層43中に窒素が拡散し、窒素が添加されたアモルファスシリコン層43が形成される。すなわち、下側に窒素が添加されたアモルファスシリコン層43と、シリコン窒化層44との積層構造を有する電荷蓄積膜45が形成される。この時、シリコン窒化層44は面内方向に連続する膜であって、三配位の窒素結合を有しかつ窒素の第二近接原子の少なくとも1つが窒素となる構造を有している。この電荷蓄積膜45の形成プロセスにおけるシリコン基板の温度、ジシランガス(Si_2H_6)の供給、および NH_3 ガス

40

50

の供給のタイミングチャートは、図 20 に示すようになる。

【0058】

次に、素子分離加工のためのマスク材 46 を電荷蓄積膜 45 上に CVD 法で堆積する (図 17 (a)、図 17 (b))。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 46、電荷蓄積膜 45、トンネル絶縁膜 42 を、順次エッチング加工してシリコン基板 41 の表面の一部の領域を露出させる。そして、さらにシリコン基板 41 の露出した領域をエッチングして、図 17 (b) に示すように、深さ 100 nm の素子分離溝 48 を形成する。

【0059】

次に、全面に素子分離用のシリコン酸化膜 49 を堆積して、素子分離溝 48 を完全に埋め込む。その後、表面部分のシリコン酸化膜 49 を CMP 法で除去して、シリコン酸化膜 49 の表面を平坦化する。このとき、マスク材 46 が露出する (図 17 (c)、図 17 (d))。

【0060】

次に、露出したマスク材 46 を選択的にエッチング除去した後、シリコン酸化膜 49 の露出した表面を希フッ酸溶液でエッチング除去する。その後、全面に厚さ 15 nm のアルミナ層を ALD 法で堆積する。このとき、ALD 法での成膜時の酸化剤により、シリコン窒化層 44 が酸化されて、極薄のシリコン酸窒化層が形成され、シリコン酸窒化層とアルミナ層との 2 層構造を有する厚さ 16 nm のブロック絶縁膜 50 が形成される (図 18 (a)、図 18 (b))。

【0061】

次に、CVD 法を用いて、多結晶シリコン層、タングステンシリサイド層を順次堆積し、多結晶シリコン層と、タングステンシリサイド層との 2 層構造を有する厚さ 100 nm の導電膜 51 を制御ゲート電極として形成する。さらに、RIE のマスク材 52 を CVD 法で堆積する。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 52、導電膜 51、ブロック絶縁膜 50、電荷蓄積膜 45、トンネル絶縁膜 42 を、順次エッチング加工して、ワード線方向の溝 53 を形成した (図 18 (c)、図 18 (d))。これにより、電荷蓄積膜 45 および制御ゲート電極 51 の形状が確定する。

【0062】

最後に、マスク材 52、導電膜 51、ブロック絶縁膜 50、電荷蓄積膜 45、トンネル絶縁膜 42 の露出した面に電極側壁酸化膜と呼ばれるシリコン酸化膜 54 を熱酸化法で形成後、イオン注入法を用いてソース/ドレイン領域 55 a、55 b を形成し、さらに、全面を覆うように層間絶縁膜 56 を CVD 法で形成する (図 19 (a)、図 19 (b))。その後は、周知の方法で配線層等を形成して不揮発性メモリセルが完成する。

【0063】

本実施形態の製造方法で製造した不揮発性半導体記憶装置、第 1 実施形態の製造方法で製造した不揮発性半導体記憶装置、および比較例の不揮発性半導体記憶装置の書き込み特性および消去特性を図 21 に示す。なお、比較例はトンネル絶縁膜上にアモルファスシリコンを堆積することなく、電荷蓄積膜となるシリコン窒化膜を、基板温度が 750 とし て直接堆積して形成した構成となっている。本実施形態の製造方法においては、図 20 に示すように、アモルファスシリコンを堆積した後に、基板温度を 420 のままとしてジシランの供給を停止することなく NH_3 を供給することにより電荷蓄積膜を形成する。これに対して第 1 実施形態の製造方法において、図 5 に示すように、アモルファスシリコンを堆積した後に、基板温度を 750 に上昇させるとともにジシランの供給を停止し、かつ NH_3 を供給することにより電荷蓄積膜を形成する。図 21 からわかるように、本実施形態の方が第 1 実施形態に比べて、書き込み特性および消去特性のいずれにもおいても初期 (書き込みまたは消去処理を開始してまもなく) では、速度は早くなるが、書き込み時において飽和する値が低くなっていることがわかる。これは、本実施形態は 420 と低い温度で窒化処理を行うため、窒素が添加されたアモルファスシリコン中の欠陥が多くなり、電荷捕獲密度が向上することで書き込み消去速度は向上する。しかし、電荷蓄積膜の

10

20

30

40

50

上部に形成されたシリコン窒化層中の欠陥も多くなるために電荷保持特性が劣化し、書き込んだ電荷が抜けやすくなってしまいうためである。しかし、直接堆積した比較例に比べれば、初期での速度は大きく向上しており、書き込み消去が短時間で言う場合においては、改善効果を利用することが可能である。これは上述したように、電荷捕獲密度が向上した効果を示している。

【0064】

以上説明したように、本実施形態によれば、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

【0065】

(第4実施形態)

次に、本発明の第4実施形態による不揮発性半導体記憶装置の製造方法を説明する。本実施形態の製造方法によって製造される不揮発性半導体記憶装置は、MONOS型の不揮発性半導体記憶装置であって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図22(a)乃至図25(b)を参照して説明する。図22(a)乃至図25(b)は本実施形態の製造方法の製造工程断面図であって、図22(a)、図22(c)、図22(e)、図23(a)、図23(c)、図24(a)、図24(c)、図25(a)は、図22(b)、図22(d)、図22(f)、図23(b)、図23(d)、図24(b)、図24(d)、図25(b)とそれぞれ互いに直交する断面を示している。

【0066】

まず、図22(a)、図22(b)に示すように、所望の不純物をドーピングしたシリコン基板61を希HF処理し、シリコン基板61の表面を水素により終端化する。その後、このシリコン基板61を成膜装置のチャンバーに置く。続いて、チャンバー内の雰囲気、製造プロセス中にシリコンと反応もしくはエッチングしないガス(例えば、窒素ガス)のみにした後、シリコン基板61の温度を700℃にまで上げ、シリコン基板61から水素を完全に脱離させる。

【0067】

次に、チャンバー内の雰囲気を、例えば分圧が30TorrのN₂と、分圧が3TorrのO₂との混合ガス雰囲気とし、シリコン基板61の表面を1050℃にして50秒間維持する。これにより、図22(c)、図22(d)に示すように、シリコン基板61上にトンネル絶縁膜となるシリコン酸化膜62が形成される。

【0068】

次に、ジシランガスを用いてシリコン酸化膜62上にアモルファスシリコン層63を1nm堆積する。このときの基板の温度は550℃以下であることが好ましい。本実施形態においては、シリコン基板61の温度を例えば420℃とする。続いて、シリコン基板61の温度を420℃に維持し、ジシランガスを供給しながらチャンバー内に分圧が0.03TorrのNH₃を供給し、アモルファスシリコン層63上にシリコン窒化層を1nm堆積する。これにより、アモルファスシリコン膜63上にシリコン窒化層64aが形成される。この間、基板温度は420℃に維持したままである。

【0069】

続いて、ジシランガスとNH₃ガスを供給しながら、シリコン基板が載置されるステージの温度を700℃まで上昇させる。これにより、シリコン窒化層64a上にシリコン窒化層64bが形成される。そしてこれら一連のシリコン窒化層の堆積工程によりアモルファスシリコン層63中に窒素が拡散し、窒素が添加されたアモルファスシリコン層63となる。かくして、窒素が添加されたアモルファスシリコン層63、シリコン窒化層64a、およびシリコン窒化層64bの積層構造を有する電荷蓄積膜65が形成される。この時、シリコン窒化層64a、64bは面内方向に連続する膜であって、三配位の窒素結合を有し、且つ窒素の第二近接原子の少なくとも1つが窒素であり、シリコン窒化層64aよりもシリコン窒化層64bにおいて3配位の密度が多い構造となる。本実施形態に係る電

10

20

30

40

50

荷蓄積膜 65 の形成プロセスにおけるシリコン基板の温度、ジシランガス (Si_2H_6) の供給、および NH_3 ガスの供給のタイミングチャートは、図 26 に示すようになる。

【0070】

このようにして電荷蓄積膜 65 を形成した後、素子分離加工のためのマスク材 66 を CVD 法で形成する (図 23 (a)、図 23 (b))。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 66、電荷蓄積膜 65、トンネル絶縁膜 62 を順次エッチング加工し、シリコン基板 61 の表面の一部の領域を露出させる。さらに、RIE を行うことにより、シリコン基板 61 の露出した領域をエッチングして、図 23 (b) に示すように、深さ 100 nm の素子分離溝 68 を形成した。

【0071】

次に、全面に素子分離用のシリコン酸化膜 69 を堆積して、素子分離溝 68 を完全に埋め込む。その後、表面部分のシリコン酸化膜 69 を CMP 法で除去して、シリコン酸化膜 69 の表面を平坦化した。このとき、マスク材 66 が露出する (図 23 (c)、図 23 (d))。

【0072】

次に、露出したマスク材 66 を選択的にエッチング除去した後、シリコン酸化膜 69 の露出した表面を希フッ酸溶液でエッチング除去した。その後、全面に厚さ 15 nm のアルミナ層を ALD 法で堆積した。このとき、ALD 法での成膜時の酸化剤により、シリコン窒化層 64b が酸化されて、極薄のシリコン酸窒化層が形成される。これにより、シリコン酸窒化層と、アルミナ層との 2 層構造を有する厚さ 16 nm のブロック絶縁膜 70 が形成される (図 24 (a)、図 24 (b))。

【0073】

次に、CVD 法を用いて、多結晶シリコン層、タンゲステンシリサイド層を順次堆積し、多結晶シリコン層とタンゲステンシリサイド層との 2 層構造を有する厚さ 100 nm の導電膜 71 を制御ゲート電極として形成する。さらに、この導電膜 71 上に RIE 用のマスク材 72 を CVD 法で形成する (図 24 (c)、図 24 (d))。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 72、導電膜 71、ブロック絶縁膜 70、電荷蓄積膜 65、トンネル絶縁膜 62 を順次エッチング加工して、ワード線方向の溝 73 を形成した (図 24 (d))。これにより、電荷蓄積膜 65 および制御ゲート電極 71 の形状が確定する。

【0074】

最後に、マスク材 72、導電膜 71、ブロック絶縁膜 70、電荷蓄積膜 65、トンネル絶縁膜 62 の露出した面に電極側壁酸化膜と呼ばれるシリコン酸化膜 74 を熱酸化法で形成する。その後、イオン注入法を用いてソース/ドレイン領域 75a、75b を形成し、さらに、全面を覆うように層間絶縁膜 76 を CVD 法で形成する (図 25 (a)、図 25 (b))。その後は、周知の方法で配線層等を形成して不揮発性半導体記憶装置が完成する。

【0075】

本実施形態の製造方法で製造した不揮発性半導体記憶装置、第 1 実施形態の製造方法で製造した不揮発性半導体記憶装置、および比較例の不揮発性半導体記憶装置の書き込み特性および消去特性を図 27 に示す。なお、比較例はトンネル絶縁膜上にアモルファスシリコンを堆積することなく、電荷蓄積膜となるシリコン窒化膜を、基板温度が 750 とし

て直接堆積して形成した構成となっている。

【0076】

図 27 からわかるように、本実施形態の方が第 1 実施形態に比べて、書き込み特性および消去特性のいずれにもおいて初期 (書き込みまたは消去処理を開始してまもなく) では速度は早くなるが、飽和する値が高くなっていることがわかる。これは、本実施形態は 420 と低い温度で窒化処理を行うため、窒素が添加されたアモルファスシリコン中の欠陥が多くなり、電荷捕獲密度が向上することで書き込みおよび消去速度が向上する。更に、本実施形態においては、電荷蓄積膜の表面に欠陥の少ないシリコン窒化層ができるので

10

20

30

40

50

、電荷保持特性が向上し、書き込んだ電荷が抜け難くなったためである。

【 0 0 7 7 】

以上説明したように、本実施形態によれば、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

【 0 0 7 8 】

(第 5 実施形態)

次に、本発明の第 5 実施形態による不揮発性半導体記憶装置の製造方法を説明する。本実施形態の製造方法によって製造される不揮発性半導体記憶装置は、MONOS 型の不揮発性半導体記憶装置であって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図 28 (a) 乃至図 31 (b) を参照して説明する。図 28 (a) 乃至図 31 (b) は本実施形態の製造方法の製造工程断面図であって、図 28 (a) 、図 28 (c) 、図 28 (e) 、図 29 (a) 、図 29 (c) 、図 30 (a) 、図 30 (c) 、図 31 (a) は、図 28 (b) 、図 28 (d) 、図 28 (f) 、図 29 (b) 、図 29 (d) 、図 30 (b) 、図 30 (d) 、図 31 (b) とそれぞれ互いに直交する断面を示している。

【 0 0 7 9 】

まず、図 28 (a) 、図 28 (b) に示すように、所望の不純物をドーピングしたシリコン基板 8 1 を希 HF 処理し、シリコン基板 8 1 の表面を水素により終端化する。その後、このシリコン基板 8 1 を成膜装置のチャンバーに置く。続いて、チャンバー内の雰囲気、製造プロセス中にシリコンと反応もしくはエッチングしないガス (例えば、窒素ガス) のみにした後、シリコン基板 8 1 の温度を 700 にまで上げ、シリコン基板 8 1 から水素を完全に脱離させる。

【 0 0 8 0 】

次に、チャンバー内を、例えば分圧が 30 Torr の N_2 と、分圧が 3 Torr の O_2 との混合ガス雰囲気とし、シリコン基板 8 1 の表面を 1050 にして 50 秒間維持する。これにより、図 28 (c) 、図 28 (d) に示すように、シリコン基板 8 1 上にトンネル絶縁膜となるシリコン酸化膜 8 2 が形成される。

【 0 0 8 1 】

次に、ジシランガスを用いてシリコン酸化膜上にアモルファスシリコン層 8 3 を 1 nm 堆積する。このときのシリコン基板 8 1 の温度は 550 以下であることが好ましい。本実施形態においては、シリコン基板 8 1 の温度は 420 とする。引き続いて、シリコン基板 8 1 の温度を 420 に維持しながら、ジシランガスの供給を停止せずにチャンバー内に分圧が 0.03 Torr の NH_3 を供給し、アモルファスシリコン膜 8 3 上にシリコン窒化層 8 4 a を 1 nm 堆積する。これにより、アモルファスシリコン層 8 3 上にシリコン窒化層 8 4 a が形成される。引き続いて、ジシランガスと NH_3 ガスを供給しながらステージ温度を 700 まで上昇させる。これにより、シリコン窒化層 8 4 a 上にシリコン窒化層 8 4 b が形成される。続いて、ジシランガスの供給を停止し、 NH_3 ガスのみを供給し、シリコン窒化膜 8 4 b を NH_3 で熱処理する。これら一連のシリコン窒化層の堆積工程によりアモルファスシリコン層 8 3 中に窒素が拡散し、窒素が添加されたアモルファスシリコン層 8 3 となる。加えて、シリコン窒化層 8 4 a 、 8 4 b が形成されるとともに、シリコン窒化層 8 4 b は 700 にて NH_3 ガスで熱処理されるために表面の三配位成分が増加し、表面に、欠陥の少ない耐酸化性の強いシリコン窒化層 8 4 c が形成される。この結果として、窒素が添加されたアモルファスシリコン層 8 3 と、シリコン窒化層 8 4 a と、シリコン窒化層 8 4 b と、シリコン窒化層 8 4 c との積層構造を有する電荷蓄積膜 8 5 が形成される。この時、シリコン窒化層 8 4 a 、 8 4 b 、 8 4 c は面内方向に連続する膜であって、三配位の窒素結合を有し、且つ窒素の第二近接原子の少なくとも 1 つが窒素である構造を有している。そして、シリコン窒化層 8 4 a よりもシリコン窒化層 8 4 b の方が三配位の窒素結合の密度が多く、シリコン窒化層 8 4 b よりもシリコン窒化層 8 4 c の方が三配位の窒素結合の密度が多い。すなわち、シリコン窒化層 8 4 c は、欠陥が少

なく電荷が上層に抜けるのを可及的に抑制でき、電荷保持特性が良好となる。このシリコン窒化層 8 4 c の形成温度は、8 5 0 以下であることが好ましい。8 5 0 を超えると、シリコン窒化層 8 4 c だけでなく、シリコン窒化層 8 4 b、8 4 a 中の欠陥も少なくなり、これにより蓄積される電荷量が少なくなって、書き込み効率が悪くなる。

【0082】

本実施形態に係る電荷蓄積膜 8 5 の形成プロセスにおけるシリコン基板の温度、ジシランガス (Si_2H_6) の供給、および NH_3 ガスの供給のタイミングチャートは、図 3 2 に示すようになる。

【0083】

このようにして電荷蓄積膜 8 5 を形成した後、素子分離加工のためのマスク材 8 6 を C V D 法で形成する (図 2 9 (a)、図 2 9 (b))。その後、レジストマスク (図示せず) を用いた R I E 法により、マスク材 8 6、電荷蓄積膜 8 5、トンネル絶縁膜 8 2 を順次エッチング加工してシリコン基板 8 1 の表面の一部の領域を露出させる。さらにシリコン基板 8 1 の露出された領域をエッチングして、図 2 9 (b) に示すように、深さ 1 0 0 n m の素子分離溝 8 8 を形成する。

【0084】

次に、全面に素子分離用のシリコン酸化膜 8 9 を堆積して、素子分離溝 8 8 を完全に埋め込む。その後、表面部分のシリコン酸化膜 8 9 を C M P 法で除去して、シリコン酸化膜 8 9 の表面を平坦化する。このとき、マスク材 8 6 が露出する (図 2 9 (c)、図 2 9 (d))。

【0085】

次に、露出したマスク材 8 6 を選択的にエッチング除去した後、シリコン酸化膜 8 9 の露出した表面を希フッ酸溶液でエッチング除去した。その後、全面に厚さ 1 5 n m のアルミナ層を A L D 法で堆積した。このとき、A L D 法での成膜時の酸化剤により、電荷蓄積膜 8 5 の最上層のシリコン窒化層 8 4 c が酸化されて、極薄のシリコン酸窒化層が形成され、シリコン酸窒化層と、アルミナ層との 2 層構造を有する厚さ 1 6 n m のブロック絶縁膜 9 0 が形成される (図 3 0 (a)、図 3 0 (b))。

【0086】

次に、C V D 法を用いて、多結晶シリコン層、タングステンシリサイド層を順次堆積し、多結晶シリコン層とタングステンシリサイド層との 2 層構造を有する厚さ 1 0 0 n m の導電膜 9 1 を制御ゲート電極として形成する。さらに、R I E のマスク材 9 2 を C V D 法で堆積する。その後、レジストマスク (図示せず) を用いた R I E 法により、マスク材 9 2、導電膜 9 1、ブロック絶縁膜 9 0、電荷蓄積膜 8 5、トンネル絶縁膜 8 2 を順次エッチング加工して、ワード線方向の溝 9 3 を形成する (図 3 0 (c)、図 3 0 (d))。これにより、電荷蓄積膜 8 5 および制御ゲート電極 9 1 の形状が確定する。

【0087】

最後に、マスク材 9 2、導電膜 9 1、ブロック絶縁膜 9 0、電荷蓄積膜 8 5、トンネル絶縁膜 8 2 の露出した面に電極側壁酸化膜と呼ばれるシリコン酸化膜 9 4 を熱酸化法で形成後、イオン注入法を用いてソース/ドレイン領域 9 5 a、9 5 b を形成し、さらに、全面を覆うように層間絶縁膜 9 6 を C V D 法で形成する (図 3 1 (a)、図 3 1 (b))。その後は、周知の方法で配線層等を形成して不揮発性半導体記憶装置が完成する。

【0088】

本実施形態の製造方法で製造した不揮発性半導体記憶装置、第 4 実施形態の製造方法で製造した不揮発性半導体記憶装置、および比較例の不揮発性半導体記憶装置の書き込み特性および消去特性を図 3 3 に示す。なお、比較例はトンネル絶縁膜上にアモルファスシリコンを堆積することなく、電荷蓄積膜となるシリコン窒化膜を、基板温度が 7 5 0 とし直接堆積して形成した構成となっている。また、第 4 実施形態は、電荷蓄積膜を形成する際に、本実施形態における最後の NH_3 処理を省略した構成となっている。

【0089】

図 3 3 からわかるように、本実施形態は、第 4 実施形態に比べて、書き込み特性および

10

20

30

40

50

消去特性のいずれにもおいて初期（書き込みまたは消去処理を開始してまもなく）では速度は遅くなっているが、飽和する値が更に高くなっている。これは、本実施形態においては、電荷蓄積層 84b を形成した後に、700 にて NH_3 ガスを用いてアニールを行っているので、電荷蓄積層 84b 中の捕獲電荷密度が減少するものの、最表面に欠陥の少ないシリコン窒化層 84c が形成されるために電荷保持特性がさらに向上し、書き込んだ電荷が抜け難くなったためである。

【0090】

以上説明したように、本実施形態によれば、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

10

【0091】

（第6実施形態）

次に、本発明の第6実施形態による不揮発性半導体記憶装置の製造方法を説明する。本実施形態の製造方法によって製造される不揮発性半導体記憶装置は、MONOS型の不揮発性半導体記憶装置であって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図34(a)乃至図37(b)を参照して説明する。図34(a)乃至図37(b)は本実施形態の製造方法の製造工程断面図であって、図34(a)、図34(c)、図34(e)、図35(a)、図35(c)、図36(a)、図36(c)、図37(a)は、図34(b)、図34(d)、図34(f)、図35(b)、図35(d)、図36(b)、図36(d)、図37(b)とそれぞれ互いに直交する断面を示している。

20

【0092】

まず、図34(a)、図34(b)に示すように、所望の不純物をドーピングしたシリコン基板101を希HF処理し、シリコン基板101の表面を水素により終端化する。その後、このシリコン基板101を成膜装置のチャンバーに置く。続いて、チャンバー内の雰囲気、製造プロセス中にシリコンと反応もしくはエッチングしないガス（例えば、窒素ガス）のみにした後、シリコン基板101の温度を700 にまで上げ、シリコン基板101から水素を完全に脱離させる。

【0093】

次に、チャンバー内を、例えば分圧が30 Torrの N_2 と、分圧が3 Torrの O_2 との混合ガス雰囲気とし、シリコン基板の表面を1050 にして50秒間維持する。これにより、図34(c)、図34(d)に示すように、シリコン基板101上にトンネル絶縁膜となるシリコン酸化膜102が形成される。

30

【0094】

次に、ジシランガスを用いてシリコン酸化膜102上にアモルファスシリコン膜103を1nm堆積する。このときのシリコン基板101の温度は550 以下であることが好ましい。本実施形態では、シリコン基板101の温度を例えば420 とする。引き続いて、シリコン基板101の温度を420 に維持し、ジシランガスの供給を停止しないで、チャンバー内に分圧が0.03 Torrの NH_3 ガスを供給する。これにより、アモルファスシリコン膜103上にシリコン窒化膜104が形成されるとともに、アモルファスシリコン膜103中に窒素が拡散し、窒素が添加されたアモルファスシリコン層103とシリコン窒化層104との2層構造の電荷蓄積膜105が形成される（図34(e)、図34(f)）。この時、シリコン窒化層104は面内方向に連続する膜であって、三配位の窒素結合を有し、且つ窒素の第二近接原子の少なくとも1つが窒素である構造を有している。この電荷蓄積膜105の形成プロセスにおけるシリコン基板の温度、ジシランガス（ Si_2H_6 ）の供給、および NH_3 ガスの供給のタイミングチャートは、第3実施形態と同様に、図20に示すようになる。なお、本実施形態においては、シリコン窒化層104をブロック絶縁膜として用いるために、第3実施形態に比べて、シリコン窒化層を厚く形成する。

40

【0095】

50

このようにして、電荷蓄積膜 105 を形成した後、素子分離加工のためのマスク材 106 を CVD 法で堆積する (図 35 (a)、図 35 (b))。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 106、電荷蓄積膜 105、トンネル絶縁膜 102 を順次エッチング加工してシリコン基板 101 の表面の一部領域を露出させる。さらにシリコン基板 101 の露出された領域をエッチングして、図 35 (b) に示すように、深さ 100 nm の素子分離溝 108 を形成する。

【0096】

次に、全面に素子分離用のシリコン酸化膜 109 を堆積して、素子分離溝 108 を完全に埋め込む。その後、シリコン酸化膜 109 の表面を、CMP 法を用いて平坦化する。このとき、マスク材 106 が露出する (図 35 (c)、図 35 (d))。

10

【0097】

次に、露出したマスク材 106 を選択的にエッチング除去した後、シリコン酸化膜 109 の露出した表面を希フッ酸溶液でエッチング除去した (図 36 (a)、図 36 (b))。

【0098】

次に、CVD 法を用いて、多結晶シリコン層、タンゲステンシリサイド層を順次堆積し、多結晶シリコン層と、タンゲステンシリサイド層との 2 層構造を有する厚さ 100 nm の導電膜 111 を制御ゲート電極として形成する (図 36 (a)、図 36 (b))。さらに、RIE のマスク材 112 を CVD 法で堆積する。その後、レジストマスク (図示せず) を用いた RIE 法により、マスク材 112、導電膜 111、電荷蓄積膜 105、トンネル絶縁膜 102 を順次エッチング加工して、ワード線方向の溝 113 を形成する (図 36 (b))。これにより、電荷蓄積膜 105 および制御ゲート電極 111 の形状が確定する。

20

【0099】

最後に、マスク材 112、導電膜 111、電荷蓄積膜 105、トンネル絶縁膜 102 の露出した面に電極側壁酸化膜と呼ばれるシリコン酸化膜 114 を熱酸化法で形成し、その後、イオン注入法を用いてソース/ドレイン領域 115 a、115 b を形成し、さらに、全面を覆うように層間絶縁膜 116 を CVD 法で形成する (図 37 (a)、図 37 (b))。その後は、周知の方法で配線層等を形成して不揮発性メモリセルが完成する。

30

【0100】

本実施形態の製造方法で製造した不揮発性半導体記憶装置、第 3 実施形態の製造方法で製造した不揮発性半導体記憶装置、および比較例の不揮発性半導体記憶装置の書き込み特性および消去特性を図 38 に示す。なお、比較例はトンネル絶縁膜上にアモルファスシリコンを堆積することなく、電荷蓄積膜となるシリコン窒化膜を、シリコン基板の温度が 750 °C として直接堆積して形成した構成となっている。

【0101】

図 38 からわかるように、本実施形態は、第 3 実施形態に比べて、書き込み特性および消去特性のいずれにもおいて初期 (書き込みまたは消去処理を開始してまもなく) では速度は早くなって改善されているが、書き込みまたは消去処理を開始して時間が経過すると特性が劣化していることがわかる。これは、本実施形態においては、ブロック絶縁膜としてシリコン窒化層 104 そのものを使用することで、電荷蓄積膜の層厚が増加し、電荷捕獲密度が向上し、結果として捕獲された電荷の総量が増加する。このため、初期特性が大幅に改善される。しかし、一般に窒化層のバンドギャップはアルミナ等の絶縁膜に比べると低いために、書き込みまたは消去処理を開始して時間が経過すると、ゲート電極側との電荷のやり取りが起こりやすくなるからである。しかし、初期では十分な特性を保持しているため、書き込みおよび消去時間が短時間の場合には有効な手法となる。

40

【0102】

以上説明したように、本実施形態によれば、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

50

【 0 1 0 3 】

(第 7 実施形態)

次に、本発明の第 7 実施形態による不揮発性半導体記憶装置の製造方法を説明する。本実施形態の製造方法によって製造される不揮発性半導体記憶装置は、ドーピングされたポリシリコンなどからなる制御ゲート電極と、シリコン酸化膜などからなる層間絶縁膜を多重に堆積させた積層構造を有する MONOS 型の不揮発性半導体記憶装置あって、複数のメモリセルを備えている。本実施形態の不揮発性半導体記憶装置の製造方法について図 39 乃至図 41 を参照して説明する。

【 0 1 0 4 】

まず、基板 401 上にドーピングされたポリシリコンなどからなる制御ゲート電極 402 と、シリコン酸化膜などからなる層間絶縁膜 402 とを交互に多重に積層した積層構造 400 を形成する (図 39)。続いて、この積層構造 400 にドライエッチングで穴 404 を開ける (図 40)。その穴 404 の内壁を覆うように高誘電率絶縁膜またはシリコン酸化膜からなるブロック絶縁膜 405 を形成する。

【 0 1 0 5 】

次に、ジシランガスを用いて、シリコン酸化膜 405 の内側 (制御ゲート電極 402 および層間絶縁膜 402 と反対側) の表面を覆うようにアモルファスシリコン層 406 を 1 nm 堆積する。このとき基板 401 の温度は 550 以下であることが好ましい。本実施形態では、基板の温度を例えば 420 とする。

【 0 1 0 6 】

引き続いて、基板 401 の温度を 420 に維持しながらジシランガスの供給を停止しないでチャンバー内に分圧が 0.03 Torr の NH_3 ガスを供給する。これにより、アモルファスシリコン層 406 の内側 (ブロック絶縁膜と反対側) の表面を覆うようにシリコン窒化層 407 を 1 nm 堆積する。これにより、アモルファスシリコン層 406 の内側の表面上にシリコン窒化層 407 が形成される。

【 0 1 0 7 】

引き続いて、ジシランガスと NH_3 ガスとを供給しながら、基板が載置されるステージの温度を 700 まで上昇させる。これにより、シリコン窒化層 407 の内側 (アモルファスシリコン層 406 と反対側) の表面を覆うようにシリコン窒化層 408 が形成される。

【 0 1 0 8 】

続いて、ジシランガスの供給を停止し、 NH_3 ガスのみを供給し、シリコン窒化層 408 を NH_3 ガス中で熱処理する。これら一連のシリコン窒化層の堆積工程によりアモルファスシリコン層 406 中に窒素が拡散され、窒素が添加されたアモルファスシリコン層 406 となる。加えて、シリコン窒化層 407、408 は 700 にて NH_3 ガスで熱処理されるために表面の 3 配位成分が増加し、耐酸化性の強いシリコン窒化層 409 が、シリコン窒化層 408 の内側 (シリコン窒化層 407 と反対側) の表面に形成される。結果として、アモルファスシリコン層 406、シリコン窒化層 407、シリコン窒化層 408、シリコン窒化層 409 の積層構造を有する電荷蓄積層 410 が形成される。この時、シリコン窒化層 407、408、409 は、面内方向に連続する膜であって、三配位の窒素結合を有し、且つ窒素の第二近接原子の少なくとも 1 つが窒素である構造を有している。そして、シリコン窒化層 407 < シリコン窒化層 408 < シリコン窒化層 409 の順で 3 配位窒化結合の密度が多くなっている。続いて、シリコン窒化層 409 の内側 (シリコン窒化層 408 と反対側) の表面を覆うように、シリコン酸化膜などからなるトンネル絶縁膜 411 を形成する。その後、トンネル絶縁膜 411 の内側 (シリコン窒化層 409 と反対側) の表面を覆うように、アモルファスシリコンなどからなるチャンネルとなる半導体層 412 を形成する (図 41)。

【 0 1 0 9 】

トンネル絶縁膜 411 は、ブロック絶縁膜 405 と同様の方法で形成したシリコン酸化膜を用いるか、またはさらにそれらを一酸化窒素ガス雰囲気、アンモニアガス雰囲気、ま

10

20

30

40

50

たは窒素プラズマ雰囲気中で窒化したシリコン酸窒化膜を用いてもよい。さらに、ONO (Oxide-Nitride-Oxide) 構造のトンネル絶縁膜を用いる場合は、上記シリコン酸窒化膜の形成途中にALD法、LPCVD法、プラズマ窒化法を用いてシリコン窒化膜を形成すればよい。ALD法では300 ~ 500、LPCVD法では600 ~ 800の温度でジクロルシランとアンモニアを用いて成膜すればよい。

【0110】

さらに、ALD法やCVD法を用いればこれらのブロック絶縁膜405、電荷蓄積膜410、トンネル絶縁膜411を同一装置内で一括して成膜できるという利点ももつ。このことは、工程削減によるコスト削減に寄与するのみならず、各層間に発生する余計な界面準位を低減できるため、書き込み消去ストレス印加後のセルの経時劣化を抑制できるというメリットがある。

10

【0111】

本実施形態の製造方法によって製造される第1の不揮発性半導体記憶装置、本実施形態の製造法において、電荷蓄積膜410の形成の際に最後のNH₃ガスを用いた窒化処理を行わないで製造される第2の不揮発性半導体記憶装置、第5実施形態の製造方法によって製造される第3の不揮発性半導体記憶装置を用意する。そして、これらの第1乃至第3の不揮発性半導体記憶装置の書き込み特性および消去特性を図42に示す。

【0112】

図42からわかるように、第1の不揮発性半導体記憶装置は、第2および第3の不揮発性半導体記憶装置に比べて、書き込み特性および消去特性が共に大幅に改善されるとともに、飽和する値もさらに高くなっている。これは、このような形状のメモリ素子構造にすることで、メモリにおける書き込み動作/消去動作時に電荷蓄積部410とチャネル半導体層412間に強い電界が印加されるため、通常のチャネル半導体層からの電子/正孔注入が顕著となり、書き込みおよび消去特性が向上したことに加え、電荷蓄積層408を形成した後に700にてNH₃ガスを用いてアニールしているため、最表面に欠陥の少ないシリコン窒化層409が形成され、このため、電荷保持特性がさらに向上し、書き込んだ電荷が抜け難くなったこと、およびトンネル酸化膜を形成する際の酸素の混入による電荷蓄積膜内の欠陥の低減が抑えられるためである。

20

【0113】

以上に示したように、本実施形態によれば、このような形状のメモリ素子構造にすることによる書き込み特性向上効果に加え、捕獲電荷密度の向上と、トンネル絶縁膜の形成に起因する捕獲電荷密度の減少を防ぐことが可能であり、さらなるメモリーウィンドウの拡大を図ることができる。

30

【0114】

以上説明したように、本実施形態によれば、下層の絶縁膜が窒化するのを抑制することが可能となるとともに上層の絶縁膜からの酸素の拡散を抑制することが可能となるので電荷捕獲密度の低下を可及的に防止することができる。

【0115】

また、第7実施形態の電荷蓄積膜の製造プロセスを、第1乃至第4実施形態および第6実施形態の電荷蓄積膜の製造プロセスで置き換えて、不揮発性半導体記憶装置を製造してもよい。

40

【図面の簡単な説明】

【0116】

【図1】第1実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図2】第1実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図3】第1実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図4】第1実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図5】第1実施形態における電荷蓄積膜の製造条件を示す図。

【図6】第1実施形態の製造方法によって製造された記憶装置の書き込み/消去特性を示す図。

50

【図 7】第 1 実施形態による製造方法の効果を説明する図。

【図 8】シリコンの堆積温度を変えた場合の、膜中平均窒素濃度と電荷捕獲密度との関係を示す図。

【図 9】アモルファスシリコンへの窒素添加条件と面内の電荷捕獲密度のばらつきの関係を示す図。

【図 10】アモルファスシリコンへの窒素添加条件と電荷捕獲密度の関係を示す図。

【図 11】第 2 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 12】第 2 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 13】第 2 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 14】第 2 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 15】第 2 実施形態による製造方法によって製造された記憶装置の書き込み / 消去特性を示す図。

【図 16】第 3 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 17】第 3 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 18】第 3 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 19】第 3 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 20】第 3 実施形態における電荷蓄積膜の製造条件を示す図。

【図 21】第 3 実施形態による製造方法によって製造された記憶装置の書き込み / 消去特性を示す図。

【図 22】第 4 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 23】第 4 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 24】第 4 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 25】第 4 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 26】第 4 実施形態における電荷蓄積膜の製造条件を示す図。

【図 27】第 4 実施形態による製造方法によって製造された記憶装置の書き込み / 消去特性を示す図。

【図 28】第 5 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 29】第 5 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 30】第 5 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 31】第 5 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 32】第 5 実施形態における電荷蓄積膜の製造条件を示す図。

【図 33】第 5 実施形態による製造方法によって製造された記憶装置の書き込み / 消去特性を示す図。

【図 34】第 6 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 35】第 6 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 36】第 6 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 37】第 6 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 38】第 6 実施形態による製造方法によって製造された記憶装置の書き込み / 消去特性を示す図。

【図 39】第 7 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 40】第 7 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 41】第 7 実施形態による不揮発性半導体記憶装置の製造工程を示す断面図。

【図 42】第 7 実施形態による製造方法によって製造された記憶装置の書き込み / 消去特性を示す図。

【符号の説明】

【0117】

1 シリコン基板（半導体基板）

2 シリコン酸化膜（トンネル絶縁膜）

4 電荷蓄積膜

4 a アモルファスシリコン層（窒素添加アモルファスシリコン層）

10

20

30

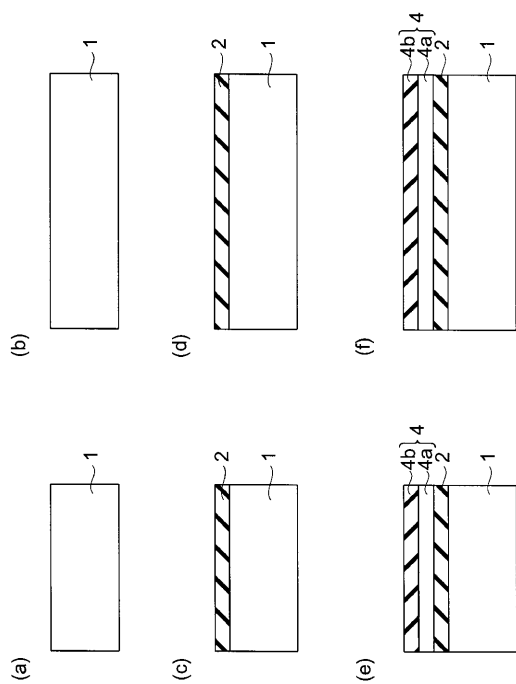
40

50

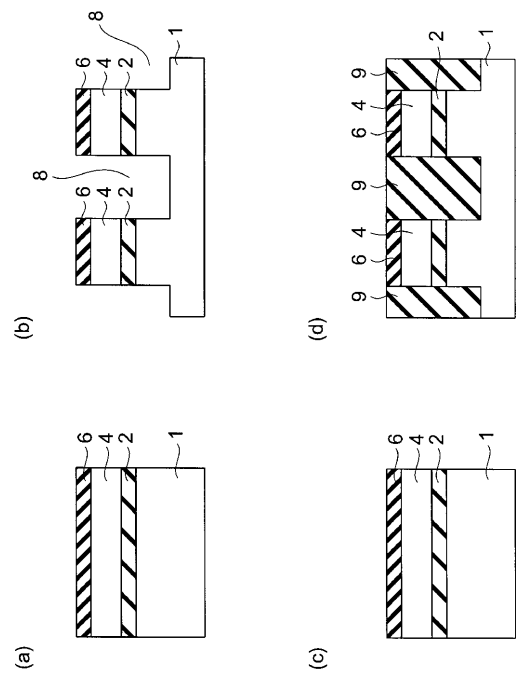
- 4 b シリコン窒化層
- 6 マスク材
- 8 素子分離溝
- 9 素子分離領域（素子分離絶縁膜）
- 10 ブロック絶縁膜
- 11 導電膜（制御ゲート電極）
- 12 R I E 用マスク材
- 13 溝
- 14 シリコン酸化膜
- 15 a ソース領域
- 15 b ドレイン領域
- 16 層間絶縁膜

10

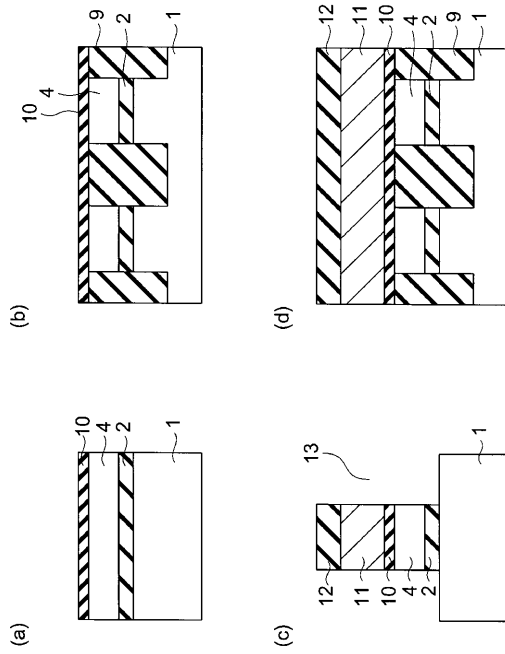
【図 1】



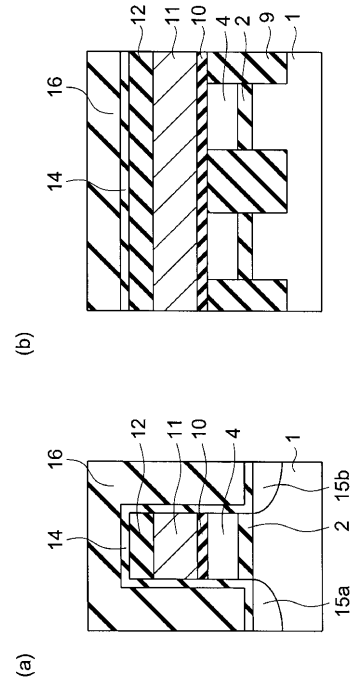
【図 2】



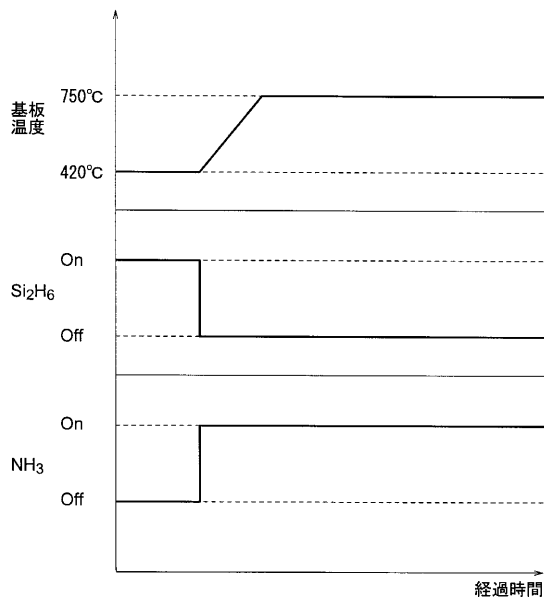
【図 3】



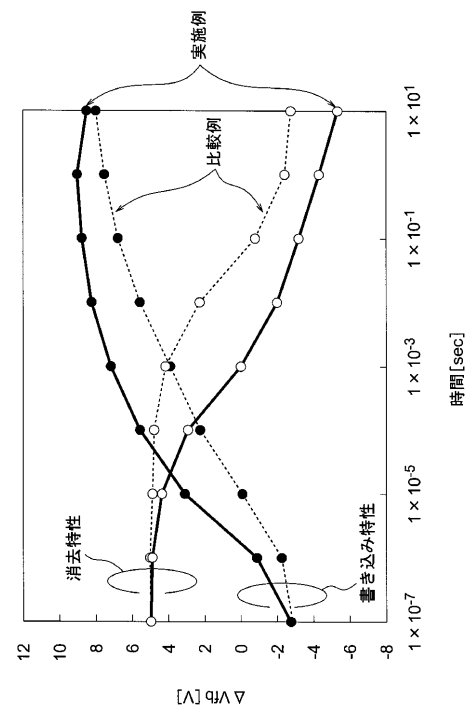
【図 4】



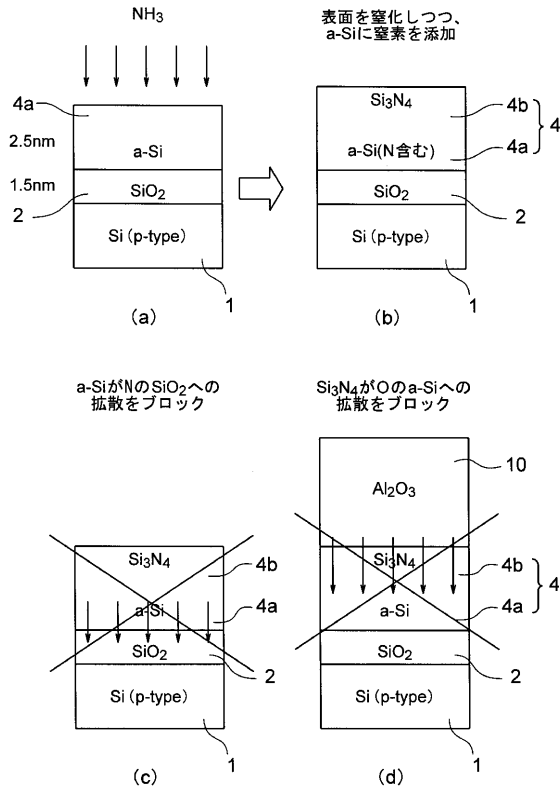
【図 5】



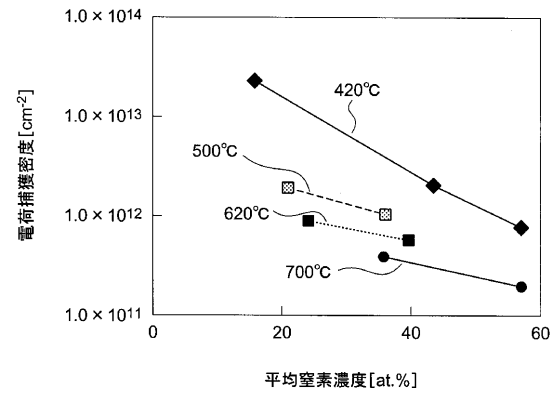
【図 6】



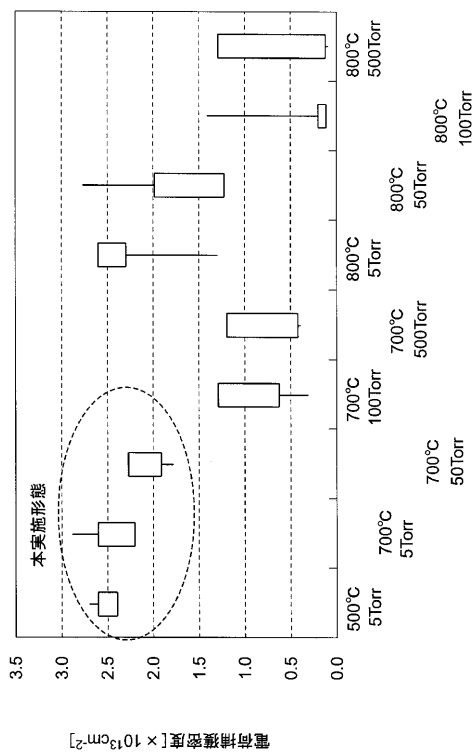
【図 7】



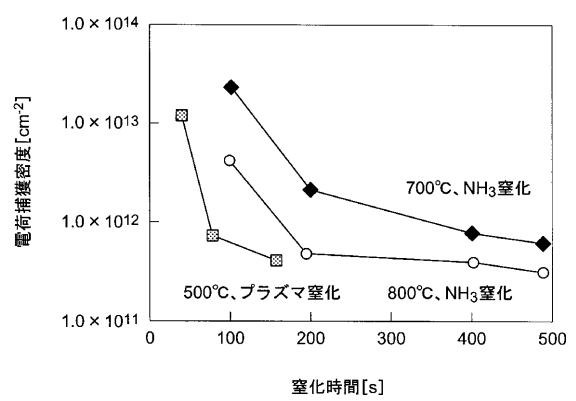
【図 8】



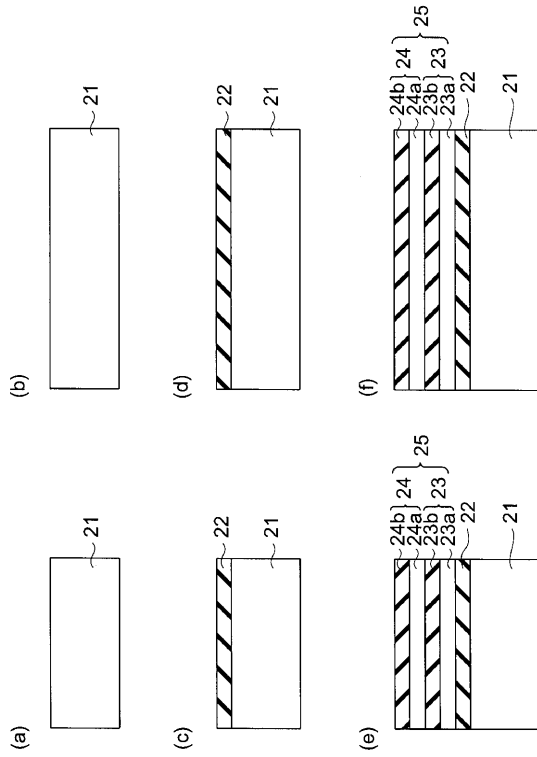
【図 9】



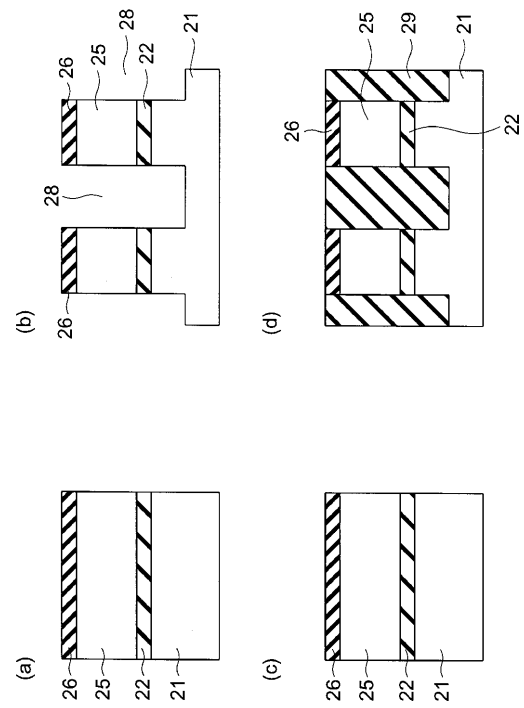
【図 10】



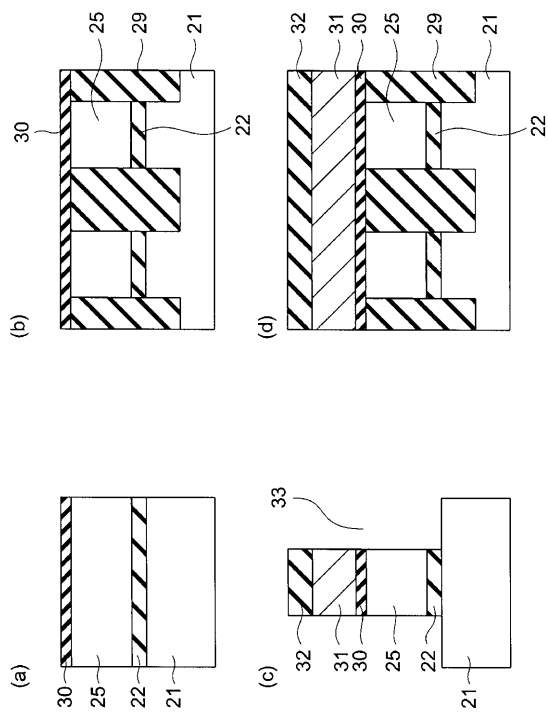
【図 1 1】



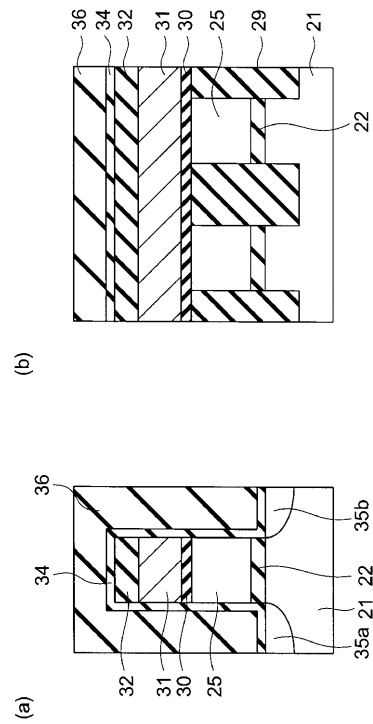
【図 1 2】



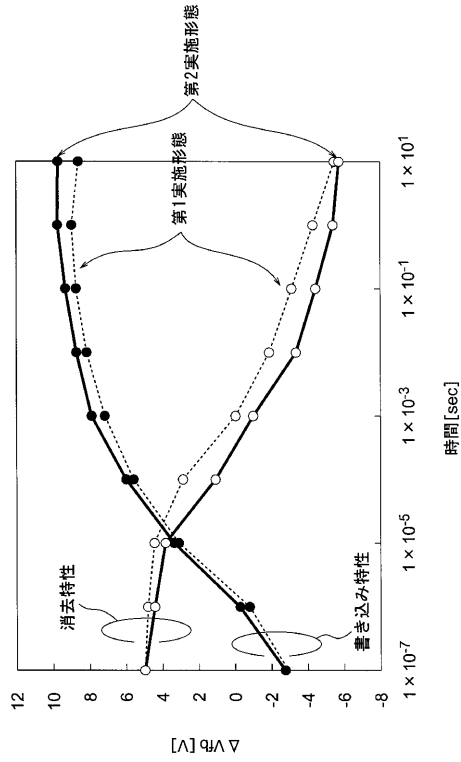
【図 1 3】



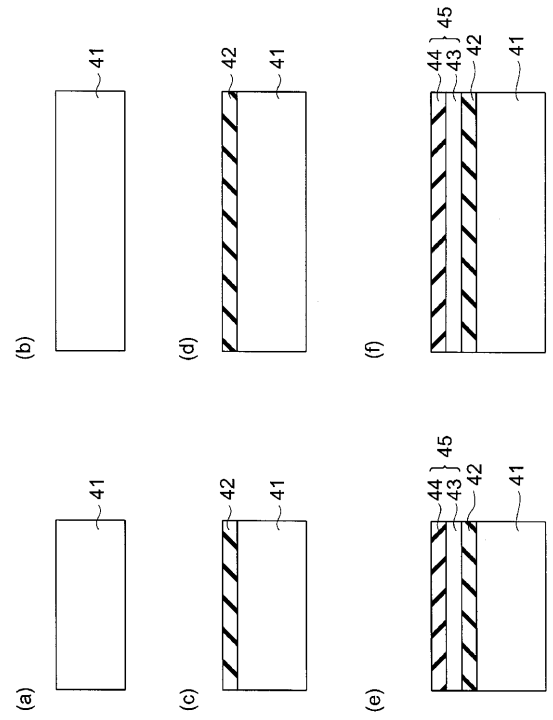
【図 1 4】



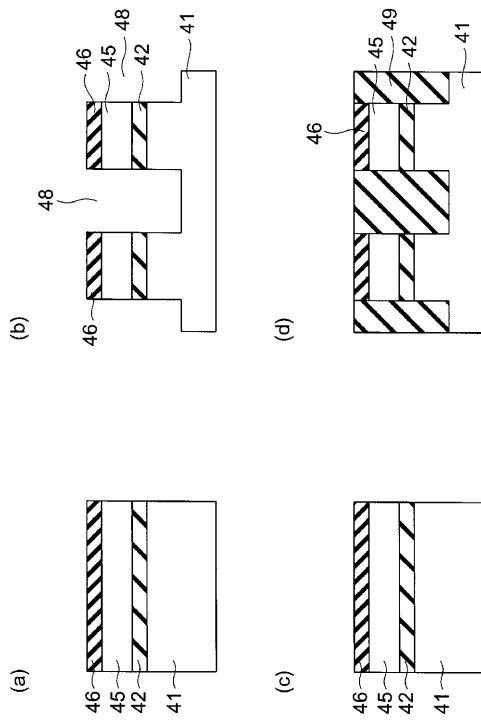
【図 15】



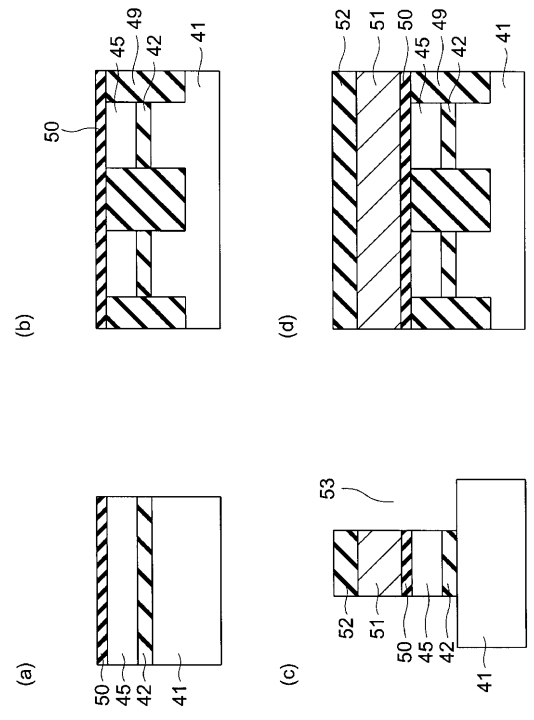
【図 16】



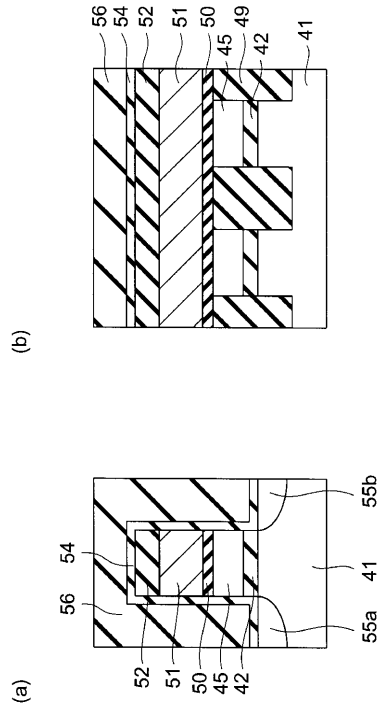
【図 17】



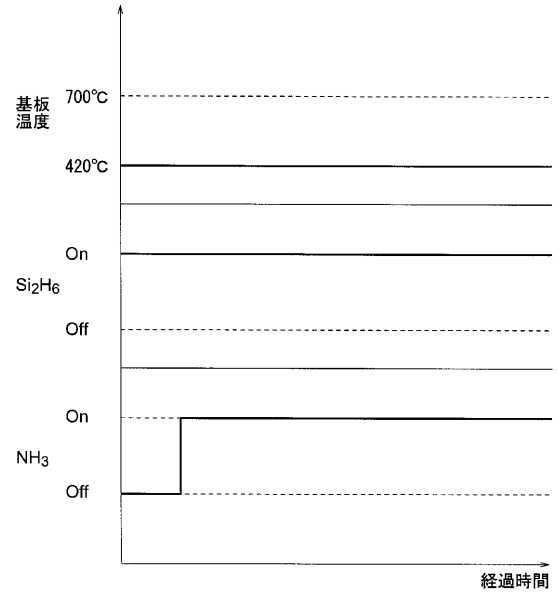
【図 18】



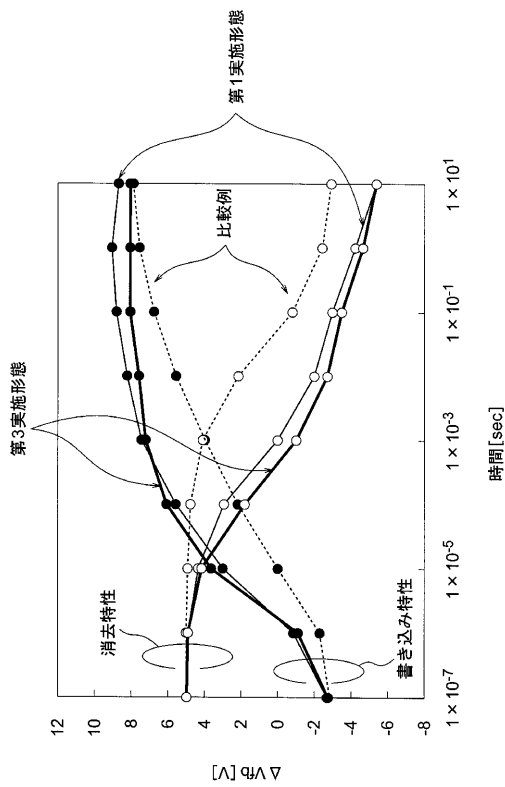
【図 19】



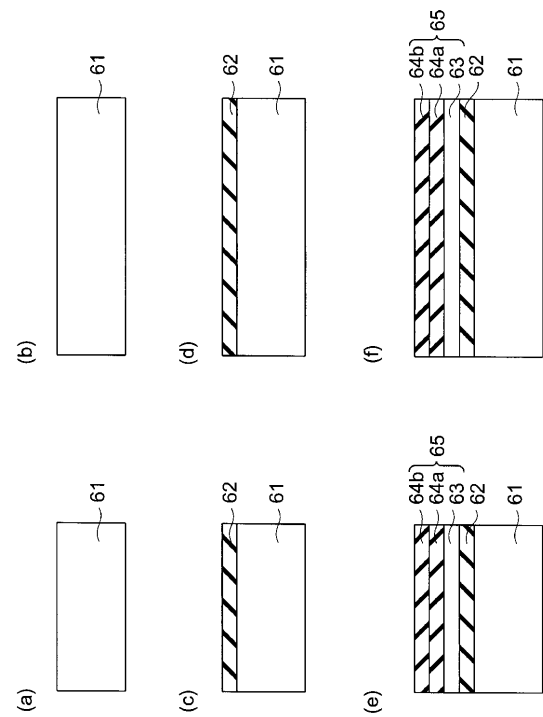
【図 20】



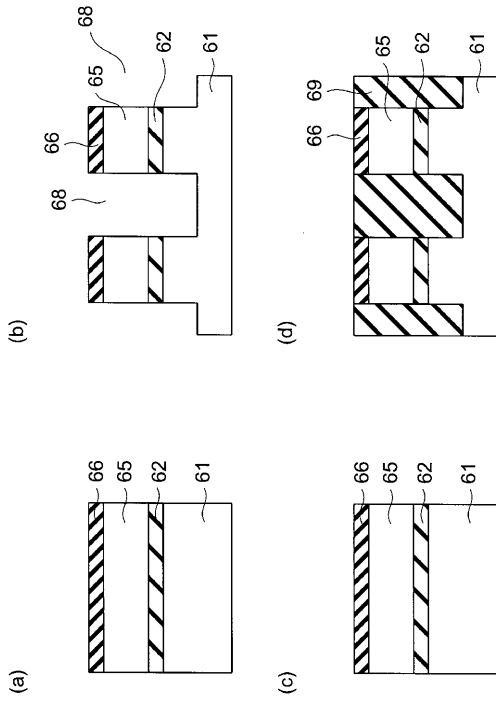
【図 21】



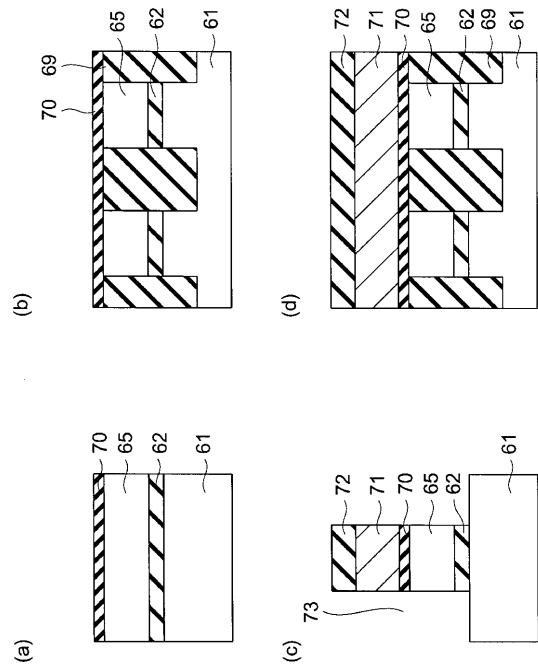
【図 22】



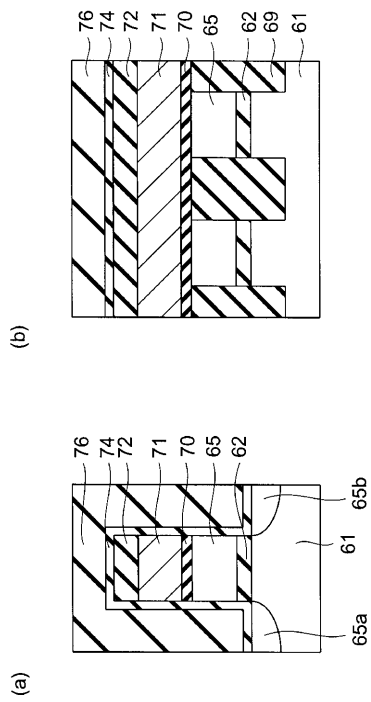
【図 2 3】



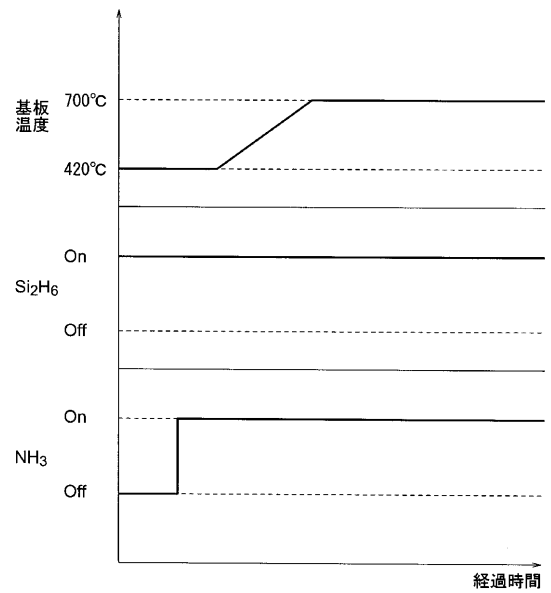
【図 2 4】



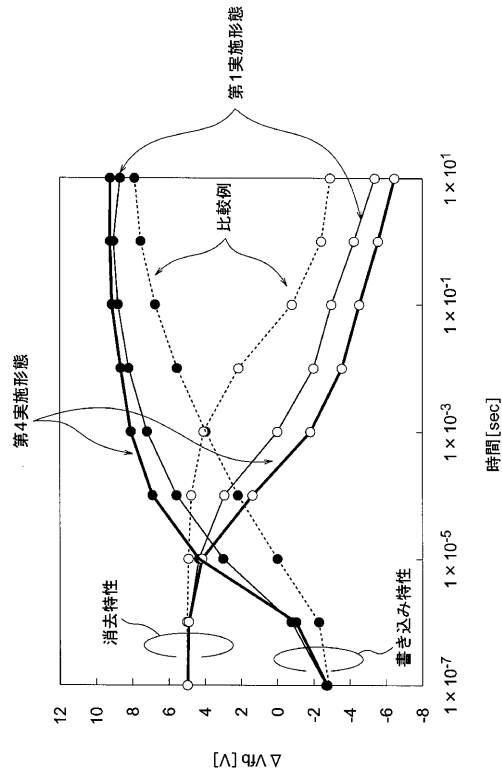
【図 2 5】



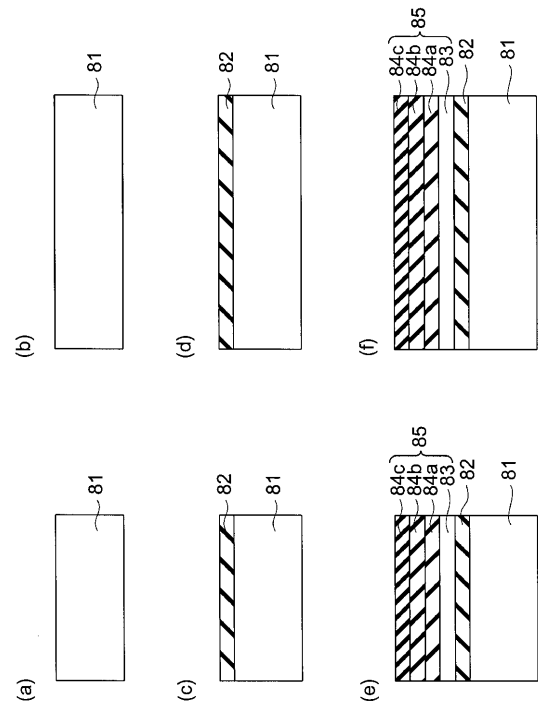
【図 2 6】



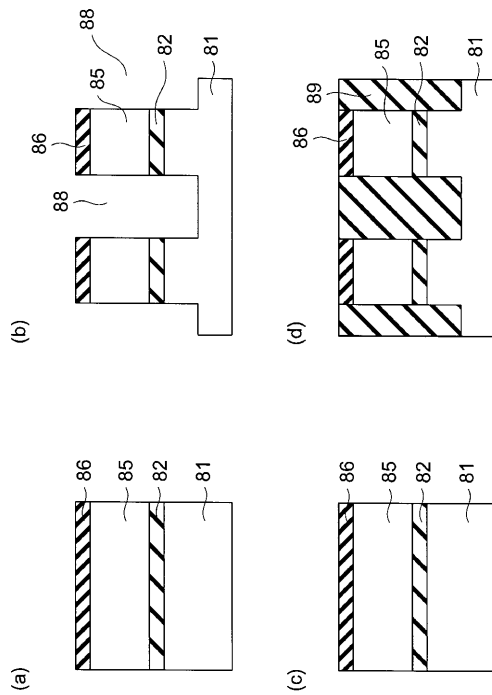
【図 27】



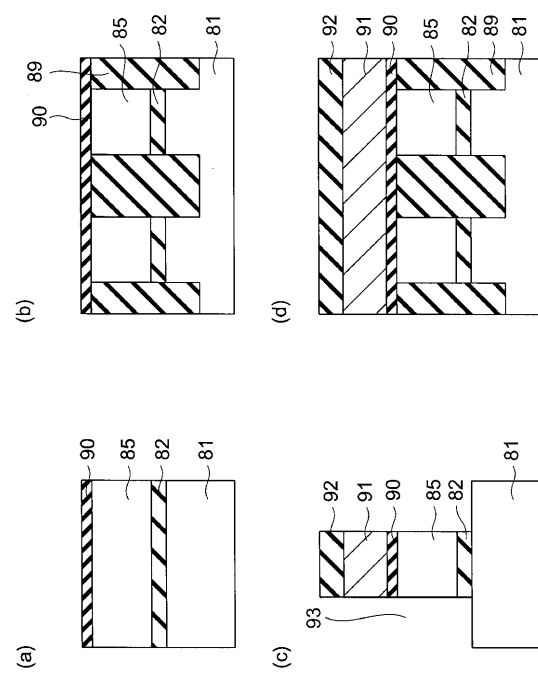
【図 28】



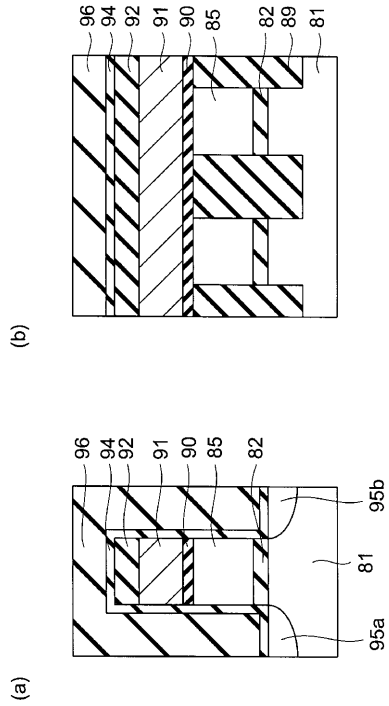
【図 29】



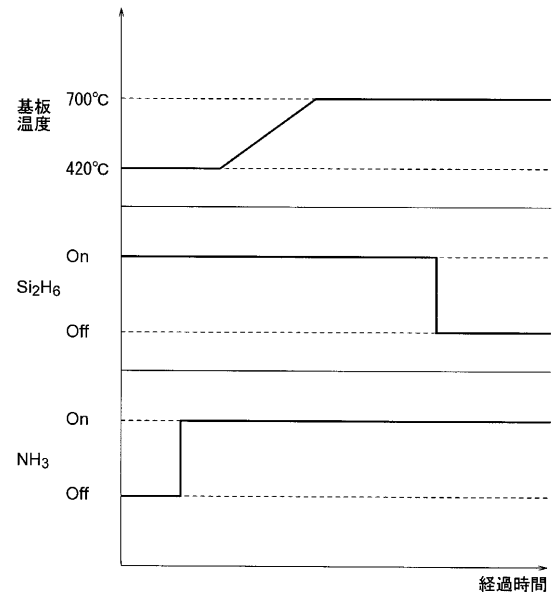
【図 30】



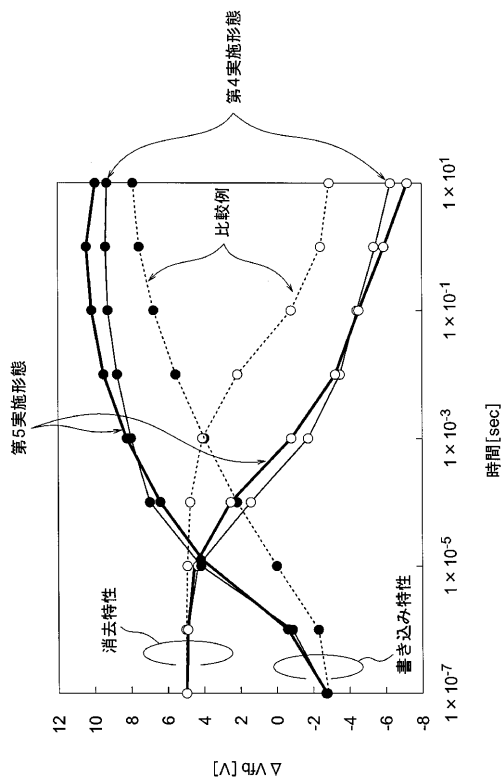
【図 3 1】



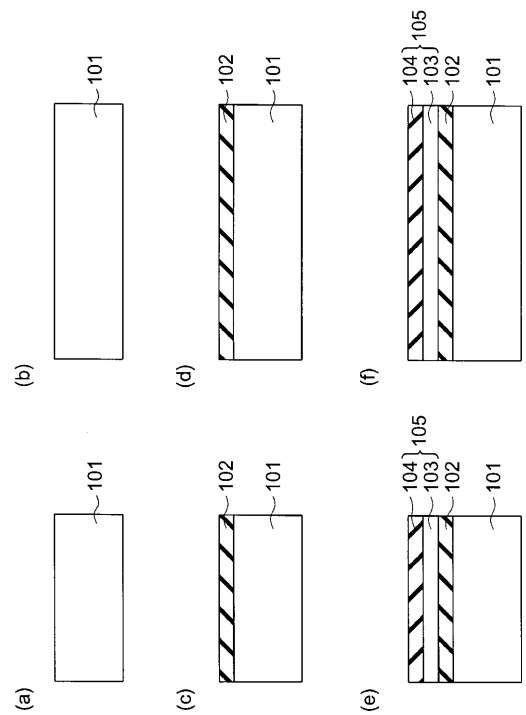
【図 3 2】



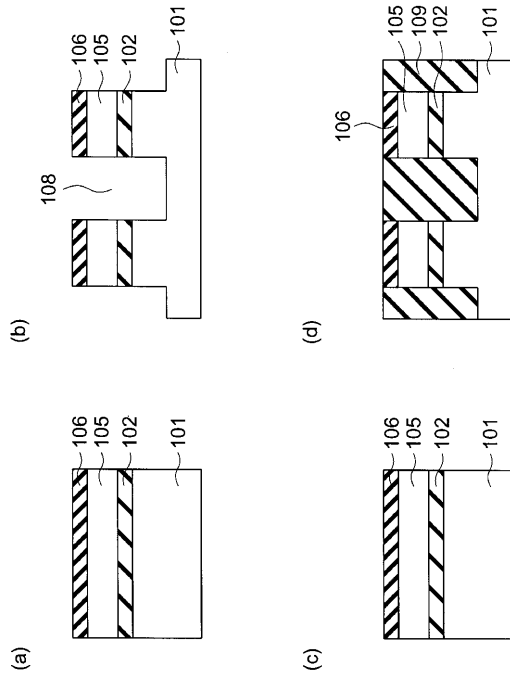
【図 3 3】



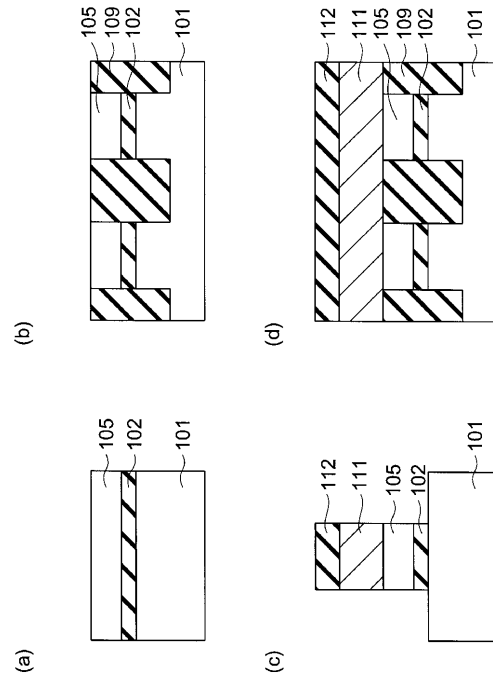
【図 3 4】



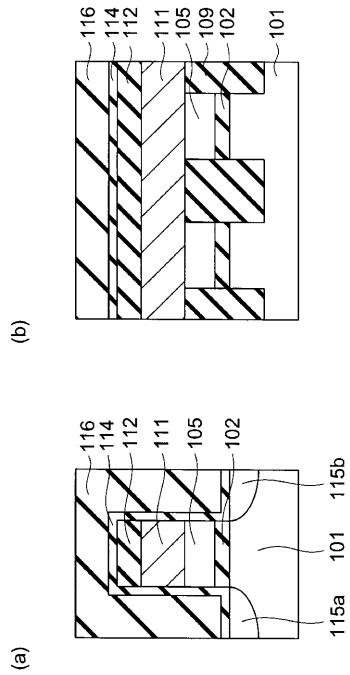
【図 3 5】



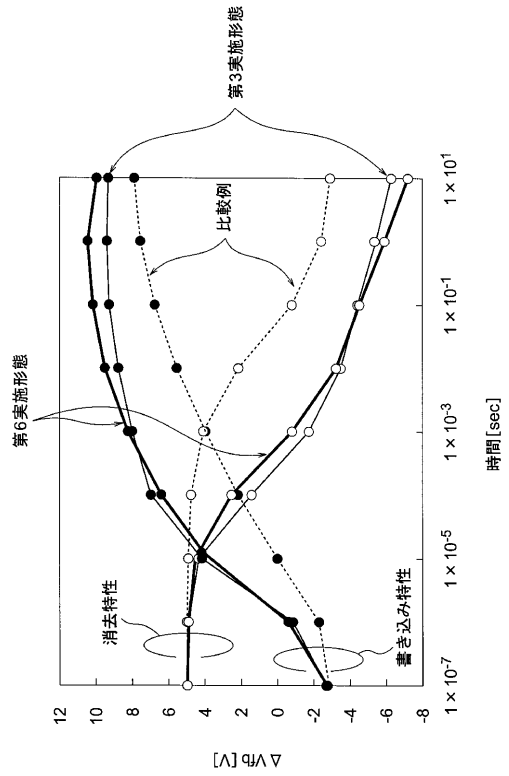
【図 3 6】



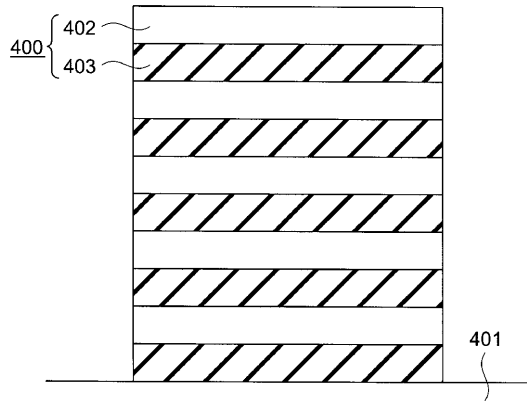
【図 3 7】



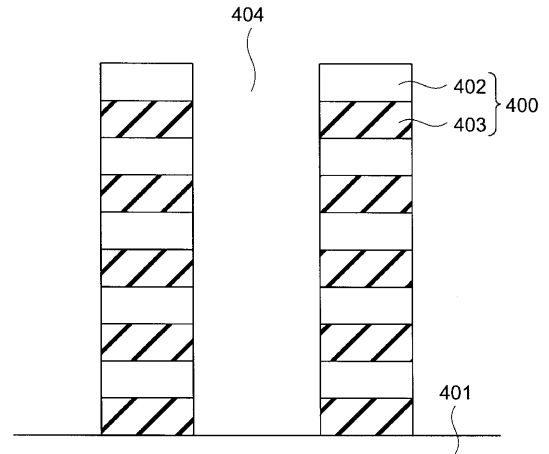
【図 3 8】



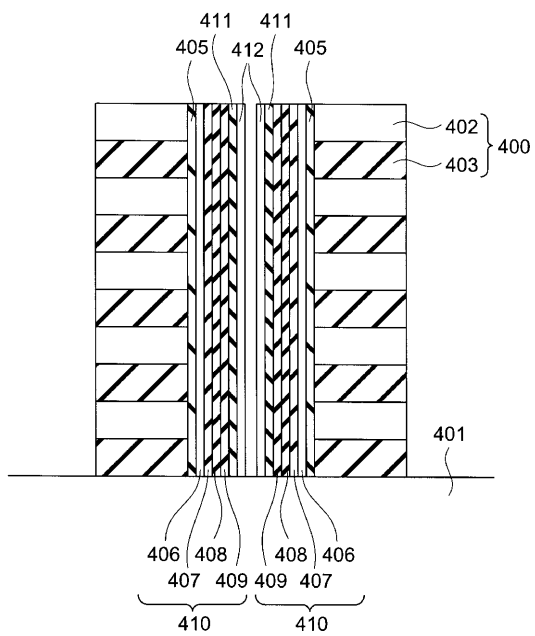
【図 39】



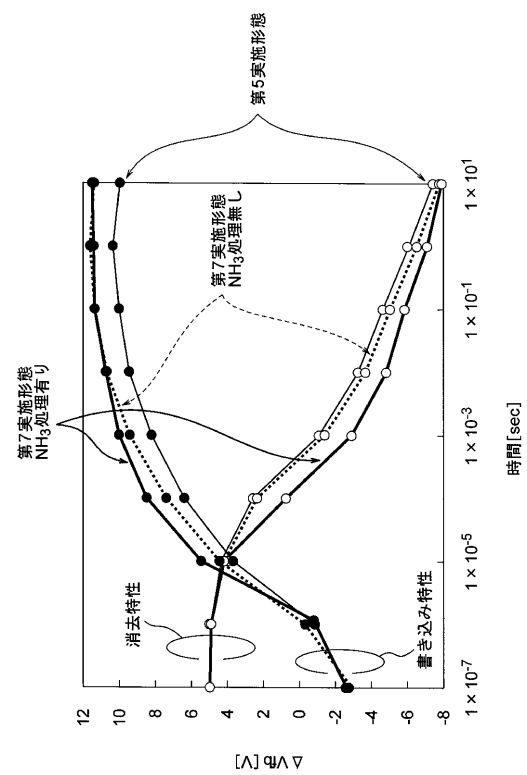
【図 40】



【図 41】



【図 42】



フロントページの続き

(72)発明者 三 谷 祐一郎

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5F083 EP18 EP22 EP48 EP49 EP50 GA01 GA10 GA11 GA25 GA27
JA03 JA05 JA12 JA19 JA35 JA39 JA53 NA01 PR12 PR15
PR18 PR21 PR40
5F101 BA42 BA45 BA47 BA48 BA49 BA53 BB02 BB08 BD16 BD30
BD35 BF02 BH02 BH03 BH06 BH17 BH18