

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年4月7日(2016.4.7)

【公開番号】特開2013-211008(P2013-211008A)

【公開日】平成25年10月10日(2013.10.10)

【年通号数】公開・登録公報2013-056

【出願番号】特願2013-40420(P2013-40420)

【国際特許分類】

G 06 F 12/08 (2016.01)

【F I】

G 06 F 12/08 5 7 9

G 06 F 12/08 5 5 3 B

【手続補正書】

【提出日】平成28年2月18日(2016.2.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

演算処理を行うプロセッサコアと、

メモリセルアレイを備えるキャッシュメモリと、

割り込みベクタが格納された割り込みコントローラと、

前記キャッシュメモリの電源供給状態を制御する電源コントローラと、を有し、

第1のモード及び第2のモードを有するマイクロプロセッサであって、

前記第1のモードでは、

前記プロセッサコアが、前記割り込みベクタに基づいて前記メモリセルアレイにデータをプリフェッチする機能と、

前記電源コントローラが、前記プリフェッチの終了後に前記キャッシュメモリへの電源供給停止処理を実行する機能と、を有し、

前記第2のモードでは、

前記電源コントローラが、前記キャッシュメモリへの電源供給再開処理を実行する機能と、

前記プロセッサコアが、前記電源供給再開後に前記メモリセルアレイのデータをフェッチする機能と、を有することを特徴とするマイクロプロセッサ。

【請求項2】

請求項1において、

前記メモリセルアレイは、半導体層として酸化物半導体材料を用いたトランジスタ、磁気トンネル接合素子、又はフローティングゲートに電荷を保持する機構を備える素子のいずれか或いはこれらの組み合わせたものを有することを特徴とするマイクロプロセッサ。

【請求項3】

請求項1又は請求項2において、

前記第1のモードでは、

前記メモリセルアレイが、前記割り込みベクタにより示されたデータが格納する機能を有することを特徴とするマイクロプロセッサ。

【請求項4】

演算処理を行うプロセッサコアと、

メモリセルアレイを備えるキャッシュメモリと、

割り込みベクタが格納された割り込みコントローラと、

前記キャッシュメモリの電源供給状態を制御する電源コントローラと、を有し、

第1のモード及び第2のモードを有するマイクロプロセッサの駆動方法であって、

前記第1のモードでは、

前記プロセッサコアが、前記割り込みベクタに基づいて前記メモリセルアレイにデータをプリフェッチする動作と、前記キャッシュメモリの電源供給停止を指示する第1の信号を出力する動作と、を行い、

前記電源コントローラが、前記第1の信号に基づいて前記キャッシュメモリの電源供給停止処理を実行する動作を行い、

前記第2のモードでは、

前記割り込みコントローラが、前記キャッシュメモリの電源供給再開を指示する第2の信号を出力する動作を行い、

前記電源コントローラが、前記第2の信号に基づいて前記キャッシュメモリの電源供給を再開する動作を行い、

前記プロセッサコアが、前記メモリセルアレイから前記データをフェッチする動作を行うことを特徴とするマイクロプロセッサの駆動方法。