

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **3 014 816**

51 Int. Cl.:

**H02J 7/00** (2006.01)  
**H01R 13/66** (2006.01)  
**G06F 13/38** (2006.01)  
**G06F 13/40** (2006.01)  
**G06F 13/42** (2006.01)  
**H01R 24/60** (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **14.07.2021 PCT/CN2021/106213**

87 Fecha y número de publicación internacional: **20.01.2022 WO22012578**

96 Fecha de presentación y número de la solicitud europea: **14.07.2021 E 21841700 (4)**

97 Fecha y número de publicación de la concesión europea: **01.01.2025 EP 4184745**

54 Título: **Línea de datos y dispositivo de carga**

30 Prioridad:

**14.07.2020 CN 202010674329**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**25.04.2025**

73 Titular/es:

**VIVO MOBILE COMMUNICATION CO., LTD.**  
**(100.00%)**  
**No.1, Vivo Road, Chang'an**  
**Dongguan, Guangdong 523863, CN**

72 Inventor/es:

**LUO, FANGDING;**  
**WEI, JUNCHEN y**  
**LIU, YANBIN**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 3 014 816 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Línea de datos y dispositivo de carga

**Campo técnico**

5 Esta solicitud pertenece al campo de las tecnologías de comunicación, y específicamente se refiere a un cable de datos y un dispositivo de carga.

**Antecedentes**

Con el desarrollo de la ciencia y la tecnología, la carga rápida se usa cada vez más.

10 En una tecnología relacionada, se usa generalmente un protocolo de suministro de energía (Suministro de Energía, PD) para una carga rápida. Un cargador que soporta la carga del protocolo PD necesita usar un cable de señal de canal de configuración (Canal de Configuración, CC) para la comunicación. El cargador que soporta la carga del protocolo PD generalmente usa una interfaz de tipo C (Tipo C) y tiene un cable de datos de Tipo C a Tipo C. Un cable de datos que usa una interfaz de tipo A (tipo A o estándar A) realiza la comunicación usando un cable de señal D+/D-, y no puede soportar la carga en el protocolo PD. Por lo tanto, una interfaz de tipo A en el cable de datos no soporta la carga en el protocolo PD.

15 Se menciona aquí el documento CN108233130B, considerado la técnica anterior más reciente. Se identifica también el Artículo 54(3) del documento EP4160856A1 del EPC.

**Compendio**

Las realizaciones de esta solicitud son para proporcionar un cable de datos y un dispositivo de carga, que pueden resolver el problema de que un cable de datos con una interfaz de tipo A no soporta la carga en un protocolo PD.

20 Para resolver el problema técnico anterior, esta solicitud se implementa de la siguiente manera:

Según un primer aspecto, una realización de esta solicitud proporciona un cable de datos, que incluye: una interfaz de tipo A y una interfaz de tipo C, donde la interfaz de tipo A y la interfaz de tipo C se conectan usando un cable, la interfaz de tipo A y la interfaz de tipo C tienen cada una un pin VBUS, un pin CC, un pin D+, un pin D-, y un pin GND, y un pin VBUS, un pin D+, un pin D-, y un pin GND de la interfaz de tipo A se conectan a un pin VBUS, un pin D+, un pin D-, y un pin GND de la interfaz de tipo C, respectivamente;

25 un módulo de identificación de circuito se dispone en el cable de datos, y el módulo de identificación de circuito incluye un circuito de conmutación, un circuito de filtrado, un circuito regulador de tensión y un circuito comparador; y

30 el circuito de conmutación se conecta al pin CC de la interfaz de tipo C, a un terminal de salida del circuito regulador de tensión y al pin CC de la interfaz de tipo A, un terminal de control del circuito de conmutación se conecta a un terminal de salida del circuito comparador, un terminal de entrada del circuito regulador de tensión se conecta a un cable VBUS en el cable, un terminal de salida del circuito regulador de tensión se conecta además a un primer terminal de entrada del circuito comparador, un segundo terminal de entrada del circuito comparador se conecta a un terminal de salida del circuito de filtrado y un terminal de entrada del circuito de filtrado se conecta al pin CC de la interfaz de tipo A; donde

35 bajo el control del circuito comparador, el circuito de conmutación conecta el pin CC de la interfaz de tipo A al pin CC de la interfaz de tipo C, o conecta el terminal de salida del circuito regulador de tensión al pin CC de la interfaz de tipo C.

40 Según un segundo aspecto, una realización de esta solicitud proporciona un dispositivo de carga, que incluye un cable de datos y un cargador. El cable de datos es el cable de datos en el primer aspecto, el cargador incluye un módulo de procesamiento de carga PD, y cuando el cargador se conecta al cable de datos, el módulo de procesamiento de carga PD se conecta al pin CC en la interfaz de tipo A.

45 En las realizaciones de esta solicitud, un pin CC se dispone en una interfaz de tipo A de un cable de datos, una señal de comunicación CC transmitida en el pin CC de la interfaz de tipo A se filtra hacia una señal de control estable usando un circuito de filtrado, y un circuito comparador se usa para comparar la señal analógica con una tensión estable proporcionada por un circuito regulador de tensión, para emitir una señal de control correspondiente, para que cuando haya una señal en el pin CC de la interfaz de tipo A y cuando no haya señal en el pin CC de la interfaz de tipo A, las señales de control emitidas por el circuito comparador sean señales de control diferentes; un estado encendido/apagado de un circuito de conmutación se controla según la señal de control, para que cuando el circuito de conmutación conecte un terminal de salida del circuito regulador de tensión a un pin CC de una interfaz de tipo C, el cable de datos solo pueda realizar comunicación de protocolo no PD usando un pin D+ y un pin D-; y cuando el circuito de conmutación conecte el pin CC de la interfaz de tipo A al pin CC de la interfaz de tipo C, el cable de datos pueda soportar comunicación de protocolo no PD usando el pin D+ y el pin D-, y también pueda soportar comunicación

de protocolo PD usando el pin CC. De esta manera, un cable de datos con la interfaz de tipo A puede soportar la carga en un protocolo PD.

**Breve descripción de los dibujos**

- La FIG. 1 es un diagrama de una estructura de un cable de datos según una realización de esta solicitud;
- 5 la FIG. 2 es un diagrama de una estructura de un módulo de identificación de circuito en un cable de datos según una realización de esta solicitud;
- la FIG. 3 es un diagrama de circuito de un módulo de identificación de circuito en un cable de datos según una realización de esta solicitud; y
- 10 la FIG. 4 es un diagrama de una estructura de una interfaz de tipo A en un cable de datos según una realización de esta solicitud.

**Descripción de realizaciones**

A continuación se describen de manera clara y completa las soluciones técnicas en las realizaciones de esta solicitud con referencia a los dibujos adjuntos en las realizaciones de esta solicitud. Aparentemente, las realizaciones descritas son algunas en lugar de todas las realizaciones de esta solicitud. Sin embargo, la invención se define por las características de las reivindicaciones independientes. Las realizaciones preferidas se definen en las reivindicaciones dependientes.

Los términos "primero" y "segundo" en la memoria descriptiva y las reivindicaciones de esta solicitud se usan para distinguir entre objetos similares, y no necesitan usarse para describir un orden o secuencia específica. Debe entenderse que los datos usados de esta manera pueden ser intercambiables en un caso apropiado, para que las realizaciones de esta solicitud puedan implementarse en una secuencia distinta de las mostradas o descritas en la presente memoria, y los objetos distinguidos por "primero" y "segundo" son generalmente de un mismo tipo, y una cantidad de objetos no está limitada. Por ejemplo, puede haber uno o más primeros objetos. Además, en la memoria descriptiva y las reivindicaciones, "y/o" representa al menos uno de los objetos conectados, y el carácter "/" generalmente representa una relación "o" entre objetos asociados.

25 Con referencia a los dibujos adjuntos, un cable de datos y un dispositivo de carga proporcionados en las realizaciones de esta solicitud se describen en detalle a continuación usando una realización específica y un escenario de aplicación del mismo.

Con referencia tanto a la FIG. 1 como a la FIG. 2. La FIG. 1 muestra una estructura de un cable de datos según una realización de esta solicitud.

30 La FIG. 2 es un diagrama de una estructura de un módulo 4 de identificación de circuito en un cable de datos según una realización de esta solicitud.

El cable de datos incluye una interfaz 1 de tipo A y una interfaz 2 de tipo C, donde la interfaz 1 de tipo A y la interfaz 2 de tipo C se conectan usando un cable 3, la interfaz 1 de tipo A y la interfaz 2 de tipo C tienen cada una un pin VBUS, un pin CC, un pin D+, un pin D- y un pin GND, y un pin VBUS, un pin D+, un pin D- y un pin GND de la interfaz 1 de tipo A se conectan a un pin VBUS, un pin D+, un pin D- y un pin GND de la interfaz 2 de tipo C, respectivamente;

un módulo 4 de identificación de circuito se dispone en el cable de datos, y el módulo 4 de identificación de circuito incluye un circuito 42 de conmutación, un circuito 43 de filtrado, un circuito 41 regulador de tensión y un circuito 44 comparador; y

40 una relación de conexión específica del circuito 42 de conmutación, el circuito 43 de filtrado, el circuito 41 regulador de tensión y el circuito 44 comparador es la siguiente: un primer terminal del circuito 42 de conmutación se conecta al pin CC de la interfaz 2 de tipo C, un segundo terminal del circuito 42 de conmutación se conecta a un terminal de salida del circuito 41 regulador de tensión, un tercer terminal del circuito 42 de conmutación se conecta al pin CC de la interfaz 1 de tipo A, un terminal de control del circuito 42 de conmutación se conecta a un terminal de salida del circuito 44 comparador, un terminal de entrada del circuito 41 regulador de tensión se conecta a un cable VBUS en el cable 3, un terminal de salida del circuito 41 regulador de tensión se conecta además a un primer terminal del circuito 44 comparador, un segundo terminal del circuito 44 comparador se conecta a un terminal de salida del circuito 43 de filtrado, y un terminal de entrada del circuito 43 de filtrado se conecta al cable CC; y

50 bajo el control del circuito 44 comparador, el primer terminal del circuito 42 de conmutación se conecta al segundo terminal o al tercer terminal del circuito 42 de conmutación.

En funcionamiento, el circuito 44 comparador determina, basándose en una relación numérica entre el primer valor de tensión y el segundo valor de tensión, si hay transmisión de señal en el pin CC de la interfaz 1 de tipo A. El primer

valor de tensión es un valor de tensión de una señal eléctrica obtenida del primer terminal de entrada, y el segundo valor de tensión es un valor de tensión de una señal eléctrica obtenida del segundo terminal de entrada.

5 Además, cuando se determina que hay transmisión de señal en el pin CC, el primer terminal del circuito 42 de conmutación se controla para conectarse al tercer terminal del circuito 42 de conmutación (es decir, se conecta un cable CC); cuando se determina que no hay transmisión de señal en el pin CC, el primer terminal del circuito 42 de conmutación se controla para conectarse al segundo terminal del circuito 42 de conmutación, es decir, el cable de CC se desconecta, y cuando el cable de datos se enciende, el pin CC de la interfaz 2 de tipo C obtiene una señal eléctrica del circuito 41 regulador de tensión y el pin VBUS, para que un dispositivo a cargar puede desencadenar una carga no PD cuando detecta la señal eléctrica usando el pin CC.

10 Específicamente, que el primer terminal del circuito 42 de conmutación se conecte al segundo terminal del circuito 42 de conmutación indica que el circuito 42 de conmutación conecta el terminal de salida del circuito 41 regulador de tensión al pin CC de la interfaz 2 de tipo C. En este caso, el pin CC de la interfaz 1 de tipo C se desconecta del pin CC de la interfaz 1 de tipo A.

15 Además, que el primer terminal del circuito 42 de conmutación se conecte al tercer terminal del circuito 42 de conmutación indica que el circuito 42 de conmutación conecta el pin CC de la interfaz 1 de tipo A al pin CC de la interfaz 2 de tipo C. En este caso, el terminal de salida del circuito 41 regulador de tensión se desconecta del pin CC de la interfaz 2 de tipo C.

Además, el pin CC de la interfaz 1 de tipo A puede conectarse al pin CC de la interfaz 2 de tipo C usando el cable CC.

20 Además, que el pin VBUS, el pin D+, el pin D- y el pin GND en la interfaz 1 de tipo A se conecten al pin VBUS, al pin D+, al pin D- y al pin GND en la interfaz 2 de tipo C puede entenderse de la siguiente manera: el pin VBUS en la interfaz 1 de tipo A se conecta al pin VBUS en la interfaz 2 de tipo C usando un cable VBUS, el pin GND en la interfaz 1 de tipo A se conecta al pin GND en la interfaz 2 de tipo C usando un cable GND, el pin D+ en la interfaz 1 de tipo A se conecta al pin D+ en la interfaz 2 de tipo C usando un cable D+, y el pin D- en la interfaz 1 de tipo A se conecta al pin D- en la interfaz 2 de tipo C usando un cable D-.

25 Además, el módulo 4 de identificación de circuito dispuesto en el cable de datos anterior puede estar dispuesto en la interfaz 1 de tipo A, la interfaz 2 de tipo C o el cable 3 del cable de datos. Esto no está específicamente limitado en la presente memoria.

30 En una implementación específica, la carga PD puede entenderse como: transmitir una señal de carga PD usando el cable CC, para realizar la negociación de carga PD con el dispositivo a cargar usando la señal de carga PD, y cargar el dispositivo a cargar según un parámetro de carga determinado en la negociación de carga PD.

Además, la carga no PD anterior puede entenderse como: transmitir una señal de comunicación usando el pin D+ y el pin D-, realizar diferentes negociaciones de carga con el dispositivo de carga usando la señal de comunicación y cargar el dispositivo de carga según un parámetro de carga determinado en la negociación de carga.

35 Además, en una tecnología convencional, una señal eléctrica en el cable VBUS fluctúa dentro de un intervalo específico. Si el cable VBUS se conecta directamente al circuito 44 comparador, se compara una relación de magnitud entre una señal eléctrica en el pin CC de la interfaz 1 de tipo A y una señal eléctrica en el cable VBUS. Cuando la señal eléctrica en el cable VBUS fluctúa, el circuito 44 comparador puede obtener un resultado incorrecto.

40 En esta implementación, el circuito 41 regulador de tensión puede obtener la señal eléctrica en el cable VBUS, y emitir una señal eléctrica con un valor de tensión constante, por ejemplo, una señal eléctrica con un valor de tensión de salida de 5 V (voltios). De esta manera, un comparador compara una señal eléctrica emitida por el circuito 41 regulador de tensión con una señal eléctrica emitida por el circuito 43 de filtrado, para determinar si se transmite una señal eléctrica en el cable CC, y cuando se transmite una señal eléctrica en el cable CC, hace que un canal de comunicación CC conduzca. Sin embargo, cuando no se transmite ninguna señal eléctrica en el cable CC, el canal de comunicación CC se desconecta, y el pin CC se conecta al cable VBUS, para activar el dispositivo a cargar para realizar una carga no PD.

45 Por ejemplo, el circuito 41 regulador de tensión es un regulador de baja caída de tensión (Regulador de Baja Caída de Tensión, LDO).

Ciertamente, el circuito 41 regulador de tensión puede ser cualquier regulador de tensión que pueda ajustar una tensión fluctuante a una tensión estable. Esto no está específicamente limitado en la presente memoria.

50 En una implementación específica, el circuito 43 de filtrado puede ser un circuito de conformación. Cuando se transmite una señal en el cable CC, el circuito 43 de filtrado obtiene una señal de alto nivel del cable CC, y correspondientemente emite una señal de alto nivel conformada al circuito comparador. Cuando no se transmite ninguna señal en el cable CC, el circuito 43 de filtrado libera una señal eléctrica, y emite una señal conformada de bajo nivel al circuito comparador cuando la señal eléctrica liberada es menor que una señal eléctrica preestablecida.

Específicamente, la señal eléctrica emitida por el circuito 41 regulador de tensión puede estar entre una señal de bajo nivel y una señal de alto nivel, donde la señal de bajo nivel es una señal eléctrica emitida por el circuito 43 de filtrado cuando no se transmite ninguna señal en el cable CC, y la señal de alto nivel es una señal eléctrica emitida por el circuito 43 de filtrado cuando se transmite una señal en el cable CC.

5 En un funcionamiento específico, el circuito 42 de conmutación incluye dos estados de funcionamiento:

En un primer estado de funcionamiento, el primer terminal del circuito 42 de conmutación se conecta al segundo terminal del circuito 42 de conmutación, es decir, el circuito 42 de conmutación conecta el pin CC de la interfaz 2 de tipo C al cable VBUS usando el circuito 41 regulador de tensión, y el pin CC de la interfaz 2 de tipo C se desconecta del segundo terminal del cable CC. En este caso, el canal de comunicación CC se desconecta, y el pin CC de la interfaz 2 de tipo C se conecta al cable VBUS.

10

En este caso, una estructura del cable 2 de datos es similar a una estructura de un cable de datos de tipo A a tipo C en la tecnología convencional, y una diferencia es que el pin CC de la interfaz 2 de tipo C en el cable de datos de tipo A a tipo C en la tecnología convencional se conecta al cable VBUS usando una sexta resistencia en lugar del circuito 41 regulador de tensión.

15 En la solicitud, el cable 2 de datos en el estado de funcionamiento anterior tiene el mismo principio de funcionamiento que el cable de datos de tipo A a tipo C en la tecnología convencional, es decir, se transmite una señal eléctrica al dispositivo a cargar usando un pin CC conectado al cable VBUS, para dar instrucciones al dispositivo a cargar para que realice una carga no PD.

20 En un segundo estado de funcionamiento, el primer terminal del circuito 42 de conmutación se conecta al tercer terminal del circuito 42 de conmutación, es decir, el circuito 42 de conmutación conecta el pin CC de la interfaz 2 de tipo C al cable CC, y el pin CC de la interfaz 2 de tipo C se desconecta del cable VBUS. En este caso, el canal de comunicación CC se conecta.

En este caso, el cable 2 de datos puede realizar la negociación de carga PD con el dispositivo a cargar usando el cable CC y el pin CC que se conectan.

25 En la tecnología convencional, un terminal móvil tal como un teléfono móvil soporta habitualmente la carga rápida de un protocolo de comunicación DP y un protocolo de comunicación DM. En los protocolos de comunicación de carga de datos negativos (Datos negativos, DM) y de comunicación de carga de datos positivos (Datos positivos, DP), se transmite una señal de comunicación usando el pin D+ y el pin D-. Un dispositivo electrónico tal como un notebook soporta normalmente la carga rápida del protocolo de comunicación PD. En el protocolo de comunicación PD, se transmite una señal de comunicación usando el pin CC. Además, en la tecnología convencional, los cables de datos que soportan el protocolo de comunicación PD usan todos un cable de datos en una forma de tipo C a tipo C, y los cables de datos que soportan el protocolo de comunicación DP/DM usan todos un cable de datos en una forma de tipo A a tipo C. De esta manera, el cable de datos que soporta el protocolo de comunicación PD y el cable de datos que soporta el protocolo de comunicación DP/DM no pueden intercambiarse.

30

35 Sin embargo, el cable de datos en esta implementación es un cable de datos que incluye la interfaz 1 de tipo A, y el pin CC se añade a la interfaz 1 de tipo A, y cuando se transmite una señal de protocolo de comunicación CC en el pin CC, el pin CC en la interfaz 1 de tipo A se conecta al pin CC en la interfaz 2 de tipo A, para que se pueda realizar una carga rápida PD en el dispositivo a cargar.

40 Además, en la aplicación real, en caso de que el dispositivo a cargar soporte solo una carga rápida no PD de los protocolos de comunicación DP y DM, los canales de comunicación DP y DM en el cable de datos siguen estando en un estado encendido, para que se pueda proporcionar una carga rápida de los protocolos DP y DM para el dispositivo a cargar.

45 Además, durante el funcionamiento, en un estado inicial en donde el cable de datos proporcionado en esta realización de esta solicitud no se conecta a una fuente de alimentación, el primer terminal del circuito 42 de conmutación puede conectarse al tercer terminal del circuito 42 de conmutación, para que cuando el cable de datos se inserte en el dispositivo a cargar, la comunicación de carga PD se realice con el dispositivo a cargar usando el canal de comunicación CC, y en caso de que la señal de comunicación CC no se obtenga en el pin CC de la interfaz de tipo A dentro del tiempo preestablecido después de que se inicie la comunicación CC, el primer terminal del circuito 42 de conmutación se conmute para conectarse al segundo terminal del circuito 42 de conmutación. El tiempo preestablecido puede ser de 3 segundos, 5 segundos o similares. Esto no está específicamente limitado en la presente memoria.

50

Además, una relación de conexión entre el pin VBUS, el pin D+, el pin D- y el pin GND en la interfaz 1 de tipo A y la interfaz 2 de tipo C y los cables en el cable 3 es la misma que una relación de conexión entre pines y cables en la tecnología convencional. Por ejemplo, la relación de conexión entre pines en la interfaz de tipo C y la interfaz 1 de tipo A y el cable 3 es específicamente una relación de conexión mostrada en la siguiente Tabla 1:

55

Tabla 1

Interfaz tipo C	Cable	Interfaz tipo A
Pin GND	Cable GND	Pin GND
Pin VBUS	Cable VBUS	Pin VBUS
Pin CC1	Cable CC1	Pin CC
Pin CC2		
Pin D+	Cable D+	Pin D+
Pin D-	Cable D-	Pin D-

5 En la implementación, en caso de que la señal de comunicación CC se reciba en el pin CC de la interfaz 1 de tipo A, la señal de comunicación CC se ajusta a una señal analógica estable usando el circuito 43 de filtrado, y la señal analógica se compara con una tensión estable emitida por el circuito 41 regulador de tensión usando el circuito 44 comparador, para que cuando haya una señal en el pin CC de la interfaz 1 de tipo A, el circuito 44 comparador emita una primera señal de control, y cuando no haya señal en el pin CC de la interfaz 1 de tipo A, el circuito 44 comparador emita una segunda señal de control. De esta manera, la primera señal de control de salida y la segunda señal de control de salida son más precisas, y un estado de encendido/apagado del circuito 42 de conmutación puede controlarse con más precisión según la primera señal de control y la segunda señal de control.

10 Específicamente, en caso de que haya una señal en el pin CC de la interfaz 1 de tipo A, la señal analógica emitida por el circuito de filtrado puede ser una señal de alto nivel. De esta manera, el circuito 44 comparador emite la primera señal de control basándose en que la señal de alto nivel es mayor que la tensión estable emitida por el circuito 41 regulador de tensión, y el circuito 42 de conmutación se conecta al primer terminal y al tercer terminal del circuito 42 de conmutación en respuesta a la primera señal de control. En caso de que no haya ninguna señal en el pin CC de la interfaz 1 de tipo A, la señal analógica emitida por el circuito 43 de filtrado puede ser una señal de bajo nivel. De esta manera, el circuito 44 comparador emite la segunda señal de control basándose en que la señal de bajo nivel es menor que la tensión estable emitida por el circuito 41 regulador de tensión, y el circuito 42 de conmutación se conecta al primer terminal y al segundo terminal del circuito 42 de conmutación en respuesta a la segunda señal de control.

15 En esta implementación, el pin CC se dispone en la interfaz 1 de tipo A, la magnitud de la señal eléctrica emitida por el circuito 43 de filtrado y la magnitud de la señal eléctrica emitida por el circuito 41 regulador de tensión se comparan usando el circuito 44 comparador, y se emite una señal de control correspondiente según un resultado de comparación, para controlar el pin CC a conectar o desconectar del pin CC de la interfaz 2 de tipo C, para que cuando haya una señal en el pin CC de la interfaz 1 de tipo A, el pin CC se conecte al pin CC de la interfaz 2 de tipo C, para que el canal de comunicación PD en el cable de datos se conecte, para soportar la carga rápida PD. Cuando no hay señal en el pin CC de la interfaz 1 de tipo A, el pin CC se controla para que el pin CC se desconecte de la interfaz 2 de tipo C, para que el canal de comunicación PD en el cable de datos se desconecte. En este caso, no se soporta la carga rápida PD, y el pin CC se conecta al VBUS usando el circuito 41 regulador de tensión, para dar instrucciones al dispositivo a cargar para que realice una carga no PD. De esta manera, en caso de que el dispositivo a cargar conectado al cable de datos soporte la carga rápida PD, el canal de comunicaciones PD en el cable de datos se puede conectar, y la carga rápida PD se realiza en el dispositivo a cargar. En caso de que el dispositivo a cargar conectado al cable de datos no soporte la carga rápida PD, el canal de comunicación PD en el cable de datos no se conecta, y un cable D+ siempre se conecta a un cable D-, para que la carga rápida de la comunicación de protocolo DP/DM se realice en el dispositivo a cargar.

20 En una implementación opcional, el módulo 4 de identificación de circuito incluye además una sexta resistencia Rp. La sexta resistencia Rp se conecta entre el circuito 4 conmutador y el pin CC de la interfaz 2 de tipo C, y el circuito 42 de conmutación está configurado para conectar el pin CC de la interfaz 2 de tipo C al terminal de salida del circuito 41 regulador de tensión usando la sexta resistencia Rp, o está configurado para conectar el pin CC de la interfaz 2 de tipo C al pin CC de la interfaz 1 de tipo A.

25 En una implementación específica, la resistencia de la sexta resistencia Rp puede ser de 56 KΩ (kilohm). Cuando el pin CC de la interfaz 2 de tipo C se conecta al terminal de salida del circuito 41 regulador de tensión usando la sexta resistencia Rp, el circuito 41 regulador de tensión puede recoger energía del cable VBUS y emitir una tensión estable

a la sexta resistencia Rp. Cuando la interfaz 2 de tipo C del cable de datos se conecta a un dispositivo a cargar que soporta la carga PD o se conecta a un dispositivo a cargar que no soporta la carga PD, el pin CC de la interfaz 2 de tipo C tiene diferentes valores de señal eléctrica. Por lo tanto, se puede dar instrucciones al dispositivo a cargar, basándose en una señal eléctrica transmitida en el pin CC de la interfaz 2 de tipo C, para que realice una comunicación de carga PD o una comunicación de carga no PD, donde la comunicación de carga no PD es para transmitir una señal de negociación de carga usando el pin D+ y el pin D-.

5

Cabe señalar que, en una implementación específica, la resistencia de la sexta resistencia Rp puede cambiarse además según una tensión de salida estable del circuito regulador de tensión, y la resistencia de la sexta resistencia Rp no está limitada específicamente en la presente memoria.

10 En una implementación opcional, el módulo 4 de identificación de circuito se dispone en el cable 3, y una distancia entre el módulo 4 de identificación de circuito y la interfaz 1 de tipo A es menor que una distancia entre el módulo 4 de identificación de circuito y la interfaz 2 de tipo C.

En esta implementación, el módulo 4 de identificación de circuito se dispone en el cable 3, para conmutar una relación de conexión correspondiente entre el pin CC de la interfaz 1 de tipo A y el pin CC de la interfaz 2 de tipo C en el cable 3.

15 Además, la distancia entre el módulo 4 de identificación de circuito y un extremo de la interfaz 1 de tipo A es menor que la distancia entre el módulo 4 de identificación de circuito y un extremo de la interfaz 2 de tipo C, y el módulo 4 de identificación de circuito puede estar dispuesto cerca de la interfaz 1 de tipo A. De esta manera, se puede evitar el problema de que una estructura de placa de circuito que incluya el módulo 4 de identificación de circuito esté dispuesta en una parte central del cable 3 y afecte a la fluidez y estética del cable 3. Ciertamente, en una implementación específica, el módulo 4 de identificación de circuito puede disponerse alternativamente cerca de la interfaz 2 de tipo C, y también puede evitarse el problema de que un módulo de circuito de un diámetro relativamente grande esté dispuesto en una parte central del cable 3 y afecte a la fluidez y estética del cable 3.

20

Se debe observar que, en una implementación específica, el módulo 4 de identificación de circuito puede estar dispuesto alternativamente en la interfaz 1 de tipo A o la interfaz 2 de tipo C, lo que no afecta a una función del módulo 4 de identificación de circuito. Esto no está específicamente limitado en la presente memoria.

25

En una implementación opcional, como se muestra en la figura 3, el circuito 42 de conmutación incluye un primer transistor de conmutación Q3, un segundo transistor de conmutación Q2, una primera resistencia R2 y una segunda resistencia R3.

30 Una relación de conexión específica entre el primer transistor de conmutación Q3, el segundo transistor de conmutación Q2, la primera resistencia R2 y la segunda resistencia R3 es la siguiente:

Un primer electrodo del primer transistor de conmutación Q3 y un primer electrodo del segundo transistor de conmutación Q2 son terminales de control del circuito 42 de conmutación, el primer electrodo del primer transistor de conmutación Q3 y el primer electrodo del segundo transistor de conmutación Q2 se conectan además al pin GND usando la primera resistencia R2 y se conectan al terminal de salida del circuito 44 comparador usando la segunda resistencia R3, un segundo electrodo del primer transistor de conmutación Q3 se conecta al pin CC de la interfaz 1 de tipo A, y un tercer electrodo del primer transistor de conmutación Q3 se conecta al pin CC de la interfaz de tipo C; y

35

un segundo electrodo del segundo transistor de conmutación Q2 se conecta al terminal de salida del circuito 41 regulador de tensión, y un tercer electrodo del segundo transistor de conmutación Q2 se conecta al pin CC de la interfaz 2 de tipo C; donde

40 en caso de que no haya señal en el pin CC de la interfaz 1 de tipo A, el primer transistor de conmutación Q3 está en un estado apagado, y el segundo transistor de conmutación Q2 está en un estado encendido; y en caso de que haya una señal en el pin CC de la interfaz 1 de tipo A, el primer transistor de conmutación Q3 está en un estado encendido, y el segundo transistor de conmutación Q2 está en un estado apagado.

45 En una implementación específica, que el primer transistor de conmutación Q3 esté en un estado encendido indica que el segundo electrodo y el tercer electrodo del primer transistor de conmutación Q3 conducen, y que el primer transistor de conmutación Q3 esté en un estado apagado indica que el segundo electrodo y el tercer electrodo del primer transistor de conmutación Q3 se desconectan.

50 De manera similar, que el segundo transistor de conmutación Q2 esté en un estado encendido indica que el segundo electrodo y el tercer electrodo del segundo transistor de conmutación Q2 conducen, y que el segundo transistor de conmutación Q2 esté en un estado apagado indica que el segundo electrodo y el tercer electrodo del segundo transistor de conmutación Q2 se desconectan.

55 Que el primer electrodo del primer transistor de conmutación Q3 y el primer electrodo del segundo transistor de conmutación Q2 sean terminales de control del circuito 42 de conmutación indica que el primer electrodo del primer transistor de conmutación Q3 y el primer electrodo del segundo transistor de conmutación Q2 se conectan por separado al terminal de salida del circuito 44 comparador.

- 5 En una implementación específica, en caso de que se transmita una señal en el pin CC de la interfaz 1 de tipo A, el circuito 43 de filtrado ajusta la señal en el pin CC de la interfaz 1 de tipo A a una señal de alto nivel, y el circuito comparador emite la primera señal de control según que la señal de alto nivel sea mayor que la tensión de salida del circuito 41 regulador de tensión. La primera señal de control puede ser una señal de nivel de un primer valor, y una señal eléctrica del primer valor se transmite al primer electrodo del primer transistor de conmutación Q3 y el primer electrodo del segundo transistor de conmutación Q2 después de la división de tensión por la primera resistencia R2 y la segunda resistencia R3. En este caso, el primer transistor de conmutación Q3 está encendido, y el segundo transistor de conmutación Q2 está apagado.
- 10 Además, en caso de que no se transmita ninguna señal en el pin CC de la interfaz 1 de tipo A, el circuito 43 de filtrado ajusta la señal en el pin CC de la interfaz 1 de tipo A a una señal de bajo nivel, y el circuito comparador emite la segunda señal de control según que la señal de bajo nivel sea menor que la tensión de salida del circuito 41 regulador de tensión. La segunda señal de control puede ser una señal de nivel de un segundo valor, y una señal eléctrica del segundo valor se transmite al primer electrodo del primer transistor de conmutación Q3 y el primer electrodo del segundo transistor de conmutación Q2 después de la división de tensión por la primera resistencia R2 y la segunda resistencia R3. En este caso, el primer transistor de conmutación Q3 está apagado, y el segundo transistor de conmutación Q2 está encendido.
- 15 El primer valor es diferente del segundo valor. Específicamente, en caso de que el primer transistor de conmutación Q3 sea un transistor de conmutación de tipo N y el segundo transistor de conmutación Q2 sea un transistor de conmutación de tipo P, el primer valor es mayor que el segundo valor; y en caso de que el primer transistor de conmutación Q3 sea un transistor de conmutación de tipo P y el segundo transistor de conmutación Q2 sea un transistor de conmutación de tipo N, el primer valor es menor que el segundo valor.
- 20 En una implementación, el primer transistor de conmutación Q3 es un transistor semiconductor de óxido metálico de tipo N (Semiconductor de Óxido Metálico de tipo N, NMOS), y el segundo transistor de conmutación Q2 es un transistor semiconductor de óxido metálico de tipo P (Semiconductor de Óxido Metálico de Tipo P, PMOS).
- 25 En este caso, el primer valor es mayor que el segundo valor.
- 30 En la solicitud, el primer electrodo del primer transistor de conmutación Q3 puede ser una puerta, el segundo electrodo puede ser un drenador, y el tercer electrodo puede ser una fuente; y el primer electrodo del segundo transistor de conmutación Q2 puede ser una puerta, el segundo electrodo puede ser un drenador, y el tercer electrodo puede ser una fuente. De esta manera, cuando hay una señal en el pin CC de la interfaz 1 de tipo A, el primer electrodo del primer transistor de conmutación Q3 recibe una señal de alto nivel, para que el segundo electrodo y el tercer electrodo del primer transistor de conmutación Q3 conduzcan. En este caso, el primer electrodo del segundo transistor de conmutación Q2 recibe una señal de alto nivel, para desconectar el segundo electrodo y el tercer electrodo del segundo transistor de conmutación Q2.
- 35 Correspondientemente, en caso de que no haya señal en el pin CC de la interfaz 1 tipo A, el circuito 43 de filtrado no emite una señal de alto nivel, es decir, el circuito 43 de filtrado emite una señal de bajo nivel, y el circuito 44 comparador emite la segunda señal de control según la señal de bajo nivel. La segunda señal de control puede ser una señal de bajo nivel. El primer electrodo del primer transistor de conmutación Q3 recibe la señal de bajo nivel, para que el primer transistor de conmutación Q3 se apague, y el primer electrodo del segundo transistor de conmutación Q2 recibe la señal de bajo nivel, para que el segundo transistor de conmutación Q2 se encienda.
- 40 Ciertamente, en una implementación específica, el primer transistor de conmutación Q3 y el segundo transistor de conmutación Q2 pueden ser alternativamente otros tipos de transistores, y un circuito de conexión de cada transistor de conmutación en el circuito 42 de conmutación se cambia correspondientemente, para conectar o desconectar el pin CC de la interfaz 1 de tipo A y el pin CC de la interfaz 2 de tipo A según una señal CC ajustada por el circuito 43 de filtrado. Esto no está específicamente limitado en la presente memoria.
- 45 El circuito 42 de conmutación en esta implementación es un circuito de control de señal analógica. De esta manera, se puede evitar que una unidad de control esté dispuesta en el módulo 4 de identificación de circuito, y un estado encendido/apagado del circuito 42 de conmutación se controle según una señal de control digital enviada por la unidad de control, para que se puedan reducir los costes de producción del circuito 42 de conmutación.
- 50 En una implementación opcional, como se muestra en la FIG. 2, el circuito 42 de conmutación incluye un conmutador, el primer terminal del circuito 42 de conmutación es un terminal fijo del conmutador, y tanto el segundo terminal como el tercer terminal del circuito 42 de conmutación son terminales activos del conmutador.
- 55 En una implementación específica, el conmutador puede conmutarse según una señal de control transmitida por el circuito 43 de filtrado. La señal de control puede ser una señal de control digital. Específicamente, cuando hay una señal en el pin CC de la interfaz 1 de tipo A, el circuito 44 comparador envía la primera señal de control al conmutador, y el conmutador conecta el terminal fijo al tercer terminal en respuesta a la primera señal de control, es decir, conecta el pin CC de la interfaz 2 de tipo C al pin CC de la interfaz 1 de tipo A. Cuando no hay señal en el pin CC de la interfaz 1 de tipo A, el circuito 44 comparador envía la segunda señal de control al conmutador, y el conmutador conecta el

## ES 3 014 816 T3

terminal fijo al segundo terminal en respuesta a la segunda señal de control, es decir, conecta el pin CC de la interfaz 2 de tipo C al cable VBUS usando la sexta resistencia  $R_p$  y el circuito 41 regulador de tensión.

5 En una implementación específica, la unidad de control puede estar dispuesta además en el circuito 42 de conmutación. La unidad de control se conecta por separado al circuito 44 comparador y al conmutador, para convertir la señal analógica emitida por el circuito 44 comparador en una señal de control digital, para controlar el estado encendido/apagado del conmutador usando la señal de control digital.

En esta implementación, disponer el conmutador en el circuito de conmutación puede simplificar una estructura del circuito de conmutación. En una implementación opcional, el circuito 43 de filtrado es un circuito de filtrado RC.

10 En la solicitud, cuando hay una señal en el pin CC de la interfaz 1 tipo A, la señal puede ser una señal de nivel fluctuante, y la señal de nivel fluctuante puede ajustarse a una señal de nivel relativamente estable usando el circuito de filtrado RC, y se introduce en el circuito 44 comparador, para que el circuito 44 comparador emita una señal de control más precisa y estable.

De esta manera, la señal de control emitida por el circuito 44 comparador puede ser más estable y fiable.

Además, como se muestra en la FIG. 3, el circuito 43 de filtrado incluye una tercera resistencia  $R_1$  y un condensador  $C_1$ .

15 Un primer terminal de la tercera resistencia  $R_1$  se conecta al pin CC de la interfaz 1 de tipo A, un segundo terminal de la tercera resistencia  $R_1$  se conecta a un primer terminal del condensador  $C_1$ , un segundo terminal del condensador  $C_1$  se conecta al pin GND de la interfaz 2 de tipo C, y un primer terminal del condensador  $C_1$  se conecta además al segundo terminal de entrada del circuito 44 comparador.

20 En la solicitud, cuando no hay señal en el pin CC de la interfaz 1 de tipo A, el circuito 43 de filtrado emite una señal de bajo nivel (que puede ser una señal de nivel cuyo valor es 0). Cuando hay una señal de nivel fluctuante en el pin CC de la interfaz 1 de tipo A, el condensador  $C_1$  se carga cuando la señal de nivel aumenta, y el condensador  $C_1$  se descarga cuando la señal de nivel disminuye, para que el circuito 43 de filtrado emita una señal de alto nivel constante (una señal de nivel cuyo valor es mayor que 0), y la señal de alto nivel se introduzca en el circuito 44 comparador para su comparación con la señal eléctrica emitida por el circuito 41 regulador de tensión, para que el circuito 44 comparador emita una señal de control precisa para controlar el estado de encendido/apagado del circuito 42 de conmutación.

25 En esta implementación, el circuito 44 comparador puede usarse para comparar una señal de nivel emitida por el circuito 43 de filtrado, y emitir una señal de control precisa. En comparación con un método en donde el estado de encendido/apagado del circuito 42 de conmutación se controla directamente según la señal de nivel emitida por el circuito 43 de filtrado, la señal de nivel emitida por el circuito 43 de filtrado es una solución en donde un valor de nivel fluctúa en un intervalo de valores. En esta implementación, una señal de control con un valor preciso que es emitida por el circuito 44 comparador controla el estado encendido/apagado del circuito 42 de conmutación, para que se pueda mejorar la sensibilidad de control del circuito 42 de conmutación.

Opcionalmente, la capacitancia del condensador  $C_1$  es mayor que la capacitancia preestablecida.

35 En una implementación específica, la capacitancia preestablecida puede determinarse según la precisión de identificación del circuito 44 comparador, un valor de nivel de la señal en el pin CC de la interfaz 1 de tipo A, una característica de cambio y similares. Esto no está específicamente limitado en la presente memoria.

40 En esta implementación, la capacitancia del condensador  $C_1$  es mayor que la capacitancia preestablecida, para que cuando un valor de nivel de una señal transmitida en el pin CC de la interfaz 1 de tipo A fluctúe, el condensador  $C_1$  se cargue cuando aumente un nivel de la señal de transmisión, y después de la carga, el condensador  $C_1$  se descargue cuando disminuya el valor de nivel de la señal transmitida en el pin CC de la interfaz 1 de tipo A. De esta manera, en un periodo en donde se transmite una señal eléctrica fluctuante en el pin CC de la interfaz 1 de tipo A, un valor de una señal eléctrica transmitida por el circuito 43 de filtrado al circuito 44 comparador es relativamente estable. Cuando no hay señal de transmisión en el pin CC de la interfaz 1 de tipo A, el condensador  $C_1$  se descarga, para que no se emita ningún valor de nivel al circuito 44 comparador. Por lo tanto, cuando se transmite una señal de bajo nivel en el pin CC de la interfaz 1 de tipo A y cuando no se transmite ninguna señal de transmisión en el pin CC de la interfaz 1 de tipo A, una diferencia entre las señales analógicas emitidas por el circuito 43 de filtrado mejora adicionalmente una diferencia entre las señales de control emitidas por el circuito 44 comparador, y mejora la precisión de control del circuito 42 de conmutación.

50 En una implementación opcional, como se muestra en la figura 3, el circuito 44 comparador incluye una cuarta resistencia  $R_4$ , una quinta resistencia  $R_5$  y un comparador  $U_1$ .

Un primer terminal del comparador  $U_1$  se conecta al terminal de control del circuito 42 de conmutación, un segundo terminal del comparador  $U_1$  se conecta al terminal de salida del circuito 41 regulador de tensión, un tercer terminal del comparador  $U_1$  se conecta al terminal de salida del circuito 43 de filtrado, un cuarto terminal del comparador  $U_1$  se conecta al pin GND, un quinto terminal del comparador  $U_1$  se conecta a un primer terminal de la cuarta resistencia  $R_4$

## ES 3 014 816 T3

y a un primer terminal de la quinta resistencia R5, un segundo terminal de la cuarta resistencia R4 se conecta al pin GND, y un segundo terminal de la quinta resistencia R5 se conecta al segundo terminal del comparador U1.

El tercer terminal del comparador U1 es el segundo terminal de entrada del circuito 44 comparador, y el segundo terminal de la quinta resistencia R5 y el segundo terminal del comparador U1 son los mismos que el primer terminal de entrada del circuito 44 comparador.

En funcionamiento, en caso de que haya una señal en el pin CC de la interfaz 1 de tipo A, el terminal de salida del circuito 43 de filtrado emite una señal de alto nivel, un valor de señal eléctrica en el tercer terminal del comparador U1 es mayor que un valor de señal eléctrica en el quinto terminal del comparador U1, el comparador U1 emite una primera señal de control, y el circuito 42 de conmutación conecta el primer terminal al tercer terminal del circuito 42 de conmutación en respuesta a la primera señal de control; y en caso de que no haya señal en el pin CC de la interfaz 1 de tipo A, el terminal de salida del circuito 43 de filtrado emite una señal de bajo nivel, un valor de señal eléctrica en el tercer terminal del comparador U1 es menor o igual que un valor de señal eléctrica en el quinto terminal del comparador U1, el comparador U1 emite una segunda señal de control, y el circuito 42 de conmutación conecta el primer terminal al segundo terminal del circuito 42 de conmutación en respuesta a la segunda señal de control.

En una implementación específica, la cuarta resistencia R4 y la quinta resistencia R5 están configuradas para dividir la señal eléctrica emitida por el circuito 41 regulador de tensión, para que un valor de señal eléctrica obtenido por el quinto terminal del comparador U1 del circuito 41 regulador de tensión cumpla las siguientes condiciones:

en caso de que exista una señal en el pin CC de la interfaz 1 de tipo A, el valor de señal eléctrica obtenido por el quinto terminal del comparador U1 desde el circuito 41 regulador de tensión es menor que un valor de señal eléctrica (específicamente, un valor de tensión) de la señal de alto nivel emitida por el circuito 43 de filtrado; y

en caso de que no haya señal en el pin CC de la interfaz 1 de tipo A, el valor de señal eléctrica obtenido por el quinto terminal del comparador U1 del circuito 41 regulador de tensión es mayor que un valor de señal eléctrica (específicamente, un valor de tensión) de la señal de bajo nivel emitida por el circuito 43 de filtrado.

En esta implementación, la cuarta resistencia R4 y la quinta resistencia R5 forman un circuito proporcional, para ajustar un valor de tensión obtenido por el quinto terminal del comparador U1, para emitir señales de control de diferentes valores de nivel al circuito 42 de conmutación en caso de que haya una señal o ninguna señal en el pin CC de la interfaz 1 de tipo A, controlando así el estado de encendido/apagado del circuito 42 de conmutación.

En una implementación opcional, como se muestra en la figura 4, el pin GND, el pin D+, el pin D- y el pin VBUS se disponen en un primer lado de la interfaz 1 de tipo A, el pin CC se dispone en un segundo lado de la interfaz 1 de tipo A, y el primer lado y el segundo lado de la interfaz 1 de tipo A son dos lados opuestos.

Ciertamente, las ubicaciones de distribución de los pines en la interfaz 1 de tipo A pueden intercambiarse o cambiarse adicionalmente. Esto no está específicamente limitado en la presente memoria. Además, las estructuras y los principios de funcionamiento del pin VBUS y el pin GND son los mismos que los de un pin VBUS y un pin GND en una tecnología convencional, y no se describen específicamente en la presente memoria.

En esta implementación, el pin CC se dispone en el segundo lado de la interfaz 1 de tipo A, para que una estructura y distribución de ubicación del pin GND, el pin D+, el pin D- y el pin VBUS en el primer lado de la interfaz 1 de tipo A sean los mismos que los de una interfaz de tipo A en la tecnología convencional. De esta manera, el cable de datos proporcionado en esta realización de esta solicitud puede conectarse a un cargador con una interfaz de tipo A convencional.

Ciertamente, en caso de que el cable de datos proporcionado en esta realización de esta solicitud se conecte a un cargador en el que se disponga la interfaz de tipo A convencional, no se dispondrá ningún pin CC en la interfaz de tipo A convencional y, por lo tanto, el pin CC de la interfaz 1 de tipo A no puede recibir una señal CC. En este caso, el dispositivo de carga solo soporta la carga rápida del protocolo de comunicación DP/DM.

Una realización de esta solicitud proporciona además un dispositivo de carga, y el dispositivo de carga incluye un cargador y el cable de datos proporcionados en las realizaciones anteriores. El cargador incluye un módulo de procesamiento de carga PD, y cuando el cargador se conecta al cable de datos, el módulo de procesamiento de carga PD se conecta al pin CC de la interfaz de tipo A.

Específicamente, el cargador incluye un conector hembra de tipo A que coincide con la interfaz de tipo A en el cable de datos, y el conector hembra de tipo A incluye un pin VBUS, un pin CC, un pin D+, un pin D- y un pin GND.

El conector hembra de tipo A que coincide con la interfaz de tipo A en el cable de datos puede entenderse de la siguiente manera: en caso de que la interfaz de tipo A en el cable 2 de datos se inserte en el conector hembra de tipo A en el cargador 1, la interfaz de tipo A se conecta a un mismo pin en el conector hembra de tipo A.

Además, el cargador puede incluir además un módulo de carga D+/D- (que también puede denominarse módulo de procesamiento de carga no PD). Una señal de carga del módulo de carga D+/D- se transmite usando un pin D+ y un

pin D-. Específicamente, el módulo de carga de PD se conecta al pin CC para realizar la comunicación de un protocolo PD con un dispositivo a cargar usando el pin CC, para soportar la carga rápida PD. El módulo de carga D+/D- se conecta al pin D+ y al pin D- para realizar la comunicación de un protocolo DP/DM con el dispositivo a cargar usando el pin D+ y el pin D-, para soportar la carga rápida DP/DM.

- 5 Cabe señalar que, en esta implementación, un proceso de funcionamiento específico del dispositivo de carga anterior corresponde a un proceso de funcionamiento del cable 2 de datos en la realización anterior, y los detalles no se describen de nuevo en la presente memoria.

- 10 Además, en caso de que los pines en la interfaz de tipo A estén en las posiciones distribuidas mostradas en la FIG. 4, el conector hembra de tipo A que coincide con la interfaz de tipo A puede conectarse además a una interfaz de tipo A en un cable de datos convencional, y en caso de que el conector hembra de tipo A del cargador se conecte a la interfaz de tipo A en el cable de datos convencional, solo se soporta la carga del protocolo DP/DM.

El dispositivo de carga proporcionado en esta realización de esta solicitud tiene la interfaz de tipo A, soporta la carga del protocolo PD y la carga del protocolo DP/DM, y tiene un mismo efecto beneficioso que el del cable de datos proporcionado en esta realización de esta solicitud. Los detalles no se describen de nuevo en la presente memoria.

- 15 Debe observarse que en esta memoria descriptiva, el término "incluye", "que incluye" o cualquier otra variante pretende cubrir una inclusión no exclusiva, para que un proceso, método, artículo o aparato que incluya una serie de elementos incluya no solo esos elementos sino también otros elementos que no estén enumerados explícitamente, o incluya elementos inherentes a dicho proceso, método, artículo o aparato. En ausencia de más restricciones, un elemento definido por la expresión "que incluye un..." no excluye otro elemento igual en un proceso, método, artículo o aparato
- 20 que incluya el elemento. Además, debe observarse que el alcance del método y el dispositivo electrónico en las implementaciones de esta solicitud no se limita a: realizar una función en una secuencia mostrada o analizada, y puede incluir además: realizar una función de una manera básicamente simultánea o en una secuencia inversa basándose en una función implicada. Por ejemplo, el método descrito puede realizarse en un orden diferente, y pueden añadirse, omitirse o combinarse diversas etapas. Además, las características descritas con referencia a algunos
- 25 ejemplos pueden combinarse en otros ejemplos.

- Según las descripciones de las implementaciones anteriores, un experto en la técnica puede comprender claramente que las realizaciones del método anterior pueden implementarse usando software y una plataforma de hardware universal requerida, o ciertamente pueden implementarse usando hardware. Sin embargo, en muchos casos, la primera es una mejor implementación. Basándose en tal comprensión, las soluciones técnicas de esta solicitud
- 30 esencialmente o la parte que contribuye a las tecnologías existentes pueden implementarse en forma de un producto de software. El producto de software informático se almacena en un medio de almacenamiento (tal como una ROM/RAM, un disco magnético o un disco óptico) e incluye varias instrucciones para dar instrucciones a un terminal (que puede ser un teléfono móvil, un ordenador, un servidor, un acondicionador de aire o un dispositivo de red) para ejecutar los métodos descritos en las realizaciones de esta solicitud.

REIVINDICACIONES

1. Un cable de datos, que comprende una interfaz (1) de tipo A y una interfaz (2) de tipo C, en donde la interfaz (1) de tipo A y la interfaz (2) de tipo C se conectan usando un cable (3), la interfaz (1) de tipo A y la interfaz (2) de tipo C comprenden cada una un pin VBUS, un pin CC, un pin D+, un pin D-, y un pin GND, y un pin VBUS, un pin D+, un pin D-, y un pin GND de la interfaz (1) de tipo A se conectan a un pin VBUS, un pin D+, un pin D-, y un pin GND de la interfaz (2) de tipo C, respectivamente;
- 5 un módulo (4) de identificación de circuito se dispone en el cable de datos, y el módulo (4) de identificación de circuito comprende un circuito (42) de conmutación, un circuito (43) de filtrado, un circuito (41) regulador de tensión y un circuito (44) comparador; y
- 10 el circuito (42) de conmutación se conecta al pin CC de la interfaz (2) de tipo C, a un terminal de salida del circuito (41) regulador de tensión y al pin CC de la interfaz (1) de tipo A, un terminal de control del circuito (42) de conmutación se conecta a un terminal de salida del circuito (44) comparador, un terminal de entrada del circuito (41) regulador de tensión se conecta a un cable VBUS en el cable (3), un terminal de salida del circuito (41) regulador de tensión se conecta además a un primer terminal de entrada del circuito (44) comparador, un
- 15 segundo terminal de entrada del circuito (44) comparador se conecta a un terminal de salida del circuito (43) de filtrado y un terminal de entrada del circuito (43) de filtrado se conecta al pin CC de la interfaz (1) de tipo A; en donde
- bajo el control del circuito (44) comparador, el circuito (42) de conmutación está configurado para conectar el pin CC de la interfaz (1) de tipo A al pin CC de la interfaz (2) de tipo C, o conectar el terminal de salida del circuito
- 20 (41) regulador de tensión al pin CC de la interfaz (2) de tipo C.
2. El cable de datos según la reivindicación 1, en donde el circuito (41) regulador de tensión es un regulador de baja caída de tensión.
3. El cable de datos según la reivindicación 2, en donde el módulo (4) de identificación de circuito comprende además una sexta resistencia (Rp), la sexta resistencia (Rp) se conecta entre el circuito (42) de conmutación y el pin CC de la
- 25 interfaz (2) de tipo C, y el circuito (42) de conmutación está configurado para conectar el pin CC de la interfaz (2) de tipo C al terminal de salida del circuito (41) regulador de tensión usando la sexta resistencia (Rp), o configurado para conectar el pin CC de la interfaz (2) de tipo C al pin CC de la interfaz (1) de tipo A.
4. El cable de datos según la reivindicación 1, en donde el módulo (4) de identificación de circuito se dispone en el cable (3), y una distancia entre el módulo (4) de identificación de circuito y la interfaz (1) de tipo A es menor que una
- 30 distancia entre el módulo (4) de identificación de circuito y la interfaz (2) de tipo C.
5. El cable de datos según la reivindicación 3, en donde el circuito (42) de conmutación comprende un primer transistor de conmutación (Q3), un segundo transistor de conmutación (Q2), una primera resistencia (R2) y una segunda resistencia (R3);
- 35 un primer electrodo del primer transistor de conmutación (Q3) y un primer electrodo del segundo transistor de conmutación (Q2) son terminales de control del circuito (42) de conmutación, el primer electrodo del primer transistor de conmutación (Q3) y el primer electrodo del segundo transistor de conmutación (Q2) se conectan al pin GND usando la primera resistencia (R2) y se conectan al terminal de salida del circuito (44) comparador usando la segunda resistencia (R3), un segundo electrodo del primer transistor de conmutación (Q3) se conecta
- 40 al pin CC de la interfaz (1) de tipo A, y un tercer electrodo del primer transistor de conmutación (Q3) se conecta al pin CC de la interfaz (2) de tipo C; y
- un segundo electrodo del segundo transistor de conmutación (Q2) se conecta al terminal de salida del circuito (41) regulador de tensión, y un tercer electrodo del segundo transistor de conmutación (Q2) se conecta al pin CC de la interfaz (2) de tipo C usando la sexta resistencia (Rp); en donde
- 45 en caso de que no haya señal en el pin CC de la interfaz (1) de tipo A, el primer transistor de conmutación (Q3) está en un estado apagado, y el segundo transistor de conmutación (Q2) está en un estado encendido; y en caso de que haya una señal en el pin CC de la interfaz (1) de tipo A, el primer transistor de conmutación (Q3) está en un estado encendido, y el segundo transistor de conmutación (Q2) está en un estado apagado.
6. El cable de datos según la reivindicación 5, en donde el primer transistor de conmutación (Q3) es un transistor semiconductor de óxido metálico de tipo N, NMOS, y el segundo transistor de conmutación (Q2) es un transistor semiconductor de óxido metálico de tipo P, PMOS.
- 50 7. El cable de datos según una cualquiera de las reivindicaciones 1 a 6, en donde el circuito (43) de filtrado es un circuito de filtrado RC, y el circuito (43) de filtrado comprende una tercera resistencia (R1) y un condensador (C1); en donde

## ES 3 014 816 T3

un primer terminal de la tercera resistencia (R1) se conecta al pin CC de la interfaz (1) de tipo A, un segundo terminal de la tercera resistencia (R1) se conecta a un primer terminal del condensador (C1), un segundo terminal del condensador (C1) se conecta al pin GND, y el primer terminal del condensador (C1) se conecta además al segundo terminal de entrada del circuito (44) comparador.

- 5 8. El cable de datos según la reivindicación 7, en donde el circuito (44) comparador comprende una cuarta resistencia (R4), una quinta resistencia (R5) y un comparador (U1); y

10 un primer terminal del comparador (U1) se conecta al terminal de control del circuito (42) de conmutación, un segundo terminal del comparador (U1) se conecta al terminal de salida del circuito (41) regulador de tensión, un tercer terminal del comparador (U1) se conecta al terminal de salida del circuito (43) de filtrado, un cuarto terminal del comparador (U1) se conecta al pin GND, un quinto terminal del comparador (U1) se conecta a un primer terminal de la cuarta resistencia (R4) y a un primer terminal de la quinta resistencia (R5), un segundo terminal de la cuarta resistencia (R4) se conecta al pin GND, y un segundo terminal de la quinta resistencia (R5) se conecta al segundo terminal del comparador (U1); en donde

15 en caso de que haya una señal en el pin CC de la interfaz (1) tipo A, el terminal de salida del circuito (43) de filtrado está configurado para emitir

una señal de alto nivel, un valor de señal eléctrica en el tercer terminal del comparador (U1) es mayor que un valor de señal eléctrica en el quinto terminal del comparador (U1), el comparador (U1) está configurado para emitir

20 una primera señal de control, y el circuito (42) de conmutación está configurado para conectar

el primer terminal al tercer terminal del circuito (42) de conmutación en respuesta a la primera señal de control; y en caso de que no haya señal en el pin CC de la interfaz (1) de tipo A, el terminal de salida del circuito (43) de filtrado está configurado para emitir

25 una señal de bajo nivel, un valor de señal eléctrica en el tercer terminal del comparador (U1) es menor o igual que un valor de señal eléctrica en el quinto terminal del comparador (U1), el comparador (U1) está configurado para emitir

una segunda señal de control, y el circuito (42) de conmutación está configurado para conectar

el primer terminal al segundo terminal del circuito (42) de conmutación en respuesta a la segunda señal de control.

- 30 9. Un dispositivo de carga, que comprende un cable de datos y un cargador, en donde el cable de datos es el cable de datos según una cualquiera de las reivindicaciones 1 a 8, el cargador comprende un módulo de procesamiento de carga de suministro de energía, PD, y cuando el cargador se conecta al cable de datos, el módulo de procesamiento de carga PD se conecta al pin CC en la interfaz (1) de tipo A.

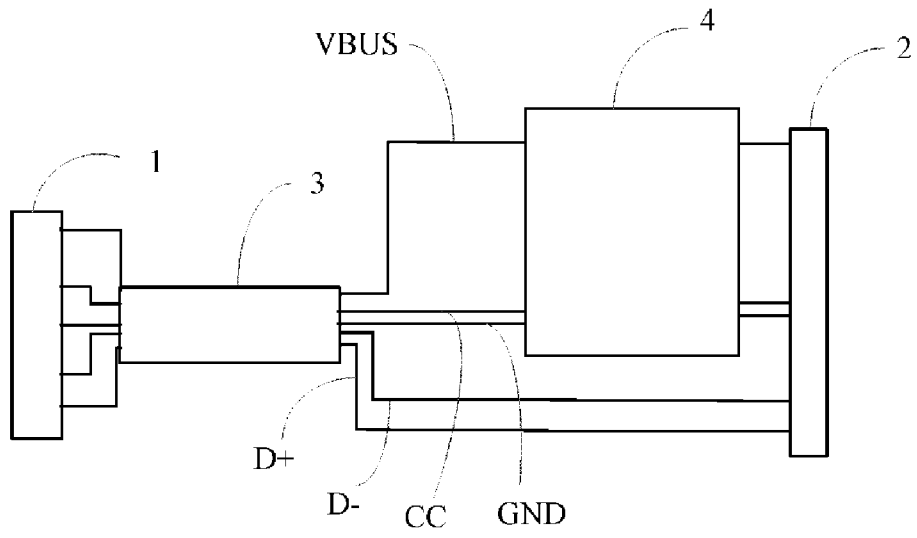


FIG. 1

4  
~

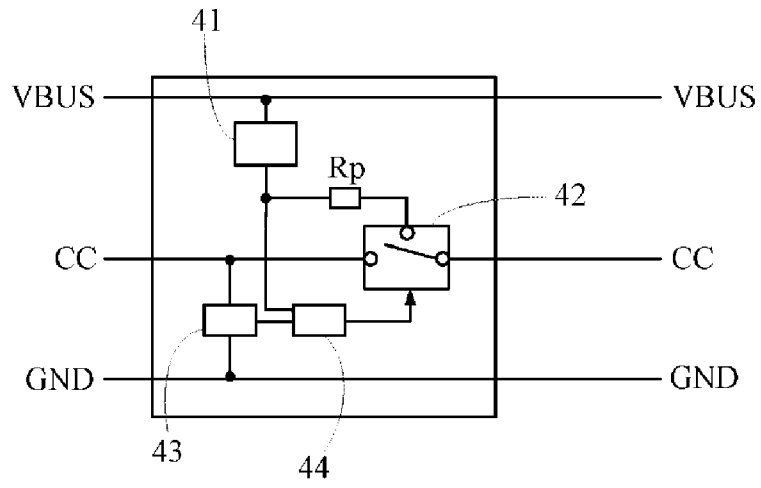


FIG. 2

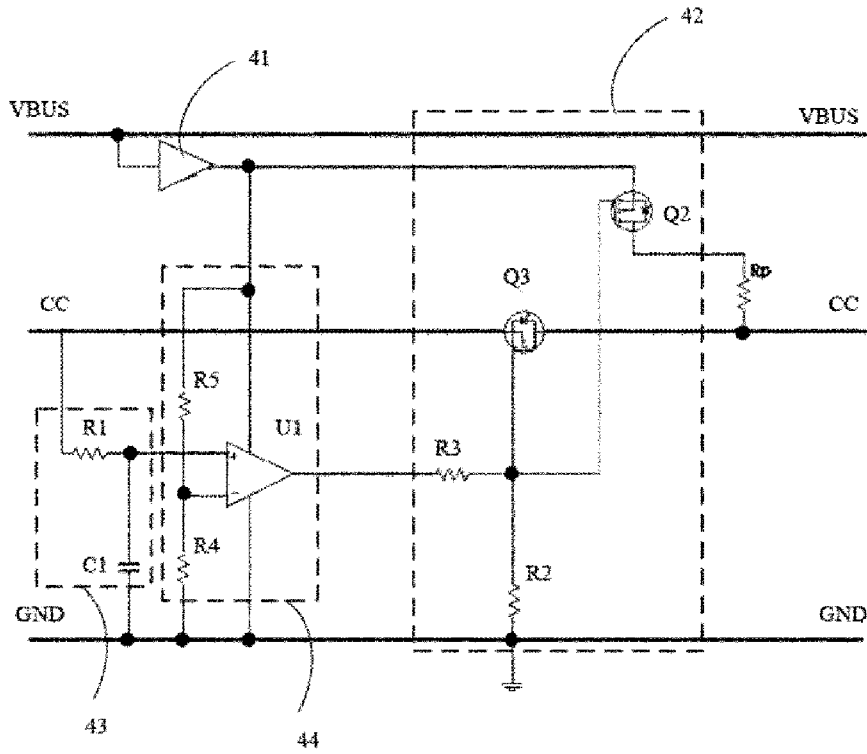


FIG. 3

1  
~

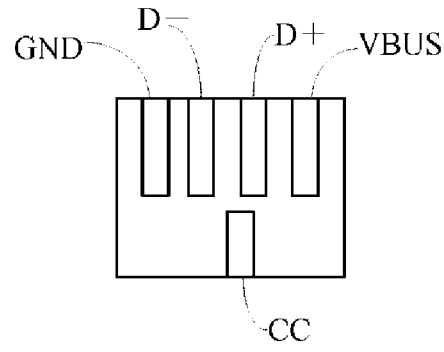


FIG. 4