

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 21/336



[12] 发明专利说明书

[21] ZL 专利号 01112356.7

[45] 授权公告日 2005 年 7 月 13 日

[11] 授权公告号 CN 1210810C

[22] 申请日 2001.4.3 [21] 申请号 01112356.7

[30] 优先权

[32] 2000. 7. 22 [33] KR [31] 42154/2000

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 梁正焕 金永郁

审查员 刘天飞

[74] 专利代理机构 北京市柳沈律师事务所

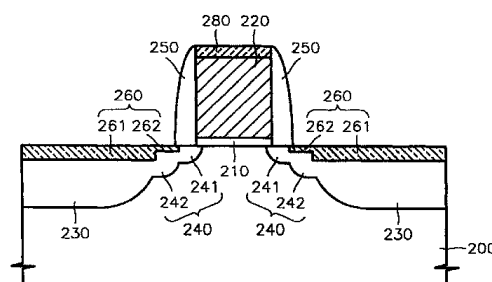
代理人 陶凤波

权利要求书 2 页 说明书 8 页 附图 5 页

[54] 发明名称 用于降低源漏极间电阻的 MOS 场效应管及其制造方法

[57] 摘要

用于降低源极和漏极之间电阻的 MOS 场效应管，包括连续地形成在半导体衬底上的一个栅绝缘层和一个栅电极。深源/漏区形成在半导体衬底上部的栅电极两侧。源/漏延伸区形成在半导体衬底的上部，从深源/漏区向沟道区延伸至栅电极以下，比深源/漏区薄。在每个深源/漏区的表面上形成一个具有第一厚度的第一硅化物层部分。形成一个具有薄于第一硅化物层第一厚度的第二厚度的第二硅化物层部分，并从第一硅化物层部分延伸到每个源/漏延伸区的预定上部。



ISSN 1008-4274

- 1.一种MOS场效应晶体管,包括:
一个半导体衬底;
一个形成在半导体衬底上的一个栅绝缘层;和
5 一个形成在栅绝缘层上的栅电极;
形成在半导体衬底上部栅电极各侧的深源/漏区;
形成在半导体衬底的上部、从深源/漏区向沟道区延伸至栅电极以下的源/漏延伸区,源/漏延伸区比深源/漏区薄;
具有第一厚度的第一金属硅化物层部分,第一金属硅化物层部分形成在
10 每个深源/漏区的上表面;和
一个具有薄于第一金属硅化物层第一厚度的第二厚度的第二金属硅化物层部分,该部分从第一金属硅化物层部分延伸到每个源/漏延伸区的上部。
- 2.如权利要求1所述的MOS场效应晶体管,其特征在于每个源/漏延伸区包括:
15 第一源/漏延伸区;和
一个设置在第一源/漏延伸区与相应的深源区之间的第二源/漏延伸区,第二源/漏延伸区比第一源/漏延伸区深,并且比深源/漏区浅。
- 3.如权利要求2所述的MOS场效应晶体管,其特征在于第二金属硅化物层部分形成在每个第二源/漏延伸区的上部中。
- 20 4.如权利要求2所述的MOS场效应晶体管,还包括形成在栅绝缘层和栅电极侧壁上的隔离物。
- 5.如权利要求4所述的MOS场效应晶体管,其特征在于第一源/漏延伸区的长度由隔离物的厚度限定,使得隔离物覆盖该第一源/漏延伸区。
- 6.如权利要求1所述的MOS场效应晶体管,其特征在于第一和第二金属硅化物层部分形成一个阶梯的形状。
- 25 7.如权利要求1所述的MOS场效应晶体管,其特征在于第二金属硅化物层选自硅化钴层,硅化钛层,硅化镍层,硅化钨层,硅化铂层,硅化钨层或硅化钨层。
- 8.一种制造MOS场效应晶体管的方法,该晶体管具有顺序地形成在半导体衬底上的栅绝缘层和栅电极,所述方法包括步骤:
30 通过利用该栅电极作为离子嵌入掩模嵌入杂质离子而在该半导体衬底

中形成第一源/漏延伸区；

在栅电极和栅绝缘膜的侧壁上形成一第一隔离物，通过利用该第一隔离物和该栅电极作为离子嵌入掩模执行杂质离子嵌入而形成比所述第一源/漏延伸区深的第二源/漏延伸区；

5 在该第一隔离物的外壁上形成一第二隔离物；

通过利用该第二隔离物和该栅电极作为离子嵌入掩模执行杂质离子嵌入而形成比所述第二源/漏延伸区深的深源/漏区；

在每个所述深源/漏区的上部形成具有第一厚度的第一金属硅化物层；

去除所述第二隔离物层以暴露所述第二源/漏延伸区的表面；和

10 在每个暴露的所述第二源/漏延伸区的上部中形成具有第二厚度的第二金属硅化物层，第二厚度薄于第一厚度。

9.如权利要求8所述的方法，其特征在于第二隔离物由一种可以被相对于第一隔离物选择蚀刻的材料形成。

15 10.如权利要求8所述的方法，其特征在于形成第一金属硅化物层部分的步骤包括这些步骤：

在具有第二隔离物的所得结构的整个表面上形成一个金属层；

通过执行回火处理在金属层和每个深源/漏区之间形成第一金属硅化物层；和

去除没有与深源/漏区反应的金属层。

20 11.如权利要求10所述的方法，其特征在于金属层选自钴层，钛层，镍层，钨层，铂层，钨层或钨层。

12.如权利要求8所述的方法，其特征在于第二金属硅化物层选自硅化钴层、硅化钛层、硅化镍层、硅化钨层、硅化铂层、硅化钨层或一个硅化钨层。

25 13.如权利要求12所述的方法，其特征在于当第二金属硅化物层部分是一个硅化钴层或硅化钛层时，形成第二金属硅化物层的步骤包括：

在所得结构的整个表面上形成钴或钛组成的金属层，其中第二源/漏延伸区暴露，使得金属硅化物层自然地形成在金属层和每个第二源/漏延伸区之间；

30 通过执行回火过程转变自然形成的硅化物层的相；和
除去没有与第二源/漏延伸区反应的金属层。

5

用于降低源漏极间电阻的 MOS 场效应管及其制造方法

技术领域

本发明涉及一种金属氧化物半导体（MOS）场效应晶体管及其制造方法，并尤其涉及一种用于利用硅化物减小源极和漏极之间电阻的金属氧化物
10 半导体场效应晶体管及其制造方法。

背景技术

图 1 是常规的金属氧化物半导体场效应晶体管截面图。参见图 1，栅绝缘层 110 和栅电极 120 顺序地叠置在半导体衬底 100 上。在栅电极 120 的每一侧上形成一个隔离物 150。在半导体衬底 100 中形成深源/漏区 130 和源/漏延伸区 140。在每个深源/漏区 130 的预定上部中可以形成一个硅化物层 160。在每个源/漏延伸区 140 中的掺杂物浓度低于每个深源/漏区 130 中的掺杂物浓度。另外，源/漏延伸区 140 的厚度 t_1 小于深源/漏区的厚度 t_2 。浅源/漏延伸区 140 的形成对于抑制热载流子效应很重要。

20 由于设计规则方面的降低而减小 MOS 场效应晶体管尺寸时涉及的问题是减小栅电极 120 的长度 L 。当栅电极 120 的长度 L 减小时，需要减小器件垂直方向的尺寸。因此，还需要减小源/漏延伸区 140 的厚度 t_1 。但是，当源/漏延伸区 140 的厚度 t_1 减小时，源极和漏极之间的串联电阻增大。为了减小源极和漏极之间的串联电阻，应该增大每个源/漏延伸区 140 中掺杂物的浓度。但是，在 P 型掺杂物硼（B）的情况下或在 N 型掺杂物（As）的情况下，
25 单位体积的最大掺杂物浓度约为 $3.0 \times 10^{20} - 0.5 \times 10^{20} \text{cm}^{-3}$ ，因此，在对源极和漏极之间电阻增大的补偿方面存在限制。

还应该减小栅极间隔 150 的厚度和栅电极 120 的长度 L 以减小器件的尺寸。但是，当栅极间隔 150 减小时，每个源/漏延伸区 140 的长度也减小，由此产生的短沟道效应可能衰减器件的特性。因此，对减小源/漏延伸区 140
30 的长度也存在限制。而且，硅化物层 160 需要有预定的或较大的厚度以便维

持硅化物层 160 中的低电阻。由于对硅化物层 160 厚度的减小有所限制，所以需要每个深源/漏区 130 的厚度 t_2 为一个预定值或较大的值。

总而言之，形成在源/漏延伸区 140 之间的沟道区域中的电阻可以通过减小栅电极的长度 L 而降低，但因为减小深源/漏区 130 的厚度以及减小源/漏延伸区 140 的长度都受到限制，所以要降低源/漏延伸区 140 和深源/漏区 130 中的电阻并不容易。因此，即使沟道区域中的阻值被降低，源/漏延伸区 140 和深源/漏区 130，其尺寸比在器件中趋于增大，的电阻也不能降低，使得整个器件的电阻很少降低。

10 发明内容

为了解决以上的限制，本发明的第一个目的在于提供一种金属氧化物半导体 (MOS) 场效应晶体管，其中利用硅化物降低源极和漏极之间的电阻。

本发明的第二个目的在于提供一种制造 MOS 场效应晶体管的方法，通过该方法降低源极和漏极之间的电阻。

15 因此，为了实现本发明的第一目的，提供一种用于减小源极和漏极之间电阻的 MOS 场效应晶体管。MOS 场效应晶体管包括顺序地形成在半导体衬底上的一个栅绝缘层和一个栅电极。深源/漏区形成在半导体衬底上部的栅电极两侧。源/漏延伸区形成在半导体衬底的上部，从深源/漏区向沟道区延伸至栅电极以下，比深源/漏区薄。在每个深源/漏区的表面上形成一个具有第一厚度的第一硅化物层部分。形成一个具有薄于硅化物层第一厚度的第二厚度的第二硅化物层部分，该部分从第一硅化物层部分延伸到每个源/漏延伸区的预定上部。

25 优选地每个源/漏延伸区包括第一源/漏延伸区，和一个设置在第一源/漏延伸区与相应的深源区之间的第二源/漏延伸区。第二源/漏延伸区最好比第一源/漏延伸区深，比深源/漏区浅。第二硅化物层部分最好形成在每个第二源/漏延伸区的上部中。

MOS 场效应晶体管还可包括形成在栅绝缘层和栅电极侧壁上的间隔。最好第一源/漏延伸区的长度由间隔的厚度限定。

30 第一和第二硅化物层部分最好形成一个阶梯的形状。第二硅化物层部分最好是一个硅化钴层，一个硅化钛层，一个硅化镍层，一个硅化钨层，一个硅化铂层，一个硅化钨层或硅化钼层。

为了实现本发明的第二目的,提供一种制造 MOS 场效应晶体管的方法,该晶体管具有顺序地形成在半导体衬底上的栅绝缘层和栅电极。该方法包括步骤:通过利用栅电极作为离子嵌入掩模嵌入杂质离子而在半导体衬底中形成第一源/漏延伸区;在栅电极和栅绝缘层的侧壁上形成第一隔离物,通过利用第一隔离物和作为离子嵌入掩模的栅电极执行杂质离子嵌入而形成比第一源/漏延伸区深的第二源/漏延伸区;在第一隔离物的外壁上形成第二隔离物;通过利用第二隔离物和作为离子嵌入掩模的栅电极执行杂质离子嵌入而形成比第二源/漏延伸区深的深源/漏区;在每个深源/漏区的上部形成具有第一厚度的第一硅化物层;去除第二隔离物以暴露第二源/漏延伸区的表面;和

5 在每个暴露的第二源/漏延伸区的上部中形成具有第二厚度的第二硅化物层。

第二隔离物最好由一种可以被相对于第一隔离物选择蚀刻的材料形成。

形成第一硅化物层部分的步骤最好包括这些步骤:在具有第二隔离物的所得结构的整个表面上形成一个金属层;通过执行回火处理在金属层和每个深源/漏区之间形成第二硅化物层;和去除没有与深源/漏区反应的金属层。

15 金属层最好是钴层,钛层,镍层,钨层,铂层,钨层或钨层。

第二硅化物层可包括一个硅化钴层、一个硅化钛层、一个硅化镍层、一个硅化钨层、一个硅化铂层一个硅化钨层或一个硅化钨层。当第二硅化物层部分是一个硅化钴层或硅化钛层时,形成第二硅化物层的步骤最好包括在所得结构的整个表面上形成钴或钛组成的金属层,其中第二源/漏延伸区暴露,使得硅化物层自然地形成在金属层和每个第二源/漏延伸区之间;通过执行回火过程转变自然形成的硅化物层的相;和除去没有与第二源/漏延伸区反应的金属层。

20

本发明的上述目的和优点通过下面参考附图对优选实施例的描述变得更加清晰。

25

附图说明

图 1 是常规的金属氧化物半导体 (MOS) 场效应晶体管截面图;
图 2 是根据本发明的 MOS 场效应晶体管截面图;
图 3A 是根据本发明的 MOS 场效应晶体管电流导通的特性曲线;
图 3B 是根据本发明的 MOS 场效应晶体管电流截止的特性曲线;
图 4~8 是解释根据本发明制造 MOS 场效应晶体管的方法的截面图。

30

具体实施方式

以下参考附图对本发明的实施例进行详细的描述。本发明并不局限于下列实施例，在本发明的实质和范围内可以做许多变化。提供本发明的实施例5 是为了给本领域的技术人员更全面地解释本发明。

参见图 2，栅绝缘层 210 和栅电极 220 依次形成在半导体衬底 200 上。栅电极 220 例如可以由多晶硅形成。栅隔离物 250 形成在栅电极 220 的每一侧。栅隔离物 250 的厚度例如大约为 100-500 埃，栅隔离物 250 可以是一个由氮化硅层或氧化硅层的单层或氮化硅与氧化硅形成的双重层。栅硅化物层10 280 可以形成在栅电极 220 的上部。

在半导体衬底 200 中形成深源/漏区 230 和源/漏延伸区 240。每个源/漏延伸区 240 包括一个第一源/漏延伸区 241 和一个第二源/漏延伸区 242。对于 N 沟道 MOS 场效应晶体管，半导体衬底 200 的导电类型是 P 型，每个深源/漏区 230 和源/漏延伸区 240 的导电类型是 N 型。对于 P 沟道 MOS 场效15 应晶体管，半导体衬底 200 的导电类型是 N 型，每个深源/漏区 230 和源/漏延伸区 240 的导电类型是 P 型。深源/漏区 230 的深度大于源/漏延伸区 240 的深度，第二源/漏延伸区 242 的深度大于第一源/漏延伸区 241 的深度。

在深源/漏区 230 和源/漏延伸区 240 每个的预定上部形成一个硅化物层 260。硅化物层 260 由一个第一硅化物层 261 和一个第二硅化物层 262 组成，20 其中第一硅化物层 261 形成在深源/漏区 230 的上部，第二硅化物层 262 部分地形成在每个源/漏延伸区 240 的上部。第一硅化物层 261 连结到第二硅化物层 262，但第一和第二硅化物层 261 和 262 的厚度不同。第一硅化物层 261 厚于第二硅化物层 262。因此硅化物层 260 有阶梯的形状。第一和第二硅化物层 261 和 262 每个例如可包括一个硅化钴 (Co) 层、一个硅化钛 (Ti) 层、25 一个硅化镍 (Ni) 层、一个硅化钨 (W) 层、一个硅化铂 (Pt) 层、一个硅化铪 (Hf) 层或一个硅化钯 (Pd) 层。

通过在每个源/漏延伸区 240 的上部设置第二硅化物层 262，可以极大地降低源极和漏极之间的串联电阻。换言之，即使栅电极 220 的长度在水平方向减小，并且每个源/漏延伸区 240 的厚度在垂直方向也减小以便减小器件的30 尺寸，源极和漏极之间电阻的任何增大都被第二硅化物层 262 补偿，并且源极和漏极之间的电阻被降低。当源极和漏极之间的电阻下降时，可在器件的

源极和漏极之间流动的电流增大，由此提高器件的电特性。

另外，本发明包括在每个源/漏延伸区 240 中的第二硅化物层 262，因此减小每个源/漏延伸区 240 的厚度。为了解决由于浅源/漏延伸区 240 而在半导体衬底 200 和源/漏延伸区 240 之间的结附近产生的结漏电问题，在厚度厚于每个第一源/漏延伸区 241 的第二源/漏延伸区 242 中形成第二硅化物层 262。因为第二源/漏延伸区 242 比第一源/漏延伸区 241 厚，所以每个第二源/漏延伸区 242 由于第二硅化物层 262 的厚度减小可以忽略。即使在每个第二源/漏延伸区 242 中形成第二硅化物层 262，也可以确保每个第二源/漏延伸区 242 的足够厚度，以便抑制结漏电流的发生。另外，第一源/漏延伸区 241 的存在抑制由短沟道效应导致的器件特性的衰减。

图 3A 是根据本发明的 MOS 场效应晶体管电流导通的特性曲线。图 3B 是根据本发明的 MOS 场效应晶体管电流截止的特性曲线。

在图 3A 中，从表示常规的 MOS 场效应晶体管特性的曲线 311 中可以看出，当把 1.2V 的电压施加给栅极时，依赖于源-漏电压 V_{ds} 的器件的导通电流 I_{on} 大约为 $612\mu A/\mu m$ 。另一方面，从表示包括本发明阶梯形状的硅化物层的 MOS 场效应晶体管的曲线 312 可以看出，当把 1.2V 的电压施加给栅极时，器件的导通电流 I_{on} 大约为 $657\mu A/\mu m$ 。换言之，在这种情况下，包含本发明阶梯形状的硅化物层的 MOS 场效应晶体管中的导通电流与没有阶梯形状的硅化物层的 MOS 场效应晶体管中的相比增大 7%。这是因为源极和漏极之间的电阻由于形成在每个源/漏延伸区 240 上的第二硅化物层 262 而降低的缘故。

如图 3B 所示，当不给栅电极施加电压时，即在器件的截止状态下，对应于具有阶梯形硅化物层的 MOS 场效应晶体管 321 中源-漏电压 V_{ds} 的截止电流大约为 $0.14\mu A/\mu m$ ，这基本上与不包含阶梯形硅化物层的常规 MOS 场效应晶体管 322 相同。因此，可以看出，阶梯形硅化物层的存在并不改变器件的截止电流。

图 4~图 8 是表示本发明制造 MOS 场效应晶体管方法的截面图。参见图 4，栅绝缘层 210 和栅电极 220 顺序地形成在半导体衬底 200 中限定的活性区上。换言之，在半导体衬底 200 上形成一个诸如氧化层的绝缘层。在氧化层上形成一个诸如多晶硅层的导电层。随后，在氧化层和多晶硅层上形成图案，由此形成栅绝缘层 210 和栅电极 220。形成栅电极 220 之后，在栅电

极 220 的侧壁上执行氧化过程。这里，形成在栅电极 220 每个侧壁上的侧壁氧化层（未示出）的厚度约为 20-1000 埃。

5 接下来，在利用栅电极 220 作为离子嵌入掩模的离子嵌入过程中把具有预定导电类型的杂质离子嵌入半导体衬底 200 中。对于 N 沟道 MOS 场效应晶体管，使用诸如砷 (As) 离子的 N 型杂质离子。这里，嵌入能量约为 1-30keV，嵌入浓度约为 $1 \times 10^{14} - 5 \times 10^{15} \text{cm}^{-2}$ 。对于 P 沟道 MOS 场效应晶体管，使用诸如硼 (B) 离子的 P 型杂质离子。这里，嵌入能量约为 0.2-10keV，嵌入浓度约为 $1 \times 10^{14} - 5 \times 10^{15} \text{cm}^{-2}$ 。当在嵌入杂质离子后执行回火过程时，第一源/漏延伸区 241 形成在半导体衬底 200 中。

10 参见图 5，在栅电极 220 的每个侧壁处形成第一隔离物 250。在栅电极 220 的侧壁以下形成第一隔离物 250，以便在后面的离子嵌入过程中保护第一源/漏延伸区 241。第一隔离物 250 还用于防止在后面的硅化过程中栅电极 220 电连结到源/漏区。每个第一隔离物 250 可以是由氮化硅层、氧化硅层的单层或氮化硅和氧化硅形成的双重层。第一隔离物 250 的厚度约为 100-500 埃。为了形成第一隔离物 250，一般地通过化学气相沉积或其它公知的方法形成一个覆盖半导体衬底 200 和栅电极 220 的氧化硅层或氮化硅层。随后，深蚀刻 (etch-back) 氧化硅层或氮化硅层，由此在栅电极 220 的侧壁上形成第一隔离物 250。

20 接下来，通过执行利用栅电极 220 和第一隔离物 250 作为离子嵌入掩模的离子嵌入过程把具有预定导电类型的杂质离子嵌入半导体衬底 200 中。对于 N 沟道 MOS 场效应晶体管，使用诸如砷 (As) 离子的 N 型杂质离子。这里，嵌入能量约为 2-50keV，嵌入浓度约为 $1 \times 10^{14} - 5 \times 10^{15} \text{cm}^{-2}$ 。对于 P 沟道 MOS 场效应晶体管，使用诸如硼 (B) 离子的 P 型杂质离子。这里，嵌入能量约为 0.5-20keV，嵌入浓度约为 $1 \times 10^{14} - 5 \times 10^{15} \text{cm}^{-2}$ 。当在嵌入杂质离子后 25 执行回火过程时，第二源/漏延伸区 242 形成在半导体衬底 200 中。这里，因为用于形成第二源/漏延伸区 242 的离子嵌入能量高于用于形成第一源/漏延伸区 241 的离子嵌入能量，所以形成的第二源/漏延伸区 242 比第一源/漏延伸区 241 深。

30 参见图 6，在每个第一隔离物 250 的外壁上形成第二隔离物 252。第二隔离物 252 由一种具有关于第一隔离物 250 蚀刻选择比例的材料形成，使得第二隔离物 252 可以在后面的蚀刻过程中很容易地除去。例如，当第一隔离

物 250 由一个氮化硅层形成时，第二隔离物层 252 由一个氧化硅层形成。类似地，当第一隔离物 250 由一个氧化硅层形成时，第二隔离物 252 由一个氮化硅层形成。每个第二隔离物 252 的厚度约为 300-800 埃。形成第二隔离物 252 的方法可以与形成第一隔离物 250 的相同。换言之，通过化学气相沉积
5 或其它已知的方法形成一个覆盖半导体衬底 200、栅电极 220 和第一隔离物 250 的氧化硅层或氮化硅层。随后，执行过程，在第一隔离物 250 的外壁上形成第二隔离物 252。

接下来，通过执行利用栅电极 220 和第二隔离物 252 作为离子嵌入掩模的离子嵌入过程把具有预定导电类型的杂质离子嵌入半导体衬底 200 中。如
10 上所述，对于 N 沟道 MOS 场效应晶体管，嵌入 N 型杂质离子。对于 P 沟道 MOS 场效应晶体管，嵌入 P 型杂质离子。在嵌入杂质离子后执行回火过程，由此形成深源/漏延伸区 230。这里，因为用于形成深源/漏延伸区 230 的离子嵌入能量高于用于形成第一和第二源/漏延伸区 241 和 242 的离子嵌入能量，所以形成的深源/漏延伸区 230 比第一和第二源/漏延伸区 241 和 242 深。

参见图 7，在每个深源/漏延伸区 230 的上部形成第一硅化物层 261，在栅电极 220 的上部形成栅硅化物层 280。为了形成第一硅化物层 261 和栅硅化物层 280，首先在图 6 所示结构的整个表面上形成一个金属层（未示出）。金属层最好由硅（Co）、钛（Ti）、镍（Ni）、钨（W）、铂（Pt）、铪（Hf）或钯（Pd）形成。形成金属层之后，执行预定的回火过程。结果，在金属层
15 与深源/漏延伸区 230 接触的区域中形成第一硅化物层 261。在金属层和栅电极 220 之间形成栅硅化物层 280。每个第一硅化物层 261 的厚度可以通过调节金属层的厚度来调节，以得到所需的厚度。形成第一硅化物层 261 之后，通过一种已知的方法去除没有反应的金属层部分。

参见图 8，去除图 7 的第二隔离物 252。因为第二隔离物 252 由一种具有关于第一隔离物 251 的蚀刻选择比例的材料形成，所以可以很容易地通过
25 湿蚀刻过程去除。去除第二隔离物 252 后，在所得结果的整个表面上形成一个金属层 290，并再在金属层 290 与第二源/漏延伸区 242 接触的区域中形成第二硅化物层 262。

金属层 290 最好由 Co、Ti、Ni、W、Pt、Hf、或 Pd 形成。当金属层 290
30 由 Co 或 Ti 形成时，在第二源/漏延伸区 242 和 Co 金属层或 Ti 金属层 290 之间自然地形成 Co 硅化物层或 Ti 硅化物层，因为，当硅接触到 Co 或 Ti 时，

接触材料的原子和分子的热动力混合熵增加，并且因而接触材料的原子和分子扩散且彼此混合。当金属层 290 由 Ni 形成时，硅化镍层 262 自然地形成在第二源/漏延伸区 242 和 Ni 金属层 290 之间。形成第二硅化物层 262 之后，通过一种已知的方法去除没有反应的金属层 290 部分。最终完成本发明如图 5 2 所示的 MOS 场效应晶体管。

当第二硅化物层 262 是 Co 硅化物层或 Ti 硅化物层时，执行附加的回火过程以转变已自然形成的 Co 硅化物层或 Ti 硅化物层的相态。相变的结果是 Co 硅化物层或 Ti 硅化物层各自的体积增大 3 倍，电阻降低。当第二硅化物层 262 是 Ti 硅化物层时，可以不需要附加的回火过程，因为自然形成的 Ni 10 硅化物层的电阻低于相变 Ni 硅化物层的电阻。

如上所述，在用于减小源极和漏极之间电阻的本发明 MOS 场效应晶体管中，硅化物层形成在源/漏延伸区以及深源/漏区的预定上部中，使得源和漏之间的电阻可以降低，并因而可以在器件的一种状态下增大源极和漏极之间的电流密度。另外，即使栅电极的长度减小，也可以抑制源极和漏极之间 15 电阻的增加，可以提高器件的集成度。

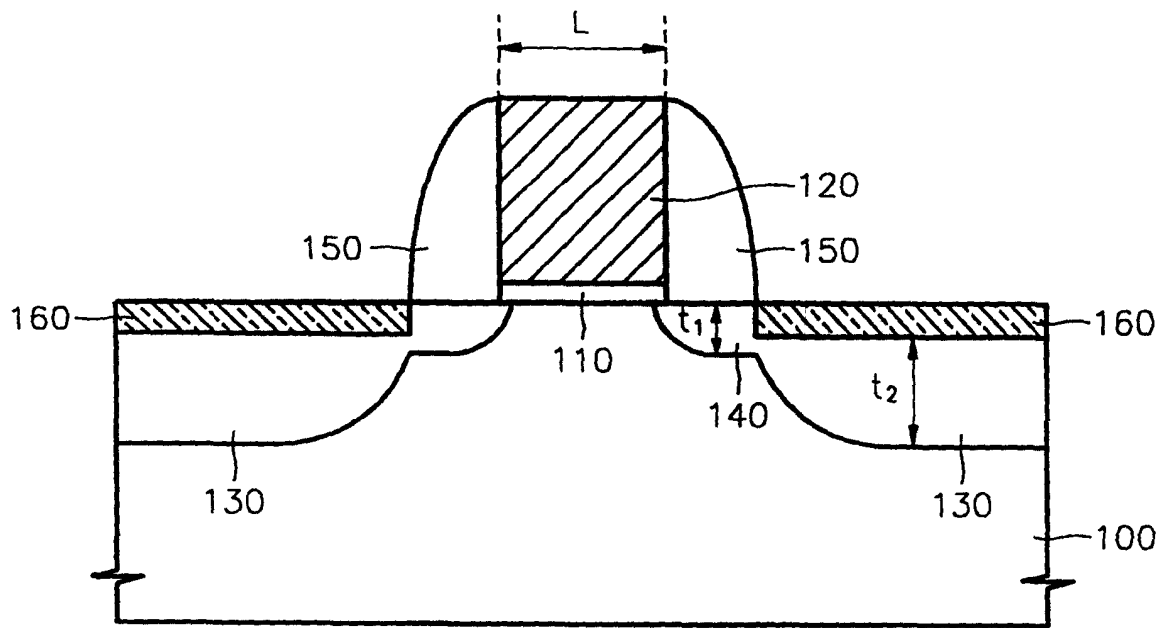


图 1

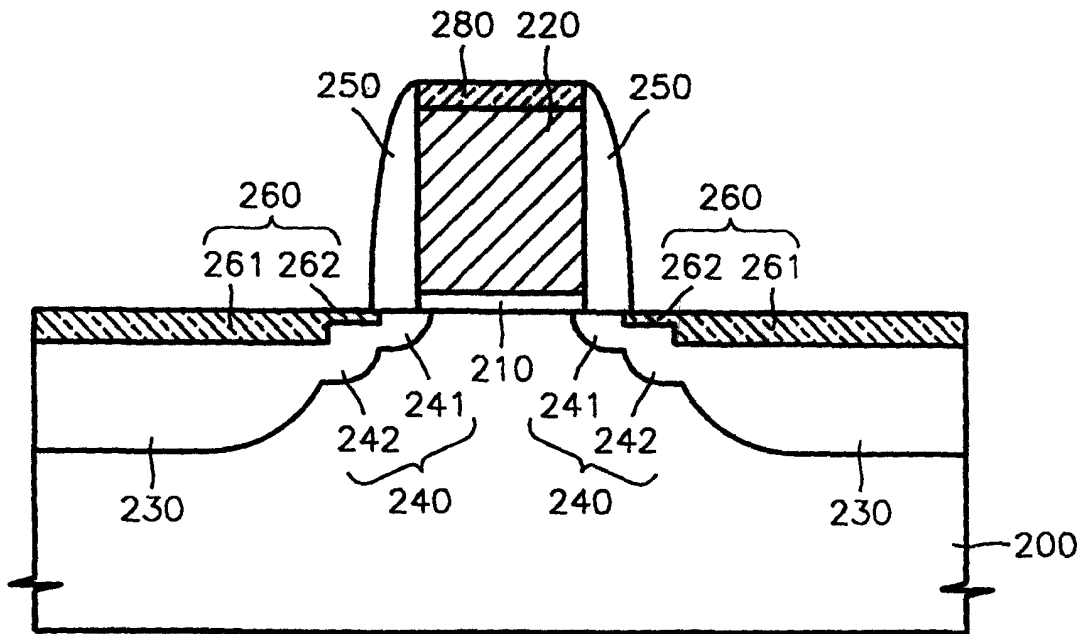


图 2

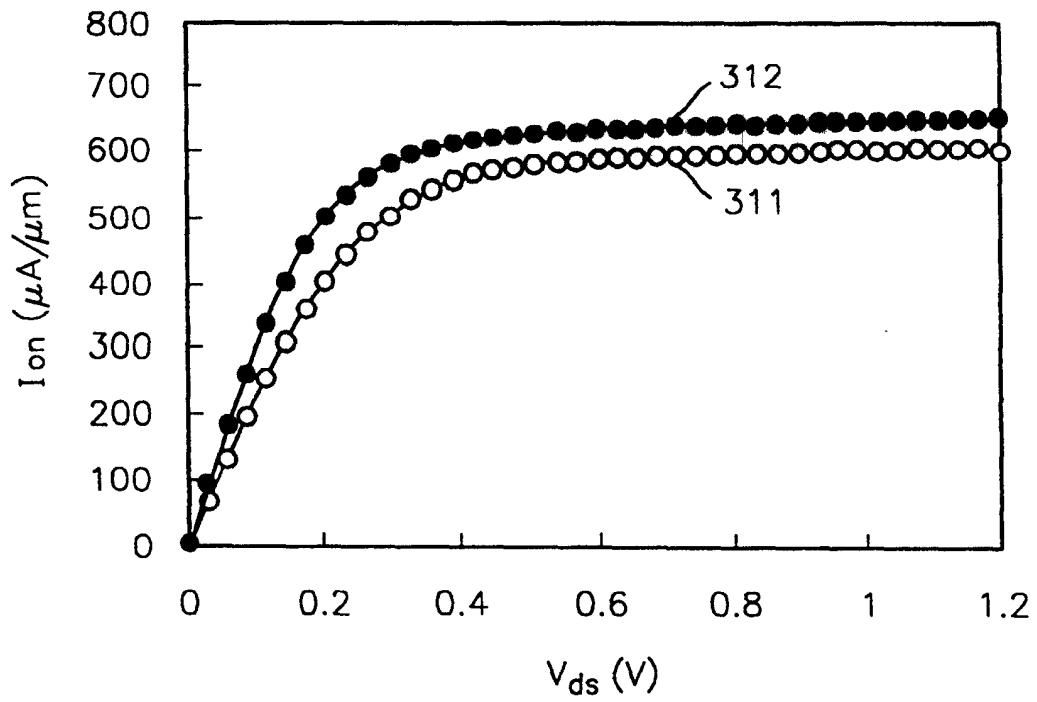


图 3A

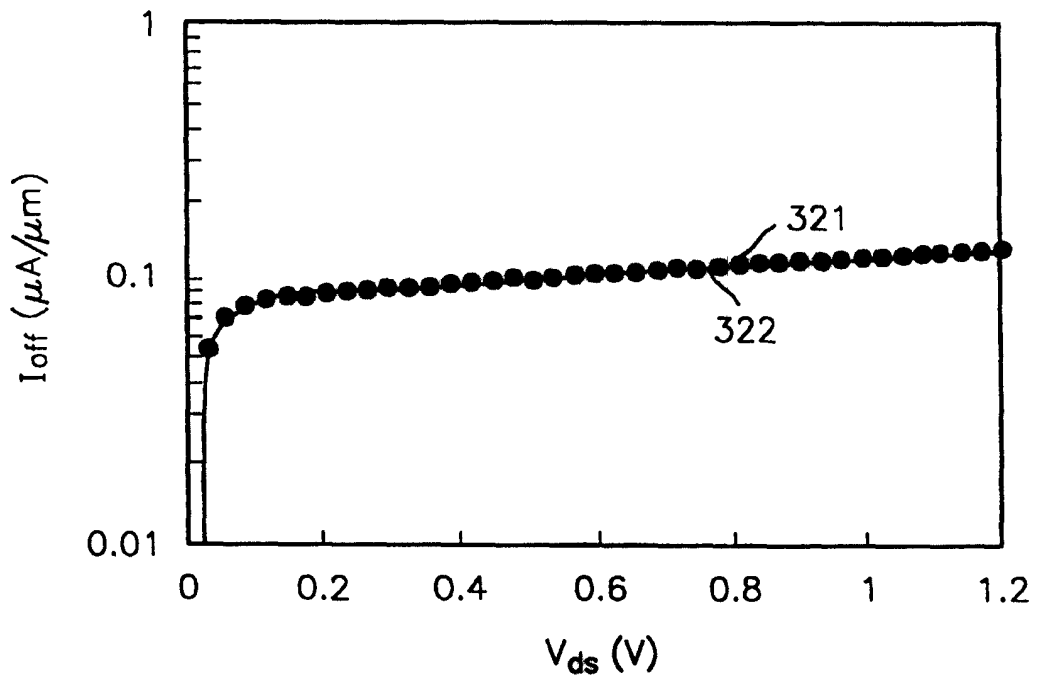


图 3B

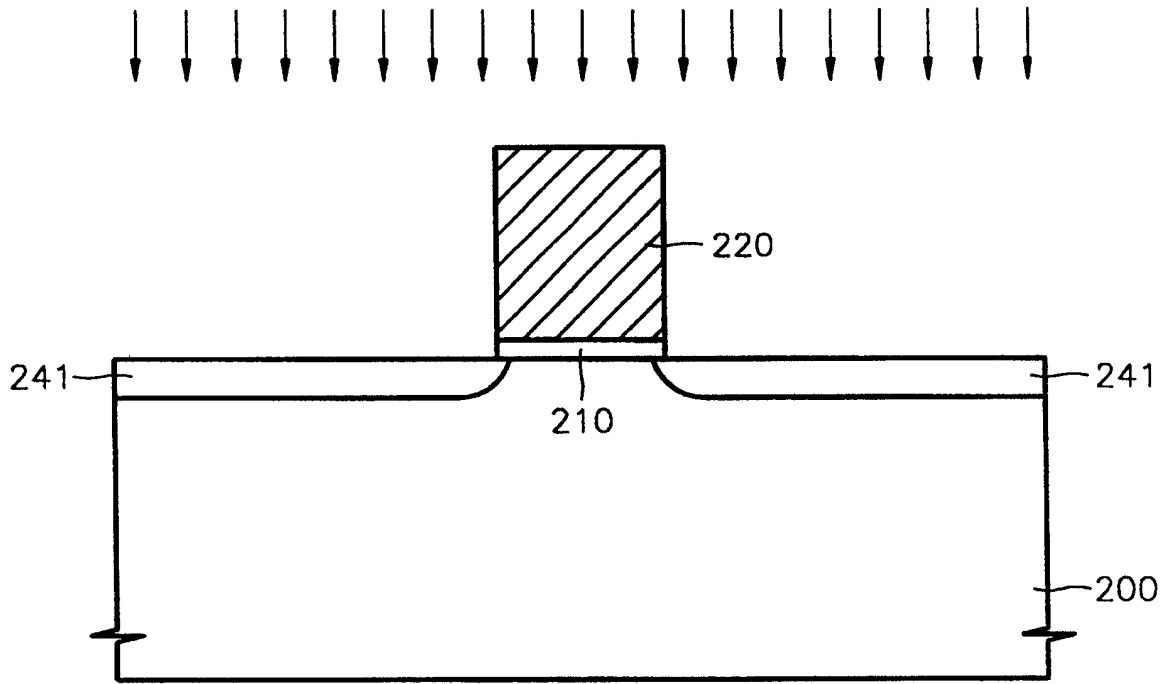


图 4

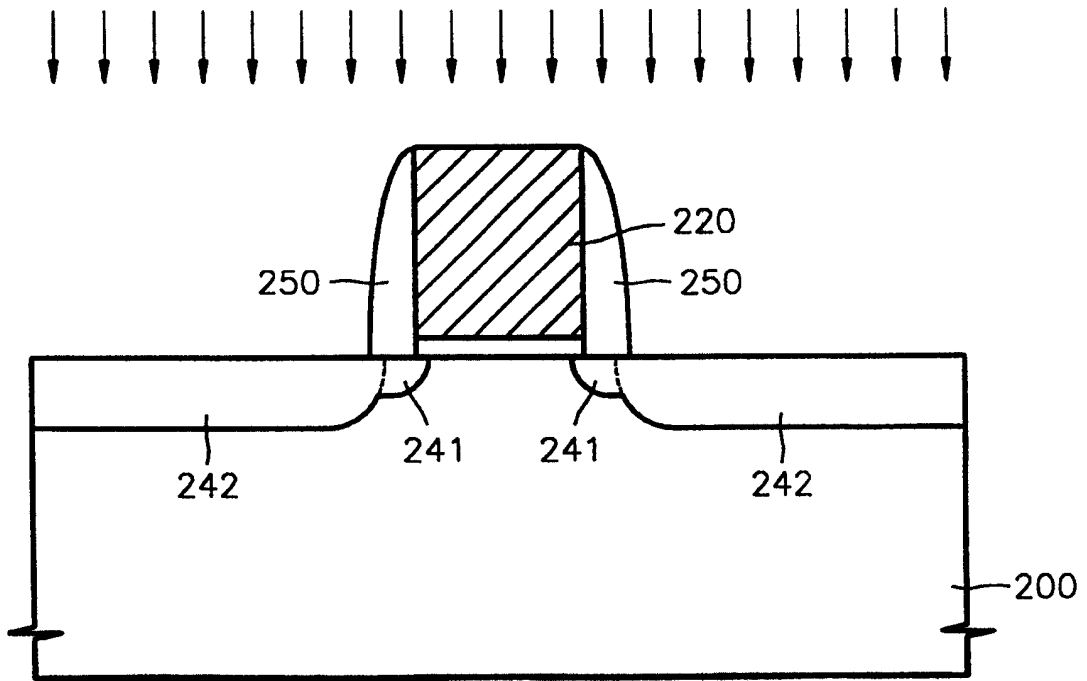


图 5

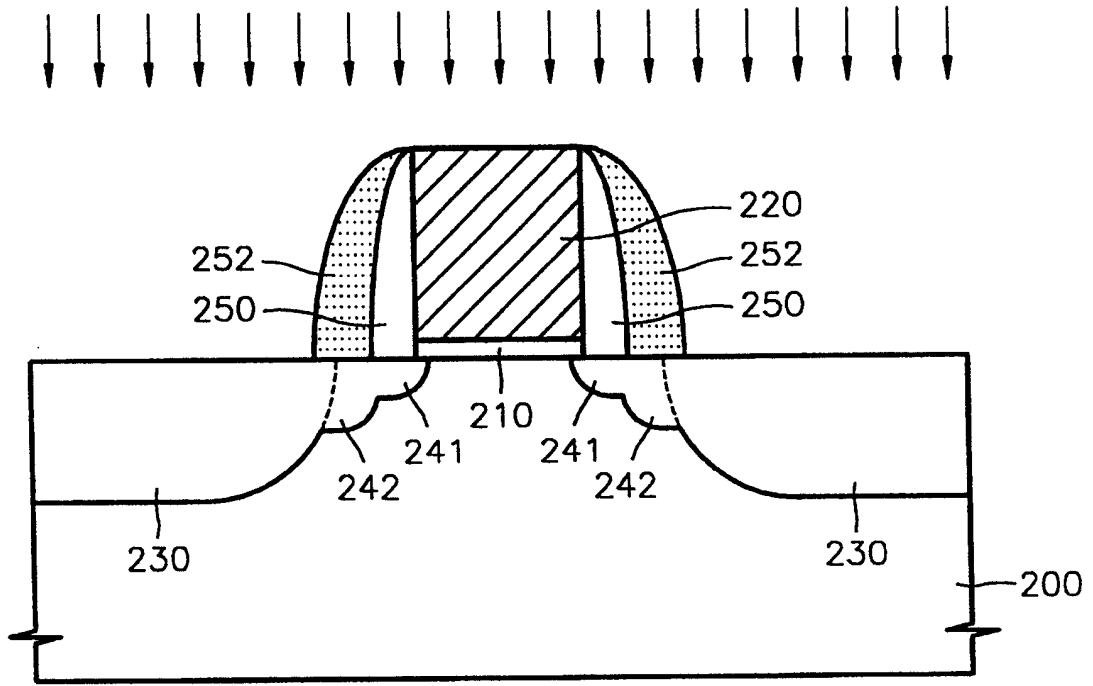


图 6

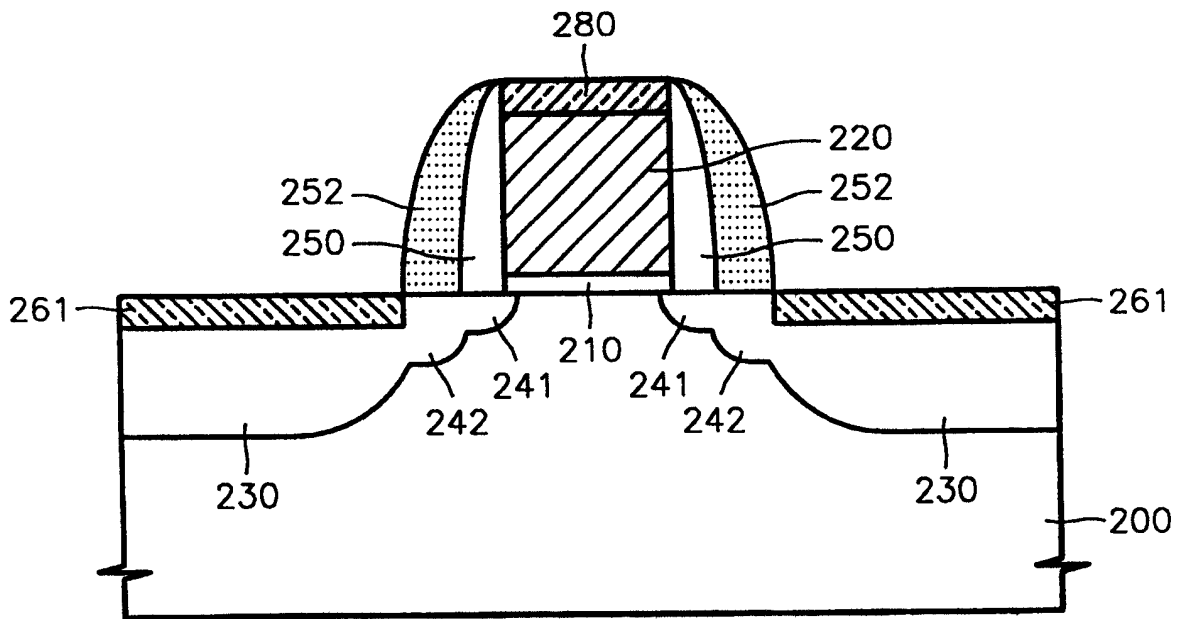


图 7

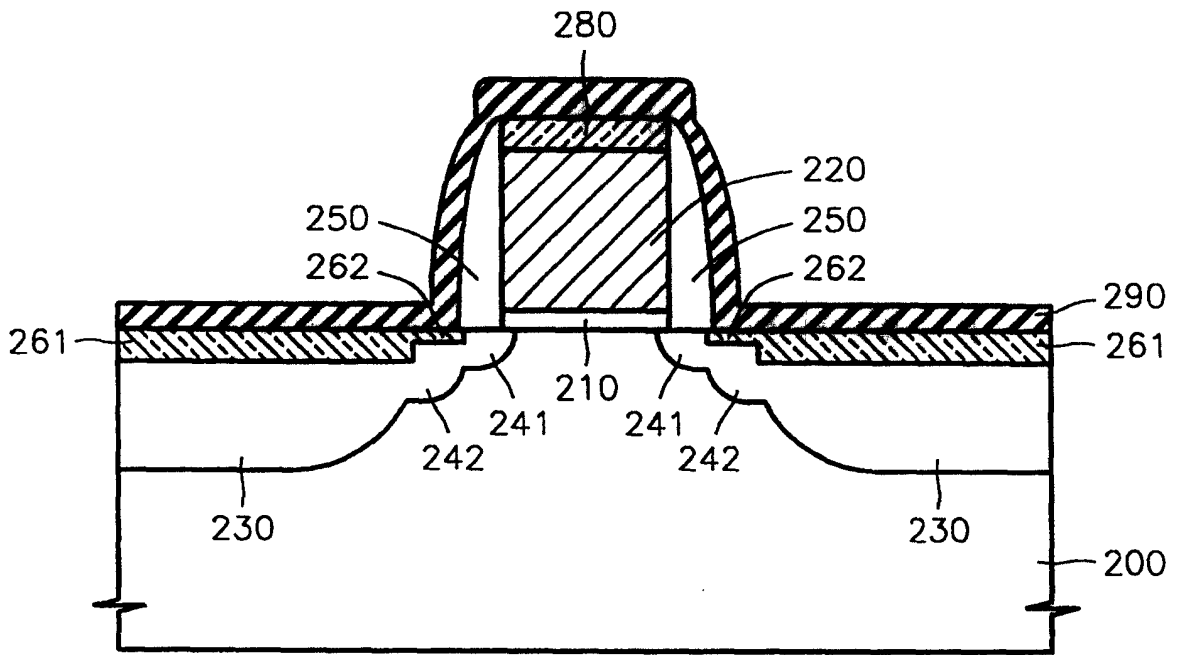


图 8