

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和4年10月17日(2022.10.17)

【国際公開番号】WO2022/097251

【出願番号】特願2022-534323(P2022-534323)

【国際特許分類】

H 0 1 L 2 1 / 8 2 4 2 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 7 8 6 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 3 3 6 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 8 2 3 4 (2 0 0 6 . 0 1)

10

【 F I 】

H 0 1 L 2 7 / 1 0 8 6 7 1 A

H 0 1 L 2 7 / 1 0 8 6 2 1 B

H 0 1 L 2 7 / 1 0 8 6 7 1 C

H 0 1 L 2 9 / 7 8 6 1 3 B

H 0 1 L 2 9 / 7 8 6 2 6 A

H 0 1 L 2 9 / 7 8 3 0 1 X

H 0 1 L 2 7 / 0 8 8 E

H 0 1 L 2 7 / 0 8 8 H

20

【手続補正書】

【提出日】令和4年6月6日(2022.6.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

30

底部にある第1の不純物領域と、頂部にある第2の不純物領域とをソースまたはドレインとし、前記第1の不純物領域と、前記第2の不純物領域との間の領域をチャンネルとする、基板に垂直に立つ半導体柱と、

前記第1の不純物領域と、前記第2の不純物領域との間にある前記半導体柱を囲んだゲート絶縁層と、

前記ゲート絶縁層を囲んだゲート導体層と、を有する柱状半導体素子を用いたメモリ装置の製造方法において、

前記第1の不純物領域を、平面視において、第1の方向に帯状に伸延して形成する工程と、

平面視において、前記第1の不純物領域に少なくとも一部に重なる前記半導体柱を形成する工程と、

40

平面視において、前記半導体柱と、前記第1の不純物領域と、を含み、前記第1の方向に帯状に延びた半導体台を前記半導体柱の底部に繋がって形成する工程と、

前記半導体柱を囲んで、前記ゲート絶縁層と、前記ゲート導体層と、を形成する工程と、

前記ゲート導体層の外周部に第1の絶縁層を形成する工程と、

平面視において、前記半導体台にある前記第1の不純物領域と重なり、且つその底部が前記第1の不純物領域と接して、前記第1の方向に帯状に延びたコンタクトホールを前記第1の絶縁層に形成する工程と、

前記コンタクトホールの底部に、前記第1の不純物領域に接して、前記第1の方向に帯

50

状に延びた第 1 の導体層を形成する工程と、

前記第 1 の導体層上の前記コンタクトホール内に、空孔を含むか、または低誘電率材料よりなる第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層の上面位置を、前記ゲート導体層の上端より低くする工程と、

前記ゲート導体層に接し、且つ、平面視において、前記第 1 の方向と直交する第 2 の方向に帯状に伸延する第 2 の導体層を形成する工程と、を有する、

ことを特徴とする柱状半導体素子を用いたメモリ装置の製造方法。

【請求項 2】

第 1 のマスク材料層をエッチングマスクにして、前記半導体柱を形成する工程と、

前記半導体柱を囲み、且つその上面位置が、前記第 1 のマスク材料層の底部位置または前記半導体柱の頂部位置にある第 3 の絶縁層を形成する工程と、 10

前記第 3 の絶縁層上にあって露出している前記第 1 のマスク材料と、前記半導体柱の頂部を、平面視において等幅で囲んだ第 2 のマスク材料層を形成する工程と、

前記第 3 の絶縁層上に、平面視において前記第 2 のマスク材料層の一部重なり、前記第 1 の方向に帯状に伸延した第 3 のマスク材料層を形成する工程と、

前記第 1 のマスク材料層と、前記第 2 のマスク材料層と、前記第 3 のマスク材料層とをマスクにして、前記第 3 の絶縁層と、前記第 1 の不純物層と、前記半導体基板をエッチングして、前記半導体台を形成する工程、を有し、

平面視において、前記第 2 のマスク材料層の一部が、前記第 2 の方向に、前記半導体柱を挟んで、前記第 1 の導体層と反対側の前記第 3 のマスク材料層から突き出ている、 20

ことを特徴とする、請求項 1 に記載の柱状半導体素子を用いたメモリ装置の製造方法。

【請求項 3】

平面視における、前記第 1 の方向において、前記第 2 の導体層の幅が、前記ゲート導体層の外周線と前記第 1 の方向に延びた直線とが交差する 2 点間距離の内、最も長い線分より小さく形成される、

ことを特徴とする、請求項 1 に記載の柱状半導体素子を用いたメモリ装置の製造方法。

【請求項 4】

垂直方向において、前記第 1 の導体層の上端位置が、前記ゲート導体層の下端位置より低く形成される、

ことを特徴とする、請求項 1 に記載の柱状半導体素子を用いたメモリ装置の製造方法。 30

【請求項 5】

垂直方向において、前記空孔の上端位置が、前記ゲート導体層の上端位置より低く形成される、

ことを特徴とする、請求項 1 に記載の柱状半導体素子を用いたメモリ装置の製造方法。

【請求項 6】

前記第 1 の不純物領域の外側の前記半導体台、又は前記第 2 の不純物領域の外側の前記半導体柱内に、前記第 1 の不純物領域、又は前記第 2 の不純物領域と反対の極性を有する第 3 の不純物領域を形成する工程を、有する、

ことを特徴とする、請求項 1 に記載の柱状半導体素子を用いたメモリ装置の製造方法。

【請求項 7】

平面視において、前記第 1 の方向の寸法が、前記第 2 の方向の寸法より長い前記半導体柱を形成する、

ことを特徴とする、請求項 1 に記載の柱状半導体素子を用いたメモリ装置の製造方法。 40

【請求項 8】

前記基板上に、前記第 1 の不純物領域の母体となる第 1 の不純物層を形成する工程と、

前記第 1 の不純物層上に前記第 1 の半導体柱の母体の一部になる第 1 の半導体層を形成する工程と、

前記第 1 の半導体層上に、前記第 1 の半導体柱の母体の一部となり、且つ前記第 2 の半導体領域の少なくとも一部となる第 2 の不純物層を形成する工程と、

をさらに有することを特徴にする、請求項 1 に記載の柱状半導体素子を用いたメモリ装 50

置の製造方法。

【請求項 9】

前記ゲート導体層を形成した後、その上面が、前記ゲート導体層の上であり、且つ前記第 2 の不純物層の上面より下方にあり、且つ第 2 の不純物層の外周を囲んだ第 4 の絶縁層を形成する工程と、

前記第 2 の不純物層に接して、極性が同じ第 3 の不純物層、または合金または金属よりなる導体層を、形成する工程、

をさらに有することを特徴にする、請求項 8 に記載の柱状半導体素子を用いたメモリ装置の製造方法。

【請求項 10】

基板に対して垂直方向に立つ半導体柱と、

前記半導体柱の底部に繋がり、平面視において、前記半導体柱と少なくとも一部で重なって第 1 の方向に帯状に伸延する第 1 の不純物領域と、

前記半導体柱の頂部にある第 2 の不純物領域と、

前記第 1 の不純物領域と、前記第 2 の不純物領域の間の前記半導体柱を囲んだゲート絶縁層と、

前記ゲート絶縁層を囲んだゲート導体層と、

平面視において、前記半導体柱の底部に繋がり、前記第 1 の不純物領域を含み、前記第 1 の方向に帯状に延びた半導体台と、

前記ゲート導体層の外周部にある第 1 の絶縁層と、

その底部が、前記第 1 の不純物領域に接して、前記第 1 の方向に帯状に延びた第 1 の導体層と、

前記第 1 の導体層上にあり、且つ、上面位置が、前記ゲート導体層の上端より低い空孔を含むか、または低誘電率材料よりなる第 2 の絶縁層と、

前記第 2 の絶縁層上にあり、且つ前記ゲート導体層に接し、且つ、平面視において、前記第 1 の方向と直交する第 2 の方向に帯状に伸延する第 2 の導体層と、を有する、

ことを特徴とする柱状半導体素子を用いたメモリ装置。

【請求項 11】

平面視において、前記半導体柱を囲んだ前記半導体台の一部が、前記第 2 の方向に、前記半導体柱を挟んで、前記第 1 の導体層と反対側に突き出ている、

ことを特徴とする、請求項 10 に記載の柱状半導体素子を用いたメモリ装置。

【請求項 12】

平面視において、前記第 2 の導体層の前記第 1 の方向における幅が、前記ゲート導体層の外周線と前記第 1 の方向に延びた直線とが交差する 2 点間距離の内、最も長い線分より小さい、

ことを特徴とする、請求項 10 に記載の柱状半導体素子を用いたメモリ装置。

【請求項 13】

垂直方向において、前記第 1 の導体層の上端位置が、前記ゲート導体層の下端位置より低い、

ことを特徴とする、請求項 10 に記載の柱状半導体素子を用いたメモリ装置。

【請求項 14】

前記第 1 の不純物領域の外側に、前記第 1 の不純物領域と反対の極性を有する第 3 の不純物領域を、有する、

ことを特徴とする、請求項 10 に記載の柱状半導体素子を用いたメモリ装置。

【請求項 15】

平面視において、前記第 1 の方向に延びた断面を有する前記半導体柱を形成する、ことを特徴とする、請求項 10 に記載の柱状半導体素子を用いたメモリ装置。

10

20

30

40

50