



(12) 发明专利

(10) 授权公告号 CN 109906554 B

(45) 授权公告日 2024.02.13

(21) 申请号 201780064934.3

(74) 专利代理机构 北京市正见永申律师事务所

(22) 申请日 2017.08.28

11497

(65) 同一申请的已公布的文献号

专利代理人 黄小临

申请公布号 CN 109906554 A

(51) Int.CI.

(43) 申请公布日 2019.06.18

H03H 7/24 (2006.01)

(30) 优先权数据

H01P 1/22 (2006.01)

62/381,367 2016.08.30 US

(56) 对比文件

US 2016134259 A1, 2016.05.12

(85) PCT国际申请进入国家阶段日

US 2015326205 A1, 2015.11.12

2019.04.19

US 2015318889 A1, 2015.11.05

(86) PCT国际申请的申请数据

US 8779870 B2, 2014.07.15

PCT/US2017/048916 2017.08.28

US 2016118959 A1, 2016.04.28

(87) PCT国际申请的公布数据

US 9219877 B2, 2015.12.22

W02018/044798 EN 2018.03.08

US 2011133868 A1, 2011.06.09

(73) 专利权人 天工方案公司

WO 2016073204 A1, 2016.05.12

地址 美国马萨诸塞州

WO 2009145957 A1, 2009.12.03

(72) 发明人 颜燕 J·李

审查员 李晓阳

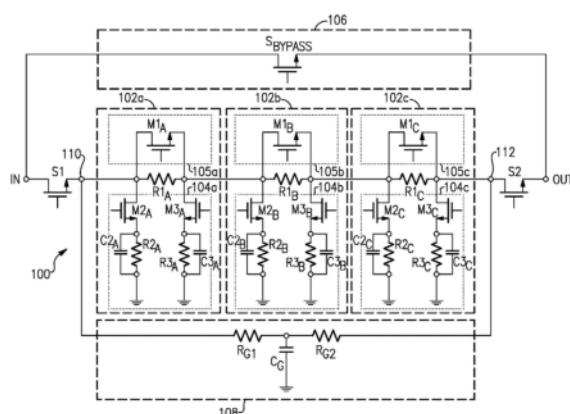
权利要求书4页 说明书18页 附图16页

(54) 发明名称

具有相移和增益补偿电路的衰减器

(57) 摘要

具有相移和增益补偿电路的衰减器。在一些实施例中，射频(RF)衰减器电路可包括串联布置在输入节点和输出节点之间的一个或多个衰减块，其中每个衰减块包括本地旁路路径。所述RF衰减器电路可进一步包括实现在所述输入节点和所述输出节点之间的全局旁路路径。所述RF衰减器电路可进一步包括相位补偿电路，其配置为补偿与所述全局旁路路径和所述一个或多个本地旁路路径中的至少一个相关联的关断电容效应。



1. 一种射频衰减器电路,包括:

输入节点和输出节点;

衰减路径,包括在所述输入节点和所述输出节点之间的第一开关、第一节点、串联布置的多个衰减块、第二节点和第二开关,每个衰减块配置为在提供衰减时提供单个电阻,所述衰减块包括旁路开关,其配置为导通或关断,由此允许所述单个电阻的可切换旁路,所述旁路开关在关断时提供单个本地关断电容,至少一些衰减块中的每个包括本地相位补偿电路,其配置为补偿对应的旁路开关的单个本地关断电容;

全局旁路路径,其实现在所述输入节点和所述输出节点之间与所述衰减路径并联,所述全局旁路路径包括全局旁路开关,其配置为导通或关断,由此允许所述衰减路径的可切换旁路,所述全局旁路开关在关断时提供全局关断电容,所述衰减路径中的第一开关和第二开关中的每个配置为在所述全局旁路开关导通时关断,在所述全局旁路开关关断时导通;以及

全局相位补偿电路,其实施在所述第一节点和所述第二节点之间,并且配置为补偿所述全局关断电容。

2. 如权利要求1所述的衰减器电路,其中所述全局相位补偿电路包括串联布置的第一全局补偿电阻和第二全局补偿电阻,以及实现在地与所述第一全局补偿电阻和第二全局补偿电阻之间的节点之间的全局补偿电容。

3. 如权利要求2所述的衰减器电路,其中所述全局旁路开关的所述全局关断电容导致相位超前变化,且所述全局相位补偿电路配置为提供相位滞后变化来补偿所述相位超前变化。

4. 如权利要求3所述的衰减器电路,其中所述第一全局补偿电阻和第二全局补偿电阻具有基本上相同的值。

5. 如权利要求4所述的衰减器电路,其中所述相位超前变化的量计算为

$$\phi = \tan^{-1}(2\omega R_{G1} C_{off}) - \tan^{-1}\left(\frac{2}{3}\omega R_{G1} C_{off}\right), \text{且所述相位滞后变化的量计算为}$$

$\phi = -\tan^{-1}\left(\frac{2}{3}\omega R_{G1} C_G\right)$, 其中 ω 为 2π 乘以频率, R_L 为负载阻抗, R_{G1} 为所述第一全局补偿电阻, 以及 C_G 为所述全局补偿电容。

6. 如权利要求5所述的衰减器电路,其中选择所述第一全局补偿电阻和所述全局补偿电容的值使得所述相位滞后变化的幅值与所述相位超前变化的幅值基本上相同。

7. 如权利要求5所述的衰减器电路,其中选择所述全局补偿电容的值使得所述衰减器电路的全局增益在一选定频率范围上为近似平坦的。

8. 如权利要求2所述的衰减器电路,其中所述全局补偿电容配置为与所述全局旁路开关相同地受到一个或多个工艺偏差的影响。

9. 如权利要求8所述的衰减器电路,其中所述全局补偿电容配置为类晶体管器件。

10. 如权利要求9所述的衰减器电路,其中所述全局补偿电容的类晶体管器件和所述全局旁路开关的每一个被实现为MOSFET器件。

11. 如权利要求1所述的衰减器电路,其中每个衰减块的旁路开关配置为在对应的衰减块处于本地旁路模式中时导通,且在对应的衰减块处于本地衰减模式中时关断。

12. 如权利要求1所述的衰减器电路,其中每个衰减块配置为pi衰减器,其具有电阻、实现在所述电阻的一端和地之间的第一分流路径、实现在所述电阻的另一端和所述地之间的第二分流路径,所述第一分流路径和所述第二分流路径的每一个包括分流电阻。

13. 如权利要求12所述的衰减器电路,其中所述本地相位补偿电路包括第一本地补偿电容和第二本地补偿电容,所述第一本地补偿电容配置为与所述第一分流电阻电并联,所述第二本地补偿电容配置为与所述第二分流电阻电并联。

14. 如权利要求13所述的衰减器电路,其中本地旁路开关的所述本地关断电容导致相位超前变化,且所述本地相位补偿电路配置为提供相位滞后变化来补偿所述相位超前变化。

15. 如权利要求14所述的衰减器电路,其中所述第一分流电阻和所述第二分流电阻具有基本上相同的值,且所述第一本地补偿电容和所述第二本地补偿电容具有基本上相同的值。

16. 如权利要求15所述的衰减器电路,其中所述相位超前变化的量计算为

$$\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}\left(\omega \left(\frac{R_1 R_L}{R_1 + R_L}\right) C_{off}\right), \text{且所述相位滞后变化的量计算为}$$

$\phi = -\tan^{-1}\left(\frac{\omega R_1 R'_2 C_C}{R_1 + R'_2}\right)$, 其中 ω 为 2π 乘以频率, R_L 为负载阻抗, R_1 为本地电阻, 以及 C_C 为所述第一本地补偿电容, 以及 R'_2 为所述第一分流电阻和所述负载阻抗的并联布置的等效电阻。

17. 如权利要求16所述的衰减器电路,其中选择所述第一本地补偿电容的值使得所述相位滞后变化的幅值和所述相位超前变化的幅值基本上相同。

18. 如权利要求16所述的衰减器电路,其中选择所述本地补偿电容的值使得所述衰减块的本地增益在一选定频率范围上为近似平坦的。

19. 如权利要求13所述的衰减器电路,其中所述第一本地补偿电容和所述第二本地补偿电容的每一个配置为与本地旁路开关基本上相同地受到一个或多个工艺偏差的影响。

20. 如权利要求19所述的衰减器电路,其中所述第一本地补偿电容和所述第二本地补偿电容的每一个配置为类晶体管器件。

21. 如权利要求20所述的衰减器电路,其中所述第一本地补偿电容和所述第二本地补偿电容的所述类晶体管器件以及所述本地旁路开关中的每一个实现为MOSFET器件。

22. 如权利要求1所述的衰减器电路,其中所述多个衰减块中的至少一些配置为提供二进制加权衰减值。

23. 一种具有射频电路的半导体晶片,所述半导体晶片包括:

半导体衬底;以及

实现在所述半导体衬底上的衰减器电路,所述衰减器电路包括输入节点和输出节点、以及衰减路径,所述衰减路径包括在所述输入节点和所述输出节点之间的第一开关、第一节点、串联布置的多个衰减块、第二节点、以及第二开关,每个衰减块配置为在提供衰减时提供单个电阻,所述衰减块包括旁路开关,其配置为导通或关断,由此允许所述单个电阻的可切换旁路,所述旁路开关在关断时提供单个本地关断电容,至少一些衰减块中的每个包括本地相位补偿电路,其配置为补偿对应的旁路开关的单个本地关断电容,所述衰减器电路进一步包括实现在所述输入节点和所述输出节点之间与所述衰减路径并联的全局旁路

路径,所述全局旁路路径包括全局旁路开关,其配置为导通或关断,由此允许所述衰减路径的可切换旁路,所述全局旁路开关在关断时提供全局关断电容,所述衰减路径中的第一开关和第二开关中的每个配置为在所述全局旁路开关导通时关断,在所述全局旁路开关关断时导通,所述衰减器电路进一步包括实施在所述第一节点和所述第二节点之间的全局相位补偿电路,其配置为补偿所述全局关断电容。

24. 一种射频模块,包括:

封装衬底,其配置为收纳多个部件;以及

实现在所述封装衬底上的射频衰减器电路,所述射频衰减器电路包括输入节点和输出节点、以及衰减路径,所述衰减路径包括在所述输入节点和所述输出节点之间的第一开关、第一节点、串联布置的多个衰减块、第二节点、以及第二开关,每个衰减块配置为在提供衰减时提供单个电阻,所述衰减块包括旁路开关,其配置为导通或关断,由此允许所述单个电阻的可切换旁路,所述旁路开关在关断时提供单个本地关断电容,至少一些衰减块中的每个包括本地相位补偿电路,其配置为补偿对应的旁路开关的单个本地关断电容,所述射频衰减器电路进一步包括实现在所述输入节点和所述输出节点之间与所述衰减路径并联的全局旁路路径,所述全局旁路路径包括全局旁路开关,其配置为导通或关断,由此允许所述衰减路径的可切换旁路,所述全局旁路开关在关断时提供全局关断电容,所述衰减路径中的第一开关和第二开关中的每个配置为在所述全局旁路开关导通时关断,在所述全局旁路开关关断时导通,所述射频衰减器电路进一步包括实施在所述第一节点和所述第二节点之间的全局相位补偿电路,其配置为补偿所述全局关断电容。

25. 如权利要求24所述的射频模块,其中所述射频衰减器电路的一些或全部实现在半导体晶片上。

26. 如权利要求25所述的射频模块,其中所述射频衰减器电路基本上全部实现在所述半导体晶片上。

27. 如权利要求24所述的射频模块,其中所述射频模块配置为对接收的射频信号进行处理。

28. 如权利要求27所述的射频模块,其中所述射频模块为分集接收模块。

29. 如权利要求25所述的射频模块,其进一步包括控制器,所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。

30. 如权利要求29所述的射频模块,其中所述控制器配置为提供移动产业处理器接口控制信号。

31. 一种无线装置,包括:

天线,配置为接收射频信号;

收发器,其与所述天线通信;

信号路径,其位于所述天线和所述收发器之间;以及

沿着所述信号路径实现的射频衰减器电路,所述射频衰减器电路包括输入节点和输出节点、以及衰减路径,所述衰减路径包括在所述输入节点和所述输出节点之间的第一开关、第一节点、串联布置的多个衰减块、第二节点、以及第二开关,每个衰减块配置为在提供衰减时提供单个电阻,所述衰减块包括旁路开关,其配置为导通或关断,由此允许所述单个电阻的可切换旁路,所述旁路开关在关断时提供单个本地关断电容,至少一些衰减块中的每

个包括本地相位补偿电路,其配置为补偿对应的旁路开关的单个本地关断电容,所述射频衰减器电路进一步包括实现在所述输入节点和所述输出节点之间与所述衰减路径并联的全局旁路路径,所述全局旁路路径包括全局旁路开关,其配置为导通或关断,由此允许所述衰减路径的可切换旁路,所述全局旁路开关在关断时提供全局关断电容,所述衰减路径中的第一开关和第二开关中的每个配置为在所述全局旁路开关导通时关断,在所述全局旁路开关关断时导通,所述射频衰减器电路进一步包括实施在所述第一节点和所述第二节点之间的全局相位补偿电路,其配置为补偿所述全局关断电容。

32. 如权利要求31所述的无线装置,其进一步包括控制器,所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。

33. 如权利要求32所述的无线装置,其中所述控制器配置为提供移动产业处理器接口控制信号。

具有相移和增益补偿电路的衰减器

[0001] 相关申请的交叉引用

[0002] 本申请要求2016年8月30日提交的、发明名称为“ATTENUATORS HAVING PHASE SHIFT AND GAIN COMPENSATION CIRCUITS”(具有相移和增益补偿电路的衰减器)的美国临时申请第62/381,367号的优先权，特此通过引用而将其整体公开内容合并于此。

技术领域

[0003] 本申请涉及用于电子应用的衰减器。

背景技术

[0004] 在诸如射频(RF)应用的电子应用中，有时期望对信号进行放大或衰减。例如，待发射信号可通过功率放大器进行放大，以及接收信号可通过低噪声放大器进行放大。在另一示例中，可视需要或期望沿着前述发射和接收路径的任一个或两者来实现一个或多个衰减器以衰减相应信号。

发明内容

[0005] 根据多个实施方式，本申请涉及一种射频(RF)衰减器电路，其包括串联布置在输入节点和输出节点之间的一个或多个衰减块，其中每个衰减块包括本地(local)旁路路径。所述RF衰减器电路进一步包括实现在所述输入节点和所述输出节点之间的全局(global)旁路路径。所述RF衰减器电路进一步包括相位补偿电路，其配置为补偿与所述全局旁路路径和所述一个或多个本地旁路路径中的至少一个相关联的关断电容效应(off-capacitance effect)。

[0006] 在一些实施例中，所述全局旁路路径可包括全局旁路开关晶体管，其配置为在处于全局旁路模式中时导通，且在处于全局衰减模式中时关断，使得在处于所述全局衰减模式中时所述全局旁路开关晶体管提供全局关断电容。所述相位补偿电路可包括全局相位补偿电路，其配置为在所述射频衰减器电路处于全局衰减模式中时补偿所述全局关断电容。

[0007] 在一些实施例中，所述全局相位补偿电路可包括串联布置在所述输入节点和所述输出节点之间的第一全局补偿电阻和第二全局补偿电阻，以及实现在地与在第一全局补偿电阻和第二全局补偿电阻之间的节点之间的全局补偿电容。所述全局旁路开关晶体管的全局关断电容可导致相位超前变化，且所述全局相位补偿电路可配置为提供相位滞后变化来补偿所述相位超前变化。所述第一全局补偿电阻和第二全局补偿电阻可具有基本上相同的值。所述相位超前变化的量可计算为 $\phi = \tan^{-1}(2\omega R_{G1}C_{off}) - \tan^{-1}(\frac{2}{3}\omega R_{G1}C_{off})$ ，

且所述相位滞后变化的量可计算为 $\phi = -\tan^{-1}(\frac{2}{3}\omega R_{G1}C_G)$ ，其中 ω 为 2π 乘以频率， R_L 为负载阻抗， R_{G1} 为第一全局补偿电阻，以及 C_G 为全局补偿电容。可选择所述第一全局补偿电阻和所述全局补偿电容的值使得所述相位滞后变化的幅值与所述相位超前变化的幅值基本上相同。可选择所述全局补偿电容的值使得所述衰减器电路的全局增益在一选定频率范围

上为近似平坦的。

[0008] 在一些实施例中,所述全局补偿电容可配置为与所述全局旁路开关晶体管大体上相同地受到一个或多个工艺偏差的影响。所述全局补偿电容可配置为类晶体管器件。所述全局补偿电容的类晶体管器件和所述全局旁路开关晶体管中的每一个可实现为MOSFET器件。

[0009] 在一些实施例中,所述本地旁路路径可包括本地旁路开关晶体管,其配置为在处于本地旁路模式中时导通,且在处于本地衰减模式中时关断,使得在处于所述本地衰减模式中时所述本地旁路开关晶体管提供本地关断电容。所述相位补偿电路可包括本地相位补偿电路,其配置为在所述射频衰减器电路处于本地衰减模式中时补偿所述本地关断电容。

[0010] 在一些实施例中,所述衰减块可配置为pi衰减器,其具有本地电阻、实现在所述本地电阻的一端和地之间的第一分流路径、以及实现在所述本地电阻的一端和地之间的第二分流路径,其中所述第一分流路径和第二分流路径的每一个包括分流电阻。所述本地相位补偿电路可包括第一本地补偿电路和第二本地补偿电容,所述第一本地补偿电容布置为与所述第一分流电阻电并联,所述第二本地补偿电容布置为与所述第二分流电阻电并联。

[0011] 在一些实施例中,所述本地旁路开关晶体管的本地关断电容可导致相位超前变化,且所述本地相位补偿电路可配置为提供相位滞后变化来补偿所述相位超前变化。所述第一分流电阻和第二分流电阻可具有基本上相同的值,且所述第一本地补偿电容和第二本地补偿电容可具有基本上相同的值。所述相位超前变化的量可计算为

$$\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}(\omega (\frac{R_1 R_L}{R_1 + R_L}) C_{off}), \text{且所述相位滞后变化的量可计算为}$$

$\phi = -\tan^{-1}(\frac{\omega R_1 R'_2 C_C}{R_1 + R'_2})$, 其中 ω 为 2π 乘以频率, R_L 为负载阻抗, R_1 为本地电阻, 以及 C_C 为第一本地补偿电容, 以及 R'_2 为所述第一分流电阻和所述负载阻抗的并联布置的等效电阻。可选择所述第一本地补偿电容的值, 使得所述相位滞后变化的幅值和所述相位超前变化的幅值基本上相同。可选择所述本地补偿电容的值, 使得所述衰减块的本地增益在一选定频率范围内为近似平坦的。

[0012] 在一些实施例中,所述第一本地补偿电容和第二本地补偿电容的每一个可配置为与所述本地旁路开关晶体管大体上相同地受到一个或多个工艺偏差的影响。所述第一和第二本地补偿电容的每一个可配置为类晶体管器件。所述第一和第二本地补偿电容的类晶体管器件与所述本地旁路开关晶体管中的每一个可实现为MOSFET器件。

[0013] 在一些实施例中,所述一个或多个衰减块可包括具有二进制加权衰减值的多个衰减块。

[0014] 在一些教导中,本申请涉及一种具有射频电路的半导体晶片。所述半导体晶片包括:半导体衬底;以及实现在所述半导体衬底上的衰减器电路。所述衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个衰减块,其中每个衰减块包括本地旁路路径。所述衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述衰减器电路进一步包括相位补偿电路,其配置为补偿与所述全局旁路路径和所述一个或多个本地旁路路径中的至少一个相关联的关断电容效应。

[0015] 在多个实施方式中,本申请涉及一种射频模块,其包括:封装衬底,其配置为收纳

多个部件；以及射频衰减器电路，其实现在所述封装衬底上。所述衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个衰减块，其中每个衰减块包括本地旁路路径。所述衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述衰减器电路进一步包括相位补偿电路，其配置为补偿与所述全局旁路路径和所述一个或多个本地旁路路径中的至少一个相关联的关断电容效应。

[0016] 在一些实施例中，所述射频衰减器电路中的一些或全部可实现在半导体晶片上。在一些实施例中，基本上所述射频衰减器电路的全部可实现在所述半导体晶片上。

[0017] 在一些实施例中，所述射频模块可配置为对接收的射频信号进行处理。所述射频模块可为分集接收模块。

[0018] 在一些实施例中，所述射频模块可进一步包括控制器，所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。所述控制器可配置为提供例如移动产业处理器接口控制信号。

[0019] 根据一些实施方式，本申请涉及一种无线装置，其包括：天线，其配置为接收射频信号；收发器，其与所述天线通信；以及信号路径，其位于所述天线和所述收发器之间。所述无线装置进一步包括沿所述信号路径实现的射频衰减器电路。所述衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个衰减块，其中每个衰减块包括本地旁路路径。所述衰减器电路进一步包括实现在输入节点和输出节点之间的全局旁路路径。所述衰减器电路进一步包括相位补偿电路，其配置为补偿与所述全局旁路路径和所述一个或多个本地旁路路径中的至少一个相关联的关断电容效应。

[0020] 在一些实施例中，所述无线装置可进一步包括控制器，所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。所述控制器可配置为提供例如移动产业处理器接口控制信号。

[0021] 在一些实施方式中，本申请涉及一种信号衰减器电路，其包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块，其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在输入节点和输出节点之间的全局旁路路径。所述信号衰减器电路进一步包括全局相位补偿电路，其配置为补偿与所述全局旁路路径相关联的关断电容效应。

[0022] 在一些实施方式中，本申请涉及一种信号衰减器电路，其包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块，其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述信号衰减器电路进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0023] 根据一些实施方式，本申请涉及一种信号衰减器电路，其包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块，其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述信号衰减器电路进一步包括全局相位补偿电路，其配置为补偿与所述全局旁路路径相关联的关断电容效应。所述信号衰减器电路进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相

关联的关断电容效应。

[0024] 根据多个实施方式,本申请涉及一种半导体晶片,其包括:半导体衬底;以及实现在所述半导体衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所输入节点和输出节点之间的全局旁路路径。所述信号衰减器进一步包括全局相位补偿电路,其配置为补偿与所述全局旁路路径相关联的关断电容效应。

[0025] 根据多个实施方式,本申请涉及一种半导体晶片,其包括:半导体衬底;以及实现在所述半导体衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述信号衰减器进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0026] 根据多个实施方式,本申请涉及一种半导体晶片,其包括:半导体衬底;以及实现在所述半导体衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径、以及配置为补偿与所述全局旁路路径相关联的关断电容效应的全局相位补偿电路。所述信号衰减器电路进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0027] 在一些实施方式中,本申请涉及一种射频模块,其包括:配置为收纳多个部件的封装衬底;以及实现在所述封装衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在输入节点和输出节点之间的全局旁路路径。所述信号衰减器进一步包括全局相位补偿电路,其配置为补偿与所述全局旁路路径相关联的关断电容效应。

[0028] 在一些实施方式中,本申请涉及一种射频模块,其包括:配置为收纳多个部件的封装衬底;以及实现在所述封装衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述信号衰减器电路进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0029] 在一些实施方式中,本申请涉及一种射频模块,其包括:配置为收纳多个部件的封装衬底;以及实现在所述封装衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径、以及配置为补偿与所述全局旁路路径相关联的关断电容效应的全局相位补偿电路。所述信号衰减器电路进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地

相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0030] 在一些实施方式中,本申请涉及一种无线装置,其包括:天线,配置为接收射频信号;收发器,其与所述天线通信;信号路径,其位于所述天线和所述收发器之间。所述无线装置进一步包括沿着所述信号路径实现的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述信号衰减器进一步包括全局相位补偿电路,其配置为补偿与所述全局旁路路径相关联的关断电容效应。

[0031] 在一些实施方式中,本申请涉及一种无线装置,其包括:天线,配置为接收射频信号;收发器,其与所述天线通信;信号路径,其位于所述天线和所述收发器之间。所述无线装置进一步包括沿着所述信号路径实现的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径。所述信号衰减器电路进一步包括本地相位补偿电路,其与所述一个或多个本地衰减块中的至少一个相关联。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0032] 在一些实施方案中,本申请涉及一种无线装置,其包括:天线,配置为接收射频信号;收发器,其与所述天线通信;信号路径,其位于所述天线和所述收发器之间。所述无线装置进一步包括沿着所述信号路径实现的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的一个或多个本地衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在所述输入节点和输出节点之间的全局旁路路径,以及配置为补偿与所述全局旁路路径相关联的关断电容效应的全局相位补偿电路。所述信号衰减器电路进一步包括与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0033] 为概述本公开的目的,本文已描述本发明的某些方面、优点以及新颖特征。应理解,不必根据本发明的任何特定实施例而实现所有这些优点。因此,可以实现或优化如本文所教导的一个优点或一组优点而不必实现如本文所教导的其它优点的方式来体现或实施本发明。

附图说明

[0034] 图1示出了配置为在输入节点处接收信号并在输出节点处产生衰减信号的衰减器电路。

[0035] 图2显示了具有旁路路径、全局相位补偿电路、以及本地相位补偿电路的衰减电路的框图。

[0036] 图3显示了可为图2的衰减电路的更具体示例的衰减电路。

[0037] 图4显示了可表示图3的三个示例衰减块中的每个的单个本地衰减块。

[0038] 图5显示了图4的示例衰减块的电路图,其中各种开关晶体管表示为关断电容或导

通电阻。

- [0039] 图6显示了类似于图3的示例但是本地衰减块一起共同示出的衰减电路。
- [0040] 图7显示了图6的全局旁路路径和全局相位补偿电路的电路图。
- [0041] 图8显示了与图5的电路图类似的电路图。
- [0042] 图9显示了工艺偏差如何可影响衰减器电路中的相位变化以及如何可补偿这些相位变化的示例。
- [0043] 图10显示了用于图3的衰减电路的全局旁路操作模式的示例。
- [0044] 图11显示了用于图3的衰减电路的衰减操作模式的示例,其中由第一衰减块提供衰减,并且旁路第二和第三衰减块中的每一个。
- [0045] 图12显示了用于图3的衰减电路的衰减操作模式的另一示例,其中由第二和第三衰减块提供衰减,并且旁路第一衰减块。
- [0046] 图13显示了在一些实施例中,全局旁路开关晶体管可具有宽度和长度尺寸,且对于一给定长度,全局旁路开关晶体管(当导通时)处的插入损耗通常在数量宽度增加时减小。
- [0047] 图14显示了当全局旁路开关晶体管的尺寸增加时,衰减电路的失配水平可从某个均匀水平显著地变化。
- [0048] 图15显示了随晶体管尺寸增加衰减水平从一期望水平减小的曲线图。
- [0049] 图16显示了在一些实施例中,对于更高频率,随晶体管尺寸增加衰减水平很快从期望水平减小。
- [0050] 图17A显示了包括本地补偿电容的本地补偿路径。
- [0051] 图17B显示了在一些实施例中,图17A的电容可实现为配置为提供期望电容值的晶体管装置。
- [0052] 图18显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路可由控制器控制。
- [0053] 图19显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路的一些或全部可实现在半导体晶片上。
- [0054] 图20显示了一示例,其中具有本文所述的一个或多个特征的衰减电路的一些或全部可实现在封装模块上,且此封装模块可包括类似于图19的示例的半导体晶片。
- [0055] 图21显示了另一示例,其中具有本文所述的一个或多个特征的衰减电路的一些或全部可实现在封装模块上,且此封装模块可包括多个半导体晶片。
- [0056] 图22显示了具有本文所述的一个或多个特征的衰减器如何可实现在射频系统中的非限制性示例。
- [0057] 图23显示了分集接收模块的示例,其包括具有本文所述的一个或多个特征的衰减器。
- [0058] 图24示出了具有本文所述的一个或多个有利特征的示例无线装置。

具体实施方式

- [0059] 本文提供的标题(若有)仅为方便起见而不一定影响本发明的范围或含义。
- [0060] 本文公开了可用于例如射频(RF)应用的衰减器相关的电路、装置及方法的各种示

例。虽然本文是以RF应用为背景描述了各种示例,但应理解,与衰减器相关的这些电路、装置及方法可用于其它电子应用中。

[0061] 图1示出了衰减器电路100,其配置为在输入节点(IN)处接收RF信号并且在输出节点(OUT)处产生衰减RF信号。此衰减器电路可包括本文所述的一个或多个特征以提供期望功能性,诸如相移补偿、增益补偿和低损耗旁路能力。如本文所述,此相位补偿可提供例如由衰减块和/或衰减器电路本身引起的近似零相移。还如本文所述,此增益补偿可在一频率范围内提供例如近似平坦增益。

[0062] 注意,当输入信号通过衰减器时,通常不期望相位变化和增益斜率,因为这些效应可导致通信链路中的性能下降。在一些实施例中,图1的衰减电路100可包括用于解决相位变化问题的全局补偿方案和/或本地补偿方案。如本文所述,这些补偿方案可配置为解决此类相位变化的来源。还如本文所述,这些补偿方案还可在一相对宽频率范围内提供近似平坦增益。另外如本文所述,这些补偿方案还可提供具有相对较低损耗的旁路路径,这对于在某些情形下(例如,当不使用衰减路径时)将信号衰减保持为最小是所期望的。

[0063] 出于描述目的,衰减电路也可被称为衰减器组件或简称为衰减器。此衰减电路、衰减器组件、衰减器等的描述可应用于一个或多个衰减块(本文中也称为本地衰减)、整体衰减电路(本文中也称为全局衰减)或其任何组合。

[0064] 图2显示了衰减电路100的框图,该衰减电路配置为在输入节点(IN)处接收RF信号并在输出节点(OUT)处提供输出RF信号。此输出RF信号可被衰减一个或多个衰减值,或当不期望衰减时与输入RF信号基本上相同(例如,通过旁路功能性)。本文中更详细地描述如何可实现这些衰减值和旁路功能性的示例。本文还描述了如何可以以一本地衰减水平、以一全局水平或其任意组合来实现相位补偿的示例。

[0065] 在图2的示例中,衰减电路100的输入节点(IN)和输出节点(OUT)可通过一个或多个衰减块102a、102b、102c或通过旁路路径106而耦接。为了实现前者,可将两个开关S1、S2的每一个闭合,并可适当地配置旁路路径106。为了实现后者,可将两个开关S1、S2的每一个断开,并可适当地配置旁路路径106。本文中更详细地描述了这些衰减块和旁路路径的示例。

[0066] 在图2的示例中以及在其它图示中,衰减路径被描述为具有三个示例衰减块A、B和C。然而,应当理解,本申请的一个或多个特征也可实现在具有更多或更少数量的衰减块的衰减电路中。还应理解,具有本文所述的一个或多个特征的衰减电路可相反地操作。

[0067] 参见图2,显示了第一示例衰减块102a以提供A dB衰减。类似地,显示了第二和第三衰减块102b、102c以分别提供B dB衰减和C dB衰减。因此,可利用这样的多个衰减块来实现多个总衰减值(例如,A dB、B dB、C dB、A+B dB、A+C dB、B+C dB、A+B+C dB)。

[0068] 在图2的示例中,衰减块102a、102b、102c中的每一个显示为包括相应的本地相位补偿电路(104a、104b或104c)。本文中更详细地描述与这样的本地相位补偿电路有关的示例。在图2的示例中,所有的衰减块显示为具有相应的本地相位补偿电路。然而,应当理解,在一些实施例中,一个或多个衰减块可以具有或可以不具有这样的(多个)本地相位补偿电路。

[0069] 在图2的示例中,衰减电路100还显示为包括全局相位补偿电路108。此全局相位补偿电路可实现在衰减块(102a、102b、102c)之前的节点(110)和衰减块(102a、102b、102c)之

后的节点(112)之间。本文中更详细地描述了与这样的全局相位补偿电路有关的示例。

[0070] 在一些实施例中,具有本文所述的一个或多个特征的衰减块(例如,图2的102a、102b、102c)可以以二进制加权配置来实现。与这样的二进制加权配置有关的示例在标题为“具有补偿电路的二进制加权衰减器”(BINARY-WEIGHTED ATTENUATOR HAVING COMPENSATION CIRCUIT)的美国专利申请第15/687,476号中进行描述,该申请与本申请在同一日期提交,且特此以引用方式全部并入本文中,且被认为是本申请的说明书的一部分。

[0071] 图3显示了可为图2的衰减电路100的更具体示例的衰减电路100。在图3的示例中,开关S1和S2可被实现为例如场效应晶体管(FET)。因此,S1可实现在输入节点(IN)和第一节点110之间,且S2可实现在输出节点(OUT)和第二节点112之间。

[0072] 在图3的示例中,三个衰减块102a、102b、102c中的每一个显示为包括pi衰减器配置以及本地旁路路径(105a、105b或105c)。例如,第一衰减块102a显示为包括以pi配置进行布置的电阻R_{1A}、R_{2A}、R_{3A}。电阻R_{1A}显示为实现在第一衰减块102a的输入节点和输出节点之间。电阻R_{2A}显示为实现在输入节点和地之间;类似地,电阻R_{3A}显示为实现在输出节点和地之间。

[0073] 在图3的第一衰减块102a的pi配置中,开关FET M_{2A}可被提供在输入节点和电阻R_{2A}的一端之间,其中电阻R_{2A}的另一端耦接至地。类似地,开关FET M_{3A}可被提供在输出节点和电阻R_{3A}的一端之间,其中电阻R_{3A}的另一端耦接至地。当第一衰减块102a启用衰减时,这些开关FET(M_{2A}和M_{3A})可被导通,且当通过本地旁路路径105旁路衰减时,该开关FET(M_{2A}和M_{3A})可被关断。此本地旁路路径(105a)可包括例如开关FET M_{1A},当第一衰减块102a启用衰减时,该开关FET M_{1A}可被关断,且当通过本地旁路路径105a旁路衰减时,该开关FET M_{1A}可被导通。

[0074] 在图3的第一衰减块102a的pi配置中,可提供电容C_{2A}以与电阻R_{2A}电并联。类似地,可提供电容C_{3A}以与电阻R_{3A}电并联。如本文所述,可选择这样的电容来补偿当RF信号通过衰减块时发生的相移。还如本文所述,这样的电容还可允许衰减块在一相对宽频率范围上提供期望的平坦增益分布。

[0075] 在图3的示例中,第二衰减块102b显示为包括以pi配置布置的电阻R_{1B}、R_{2B}、R_{3B}。电阻R_{1B}显示为实现在第二衰减块102b的输入节点和输出节点之间。电阻R_{2B}显示为实现在输入节点和地之间;类似地,电阻R_{3B}显示为实现在输出节点和地之间。

[0076] 在图3的第二衰减块102b的pi配置中,开关FET M_{2B}可被提供在输入节点和电阻R_{2B}的一端之间,其中电阻R_{2B}的另一端耦接至地。类似地,开关FET M_{3B}可被提供在输出节点和电阻R_{3B}的一端之间,其中电阻R_{3B}的另一端耦接至地。当第一衰减块102b启用衰减时,这样的开关FET(M_{2B}和M_{3B})可被导通,且当通过本地旁路路径105b旁路衰减时,该开关FET(M_{2B}和M_{3B})可被关断。这样的本地旁路路径(105b)可包括例如开关FET M_{1B},当第二衰减块102b启用衰减时,该开关FET M_{1B}可被关断,且当通过本地旁路路径105b旁路衰减时,该开关FET M_{1B}可被导通。

[0077] 在图3的第二衰减块102b的pi配置中,可提供电容C_{2B}以与电阻R_{2B}电并联。类似地,可提供电容C_{3B}以与电阻R_{3B}电并联。如本文所述,可选择这样的电容来补偿当RF信号通过衰减块时发生的相移。还如本文所述,这样的电容还可允许衰减块在一相对宽频率范围上提供期望平坦增益分布。

[0078] 在图3的示例中,第三衰减块102c显示为包括以pi配置布置的电阻R_{1c}、R_{2c}、R_{3c}。电阻R_{1c}显示为实现在第三衰减块102c的输入节点和输出节点之间。电阻R_{2c}显示为实现在输入节点和地之间;类似地,电阻R_{3c}显示为实现在输出节点和地之间。

[0079] 在图3的第三衰减块102c的pi配置中,开关FET M_{2c}可被提供在输入节点和电阻R_{2c}的一端之间,其中电阻R_{2c}的另一端耦接至地。类似地,开关FET M_{3c}可被提供在输出节点和电阻R_{3c}的一端之间,其中电阻R_{3c}的另一端耦接至地。当第三衰减块102c启用衰减时,这样的开关FET (M_{2c}和M_{3c}) 可被导通,且当通过本地旁路路径105c旁路衰减时,该开关FET (M_{2c}和M_{3c}) 可被关断。这样的本地旁路路径(105c) 可包括例如开关FET M_{1c},当第三衰减块102c启用衰减时,该开关FET M_{1c}可被关断,且当通过本地旁路路径105c旁路衰减时,该开关FET M_{1c}可被导通。

[0080] 在图3的第三衰减块102c的pi配置中,可提供电阻C_{2c}以与电阻R_{2c}电并联。类似地,可提供电容C_{3c}以与电阻R_{3c}电并联。如本文所述,可选择这样的电容来补偿当RF信号通过衰减块时发生的相移。还如本文所述,这样的电容还可允许衰减块在一相对较宽频率范围上提供期望平坦增益分布。

[0081] 在衰减块102a、102b、102c的每一个中,与相应的电阻R₂和R₃并联的电容C₂和C₃的存在允许如本文所述的相位补偿。还如本文所述,这样的相位补偿还可取决于电阻R₂和R₃的值,以及开关晶体管M₂和M₃的导通电阻值(Ron)。因此,应当理解,被指示为104a、104b或104c的框包括相应的本地相位补偿电路中的电路元件的一些或全部,或包括可影响此本地相位补偿的电路元件的一些或全部。

[0082] 在图3的示例中,可在输入节点(IN) 和输出节点(OUT) 之间提供旁路路径106,以允许RF信号旁路前述衰减块(102a、102b、102c)。优选地,此旁路路径还旁路开关S₁和S₂以免引起可能与这些开关相关联的任何损耗。

[0083] 在一些实施例中,旁路路径106可包括实现为在期望旁路衰减块(102a、102b、102c)时导通的开关FET S_{Bypass}。在此状态中,开关S₁和S₂中的每一个可被关断。当期望通过一个或多个衰减块进行衰减时,开关FET S_{Bypass}可被关断。在此状态中,开关S₁和S₂中的每一个可被导通。

[0084] 在图3的示例中,可提供全局相位补偿电路108以补偿可由前述旁通电路106引起的相移。例如,当开关FET S_{Bypass}处于关断状态(处于衰减模式中),存在一关断电容值Coff;且此Coff可导致衰减中的RF信号中产生相移。

[0085] 在一些实施例中,全局相位补偿电路108可包括实现在第一节点110和第二节点112之间的第一电阻R_{G1}和R_{G2}。进一步,可在接地和R_{G1}与R_{G2}之间的一节点之间提供电容C_G。本文中更详细地描述了可如何选择此电阻值和电容值以提供期望的相位补偿的示例。

[0086] 在图3的示例中,各种开关FET的一些或全部可被实现为例如绝缘体上硅(SOI)装置。应当理解,虽然这些各种开关FET被描绘为NFET,本申请的一个或多个特征也可利用其它类型的FET来实现。还应理解,图3的示例中的各种开关还可实现为包括非FET晶体管的其它类型的晶体管。

[0087] 图4和5显示了可如何针对一给定本地衰减块102实现相位补偿的示例。图6和7显示了可如何实现全局相位补偿的示例。

[0088] 图4显示了本地衰减块102,且此衰减块可表示图3的三个示例衰减块102a、102b、

102c中的每一个。因此,衰减块102的各种元件的参考标记没有显示下标。

[0089] 在图4的示例中,本地衰减块102处于其衰减模式中,使得在本地输入节点(IN)处接收的RF信号被衰减且在本地输出节点(OUT)处提供该RF信号。因此,本地旁路路径105的本地旁路开关FET M1为关断,且电路104的开关FET M2和M3的每一个为导通。

[0090] 图5显示了图4的示例衰减块102的电路图120,其中各种开关FET被表示为关断电容或导通电阻。例如,M1的关断状态被表示为关断电容Coff,且M2和M3的每一个的导通状态被表示为导通电阻Ron。出于描述目的,假设图4的pi衰减器配置基本上是对称的。因此,M2可类似于M3,使得M2的Ron与M3的Ron近似相同;因此,图5将M2和M3的每一个描绘为Ron。类似地,假设图4的电阻R2和R3近似相同;因此,图5将R2和R3的每一个描绘为具有电阻R2。类似地,假设图4的电容C2和C3近似相同;因此,图5将C2和C3的每一个描绘为具有补偿电容Cc。

[0091] 在图5中,电路图120显示为在本地输入(IN)处具有源阻抗(source impedance)Rs且在本地输出(OUT)处具有负载阻抗RL。这些阻抗值可相同或可不相同。然而,出于描述目的,假设Rs和RL的值在一特征阻抗Z0(例如,50Ω)下是相同的。

[0092] 利用上述假设,图5示例中的R1和R2的值可通过如下公式获得:

$$[0093] R_1 = \frac{Z_0}{2} \cdot \frac{K - 1}{K + 1} \quad (1)$$

$$[0094] R_2 = Z_0 \cdot \frac{K + 1}{K - 1} \quad (2)$$

[0095] 在式1及2中,参数K表示衰减块120的衰减值。应注意,随着衰减变大,R1通常增加,且R2通常减小。

[0096] 参考图5,且假设M2和M3的每一个的导通电阻Ron近似为零,衰减块120的一部分(被标示为网络1)可贡献于衰减块120的前向增益和相移(例如,相位超前)为:

$$[0097] \frac{V_{out}}{V_{in}} = \frac{R_L(1 + sR_1C_{off})}{(R_L + R_1) + sR_LR_1C_{off}} \quad (3)$$

$$[0098] \emptyset = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}\left(\omega \left(\frac{R_1 R_L}{R_1 + R_L}\right) C_{off}\right) \quad (4)$$

[0099] 在图5中,衰减块120的一部分(被标示为网络2)可贡献于衰减块120的前向增益和相移(例如,相位滞后)为:

$$[0100] \frac{V_{out}}{V_{in}} = \frac{R'_2}{(R'_2 + R_1) + sR'_2R_1C_C} \quad (5)$$

$$[0101] \emptyset = -\tan^{-1}\left(\frac{\omega R_1 R'_2 C_C}{R_1 + R'_2}\right) \quad (6)$$

[0102] 在式3-6中,ω=2πf,其中f为频率,且R'_2为R2和RL的并联布置的电阻值。

[0103] 参考图4和5以及式4和6,应注意,通常针对一给定频率、特征阻抗、开关FET配置和衰减值而设定参数ω、RL、Coff、R1和R2。然而,在一些实施例中,可调整补偿电容Cc的值,使得式6的相位滞后补偿式4的相位超前。此相位补偿可允许与图4和5的衰减块102/120相关

联的相位处于或接近一期望值。例如,与衰减块102/120相关联的补偿相位可具有与参考模式中基本上相同的相位变化。

[0104] 参考图4和5,注意到因为Coff与R1并联布置,其阻抗 $1/(j\omega C_{off})$ 将使得输入节点和输出节点之间的等效串联阻抗随着频率增加而变小,从而导致在较高频率下具有更小衰减。相反,较高衰减可产生在较低频率下。

[0105] 还应注意,补充电容Cc布置为与对应分流电阻R2并联。因此,补偿电容Cc的阻抗 $(1/(j\omega C_c))$ 将使分流臂的等效阻抗变得更小,从而导致衰减块有更多衰减。因此,在一些实施例中,可选择补偿电容Cc以补偿Coff对增益的影响,且由此在一宽频率范围内实现衰减块的期望增益分布(例如,近似平坦分布)。在一些实施例中,可选择补偿电容Cc以补偿Coff对增益的影响,且由此在一宽频率范围内实现衰减块的期望增益分布(例如,近似平坦分布)。在一些实施例中,可选择补偿电容Cc以提供本文所述的至少一些相位补偿,以及为衰减块提供本文所述的至少一些增益补偿。

[0106] 图6显示了类似于图3的示例但是为了简单起见将各个本地衰减块集体地标示为102的衰减电路。旁路路径106和全局相位补偿电路108与图3示例中基本上相同。

[0107] 在图6的示例中,衰减电路可处于其衰减模式中,使得在全局输入节点(IN)处接收的RF信号被衰减且在全局输出节点(OUT)处提供该RF信号。在此衰减模式中,旁路路径106的全局旁路开关FET S_{Bypass} 可关断以提供Coff的全局关断电容。

[0108] 图7显示了图6的全局旁路路径106和全局相位补偿电路108的电路图130。出于描述目的,假设全局相位补偿电路108的电阻 R_{G1} 和 R_{G2} 基本上相同。

[0109] 在图7中,电路图130显示为在全局输入(IN)处具有源阻抗 R_s 且在全局输出(OUT)处具有负载阻抗 RL 。这些阻抗值可相同或可不相同。然而,出于描述目的,假设 R_s 和 RL 的值在特征阻抗 Z_0 (例如, 50Ω)下是相同的。此外,假设电阻 R_{G1} (且因此在前述假设中的 R_{G2})也具有 50Ω 的值。

[0110] 利用前述假设,电路130的一部分(被标示为网络1)可贡献于电路130的前向增益和相移(例如,相位超前)为:

$$[0111] \frac{V_{out}}{V_{in}} = \frac{1 + 2sR_{G1}C_{off}}{3 + 2sR_{G1}C_{off}} \quad (7)$$

$$[0112] \emptyset = \tan^{-1}(2\omega R_{G1}C_{off}) - \tan^{-1}\left(\frac{2}{3}\omega R_{G1}C_{off}\right) \quad (8)$$

[0113] 在图7中,电路130的一部分(被标示为网络2)可贡献于电路130的前向增益和相移(例如,相位滞后)为:

$$[0114] \frac{V_{out}}{V_{in}} = \frac{1}{3 + 2sR_{G1}C_G} \quad (9)$$

$$[0115] \emptyset = -\tan^{-1}\left(\frac{2}{3}\omega R_{G1}C_G\right) \quad (10)$$

[0116] 参考图6和7以及式8和10,应注意,通常针对一给定频率、特征阻抗和全局旁路开关FET(S_{Bypass})配置而设定参数 ω 、 R_L 和 C_{off} 。然而,在一些实施例中,可调整全局补偿电阻 R_{G1} 和补偿电容 C_G 的值的任一个或两者,使得式10的相位滞后后来补偿式8的相位超前。此相位补

偿可允许与图6和7的电路130相关联的相位处于或接近一期望值。

[0117] 参考图6和7,注意到因为 C_{off} 与 $2R_{G1}$ 并联布置,所以其阻抗 $1/(j\omega C_{\text{off}})$ 将使得输入节点和输出节点之间的等效串联阻抗随着频率增加而变小,从而导致在较高频率下有更小衰减。相反,较高衰减可产生在较低频率下。

[0118] 还应注意,全局补偿电容 C_G 本身是一分流电容。因此,全局补偿电容 C_G 的阻抗 $1/(j\omega C_G)$ 将使分流臂的等效阻抗变得更小,从而导致全局衰减电路有更多衰减。因此,在一些实施例中,可选择全局补偿电容 C_G 以补偿 C_{off} 对增益的影响,且由此在一宽频率范围上实现全局衰减电路的期望增益分布(例如,近似平坦分布)。在一些实施例中,可选择全局补偿电容 C_G 以提供本文所述的至少一些相位补偿,以及为全局衰减电路提供本文所述的至少一些增益补偿。

[0119] 在一些实施例中,具有本文所述的一个或多个特征的相位补偿电路可配置为应对工艺偏差。作为示例,图8显示了类似于图5的电路图120(其对应于图4的示例衰减块102)的电路图120。如本文所述,旁路电容的关断电容(C_{off})导致可由补偿电容 C_c 补偿的一相位变化。图8的示例中的关断电容(C_{off})起因于旁路开关晶体管的关断状态,该旁路开关晶体管可能带有工艺偏差(例如,在晶圆上一起制造的多个这些器件之间)。因此,旁路开关晶体管的一个或多个电性质,包括 C_{off} ,可由于此工艺偏差而变化。因此,归因于此 C_{off} 的相位变化(例如,如式4或8中)也可改变。

[0120] 图8显示了在相位补偿电路中可应对 C_{off} 中的这些工艺偏差及其相关效应。例如,分流臂中的补偿电容 C_c 可配置为受到类似于旁路开关晶体管(C_{off})的工艺偏差的影响。在一些实施例中,这些补偿电容 C_c 可配置为晶体管或类晶体管器件,使得影响旁路开关晶体管(C_{off})的任何工艺偏差也影响补偿电容 C_c 。例如,如果具有 C_{off} 属性的旁路开关晶体管实现为MOSFET器件,则补偿电容 C_c 中的每一个可实现为MOSFET或类MOSFET器件。因此,旁路开关MOSFET中的任何工艺相关偏差也影响补偿电容 C_c 的MOSFET器件,由此基本上消除或减小补偿电容 C_c 对工艺偏差的依赖性(例如,对在旁路开关MOSFET中显现的工艺偏差的依赖性)。

[0121] 在图8中,旁路开关MOSFET(C_{off})和MOSFET器件之间的上述共同工艺偏差被共同描绘为124。还可实现各种电阻之间的这些共同工艺偏差。例如,电阻R1、R2(共同描绘为122)可实现为带有相同工艺偏差的相同类型的电阻元件。

[0122] 在图8的示例中,在单个衰减块及其旁路路径的场景下描述了电路图120及相关工艺偏差。应当理解,通常与工艺偏差无关的此相位补偿还可实现在全局旁路路径及对应的全局相位补偿电路中。

[0123] 图9显示了工艺偏差可如何影响衰减器电路中的相位变化以及可如何补偿这些相位变化的示例。在图9中,对于起因于三个不同的工艺极限(process corner)FF、TT、SS的三个不同示例RC值,描绘了作为频率的函数的相位超前(例如,如式4中)。

[0124] 如本文所述,此相位超前通常取决于电阻和电容的一些组合(例如,RC)。因此,且如参考图8所述,消除或减小一给定旁路电路及对应的相位补偿电路之间的电容和电阻的工艺依赖性可允许所得相位补偿更有效。在图9的示例中,消除或减小工艺依赖性可允许呈相位滞后(虚线)形式的所得相位补偿相对于频率轴而与对应的相位超前更对称。在一些实施例中,归因于旁路路径的一给定相位超前和归因于补偿电路而得到的相位滞后可为基本

上对称的,使得净相位变化在一频率范围内近似为零。例如,FF相位超前和FF相位滞后可基本上关于频率轴对称,使得净相位变化在一频率范围内近似为零。在另一示例中,TT相位超前(其不同于归因于工艺偏差的FF相位超前)可由TT相位滞后来补偿,以在一频率范围上提供基本上为零的相位变化。

[0125] 图10-12显示了可针对图3的衰减电路100实现的不同操作模式的示例。在图10中,衰减电路100显示为处于全局旁路模式中,在该模式中全局旁路开关 S_{Bypass} 导通,且开关S1和S2的每一个关断。因此,RF信号显示为如路径140所指示的来路由。在此模式中,RF信号通常不受Coff电容影响;因此,通常不会发生非期望的相移。

[0126] 在图11中,衰减电路100显示为处于衰减模式中,在该模式中由第一衰减块提供A dB衰减,且旁路第二衰减块和第三衰减块中的每一个。因此,全局旁路开关FET S_{Bypass} 为关断,且开关S1和S2的每一个为导通。进一步,第一本地旁路开关FET $M1_A$ 为关断,且分流臂开关FET $M2_A$ 、 $M3_A$ 的每一个为导通,而第二本地旁路开关FET $M1_B$ 和第三本地旁路开关FET $M1_C$ 的每一个为导通。

[0127] 在此模式中,全局旁路开关FET S_{Bypass} 呈现一全局Coff,且导致的全局相移可如本文所述地由全局相位补偿电路108补偿。在本地层级,第一本地旁路开关FET $M1_A$ 呈现一本本地Coff,且产生的本地相位可如本文所述地由通常标示为104a的本地相位补偿电路进行补偿。

[0128] 在图12中,衰减电路100显示为处于衰减模式中,在该模式中由第二和第三衰减块提供B+C dB衰减,且旁路第一衰减块。因此,全局旁路开关FET S_{Bypass} 为关断,且开关S1和S2的每一个为导通。进一步,第二本地旁路开关FET $M1_B$ 和第三本地旁路开关FET $M1_C$ 的每一个为关断,且分流臂开关FET $M2_B$ 、 $M3_B$ 、 $M2_C$ 、 $M3_C$ 的每一个为导通,而第一本地旁路开关FET $M1_A$ 为导通。

[0129] 在此模式中,全局旁路开关FET S_{Bypass} 呈现一全局Coff,且产生的全局相移可如本文所述地由全局相位补偿电路108补偿。在本地层级,第一本地旁路开关FET $M1_B$ 和第二本地旁路开关FET $M1_C$ 的每一个呈现一相应本地Coff,且产生的本地相移可如本文所述地由通常被标示为104b或104c的相应本地相位补偿电路进行补偿。

[0130] 图13-16显示了如本文所述(例如,图3和10-12)的全局旁路开关FET (S_{Bypass})可如何配置为在处于全局旁路模式和处于衰减模式中时提供期望性能的示例。例如,图13显示了在一些实施例中,全局旁路开关FET (S_{Bypass})可具有宽度(W)和长度(L)尺寸,且对于一给定L,全局旁路开关(当导通时)处的插入损耗通常在数量W/L增加时减小(如曲线图150所示)。因此,如果在全局旁路模式期间希望有低插入损耗,则全局旁路开关FET可相对较大。例如,在一些实施例中,全局旁路开关FET的宽度W可大到约为1至2mm。

[0131] 在一些实施例中,全局旁路开关FET可为一相对较大器件,且因此当处于关断状态(例如,在衰减模式中)时,可提供一相对大的寄生电容。若不进行补偿,则此寄生电容可能会产生一些不期望的影响。

[0132] 例如,图14显示了当全局旁路开关晶体管FET的大小(例如,对于一给定L,该大小为W/L)增加时,衰减电路(例如,图3中的100)的失配水平可自某个均匀水平显著地变化。在图14的示例中,与均匀水平的偏差由曲线152描绘。

[0133] 如本文所述,旁路补偿电容 C_g (例如,图3中)的使用也可提供更均匀的失配水平,

如曲线154所示。随着全局旁路开关FET变大,对失配的这个补偿显示为更显著。

[0134] 基于图13和14的示例,可看出,在具有本文所述的一个或多个特征的衰减电路中,诸如全局旁路开关FET的旁路开关FET可实现为相对较大以减少插入损耗。由于使用这样大的FET,可由诸如全局相位补偿电路的相位补偿电路来补偿任何增加的失配水平。

[0135] 如本文所述,诸如图3的示例的衰减电路可为相位变化以及增益变化提供补偿。在一些实施例中,此增益变化可至少部分地归因于全局旁路开关FET(S_{Bypass})的寄生电容。换言之,由衰减电路(当处于衰减模式中时)提供的衰减水平可随着大小(例如,对于一给定L,该大小为W/L)变化而自一期望水平产生变化。

[0136] 例如,图5显示了当FET大小(W/L)增加时自一期望水平减小的衰减水平的曲线图156。当衰减电路在没有全局旁路补偿的情况下操作时,通常发生此效应。当衰减电路包括本文所述的全局旁路补偿电路时,随着FET大小(W/L)增加,由衰减电路提供的衰减保持显著地更均匀。

[0137] 应注意,由于上述衰减效应至少部分地归因于全局旁路开关FET的关断状态电容,此衰减效应也随着被衰减的信号的频率而变化。图16显示了在一些实施例中,对于更高的频率,当FET大小增加时衰减水平可以更快地自一期望水平减小。假设操作频率f1、f2、f3和f4具有值使得 $f_1 < f_2 < f_3 < f_4$ 。在此情形下,且如160所指示,随着FET大小增加,最大频率(f4)信号将首先开始偏离。随着FET大小增加,下一个最大频率(f3)将开始偏离。类似地,随着FET大小增加,第三最大频率(f2)、随后是最小频率(f1),将开始偏离。

[0138] 因此,在一些实施例中,且如图16的示例所示,当衰减电路用如本文所述的全局旁路衰减电路操作时,对于一宽范围的操作频率,衰减水平可保持显著地更均匀。在一频率范围和一FET大小范围上的此近似均匀的衰减水平被描绘为曲线图162。

[0139] 如本文所述,本地补偿电路(例如,图3中的104a、104b、104c)可包括本地补偿电容(例如,图3中的C2_A、C3_A、C2_B、C3_B、C2_C、C3_C和图8中的Cc)。图17A显示了包括此本地补偿电容(被指示为C2)的本地补偿路径170。此本地补偿路径还显示为具有与C2并联的电阻R2。

[0140] 图17B显示了在一些实施例中,图17A的电容C2可实现为FET器件172(例如,MOSFET器件),该FET器件配置为提供一期望电容值C2。例如,FET器件172的源极和漏极可连接到电阻R2的两端,且FET器件172的栅极可在没有栅极偏压的情况下接地,使得FET器件172用作类似于图17A的C2的电容。

[0141] 当如17B的示例中一样实现本地补偿电容时,可实现多个期望特征。例如,本地补偿电容元件可基本上与各种FET(例如,图3中的本地旁路FET M1_A、M1_B、M1_C)制造在一起。在另一示例中,且假定上述制造工艺通用性,用作电容的FET器件172受到与影响其它FET(包括本地旁路FET M1_A、M1_B、M1_C)的基本上相同的工艺偏差的影响。因此,可在例如FET器件172和其它FET之间实现工艺独立性。

[0142] 图18显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路100(例如,诸如图2的衰减电路100)可由控制器180控制。此控制器可提供各种控制信号,以用于例如操作各种开关以实现旁路模式(例如,如图10中)或提供各种衰减模式(例如,如图11和12中)。在一些实施例中,控制器180可配置为包括MPI(移动产业处理器接口)功能性。

[0143] 图19显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路100的一些或全部可实现在半导体晶片200上。此晶片可包括衬底202,且相位/增益补偿电路204

的至少一些(例如,图3的全局相位补偿电路108和本地相位补偿电路104a、104b、104c的任一个或两者)可实现在衬底202上。例如,全局补偿电容C₆和本地补偿电容C_{2A}、C_{3A}、C_{2B}、C_{3B}、C_{2C}、C_{3C}的一些或全部可实现为晶片上电容器(on-die capacitor)。

[0144] 图20和21显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路100的一些或全部可实现在封装模块300上。此模块可包括封装衬底302,其配置为收纳多个部件,诸如一个或多个晶片以及一个或多个无源部件。

[0145] 图20显示了在一些实施例中,封装模块300可包括类似于图19的示例的半导体晶片200。因此,此晶片可包括衰减电路100的一些或全部,其中相位/增益补偿电路204的至少一些(例如,图3的全局相位补偿电路108和本地相位补偿电路104a、104b、104c的任一个或两者)实现在晶片200上。

[0146] 图21显示了在一些实施例中,封装模块300可包括具有衰减电路100的一些的第一半导体晶片210,而衰减电路100的剩余部分实现在另一晶片212上、在晶片外部(例如,在封装衬底302上)或其任意组合。在此配置中,相位/增益补偿电路204的一些(例如,图3的全局相位补偿电路108和本地相位补偿电路104a、104b、104c的任一个或两者)可实现在第一晶片210上,且相位/增益补偿电路204的剩余部分可实现在另一晶片212上、在晶片外部(例如,在封装衬底302上)或其任意组合。

[0147] 图22显示了如何可在RF系统400中实现具有本文所述的一个或多个特征的衰减器的非限制性示例。此RF系统可包括配置为促使RF信号接收和/或发射的天线402。在接收情况下,由天线402接收的RF信号可(例如,由带通滤波器410)滤波,且在由低噪声放大器(LNA)412放大之前通过衰减器100。此LNA放大的RF信号可滤波(例如,由带通滤波器414)、通过衰减器100,并被路由至混频器440。混频器440可用振荡器(未显示)操作以产生一中频(IF)信号。此IF信号可滤波(例如,由带通滤波器442),通过衰减器100,且之后被路由至中频(IF)放大器416。沿着接收路径的前述衰减器100的一些或全部可包括本文所述的一个或多个特征。

[0148] 在发射情况下,IF信号可被提供给IF放大器420。IF放大器420的输出可滤波(例如,由带通滤波器444),且在被路由至混频器446之前通过衰减器100。混频器446可用振荡器(未显示)操作以产生RF信号。此RF信号可滤波(例如,由带通滤波器422),通过衰减器100,且之后被路由至功率放大器(PA)424。被PA放大的RF信号可通过衰减器100和滤波器(例如,带通滤波器426)被路由至天线402以进行发射。沿着发射路径的前述衰减器100的一些或全部可包括本文所述的一个或多个特征。

[0149] 在一些实施例中,与RF系统400相关联的各种操作可由系统控制器430控制和/或促成。此系统控制器可包括例如处理器432以及诸如非瞬态计算机可读介质(CRM)434的存储介质。在一些实施例中,与RF系统400中的一个或多个衰减器100的操作相关联的至少一些控制功能性可由系统控制器430执行。

[0150] 在一些实施例中,具有本文所述的一个或多个特征的衰减电路可沿着接收(Rx)链路实现。例如,可实现分集接收(DRx)模块,使得可在分集天线附近实现对接收信号的处理。图23显示了此DRx模块的示例。

[0151] 在图23中,分集接收机模块300可为图20和21的模块300的示例。在一些实施例中,此DRx模块可耦接至模块外滤波器513。DRx模块300可包括配置为收纳多个部件的封装衬底

501以及实现在封装衬底501上的接收系统。DRx模块300可包括一个或多个信号路径,其被路由远离DRx模块300且可用于系统集成商、设计者或制造商以支持用于任何期望频带的滤波器。

[0152] 图23的DRx模块300显示为包括DRx模块300的输入和输出之间的多个路径。DRx模块300还显示为包括输入和输出之间由旁路开关519启动的旁路路径,其中旁路开关519由DRx控制器502控制。虽然图23描绘了单个旁路开关519,但是在一些实施方式中,旁路开关519可包括多个开关(例如,设置为物理上靠近输入的第一开关和物理上靠近输出的第二开关)。如图23中所示,旁路路径不包括滤波器或放大器。

[0153] DRx模块300显示为包括多个复用器路径,其包括第一复用器511和第二复用器512。复用器路径包括多个模块上路径,其包括第一复用器511、实现在封装衬底501上的带通滤波器613a-613d、实现在封装衬底501上的放大器614a-614d以及第二复用器512。复用器路径包括一个或多个模块外路径,其包括第一复用器511、实现在封装衬底501外的带通滤波器513、放大器514以及第二复用器512。放大器514可为实现在封装衬底501上的宽频放大器,或还可实现在封装衬底501外部。在一些实施例中,放大器614a-614d、514可为可变增益放大器和/或可变电流放大器。

[0154] DRx控制器502可配置为选择性激活输入和输出之间的多个路径中的一个或多个。在一些实施方案中,DRx控制器502配置为基于由DRx控制器502(例如,从通信控制器)接收的频带选择信号来选择性地激活多个路径中的一个或多个。DRx控制器502可通过例如断开或闭合旁路开关519从而启用或禁用放大器614a-614d、514、控制复用器511、512、或通过其它机制来选择性地激活路径。例如,DRx控制器502可沿着路径(例如,在滤波器613a-613d、513和放大器614a-614d、514之间)或通过将放大器614a-614d、514的增益设置为基本为零来断开或闭合开关。

[0155] 在图23的示例DRx模块300中,放大器614a-614d、514中的一些或全部可随具有本文所述的一个或多个特征的衰减电路100被提供。例如,这些放大器的每一个显示为在其输入侧上实现有衰减电路100。在一些实施例中,一给定放大器可在其输入侧和/或其输出侧上具有衰减电路。

[0156] 在一些实施方案中,具有本文所述的一个或多个特征的架构、装置和/或电路可包括于诸如无线装置的RF装置中。此架构、装置和/或电路可直接以本文所述的一个或多个模块化形式或以其一些组合实现在无线装置中。在一些实施例中,此无线装置可包括例如蜂窝电话、智能电话、具有或不具有电话功能性的手持无线装置、无线平板电脑、无线路由器、无线接入点、无线基站等。虽然在无线装置的背景下进行了描述,但应理解,本申请的一个或多个特征还可实现在诸如基站的其它RF系统中。

[0157] 图24描绘了具有本文所述的一个或多个特征的示例无线装置700。如图22和23所述,具有本文所述的一个或多个特征的一个或多个衰减器可实现在此无线装置中的多个位置。例如,在一些实施例中,这些有利特征可实现在诸如具有一个或多个低噪声放大器(LNA)的分集接收(DRx)模块300中。此DRx模块可如本文参考图20、21和23所述而配置。在一些实施例中,具有本文所述的一个或多个特征的衰减器可沿着LNA之前和/或之后的RF信号路径而实现。

[0158] 在图24的示例中,功率放大器(PA)模块712中的PA可从收发器710接收其相应RF信

号,该收发器710配置和操作为产生待放大和发射的RF信号且处理接收的信号。收发器710显示为与基带子系统708交互,该基带子系统708配置为提供适用于用户的数据和/或话音信号与适用于收发器710的RF信号之间的转换。收发器710还显示为连接至功率管理组件706,该功率管理组件706配置为管理用于操作无线装置700的功率。此功率管理还可控制基带子系统708和无线装置700的其它部件的操作。

[0159] 基带子系统708显示为连接至用户接口702以促使话音和/或数据的各种输入和输出被提供至用户以及从用户接收该输入和输出。基带子系统708还可连接至配置为存储数据和/或指令的存储器704以促使无线装置的操作和/或提供用于用户的信息存储。

[0160] 在图24的示例中,DRx模块300可实现在一个或多个分集天线(例如,分集天线730)与ASM714之间。此配置可允许处理通过分集天线730接收的RF信号(在一些实施例中,包括由LNA的放大),该处理使得来自分集天线730的RF信号很少或没有损耗和/或很少或没有附加噪声。接着可通过一个或多个信号路径将来自DRx模块300的被处理的信号路由至ASM。

[0161] 在图24的示例中,主天线720可配置为例如促使来自PA模块712的RF信号的发射。在一些实施例中,还可通过主天线实现接收操作。

[0162] 多个其它无线装置配置可利用本文所述的一个或多个特征。例如,无线装置不必是多频带装置。在另一示例中,无线装置可包括附加天线(诸如,分集天线)和附加连接能力特征(诸如,Wi-Fi、蓝牙和GPS)。

[0163] 除非上下文清楚地另有要求,否则贯穿说明书和权利要求书,要按照与排他性或穷尽性的意义相反的包括性的意义,也就是说,按照“包括但不限于”的意义来阐释术语“包括(comprise)”、“包括(comprising)”等。如在本文一般使用的词语“耦接”是指两个或更多元件可以直接受到连接、或者借助于一个或多个中间元件来连接。另外,当在本申请中使用时,术语“本文”、“上面”、“下面”和相似含义的术语应该是指作为整体的本申请,而不是本申请的任何具体部分。在上下文允许时,使用单数或复数的以上某些实施例的详细描述中的术语也可以分别包括复数或单数。提及两个或更多项目的列表时的术语“或”,这个术语涵盖该术语的以下解释中的全部:列表中的任何项目、列表中的所有项目、和列表中项目的任何组合。

[0164] 本发明实施例的以上详细描述不意欲是穷尽性的,或是将本发明限于上面所公开的精确形式。尽管上面出于说明的目的描述了本发明的具体实施例和用于本发明的示例,但是如本领域技术人员将认识到的,在本发明范围内的各种等效修改是可能的。例如,尽管按照给定顺序呈现了处理或块,但是替换的实施例可以执行具有不同顺序的步骤的处理,或采用具有不同顺序的块的系统,并且一些处理或块可以被删除、移动、添加、减去、组合和/或修改。可以按照各种不同的方式来实现这些处理或块中的每一个。同样地,尽管有时将处理或块示出为串行地执行,但是可替代地,这些处理或块也可以并行地执行,或者可以在不同时间进行执行。

[0165] 可以将在这里提供的本发明的教导应用于其他系统,而不必是上述的系统。可以对上述的各个实施例的元素和动作进行组合,以提供进一步的实施例。

[0166] 尽管已经描述了本发明的一些实施例,但是已经仅仅借助于示例呈现了这些实施例,并且所述实施例不意欲限制本公开的范围。其实,可以按照多种其它形式来实施本文描述的新颖方法和系统;此外,可以做出本文所述的方法和系统的形式上的各种省略、替换和

改变,而没有脱离本申请的精神。随附权利要求及其等同物旨在涵盖如将落入本申请的范围和精神内的这些形式或修改。

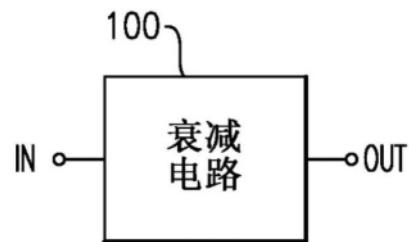


图1

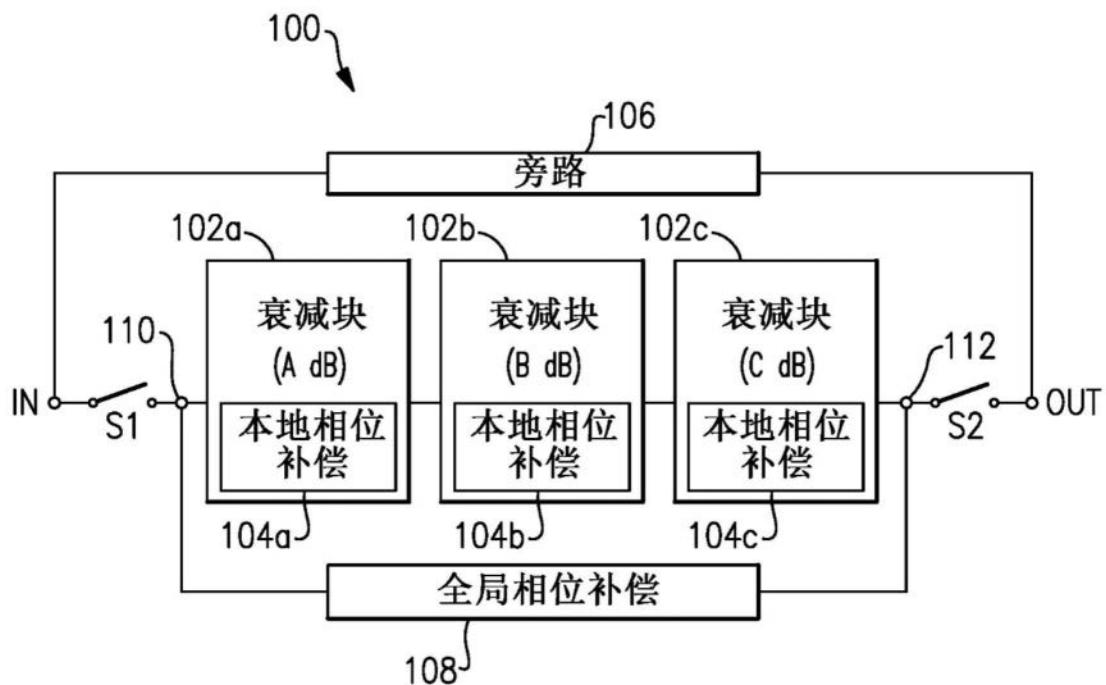


图2

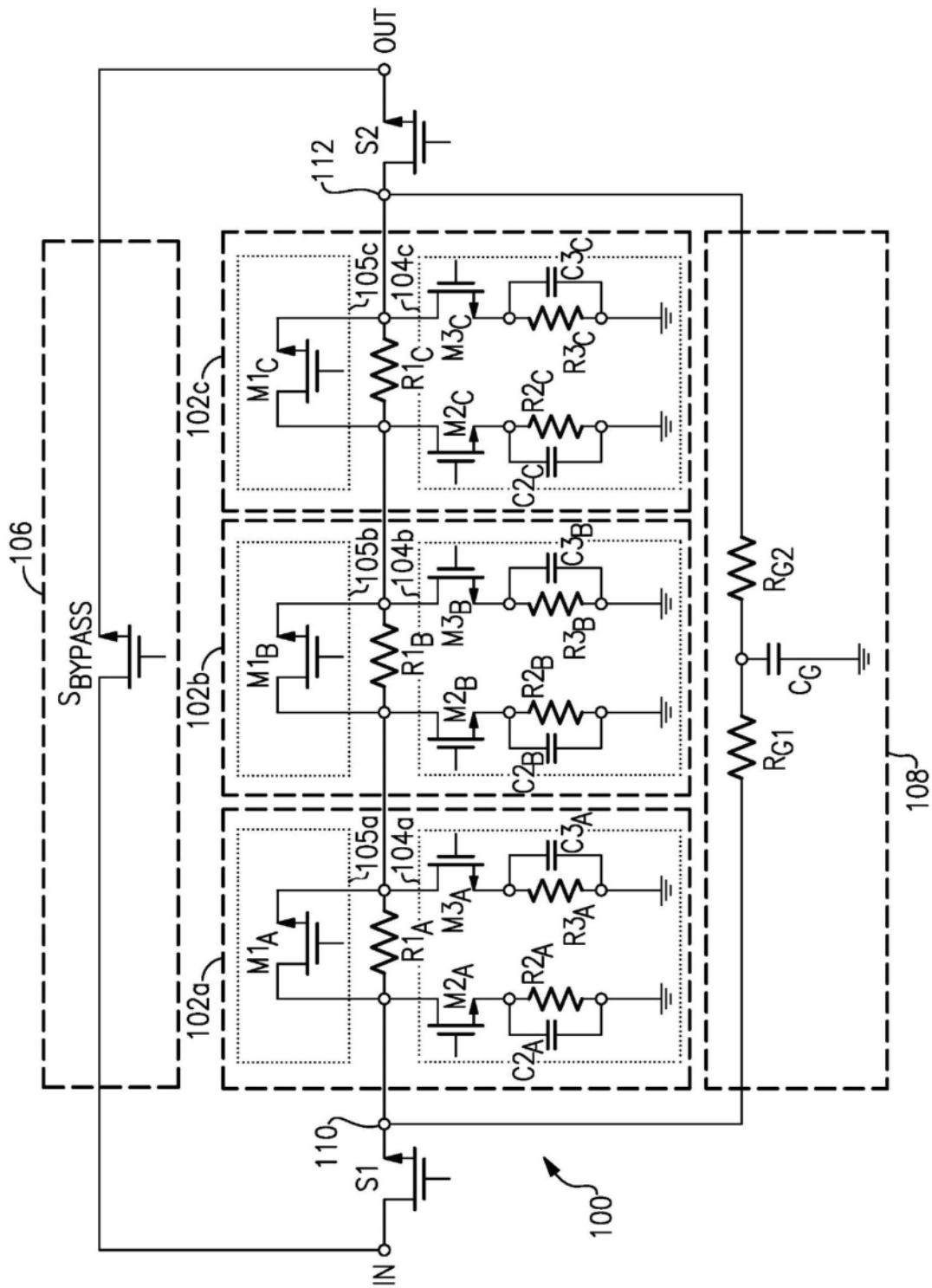


图3

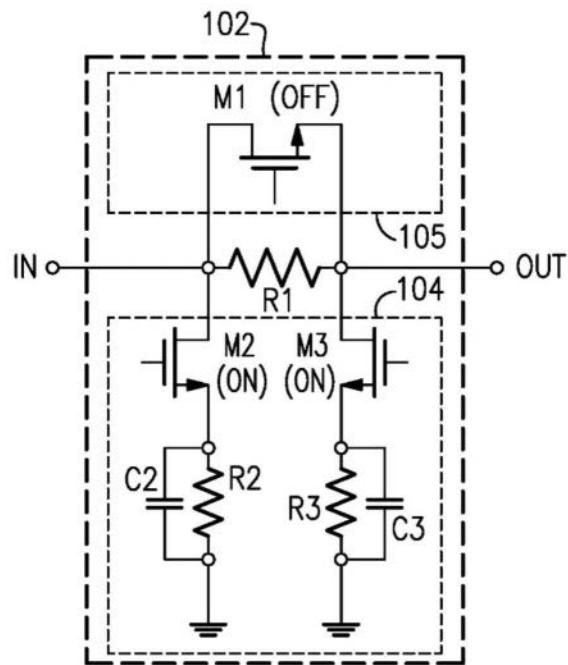


图4

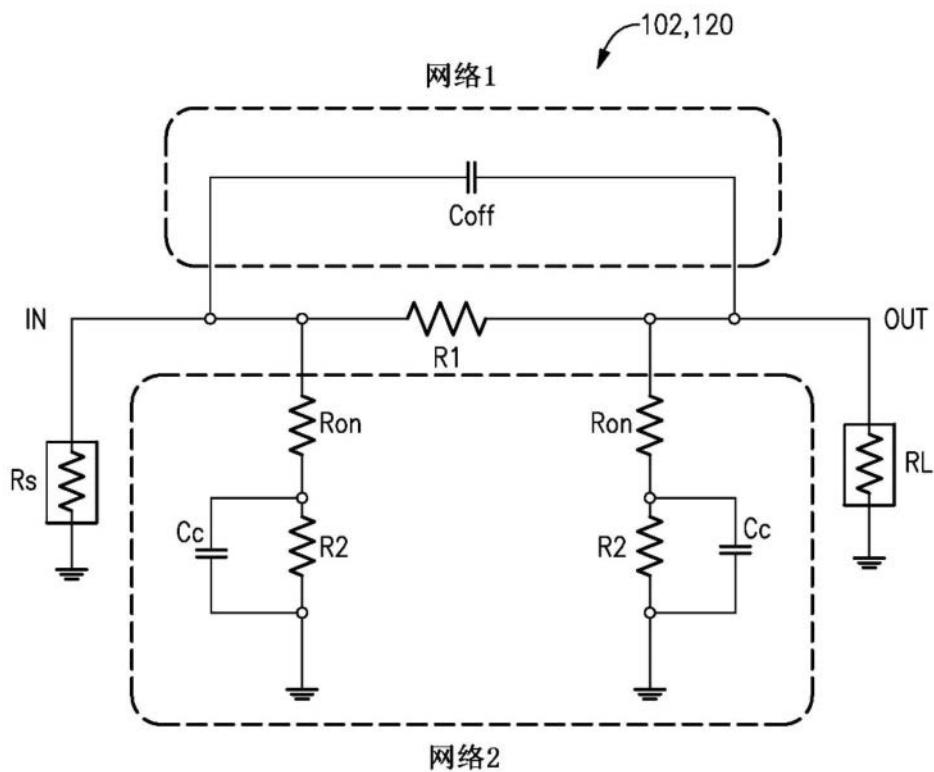


图5

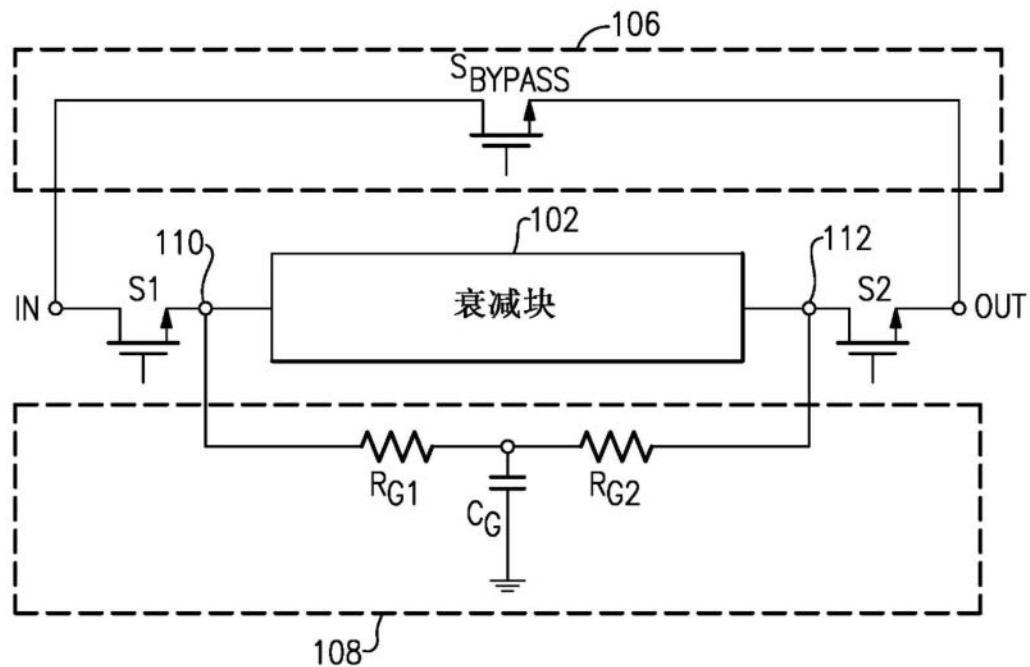


图6

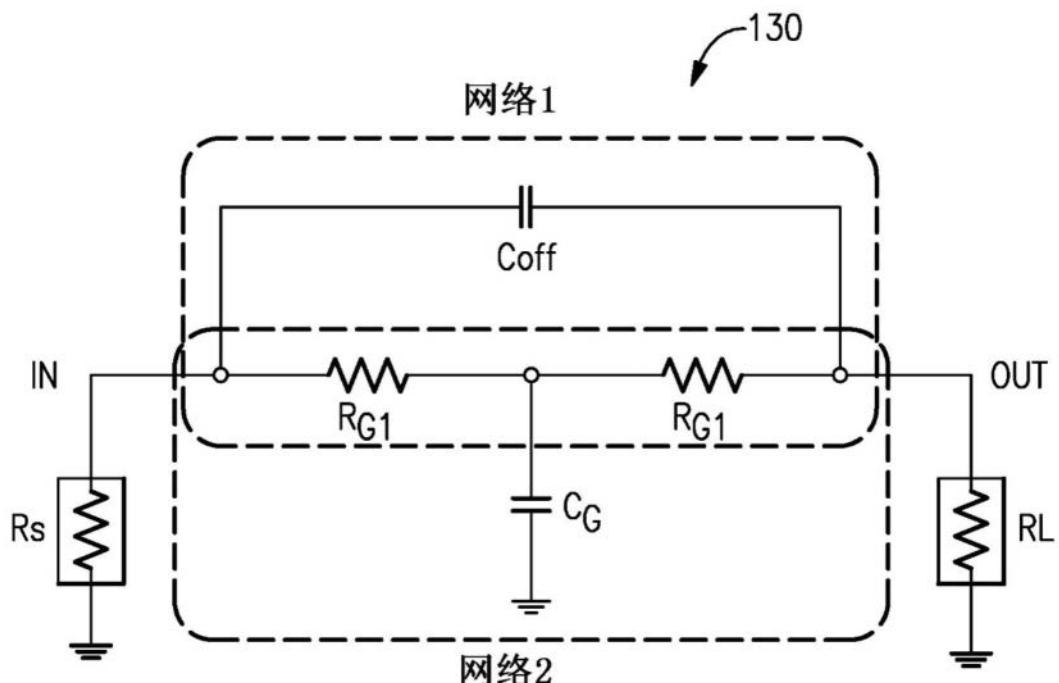


图7

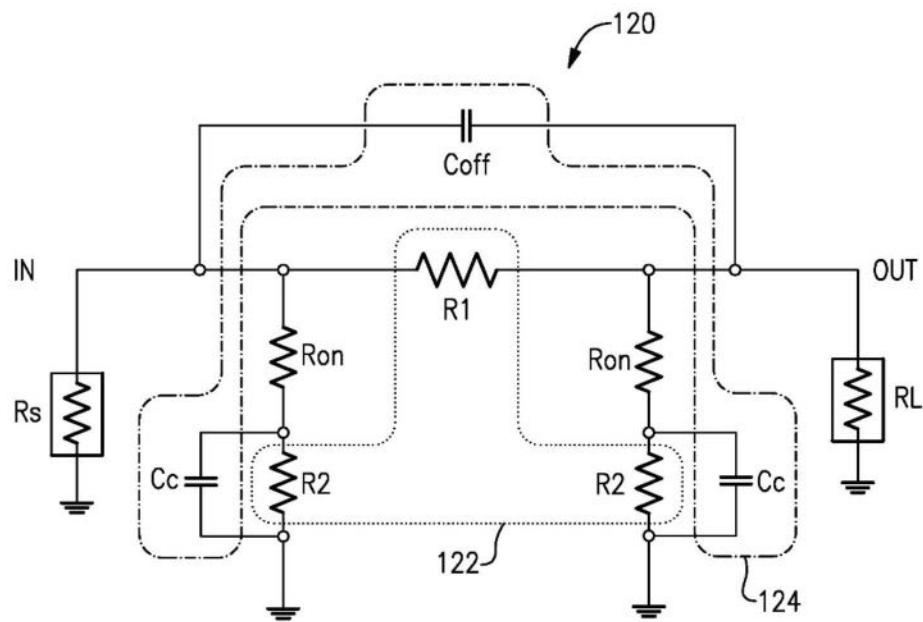


图8

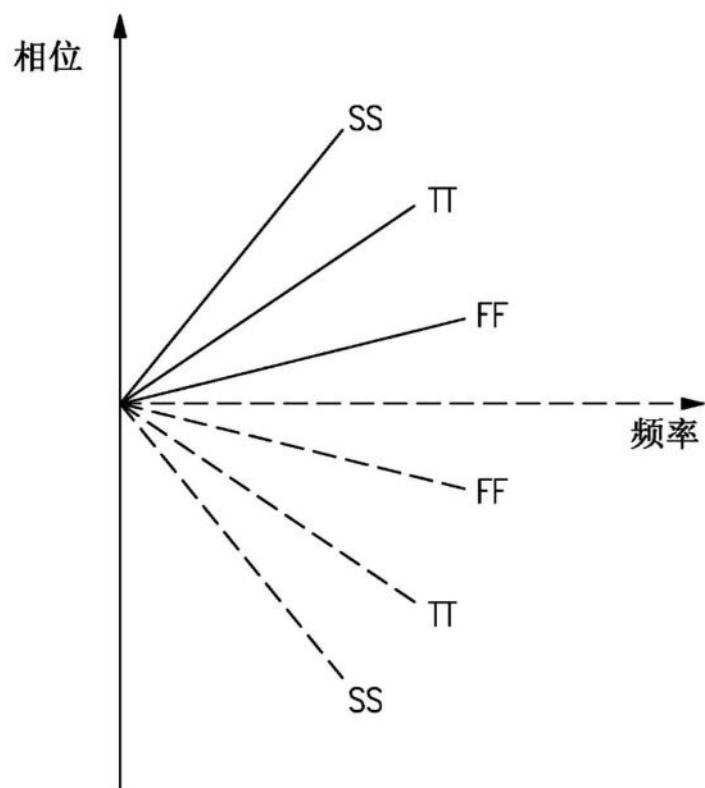


图9

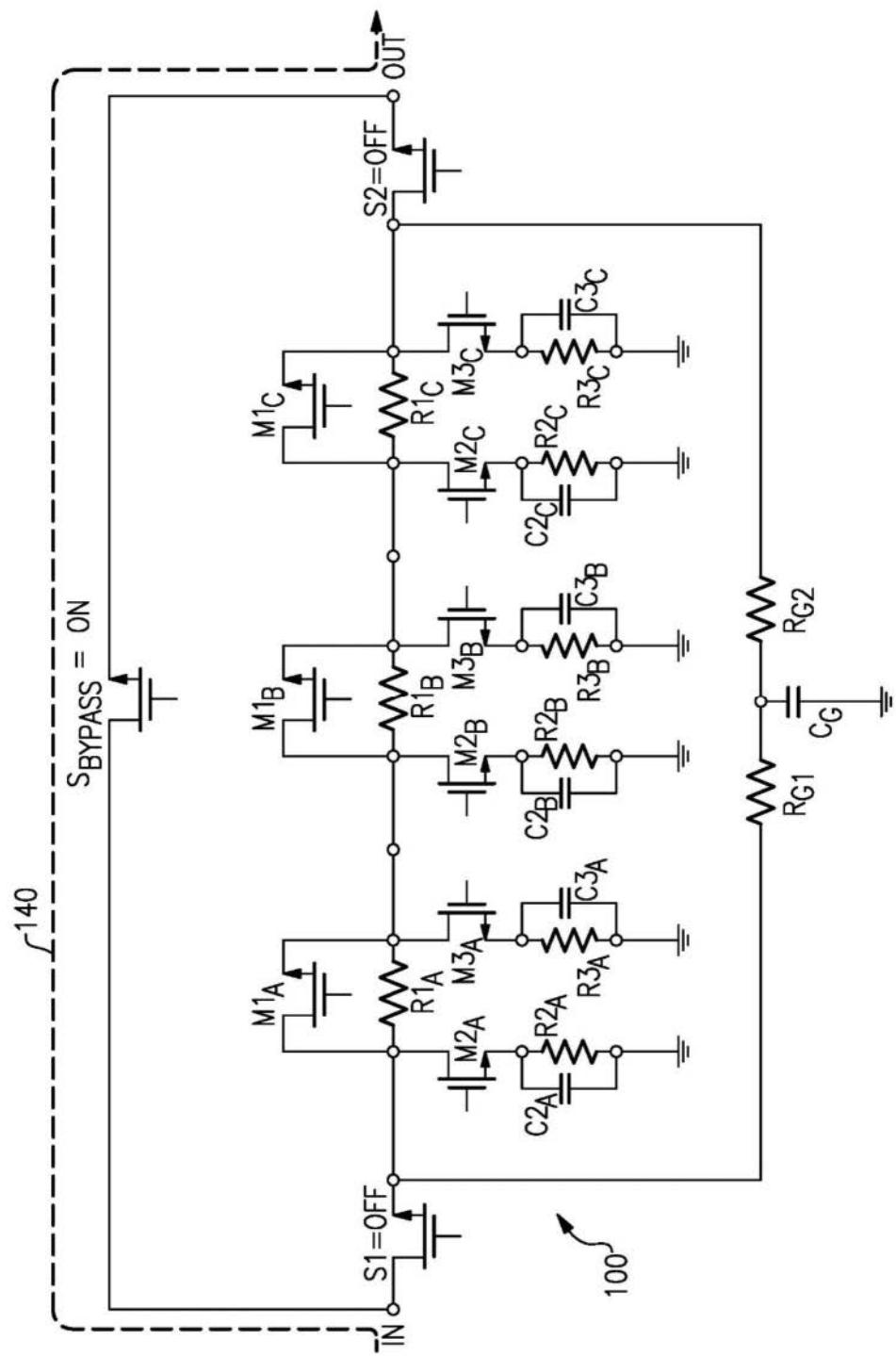


图10

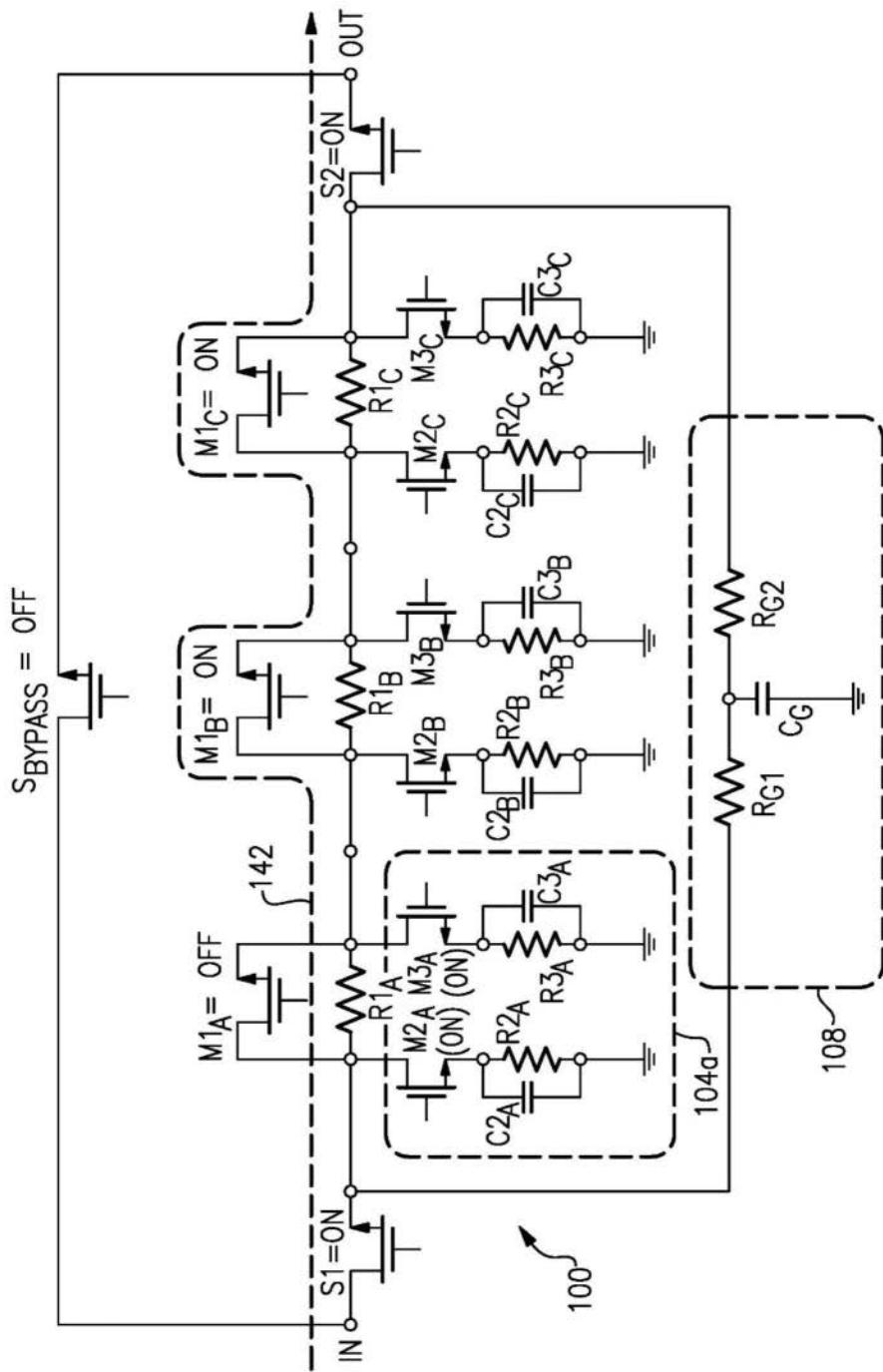


图11

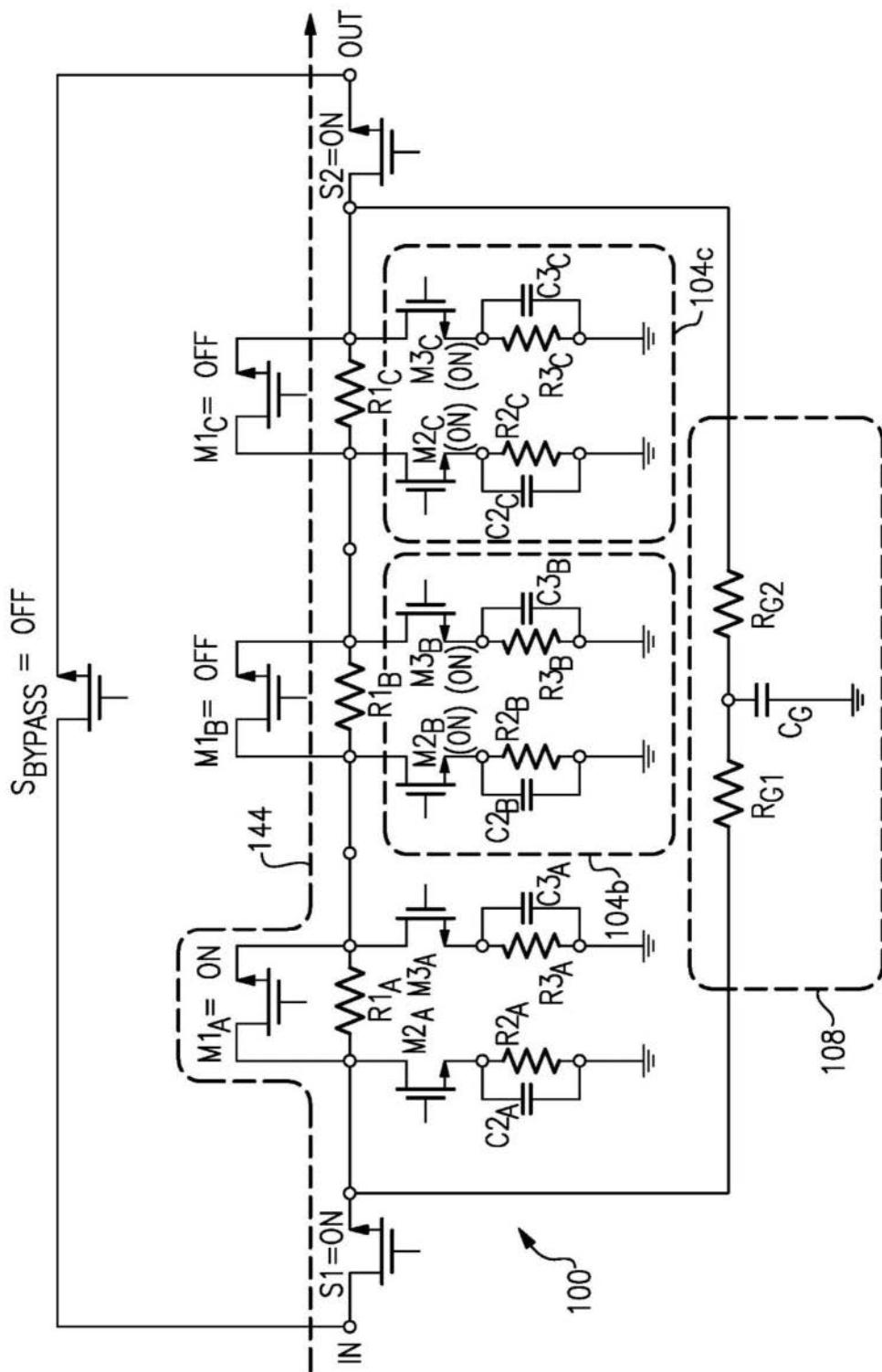


图12

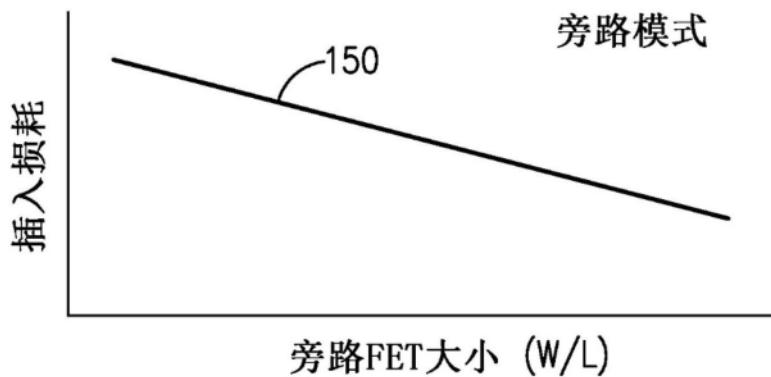


图13

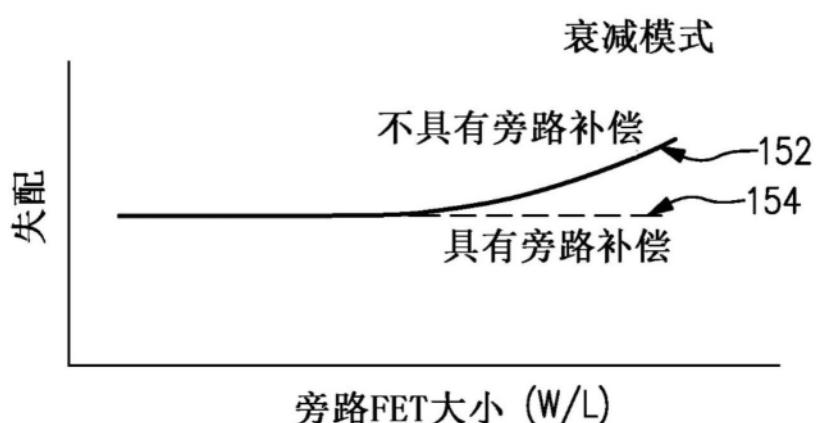


图14

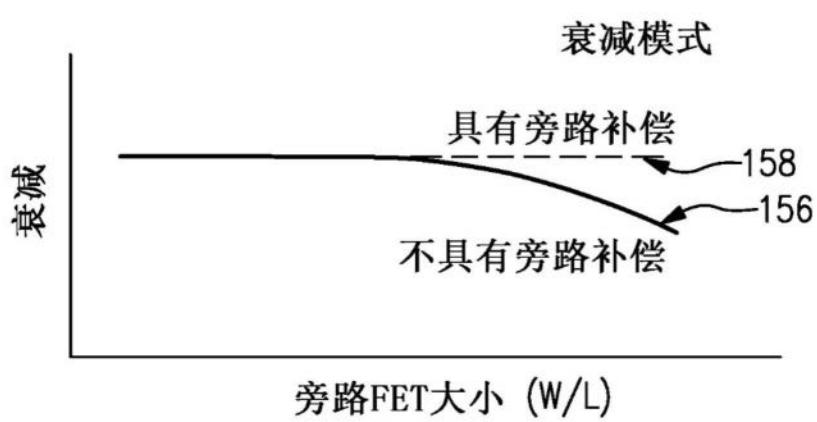


图15

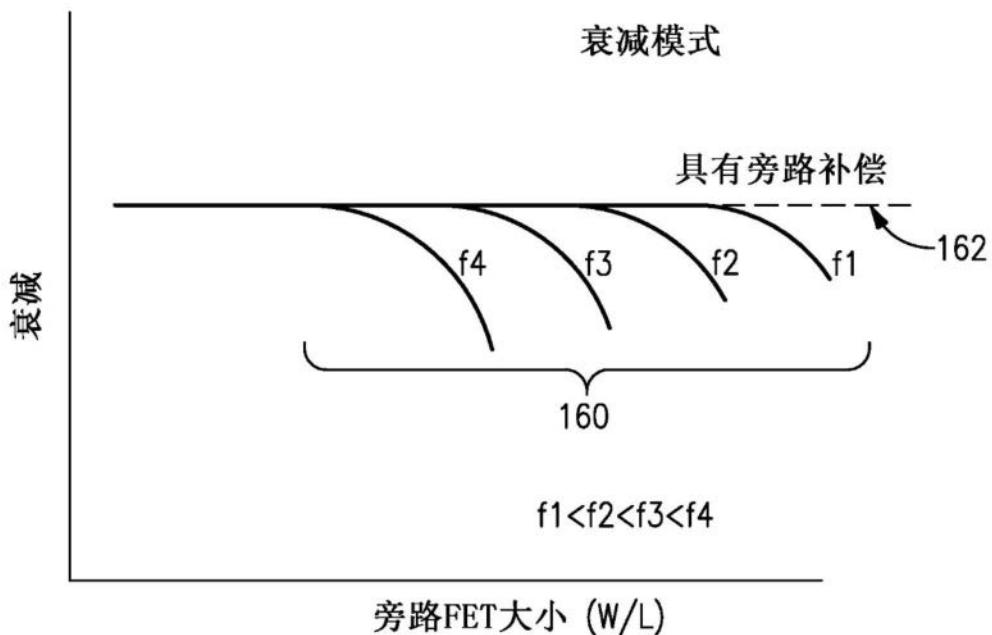


图16

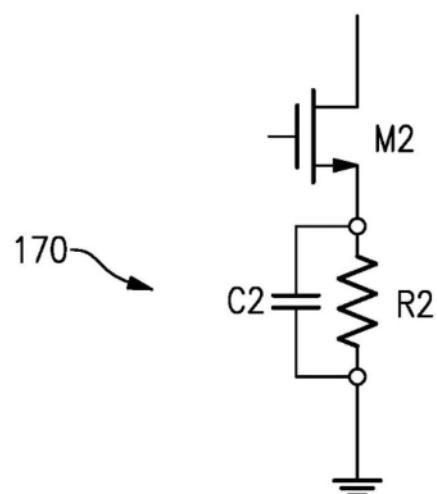


图17A

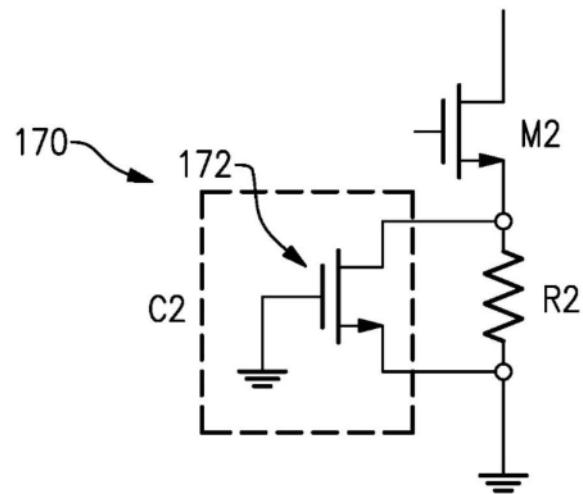


图17B

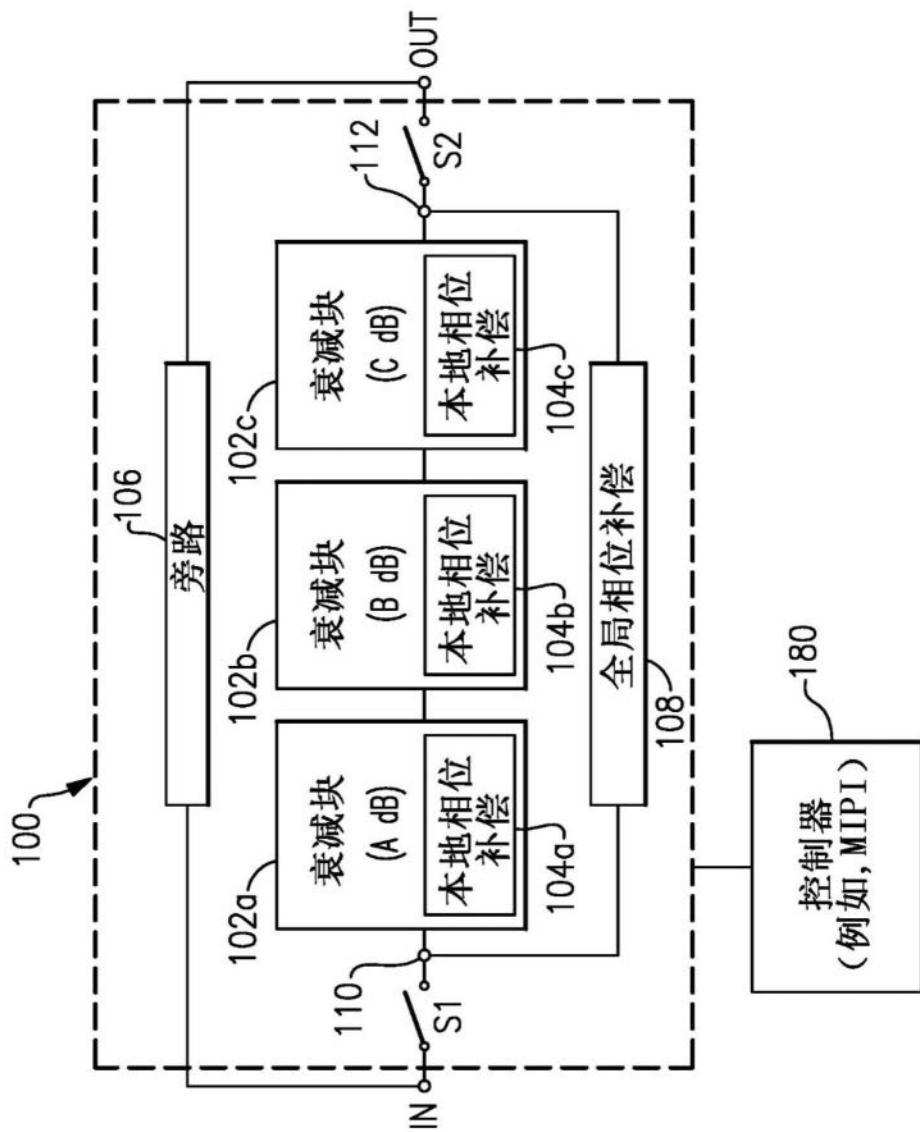


图18

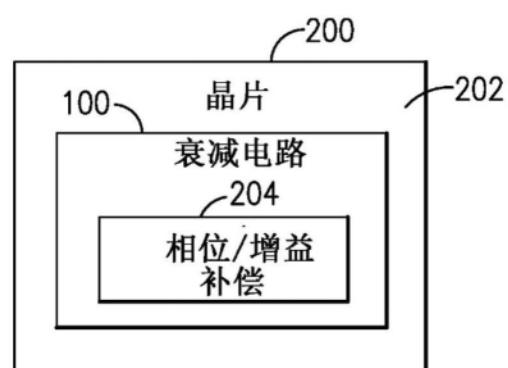


图19

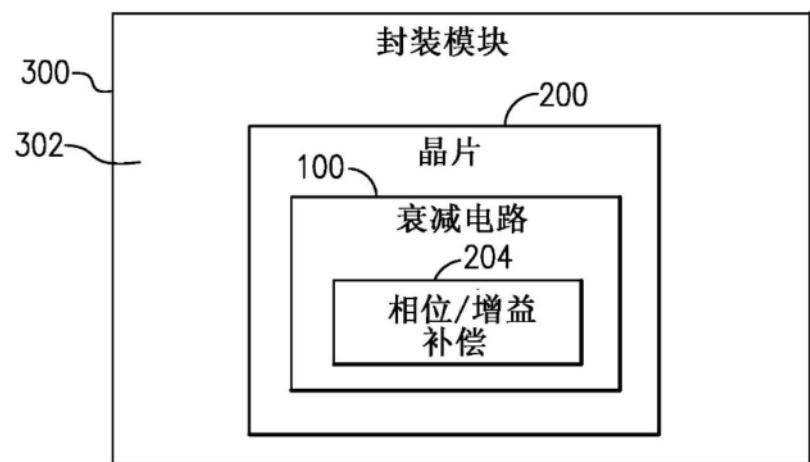


图20

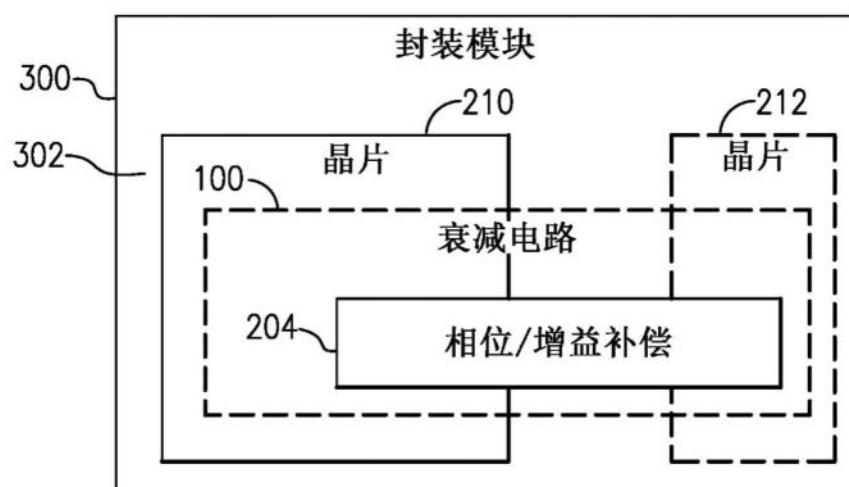


图21

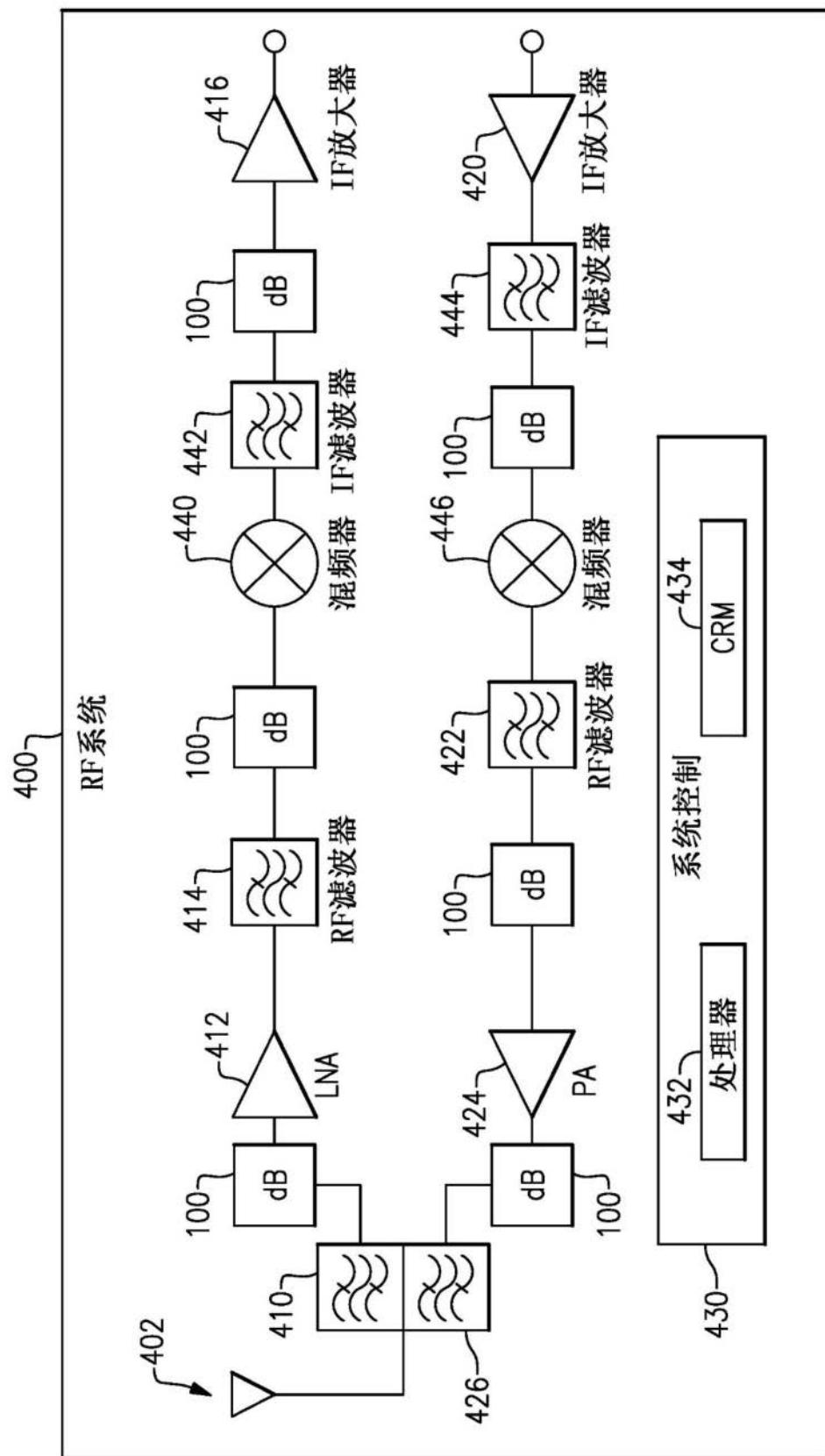


图22

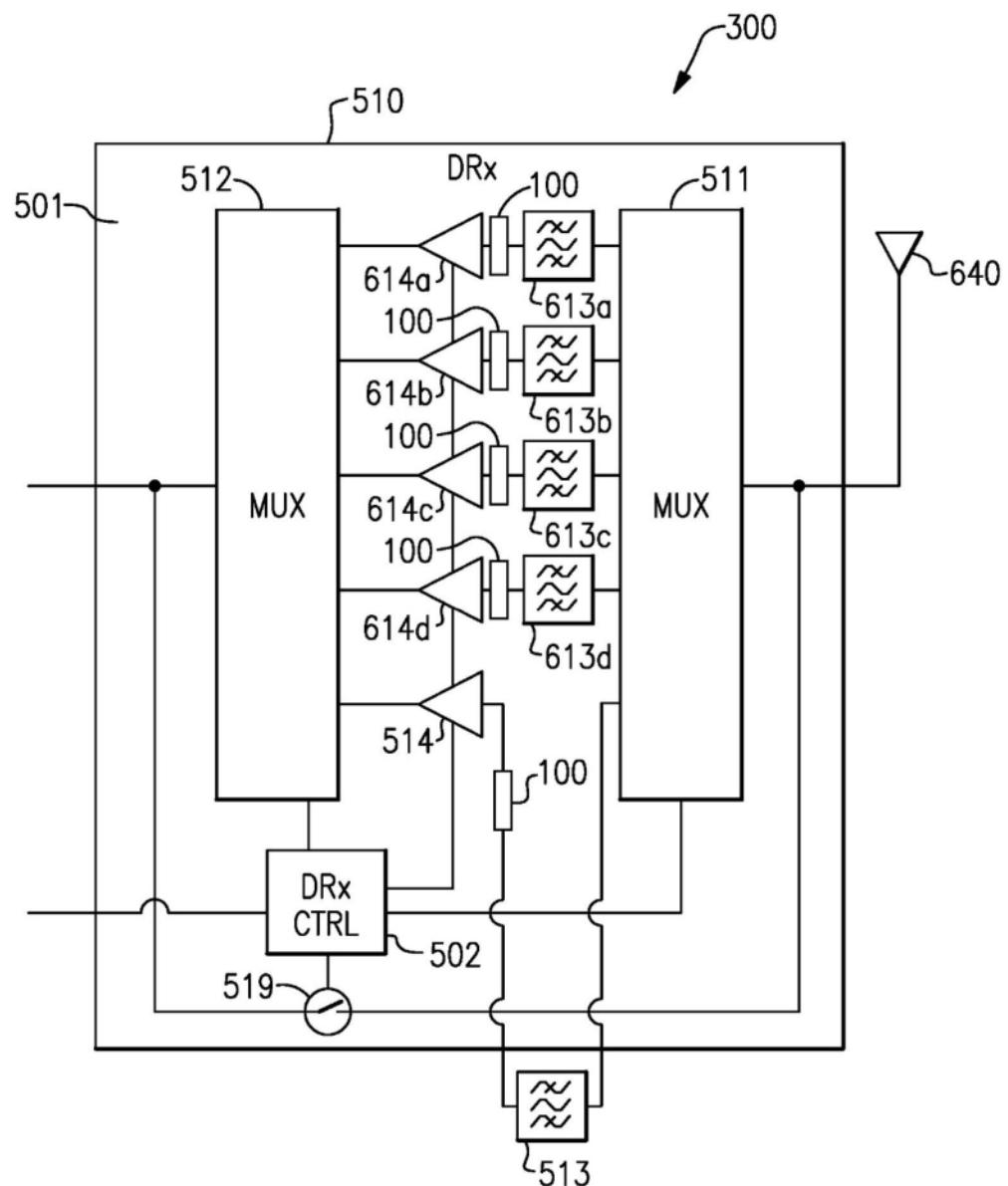


图23

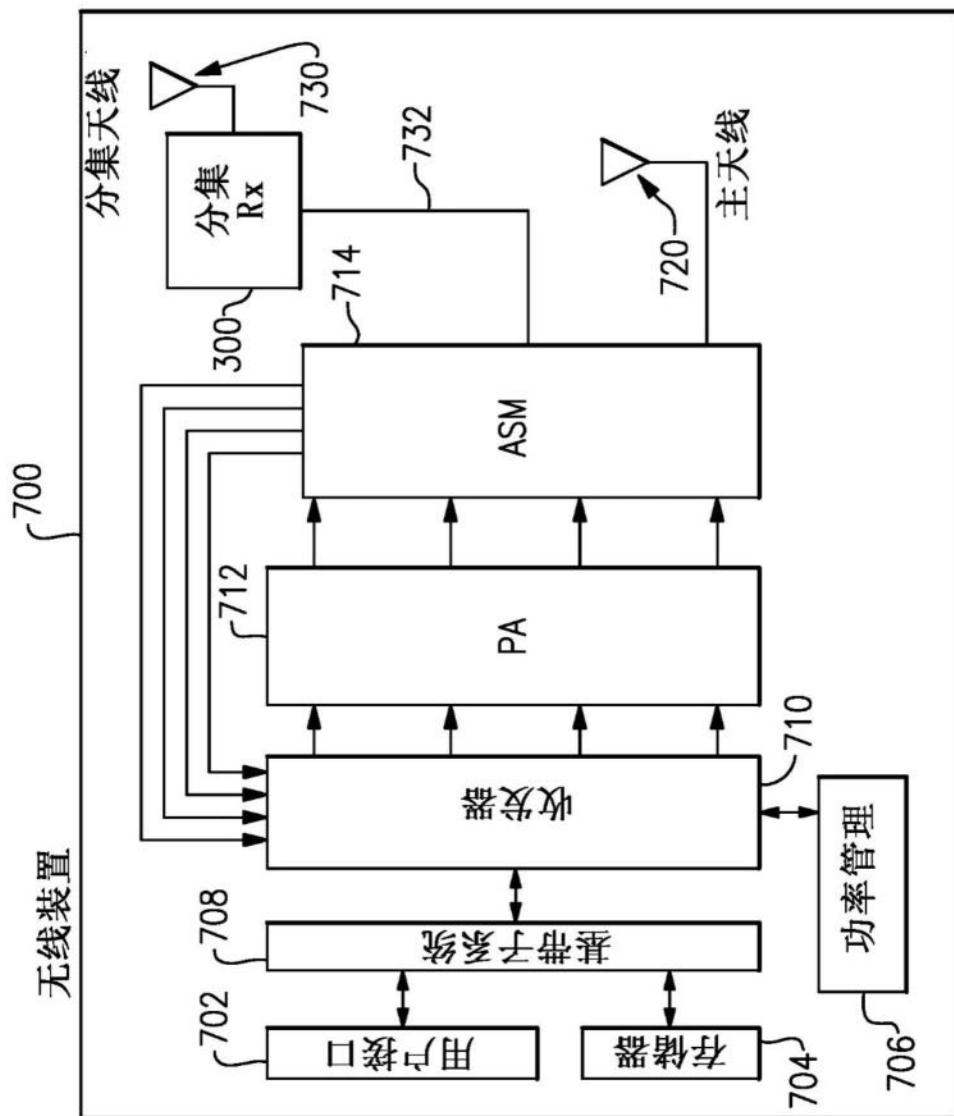


图24