

發明專利說明書

200529447

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9313533P

※申請日期：93-11-18

※IPC 分類：H01L29/786

G02F 1/13

一、發明名稱：(中文/英文)

顯示裝置製造方法及顯示裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

尼康股份有限公司

代表人：(中文/英文)

嶋村輝郎

住居所或營業所地址：(中文/英文)

日本東京都千代田區丸之內 3-2-3

國 籍：(中文/英文)

日本

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 龜山 雅臣

2. 白石 直正

國 籍：(中文/英文)

1.-2. 日本

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，
其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003.11.18；2003-388457
2. 日本；2003.11.19；2003-389385

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明，係有關資訊機器或家電製品所使用之 2 維顯示裝置，更詳細而言，係有關以液晶顯示元件、電致變色顯示元件等構成之 2 維顯示裝置及其製造方法。

【先前技術】

作為 2 維顯示裝置之液晶顯示器或電致變色顯示器，係由 2 維排列之顯示元件（像素）所構成。各顯示元件之顯示亮度等之控制，可分為單純矩陣式與主動矩陣式，從顯示影像的對比等畫質角度觀之，以主動矩陣式較佳，在大畫面及高精細之 2 維顯示裝置中，以主動矩陣式為主流。

主動矩陣方式，必須對各顯示元件分別形成薄膜電晶體或薄膜二極體等控制元件，以控制顯示亮度等。各像素之顯示亮度等資訊，係透過平行於 2 維排列之顯示元件的單方向之複數條信號線之一，傳達至對應各像素之控制元件，進而傳達至各像素之一。

又，在使用薄膜電晶體之情形，亦在大致正交於前述信號線的方向上形成複數條選擇線。薄膜電晶體係配置在前述信號線與選擇線之各交點附近，各顯示元件亦配置在薄膜電晶體附近，亦即前述信號線與選擇線之各交點附近。

沿信號線之一透過薄膜電晶體（控制元件）而配置多數個顯示元件。另一方面，各控制元件係透過與信號線正

交之選擇線，控制其導通或非導通，藉由選擇線與控制元件的作用，於既定時間存在之信號線上的電氣信號，僅能傳達至一個顯示元件。

依既定時間依序變更選擇之信號線，並同步變更各信號線上之明暗等顯示資訊，藉此，能使 2 維排列的各顯示元件依序以既定的明暗來顯示。另一方面，未被選擇線選取的控制元件呈非導通，仍維持儲存在顯示元件中的電氣信號，並維持前述既定的明暗狀態之顯示。

作為前述控制元件之薄膜電晶體，係在待形成顯示元件的基板上，形成非晶質矽或多晶矽的薄膜，將其一部分加工而作為薄膜電晶體之用。

再者，就控制元件而言，取代習知般成膜於基板上之矽等半導體材料，而提案使用預形成之既定棒狀的單晶等半導體材料。此係將前述棒狀之半導體材料配置在製造過程中之顯示裝置上，施以加工而形成電晶體，以發揮前述控制元件的功能。

如前述，在基板上形成多晶矽或非晶質矽薄膜，對其一部分加工成薄膜電晶體以形成主動矩陣型之顯示裝置，該方法中，前述多晶矽或非晶質矽的成膜步驟必須具有熱處理，能用於顯示裝置之基板材料僅侷限於耐熱性較佳的材料。

又，用於顯示裝置的基板，至少用於表面之基板須為透明。因此，對基板既要求透明亦要具耐熱性，多採用高價之玻璃基板。

此外，最近提案之使用前述棒狀之半導體材料的方法中，已無須在半導體基板上直接形成多晶矽或非晶質矽薄膜，故大幅緩和對基板之耐熱性要求。然而，尚難以使微細之半導體材料正確配置於多數個顯示元件中各既定位置。

因此，可在形成有多數個顯示像素或顯示像素用之像素電極、及信號線之基板上，以隨機撒布另外形成之多數個棒狀半導體材料等，僅對偶然排列在所要位置之棒狀半導體材料才施以加工使具備電晶體等之功能，以作為前述控制元件。藉前述方法，無須對基板施以高溫處理即可在基板上形成高品質之半導體材料，亦能謀求降低基板或整個製程所耗成本。

然而，在此情形，未配置在所要位置之棒狀半導體材料等，會在形成於基板上之複數條信號線或複數個像素電極中，發生使原本彼此間不應導通之處導通（短路）之虞，而有欲製造無像素缺陷之顯示裝置極困難的問題。

【發明內容】

本發明係有鑑於上述問題，其第 1 目的係提供一顯示裝置之製造技術，俾能以低成本製造無須對基板施以高溫處理、且無像素缺陷之顯示裝置。

又，本發明之第 2 目的，係使用前述製造技術來提供廉價之顯示裝置。

以下內容中，附於本發明各要件之帶括弧符號，係對

應於後述之本發明實施形態的構成。然而，各符號僅是單純表示各要件之示例，並未將各要件侷限於該實施形態之構成。

本發明之顯示裝置製造方法，該顯示裝置係具有 2 維排列之複數個顯示元件（LC13、DC13），其包含以下步驟：

(1)在構成該複數個顯示元件之至少一個基板（PL1）上，形成複數個像素電極（C13 等），其等可分別連接至該複數個顯示元件；

(2)在該基板上形成複數條信號線（A03 等），其等可將顯示資訊傳達至該複數個顯示元件；

(3)使複數個主動元件材料（SR0、SR1、SR2、SR3 等）分布於該基板上；

(4)在該主動元件材料中，將所要主動元件材料（SR0、SR1 等，跨設於該複數條信號線中之既定信號線與複數個像素電極中的既定像素電極而分布）之至少一部分作成控制元件，其可控制該既定信號線與既定像素電極間的導電性；

(5)對於該所要主動元件材料外之主動元件材料、亦即非所要主動元件材料之至少一部分，將其非所要導電性之至少一部分予以實質去除，該非所要導電性，係包含該複數條信號線彼此間之導電性、該複數條信號線與複數個像素電極間之導電性、或者是該複數個像素電極彼此間之導電性。

依本發明，可將待傳達至分別與基板(構成該顯示裝置)上所形成之複數個顯示元件連接的複數個像素電極的信號，以有別於該基板而另外形成的主動元件材料所構成的控制元件來控制。亦即，無須在該基板上進行主動元件材料本身的成膜等，故而，隨該成膜而對基板之高溫處理可因此省略。

因此，可採用耐熱性較低之廉價基板，而謀求顯示裝置的低成本化。

又，本發明之顯示裝置製造方法，由於亦包含以下步驟，亦即對於主動元件材料中，前述所要主動元件材料以之非所要主動元件材料中至少一部分，將其非所要導電性之至少一部分予以實質去除，該非所要導電性，係包含該複數條信號線彼此間之導電性、該複數條信號線與複數個像素電極間之導電性、或是該複數個像素電極彼此間之導電性；故對於顯示裝置在設計上不欲導通之處，能避免非必要之導通(短路)狀態，可防止發生顯示像素的缺陷。

因此，能製造無像素缺陷之顯示裝置。

又，本發明中，前述複數個主動元件材料之分布步驟，可包含將該複數個主動元件材料隨機分布於該基板上之步驟。

又，本發明中，前述信號線，係以該像素電極的全周長 $1/4$ 以上的長度配置成近接且圍繞該像素電極。

又，本發明之顯示裝置製造方法中，實質去除前述非所要主動元件材料之非所要導電性之步驟，包含去除該非

所要主動元件材料的至少一部分之步驟。

藉此，對於該基板上所形成之該複數個信號線彼此間之導電性、該複數個信號線與複數個像素電極間之導電性、或是該複數個像素電極彼此間之導電性，即非必要之導通能夠予以防止，可防止發生顯示像素缺陷。

又，前述主動元件材料可包含棒狀之半導體物質（SR0）。該棒狀之半導體物質的一例可為矽。又，該棒狀之半導體物質，可在其表面被覆絕緣膜（OX）。

又，該棒狀之半導體物質可為矽，其表面可被覆氧化矽以作為絕緣膜。

再者，該棒狀之半導體物質可使用 n 型或 p 型半導體。

又，本發明之顯示裝置製造方法中，構成顯示裝置之基板上所形成之顯示元件，可為透過型之顯示元件（透過型元件）（LC13）。藉此，可製造透過型之顯示裝置。

或者，本發明之顯示裝置製造方法中，構成顯示裝置的基板上所形成之顯示元件，可為反射型之顯示元件（反射型元件）（EC13）。藉此，可製造反射型之顯示裝置。

又，前述之顯示元件，舉例而言，可為液晶顯示元件、電泳型顯示元件、電解析出型顯示元件、或電致變色顯示元件。

又，本發明之顯示裝置製造方法中，以前述所要主動元件材料作成控制元件之步驟，可包含以該所要主動元件材料作為場效電晶體之步驟。

藉此，可將待傳達至分別與基板（構成該顯示裝置）上

所形成之複數個顯示元件連接之複數個像素電極的信號，藉由該場效電晶體所構成之控制元件來控制，而使該顯示裝置具高品質之顯示效果。

又，本發明之顯示裝置製造方法中，欲實質去除前述非所要主動元件材料之非所要導電性之步驟，可包含使該非所要主動元件材料作為場效電晶體之步驟。又，對於該場效電晶體的閘極施加切斷電壓（電位），可實質去除該非所要導電性。

藉此，該基板上之複數條信號線彼此間之導電性、該複數條信號線與複數個像素電極間之導電性、或是該複數個像素電極彼此間之導電性所造成之非必要之導通能因此加以防止，可防止發生顯示像素缺陷。

又，本發明之顯示裝置製造方法中，構成顯示裝置之至少一片基板，可使用撓性基板。藉此，可使顯示裝置本身具有撓性，故能製造可彈性變形之顯示裝置。

又，本發明之顯示裝置製造方法中，構成顯示裝置之至少一片基板，可使用有機材料構成之基板。藉此，可使製造之顯示裝置輕量化。又，使用有機材料構成之基板，對顯示裝置之撓性亦頗有助益。

又，本發明之顯示裝置製造方法，亦可進一步包含，在構成顯示裝置之至少一片基板的端部連接薄膜狀配線構件之步驟。藉此，除了能將待顯示的影像信號等，供應至所製造之顯示裝置，並可實現輕量且柔軟之配線構件。

接著，本發明之顯示裝置，係以前述本發明之顯示裝

置製造方法製成。依本發明，能以低成本實現高性能之顯示裝置。

依本發明，分別連接於顯示裝置之至少 1 個基板上之、2 維排列的複數個顯示元件之複數個像素電極，與用以傳達該複數個顯示元件之各顯示資訊的信號線之間所設置之控制元件，其係使用有別於該基板而形成之主動元件材料，因此，無須在該基板上進行主動元件材料本身之成膜等，省去伴隨該成膜而對基板施加之高溫處理。

因此，可採用耐熱性較低之廉價基板，並可謀求顯示裝置之低成本化要求。

再者，本發明如以上所述，可使用耐熱性較低之基板，故而，所製造之顯示裝置，能夠具備如有機材料製之基板般之高撓性（彈性），並能謀求顯示裝置之輕量化。

又，本發明之顯示裝置製造方法，係實質去除前述非所要主動元件材料之至少一部分，以去除至少一部分之前述非所要導電性，因此，對於顯示裝置在設計上不欲導通之處，能防止非必要的導通（短路），可防止發生顯示像素缺陷。

因此，能製造無像素缺陷之顯示裝置。

【實施方式】

以下參照附圖，說明本發明之較佳實施形態之一例。本例中，係將本發明運用在製造透過型之液晶顯示器者，以下依製造步驟順序加以說明。然而，以下所示之製造步

驟順序僅是一例示，可依實際需要而替換其順序。

首先，如圖 1 所示般，在構成顯示裝置（如液晶顯示器等）之透明基板 PL1 上，形成透明之像素電極 D11、D12、D13、D21、D22、D23、D31、D32、D33、D41、D42、D43。該等像素電極 D11～D43，係在基板 PL1 上以正交之 2 維格子狀排列。再者，於以下說明與圖式簡單說明之欄內，為說明方便起見，以「D11～43」來表示像素電極 D11～D43，而其他構件之符號亦以同樣方式表現。

透明基板 PL1，例如係玻璃基板，其中，為了防止後述步驟所形成之電晶體等發生誤動作，較佳係宜使用不含鈉等鹼金屬之無鹼玻璃。

又，透明基板 PL1，亦可使用壓克力樹脂、聚對苯二甲酸乙二醇酯等之聚酯系樹脂、或聚乙烯等具撓性之有機材料所構成之透明樹脂。

又，透明之像素電極 D11～43，可使用 ITO（銦錫氧化物）、氧化錫等金屬氧化物、或導電性塑膠。

像素電極 D11～43，亦可先在基板 PL1 的全面形成前述透明電極材料，然後以包含曝光與蝕刻之微影步驟來形成前述排列。

另一方面，亦可藉噴墨等印刷技術，僅在所要區域形成前述透明電極材料。

當然，在實際的顯示裝置中，像素電極的數目遠大於圖 1 所示之像素電極 D11～43 的數目，但此處為說明之便利考量，假定為圖 1 所示之排列來說明。

接著進行形成圖 2 所示之信號線 A01、A02、A03 之步驟。再者，如圖 2 所示般，本例係連同信號線 A01~03 的形成，以相同於信號線 A01~03 的配線材料，在前述像素電極 D11~43 的邊緣一併形成像素電極周緣部 C11、C12、C13、C21、C22、C23、C31、C32、C33、C41、C42、C43。各像素電極周緣部 C11~43，係分別沿像素電極 D11~43 的邊緣（添附數字一致）而形成。

信號線 A01~03，係圖中之上下方向的電氣信號之傳達配線，且，各信號線 A01~03，係圍繞像素電極周緣部 C11~43 中對應之圍繞像素電極邊緣的方式配置。亦即，如圖 2 所示之例，信號線 A01 係圍繞像素電極周緣部 C11、C21、C31、C41。

信號線 A01~03 係與像素電極周緣部 C11~43 以同樣形成步驟而形成者。該形成步驟，亦可先在基板 PL1 的上端面形成配線材料，藉微影步驟而留下所要形狀並去除其他部分，亦可藉噴墨技術等，僅在所要部分形成配線材料。

信號線 A01~03 及像素電極周緣部 C11~43 的材料，若以微影步驟而形成者，適用鋁等金屬；若以噴墨技術而形成者，適用導電性塑膠或添加金屬微粉末之有機溶媒。

信號線 A01~03 與像素電極周緣部 C11~43 及像素電極 D11~43 應絕緣配置。亦即，信號線 A01~03 與像素電極周緣部 C11~43 不可重疊或接觸；又，信號線 A01~03 與像素電極 D11~43 不可重疊或接觸。

在本例中，由於信號線 A01~03 與像素電極周緣部 C11

～43 係以同樣形成步驟而形成者，故能正確控制兩圖案間之間隔。因此，無信號線 A01～03 與像素電極周緣部 C11～43 之連接導通之虞。

然而，信號線 A01～03 與像素電極 D11～43 係以不同步驟形成，兩步驟間的圖案形成位置之對位極為重要。此處，用於形成圖案之微影裝置（曝光裝置）或噴墨印刷裝置，必須要有對位機構。

如前述，在形成有像素電極 D11～43、像素電極周緣部 C11～43、信號線 A01～03 之基板 PL1 上，如圖 3 所示般分布本發明之特徵之主動元件材料 SR0、SR1、SR2、SR3、SR4 等。主動元件材料 SR0 等，係如圖中黑色棒狀所示般的細長形棒狀物，其長度為 5 至 100 μm 左右。基本上，其截面形狀並無侷限，如圓形、四角形、六角形等皆可，其粗細程度以直徑或最大對角線長而言係 50nm 至 3 μm 左右。

主動元件材料 SR0 等，係以大致隨機分布於形成有像素電極周緣部 C11～43、信號線 A01～03 之基板 PL1 上。可採行之配置方法例如，將微粉末之主動元件材料 SR0 等灑於基板 PL1 上，或者，將微粉末之主動元件材料 SR0 等以有機溶媒為媒介，以噴霧方式而配置在基板 PL1 上。又，亦可將微粉末之主動元件材料 SR0 等混於有機溶媒，以旋塗（spin coat）方式而配置在基板 PL1 上。

之所以將該等主動元件材料 SR0 等配置在基板 PL1 上，其目的在於，要作為電晶體以控制像素電極周緣部 C11

～43 及像素電極 D11～43 與信號線 A01～03 中之一既定對象彼此間的導電性。

然而，即使採用前述任一方法，欲將各主動元件材料 SR0 等正確地配置在基板 PL1 上之所要位置並不容易達成，其配置位置必須以隨機方式來處理。

因此，例如在圖 3 中存在有，位在前述所要位置之跨設於信號線 A03 與像素電極周緣部 C43 雙方之主動元件材料（以下稱為「所要主動元件材料」）SR2，但同時也存在著，配置在前述所要位置以外的主動元件材料，例如：配置在像素電極 D42 上之主動元件材料 SR3、跨設於相鄰信號線 A01 和 A02 雙方之主動元件材料 SR4、跨設於相鄰信號線 A02 和 A03 雙方之主動元件材料 SR0 等。

然而，前述主動元件材料 SR0 之其中一部分，亦位在前述所要之位置，如跨設於信號線 A03 與像素電極周緣部 C13 雙方之所要主動元件材料。又，前述主動元件材料 SR4 之其中一部分，分別跨設於信號線 A01 與像素電極周緣部 C41 雙方，以及跨設於信號線 A02 與像素電極周緣部 C42 雙方而配置，亦是屬於位在所要位置之所要主動元件材料。

此處，對於主動元件材料 SR0～4 等當中，不屬於前述所要主動元件材料或部分，稱為非所要主動元件材料。

以下之製造步驟，參照圖 6 至圖 16 以說明，圖 3 中的主動元件材料 SR0 附近之基板 PL1 的截面圖。

圖 6 係表示圖 3 所示狀態之主動元件材料 SR0 等被分

布於基板 PL1 上之狀態之截面圖。如圖 3 所示般，主動元件材料 SR0，具有跨設於信號線 A03 與像素電極周緣部 C13 而配置之部分，此部分即是所要主動元件材料，但在此同時，亦有跨設於信號線 A03 與信號線 A02 而配置者，此部分即是非所要主動元件材料。

再者，本例中的主動元件材料 SR0 係使用棒狀之矽單晶，然而，亦可在其表面被覆氧化矽膜來作為絕緣膜 OX。但，主動元件材料 SR0 的材料並未侷限於此，亦可使用其他半導體單晶或多晶、或是非晶質之半導體材料。又，將主動元件材料 SR0 分布於基板 PL1 上之際，不必非得在其表面形成前述絕緣膜，亦可在分布於基板 PL1 後才對其表面施以氧化或氮化而形成絕緣膜。

接著，如圖 7 所示般，以噴霧或旋塗方式，將負型光阻 NPR 形成於圖 3 及圖 6 所示狀態之基板 PL1 上。在該狀態，由基板 PL1 的背面照射具同樣強度分布之曝光用光 Exp1，以使光阻 NPR 曝光。形成於基板上之、由前述鋁或導電性塑膠等所形成的信號線 A02、A03 及像素電極周緣部 C12、C13，對於曝光用光 Exp1 具吸收性，故會使曝光用光 Exp1 減光。因此，位在圖 7 中之該部分上方的光阻 NPR 並未感光，藉由顯影，使該部分之負型光阻 NPR 溶解於顯影液而去除。

因此，在顯影後，對應於信號線 A02、A03 及像素電極周緣部 C12、C13 部分之光阻 NPR 已被去除，其他部分則尚殘存光阻 NPR。此時，儘管主動元件材料 SR0 被視為

亦具遮光作用，但若主動元件材料 SR0 的徑長為 50 nm 至 $1\ \mu\text{m}$ 左右，其細微程度可較曝光用光 Exp1 的波長（300 ~ 500 nm）為細，故不具有特別的遮光作用。然而，若主動元件材料 SR0 的徑長在 $1\ \mu\text{m}$ 以上，能發揮較高一些的遮光作用，故宜將前述曝光用光 Exp1 之曝光量（累計之曝光能量）設定為稍高，來自其周邊的曝光部之光滲入，或是因為光阻 NPR 中的感光物質之擴散等，即使位在主動元件材料 SR0 的上方，光阻 NPR 亦能實質感光。

在該狀態下，使基板 PL1 的表面（圖中之上面）經過含稀薄氟酸或氟離子的水溶液之蝕刻後，在光阻 NPR 業已剝離之對應於信號線 A02、A03 與像素電極周緣部 C12、C13 的部位，位在主動元件材料 SR0 表面之絕緣膜（氧化矽）則被溶解去除，如圖 8 所示般，使其內部的矽單晶露出。

再者，在以上的步驟，係以形成於基板 PL1 上的圖案，即信號線 A02、A03 及像素電極周緣部 C12、C13，作為從背面曝光時之光罩，以進行光阻 NPR 之曝光及圖案化作業，但無庸贅言者，亦可將其置換成一般的微影步驟。亦即，在既定的光罩上，形成與信號線 A02、A03 及像素電極周緣部 C12、C13 的形狀大致對應之圖案，使用曝光裝置，使該圖案經曝光而轉印至光阻 NPR 上。此時，藉由光罩圖案之負、正反轉（明部與暗部之反轉），亦可使用正型光阻來作為光阻 NPR。

其中，如前述之方法，在基板 PL1 上以既存圖案作為光罩而從背面曝光之方法，能較廉價地形成所要圖案是其

優點所在。

另一方面，若使用一般的微影步驟，該方法能形成較微細之圖案，是其優點所在。

又，對前述氧化矽膜之蝕刻，同樣並不侷限於以前述氫氟酸等所進行之濕蝕刻，亦可使用氟系氣體來進行乾蝕刻。此時，前述溼蝕刻的優點同樣為成本較低，另一方面，採用乾蝕刻的優點則同樣是利於較微細圖案。

接著，藉由電鍍或無電解鍍敷等方法，在經過前述曝光、顯影步驟而形成之光阻 NPR 的剝離部分，形成上層信號配線 A020、A030 及像素電極周緣部 C120、C130。由前述製造步驟可明確了解，該上層信號配線 A020、A030 係依信號配線 A02、A03 的形狀而形成於其上者。又，上層像素電極周緣部 C120、C130 亦是依像素電極周緣部 C12、C13 的形狀而形成者。

再者，如圖 9 所示，上層信號配線 A020、A030 與信號配線 A02、A03 看似並未導通，實際上，在主動元件材料 SR0 部分以外，亦即是相對於紙面的前側及深側，理所當然是分別導通。而上層像素電極周緣部 C130 與像素電極周緣部 C13 亦是同樣關係。

因此，透過信號配線 A03 而傳送來之電氣信號（即顯示資訊），透過上層信號配線 A030 而傳達至主動元件材料 SR0，進而透過上層像素電極周緣部 C130 與像素電極周緣部 C13 而傳達至像素電極 D13。

接著，使用有機溶媒等，從基板 PL1 上去除光阻 NPR。

去除光阻 NPR 之狀態如圖 10 所示。

再者，在上層信號配線 A030 與主動元件材料 SR0、以及上層像素電極周緣部 C130 與主動元件材料 SR0 之間，會有僅以前述電鍍或無電電鍍並無法獲得良好的導通性。此處，亦可在去除光阻 NPR 之後，進行例如雷射退火等，以改善前述導通性。

接著，如圖 11 所示，在像素電極 D12、D13 等上方形成遮光材料 S12、S13 之後，在基板 PL1 上形成絕緣性之保護膜 CC。遮光材料 S12、S13 之形成，例如，可藉由噴墨印刷機，亦可藉噴霧式塗布或旋塗而形成於其全面，然後以微影步驟去除非所要部分。保護膜 CC 係藉由噴霧式塗布或旋塗方式而形成於基板 PL1 上的全面。

接著，如圖 12 所示般，以噴霧式塗布或旋塗方式，將正型光阻 PPR 塗布於該基板 PL1 的表面。又，從基板 PL1 的背面照射具同樣強度分布之曝光用光 Exp2，以使正型光阻 PPR 感光。

在該曝光步驟中，形成於基板上之信號線 A02、A03、像素電極周緣部 C12、C13，和形成於像素電極 D12、D13 上之遮光材料 S12、S13，對於曝光用光 Exp2 亦具有吸收性，故會使曝光用光 Exp2 減光。因此，位在圖中之該等部分上方的光阻 PPR 並未發生感光，在顯影後，位在該等部分之正型光阻 PPR 亦並未被顯影液去除。

因此，若在顯影後以光阻 PPR 為光罩進行保護膜 CC 的蝕刻，則如圖 13 所示般，在基板之上，形成信號線 A02、

A03、像素電極周緣部 C12、C13，及遮光材料 S12、S13 之對應位置處殘留有保護膜 CC，但其他部分的保護膜 CC 則可去除。此時，已去除光阻 PPR 的部分，主動元件材料 SR0 則露出。

再者，該曝光步驟，其作法同樣未侷限於自基板 PL1 背面照射相同光束，亦能藉由一般微影步驟，先形成具有遮光圖案之光罩，並使其中之遮光圖案形狀對應於基板上所形成之信號線 A02、A03、像素電極周緣部 C12、C13、遮光材料 S12、S13，進而以一般微影步驟將該等圖案轉印至光阻 PPR 上。

又，保護膜 CC 的蝕刻同樣能採濕蝕刻或乾蝕刻。

接著，如圖 14 所示，在去除光阻 PPR 的部分形成控制電極 B12、B13、及切斷電極 E03。該等電極之材料係例如以無電解電鍍等電鍍方式來形成鋁等金屬物。又，亦可藉由蒸鍍或濺鍍來形成金屬物。

再者，若難以在光阻 PPR 之去除部分選擇性地形成之情形，則因為亦在保護膜 CC 上形成電極材料之故，可在形成電極材料後以酸等來施以蝕刻，以去除形成於保護膜 CC 上的電極材料。再者，前述電極材料之去除步驟亦可運用 CMP（化學機械研磨）。

如上述般，在光阻 PPR 的去除部分形成控制電極 B12、B13、切斷電極 E03 後，以蝕刻等方式去除保護膜 CC 與遮光材料 S12、S13。去除後之狀態如圖 15 所示。

此處，所形成之控制電極 B13，係圍繞主動元件材料

SR0 及形成於其表面之絕緣膜 OX。藉此，主動元件材料 SR0 乃形成以控制電極 B13 為閘極、以信號線 A03 和像素電極周緣部 C13 為源極、汲極之場效電晶體 TR。亦即，藉著施加於控制電極 B13 之電壓（電位），即能夠控制信號線 A03 與像素電極周緣部 C13 兩者之導電性。

此處，為了使主動元件材料 SR0 成為順利動作的場效電晶體 TR，須對於主動元件材料 SR0 的至少一部分，將矽單晶所構成之主動元件材料 SR0 在既定條件下添加（摻雜）摻質（雜質）使成為 n 型或 p 型半導體。然而，欲對矽單晶施以既定摻雜使發揮良好電性時，必須施以例如 450℃ 左右之熱處理。

但是，在本發明之顯示裝置製造方法中，其特徵之一，即是對前述基板 PL1 無須施以高溫處理，因此，伴隨有該高溫處理之摻雜步驟，還是以不採用為宜。

此處，所使用之主動元件材料 SR0，較佳係與分布至基板 PL1 前大致相同之摻雜程度，使用一樣的 n 型或 p 型半導體。此時，在信號線 A03 與像素電極周緣部 C13 之間，即，相當於主動元件材料 SR0 形成之場效電晶體 TR 的源極、汲極之間，在一般狀態下係具有電導性，但可藉著對閘極（即控制電極 B13）施加既定之電壓（電位），來切斷其導電性。亦即，若主動元件材料 SR0 為 n 型半導體則施加負電壓，若主動元件材料 SR0 為 p 型半導體則施加正電壓，按照對控制電壓 B13 之施加電壓，即可控制信號線 A03 與像素電極周緣部 C13 間之導電性，故可作成控制元

件，以對於位在主動元件材料 SR0 的圖中中央部位之所要主動元件材料，控制其導電性。

再者，如前述以及圖 15 所示可知，在主動元件材料 SR0 中，位在前述所要主動元件材料以外之圖中左端部分（非所要主動元件材料），係跨設於兩信號線 A02 和 A03 而配置，藉前述處理，形成以信號線 A02 和信號線 A03 為源極、汲極，並以切斷電極 E03 為閘極之場效電晶體。主動元件材料 SR0 如以上所述，較佳係同樣的 n 型或 p 型半導體，故而，若不對切斷電極 E03 施加既定電壓，在信號線 A02 與信號線 A03 之間，即會因主動元件材料 SR0 之非所要主動元件材料的作用，而成為導通狀態。

該導通，係導致將本來不應顯示的信號混於對各顯示像素（顯示元件）所傳達之信號的原因，而使製造的顯示裝置之品質劣化。

在本例中，係將既定電壓施加於切斷電極 E03，以實質去除兩信號線 A02、A03 間之導通性。所施加的既定電壓，當主動元件材料 SR0 為 n 型半導體時則是負電壓，當主動元件材料 SR0 是 p 型半導體時則是正電壓。

藉此，可去除主動元件材料 SR0 所發生之非所要之導通，可防止顯示裝置的品質劣化。

圖 4 係表示示在圖 15 之截面圖所示狀態之基板 PL1 之俯視圖。理所當然，在基板 PL1 上，除前述以外，亦形成對應於各像素電極 D11~43 之多數個控制電極 B11~B43 或切斷電極 E02、E03。又，在切斷電極 E02、E03 的上端

部及下端部，亦形成連接電極 E12、E13、E22、E23，以利切斷電極 E02、E03 與後述驅動電路之連接。

又，亦對主動元件材料 SR1、SR2 等施以加工，對於其中跨設於信號線 A01~03 與像素電極周緣部 C11~43 的部分（即所要主動元件材料）所施行之加工，係使成為以控制電極 B11~B43 為閘極之場效電晶體，作成控制元件；對於其中跨設於信號線 A01~03 中之複數條而配置者（即非所要主動元件材料），則加工成為以切斷電極 E02、E03 為閘極之場效電晶體，以實質去除兩信號線間之導電性。

接著，如圖 5 所示般，在圖 4 所示之基板 PL1 上形成選擇線 B10、B20、B30、B40。其中，選擇線 B10 係與控制電極 B11~B43 當中之控制電極 B11、B12、B13 形成電氣連接，與其他信號線 A01~03 或切斷電極 E02、E03 則呈絕緣。對於其他選擇線 B20~40 亦是同樣作法，僅與控制電極 B21~B43 當中配置在各選擇線 B20~40 正下方者形成電氣連接，與其他信號線 A01~03 或切斷電極 E02、E03 則呈絕緣。

藉此，例如，當主動元件材料 SR0 係 n 型半導體時，僅對選擇線 B10 施加正電壓或 0 電壓，對其他選擇線 B20~40 則施加負電壓，因此，僅有選擇線 B10 所屬之控制電極 B11~13 被施加正電壓或 0 電壓，而其他選擇線 B20~40 所屬之控制電極 B21~43 則是被施加負電壓。其結果，能使被控制電極 B11~13 控制之主動元件材料（SR0 的中央部等）所構成的控制元件具有導電性，而將其他選擇線

B20～40 之控制元件（由主動元件材料 SR2 等構成之控制元件）之導電性切斷。

又，在該狀態下，透過信號線 A01～03 傳送既定之顯示資訊（電氣信號），藉此，可傳送之前述顯示資訊，僅能傳送至對應各信號線 A01、A02、A03 之像素電極 D11、D12、D13。

又，依序改變施加正電壓或 0 電壓之選擇線，與此同步變更透過信號線 A01～03 所傳送之顯示資訊，藉此，能依序將顯示資訊傳送至基板 PL1 上之所有像素電極 D11～43。

藉由以上步驟，在前述一片基板上所形成之信號線 A01～03、選擇線 B10～40、像素電極 D11～43、像素電極周緣部 C11～43、控制電極 B11～B43、切斷電極 E02 和 E03、主動元件材料與控制元件 SR0 等之製造步驟因此完成。

再者，前述製造步驟之順序，並不侷限於前述實施形態所述者，無庸贅言，亦能以其他順序來形成。又，在前述實施形態中，信號線 A01～03 與像素電極周緣部 C11～43 係以同一形成步驟而形成，但亦能藉不同步驟來形成之。

又，在前述實施形態中，對於主動元件材料 SR0 等之加工，使相當於所要主動元件材料之部分成為控制元件之步驟，以及使相當於非所要主動元件材料之部分的導電性實質去除之步驟，係以同一形成步驟來形成，然而，亦可藉不同的步驟來形成。

又，對於相當於非所要主動元件材料之部分的導電性予以實質去除的步驟，例如，可實際去除主動元件材料 SR0 等元件當中、相當於非所要主動元件材料者，或對其中之一部分予以實際去除。其作法係，如圖 3 所示般地將主動元件材料 SR0 等分布於基板 PL1 之後，藉由微影步驟，僅在相當於所要主動元件材料的位置形成保護膜，亦即是將之形成於信號線 A01~03 上、像素電極周緣部 C11~43 上、以及被挾於其間的部分；至於未形成前述保護膜的部分，則可藉蝕刻方式去除所分布之主動元件材料（如主動元件材料 SR0 的左端部或主動元件材料 SR3 等）。

再者，如此實際去除非所要主動元件材料的情形，則無須形成前述切斷電極 E02、E03。

在前述實施形態中，信號線 A01~03 及像素電極周緣部 C11~43，係以圍繞於像素電極 D11~43 的外周的方式配置，其原因乃在於，其配置方式若如上揭般地圍繞於像素電極 D11~43 的外周全部，可增大像素電極周緣部 C11~43、以及信號線 A01~03 當中與此近接部分的長度，有利於將主動元件材料 SR0 等確實地分布於所要信號線 A01~03 與像素電極周緣部 C11~43 之間。

然而，信號線 A01~03 與像素電極周緣部 C11~43 之配置形狀不在此限。亦即，像素電極周緣部 C11~43 亦可僅形成於像素電極 D11~43 當中的左邊部位，並同樣使信號線 A01~03 為近接於各像素電極 D11~43 之單純延伸於上下方向之線狀（棒狀）物。

此時，配置主動元件材料 SR0 等、並藉之後的加工而作成控制元件之機率，相較於上例之繞像素電極 D11~43 周圍而形成之像素電極周緣部 C11~43 與信號線 A01~03 之際，約是其 1/4 左右。

其結果，由信號線 A01~03 朝各像素電極 D11~43 傳送顯示資訊時，其電阻約成為 4 倍，然而，若經總合考量顯示裝置的性能，判定前述電阻值的增大尚在容許之內時，所能採用像素電極周緣部 C11~43 之配置，例如，亦可僅在像素電極 D11~43 當中的左端部位配置。

再者，在該狀況下，有可能因主動元件材料 SR0 等之作用，使得像素電極周緣部 C11~43 或像素電極 D11~43 在圖 3 等之紙面當中的上下方向發生導通之虞。因此較佳係，在像素電極周緣部 C11~43 與像素電極 D11~43 的上下方向之間，形成前述切斷電極 E02、E03 般之切斷電極，俾實質去除主動元件材料 SR0 等之導電性，或是，藉微影步驟去除前述非所要主動元件材料，以去除分布於該部分之主動元件材料。

接著，說明本實施形態之顯示元件的形成方法。

圖 16 係表示在圖 5 所示之一片基板上，使用業已完成信號線 A01~03、選擇線 B10~40、像素電極 D11~43、像素電極周緣部 C11~43、控制電極 B11~43、切斷電極 E02、E03、主動元件材料和控制元件 SR0 等之製造步驟之基板 PL1，來形成液晶顯示元件時之例。

又，圖 16 係表示像素電極 D13 附近之放大截面圖。

在基板 PL1 上之場效電晶體 TR、TR2 形成保護膜之後，以相對於基板 PL1 之既定間隔，對向配置同樣形成對向電極 DC 之對向基板 PL2。然後將液晶材料封入兩基板之間。

此時，對應於一個像素電極 D13 之顯示元件，其構成之主體，係像素電極 D13 與對向電極 DC、以及挾於其間之液晶材料 LC。

再者，該液晶顯示裝置為透過型時，理所當然，兩基板 PL1、PL2 係使用透過性材料。又，在基板 PL2 上之對向電極 DC 亦以 ITO 等透明電極形成。又，在基板 PL1 的下方與 PL2 的上方，分別形成偏光板或偏光膜，遂完成透過型液晶顯示元件 LC13。又，同樣作法，在其他像素電極 D11~43 所對應之位置，亦完成透過型液晶顯示元件。

又，如前述，朝像素電極周緣部 D11~43 選擇性地傳送顯示資訊（電氣信號），藉此，能使對應於既定的像素電極 D11~43 之液晶顯示元件 LC13，以既定透過率（亮度）等而顯示之。

又，亦可依其必要性，在基板 PL1 或對向基板 PL2 上形成濾色片，以成為可彩色顯示之液晶顯示裝置。

再者，於圖 16 中，例如，亦可使對向電極 DC 為高反射率之金屬膜等，以成為光自基板 PL1 側入射、亦由基板 PL1 側射出之反射型液晶顯示裝置。又，亦可使像素電極 D11~43 為高反射率之金屬膜等，以成為光自對向基板 PL2 側入射、亦由對向基板 PL2 側射出之反射型液晶顯示裝置。

接著參照圖 17、圖 18，說明形成電致變色顯示元件的方法。

圖 17 係表示在圖 5 所示之一片基板上，在完成信號線 A01~03、選擇線 B10~40、像素電極 D11~43、像素電極周緣部 C11~43、控制電極 B11~B43、切斷電極 E02、E03、主動元件材料和控制元件 SR0 等之製造步驟之基板 PL1 上，例如形成鋁等金屬所構成之高反射率反射膜 MR，在其上形成氧化銻 (Sb_2O_5) 等電解質 ES，並在其上形成氧化鎢 (WO_3) 等電致材料 EC，進而塗布光阻 PR2 之狀態。再者，圖 17 亦是像素電極 D13 附近之放大截面圖。

藉由微影步驟，照射具既定強度分布之曝光用光 Exp3，在對應於像素電極 D11~43 的部分，正確而言應是略為放大的部分，殘存著光阻 PR2，並去除其他部分之光阻 PR2。之後，以前述光阻 PR2 為光罩，對電致變色材料 EC、電解質 ES、反射膜 MR 施以蝕刻。又，將絕緣構件 FS1、FS2 埋入蝕刻所去除的部分，之後，將已形成透明電極 DC 之對向基板 PL2 配置在基板 PL1 上。

藉此，完成反射型電致變色顯示元件 EC13 等，朝像素電極 D11~43 選擇性地傳送顯示資訊（電氣信號），使得對應於既定像素電極 D11~43 之電致變色顯示元件 EC13，能以既定之反射率（亮度）等顯示。

再者，電致變色顯示元件亦可與液晶顯示元件同樣使用透過型，因此，亦可採用透明電極來代替前述之高反射率反射膜 MR，或者，不採用上揭形成物而逕以透明像素

電極 D11~43 本身來作為顯示元件的電極，藉此亦能製造透過型之電致變色顯示裝置。

接著說明電解析出型顯示元件與電泳型顯示元件之形成方法。

以下係參照圖 18 予以說明，但圖 18 之構成要件所分別表示者，係與前述電致變色顯示裝置之實施形態不同者。

本發明之顯示裝置中的顯示元件係電解析出型顯示元件時，係以銀 (Ag) 來形成圖 18 中的高反射率反射膜 MR。又，在對向基板 PL2 上形成透明電極 DC，進而形成透明電極 EC。然而透明電極 EC 可依情況予以省略。在本例中，對反射膜 MR 施以圖案化後所產生的空隙 FS1、FS2，無須充填絕緣物。

又，近接配置著基板 PL1 與對向基板 PL2，將含銀離子之溶液封入其間 ES，以及前述空隙 FS1、FS2。藉此，完成電解析出型顯示元件 EC13。

將正電荷透過信號線 A03 而注入像素電極 D13 後，反射膜 MR 的銀成為銀離子而解離至溶液 ES、FS1、FS2；另一方面，在對向之透明電極 EC 上，銀離子成為析出的銀。又，由於在透明電極 EC 上析出的銀所致，降低了透明電極 EC 之透明度，因此降低電解析出型顯示元件 E13 之反射率。

另一方面，將負電荷透過信號線 A03 而注入像素電極 D13 後，在透明電極 EC 上析出的銀再度成為銀離子而解

離至溶液 ES、FS1、FS2；另一方面，在反射膜 MR 的銀離子成為銀而析出。藉此，在透明電極 EC 上所析出的銀減少，而回復透明電極 EC 之透明度，以提高電解析出型顯示元件 E13 之反射率。

前述之電解析出型顯示元件 E13，其反射率的下降或上昇具可逆性，可重複任意次數之反射率的下降、上昇，以作為顯示元件及顯示元件裝置之用。

形成電泳型顯示元件以作為本發明之顯示元件時，其製造方法，亦幾乎相同於前述電解析出型顯示元件之製造方法，惟，充填入兩基板間的液體並非銀離子溶液，係例如含碳粒子或氧化鈦粒子之液體；而高反射率反射膜 MR 的材料並不侷限為銀，亦可使用鋁等其他金屬材料。

此外，在前述方法所形成之顯示裝置，僅憑其單體並不具有處理及產生顯示資訊的能力，欲使前述顯示裝置發生動作，必須具有驅動電路以輸入顯示資訊（電氣信號）或選擇信號。

圖 19 所示，係驅動電路形成方法的一例，其係形成驅動電路 IC1、IC2，透過其端部之電極部 A11、B01、E12 等，將顯示資訊（電氣信號）或選擇信號輸至藉前述製造方法製成之形成有顯示裝置之基板 PL1。

驅動電路 IC1、IC2，係分別安裝在撓性的薄膜狀基材 T1、T2 上之積體電路，在薄膜狀的基材 T1、T2 上，分別形成配線圖案 AL1、BL1 等，構成薄膜狀配線構件。

配線圖案 AL1 等，係透過基板 PL1 上之電極部 A11

等連接至信號線 A01 等。又，配線圖案 BL1 等，係分別透過基板 PL1 上之電極部 B01 等連接至選擇線 B10 等。又，配線圖案 AL1、BL1 分別連接至積體電路 IC1、IC2，積體電路 IC2 則與外部之影像信號 Sig 連接。

積體電路 IC2 根據影像信號 Sig 而作成選擇信號，透過配線圖案 BL1 等，將既定電壓施加於顯示裝置中的選擇線 B10 等。又，積體電路 IC2 係透過相互配線 CL，朝積體電路 IC1 傳達影像信號 Sig 或其中一部分，積體電路 IC1 則根據該信號作成顯示信號，並透過配線圖案 AL1 等，將既定顯示資訊（電氣信號）傳送至顯示裝置中的信號線 A01 等。

又，依需要，積體電路 IC1 透過配線圖案 EL1 及基板 PL1 上之電極 E12 等，朝基板 PL1 上之切斷電極 E02 等供應既定之電壓（電位）。

再者，以上之實施形態中，主動元件材料 SR0 等係由半導體所構成，但其適用不在此限，亦可使用金屬或金屬氧化物等之導體，或由有機物所構成。即是使用有機物，亦能與前述實施形態同樣構成電晶體。

又，使用金屬或金屬氧化物等之導體時，可構成二極體。亦即，在金屬性的主動元件材料表面形成異種金屬薄膜或半導體薄膜，利用異種金屬間的整流特性，或是金屬半導體間產生的整流特性，可作為二極體之用。藉此，例如，可構成背對背型二極體之主動顯示元件。

再者，本發明不侷限於前述實施形態，理所當然，在

未脫本發明要旨的範圍內，能施以各種構成。又，在 2003 年 11 月 18 日所提出之日本專利申請案 2003-388457，以及 2003 年 11 月 19 日所提出之日本專利申請案 2003-389385 中，包括其說明書、申請專利範圍、圖式、摘要之全部揭示內容，亦援用於本案。

依本發明之顯示裝置製造方法，無須在顯示裝置所使用之基板上形成半導體薄膜，因此，製造顯示裝置時無須經由高溫處理。故可採用耐熱性較低之廉價基板，達到顯示裝置之低成本化。

又，根據本發明之顯示裝置製造方法，可防止在顯示裝置設計時不欲導通之處發生導通（短路），可防止發生顯示像素缺陷。

因此，可製造無像素缺陷之顯示裝置。

【圖式簡單說明】

圖 1 係表示本發明之顯示裝置製造方法的實施形態之製造步驟途中，在顯示裝置用基板 PL1 上形成像素電極 D11～43 之狀態。

圖 2 係表示在顯示裝置用基板 PL1 上，進一步形成信號線 A01～03 與像素電極周緣部 C11～43 之狀態。

圖 3 係表示在圖 2 所示之顯示裝置用基板 PL1 上，然後進一步分布主動元件材料 SR0 等之狀態。

圖 4 係表示對圖 3 所示之顯示裝置用基板 PL1 施以既定處理後，進一步形成用以控制所要主動元件材料之控制

電極 B11～43、及用以去除非所要主動元件材料之導電性的切斷電極 E02、E03 之狀態。

圖 5 係表示在圖 4 所示之顯示裝置用基板 PL1 上形成選擇線 B10～40 之狀態。

圖 6 係圖 3 所示狀態之顯示裝置用基板 PL1 之主動元件材料 SR0 附近之放大截面圖。

圖 7 係表示在圖 6 所示狀態之顯示裝置用基板 PL1 塗布光阻 NPR 後，照射曝光用光 Exp1 時之狀態。

圖 8 係表示對圖 7 所示狀態之顯示裝置用基板 PL1 施以顯影、蝕刻時之狀態。

圖 9 係表示在圖 8 所示狀態之顯示裝置用基板 PL1，形成上層像素電極周緣部、C120、C130、及上層信號線 A020、A030 時之狀態。

圖 10 係表示自圖 9 所示狀態之顯示裝置用基板 PL1 去除光阻 NPR 後之狀態。

圖 11 係表示在圖 10 所示狀態之顯示裝置用基板 PL1 形成遮光構件 S12、S13 與保護膜 CC 之狀態。

圖 12 係表示在圖 11 所示狀態之顯示裝置用基板 PL1 塗布光阻 PPR 後，曝光用光 Exp2 之照射時之狀態。

圖 13 係表示對圖 12 所示狀態之顯示裝置用基板 PL1 施以顯影、蝕刻時之狀態。

圖 14 係表示在圖 13 所示狀態之顯示裝置用基板 PL1，形成控制電極 B12 和 B13、及切斷電極 E03 時之狀態。

圖 15 係表示自圖 14 所示狀態之顯示裝置用基板 PL1

去除保護膜 CC 後之狀態。

圖 16 係表示本發明之顯示裝置製造方法的實施形態之液晶顯示裝置之製造方法圖。

圖 17 係表示本發明之顯示裝置製造方法的實施形態之電致變色顯示裝置之製造方法圖。

圖 18 係表示本發明之顯示裝置製造方法的實施形態之電致變色顯示裝置、電解析出型顯示裝置、與電泳型顯示裝置之製造方法圖。

圖 19 係表示在本發明之顯示裝置形成驅動電路的方法之一例。

【主要元件符號說明】

PL1：基板

D11～D43：像素電極

A01～03：信號線

C11～43：像素電極周緣部

SR0～4：主動元件材料

B11～43：控制電極

E02、03：切斷電極

B10～B40：選擇線

PL2：對向基板

五、中文發明摘要：

一顯示裝置製造方法，無須經高溫處理且能使用具高性能與撓性之基板。具有 2 維排列之複數個顯示元件的主動矩陣型顯示裝置之製造方法中，主動元件材料（SR0～SR4）無須直接成膜於構成顯示元件之基板（PL1）上，使用半導體等材料另外形成之，並將其分布於基板上，藉此形成主動元件。又，對於分布在非所要位置之主動元件材料，施以實質去除其導電性之處置，俾避免發生非必要的導通。

六、英文發明摘要：

十、申請專利範圍：

1.一種顯示裝置製造方法，該顯示裝置具有 2 維排列之複數個顯示元件，其特徵在於包含以下步驟：

在構成該複數個顯示元件之至少一個基板上，形成複數個像素電極，其等分別連接至該複數個顯示元件；

在該基板上形成複數條信號線，其等可將顯示資訊傳達至該複數個顯示元件；

使複數個主動元件材料分布於該基板上；

在該主動元件材料中，將所要主動元件材料(跨設於該複數條信號線中之既定信號線與複數個像素電極中的既定像素電極而分布)之至少一部分作成控制元件，其可控制該既定信號線與既定像素電極間的導電性；及

對於該所要主動元件材料外之主動元件材料、亦即非所要主動元件材料之至少一部分，將其非所要導電性之至少一部分予以實質去除，該非所要導電性，係包含該複數條信號線彼此間之導電性、該複數條信號線與複數個像素電極間之導電性、或者是該複數個像素電極彼此間之導電性。

2.如申請專利範圍第 1 項之顯示裝置製造方法，其中該複數個主動元件材料之分布步驟，係包含將該複數個主動元件材料隨機分布於該基板上之步驟。

3.如申請專利範圍第 1 項之顯示裝置製造方法，其中該信號線，係以該像素電極的全周長 $1/4$ 以上的長度配置成近接且圍繞該像素電極。

4.如申請專利範圍第 1 項之顯示裝置製造方法，其中該信號線相，係以該像素電極的全周長 $1/4$ 以上長度配置成近接且圍繞該像素電極，並且，

在該複數個主動元件材料的分布步驟中，係包含將該複數個主動元件材料隨機分布於該基板上之步驟。

5.如申請專利範圍第 1 項之顯示裝置製造方法，其中，實質去除該非所要主動元件材料之非所要導電性之步驟，係包含去除該非所要主動元件材料的至少一部分之步驟。

6.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該主動元件材料係包含棒狀之半導體物質。

7.如申請專利範圍第 6 項之顯示裝置製造方法，其中該棒狀之半導體物質為矽。

8.如申請專利範圍第 6 項之顯示裝置製造方法，其中該棒狀之半導體物質為矽，並且其表面係以氧化矽被覆。

9.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該顯示元件係透過型元件。

10.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該顯示元件係反射型元件。

11.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該顯示元件係液晶顯示元件。

12.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該顯示元件係電泳型顯示元件。

13.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該顯示元件係電解析出型顯示元件。

14.如申請專利範圍第 1~5 項中任一項之顯示裝置製造方法，其中該顯示元件係電致變色顯示元件。

15.如申請專利範圍第 1 項之顯示裝置製造方法，其中該主動元件材料包含棒狀之半導體物質。

16.如申請專利範圍第 15 項之顯示裝置製造方法，其中該複數個主動元件材料之分布步驟，係包含將該複數個主動元件材料隨機分布於該基板上之步驟。

17.如申請專利範圍第 15 項之顯示裝置製造方法，其中該信號線，係以該像素電極全周長 $1/4$ 以上長度配置成近接且圍繞該像素電極。

18.如申請專利範圍第 15 項之顯示裝置製造方法，其中該信號線，係以該像素電極的全周長 $1/4$ 以上長度配置成近接且圍繞該像素電極，並且，

該複數個主動元件材料之分布步驟，包含將該複數個主動元件材料隨機分布於該基板上之步驟。

19.如申請專利範圍第 15 項之顯示裝置製造方法，其中實質去除該非所要主動元件材料之非所要導電性之步驟，係包含去除該非所要主動元件材料的至少一部分之步驟。

20.如申請專利範圍第 15 項之顯示裝置製造方法，其中，以該所要主動元件材料作成控制元件之步驟，係包含使該所要主動元件材料作為場效電晶體之步驟。

21.如申請專利範圍第 15 項之顯示裝置製造方法，其中，實質去除該非所要主動元件材料之非所要導電性之步

驟，係包含使該非所要主動元件材料作為場效電晶體之步驟。

22.如申請專利範圍第 15~21 項中任一項之顯示裝置製造方法，其中該棒狀之半導體物質係 n 型或 p 型半導體。

23.如申請專利範圍第 15~21 項中任一項之顯示裝置製造方法，其中該棒狀之半導體物質為矽。

24.如申請專利範圍第 15~21 項中任一項之顯示裝置製造方法，其中該棒狀之半導體物質，其表面係以絕緣膜被覆。

25.如申請專利範圍第 24 項之顯示裝置製造方法，其中該棒狀之半導體物質為矽，該表面之絕緣膜為氧化矽。

26.如申請專利範圍第 15~21 項中任一項之顯示裝置製造方法，其中實質去除該非所要主動元件材料之非所要導電性之步驟，係包含去除該非所要主動元件材料的至少一部分之步驟。

27.如申請專利範圍第 15~21 項中任一項之顯示裝置製造方法，其中該至少一片基板，係使用具有撓性之基板。

28.如申請專利範圍第 27 項之顯示裝置製造方法，其中該至少一片基板，係使用有機材料構成之基板。

29.如申請專利範圍第 27 項之顯示裝置製造方法，其係進一步包含，於該至少一片基板的端部連接薄膜狀配線構件之步驟。

30.如申請專利範圍第 28 項之顯示裝置製造方法，其係進一步包含，於該至少一片基板的端部連接薄膜狀配線

構件之步驟。

31.一種顯示裝置，其特徵在於，係以申請專利範圍第1~5項及申請專利範圍第15~21項中任一項之顯示裝置製造方法製成。

32.一種顯示裝置，其特徵在於，係以申請專利範圍第6項之顯示裝置製造方法製成。

33.一種顯示裝置，其特徵在於，係以申請專利範圍第23項之顯示裝置製造方法製成。

34.一種顯示裝置，其特徵在於，係以申請專利範圍第26項之顯示裝置製造方法製成。

35.一種顯示裝置，其特徵在於，係以申請專利範圍第27項之顯示裝置製造方法製成。

36.一種顯示裝置，其特徵在於，係以申請專利範圍第28項之顯示裝置製造方法製成。

十一、圖式：

如次頁

圖 1

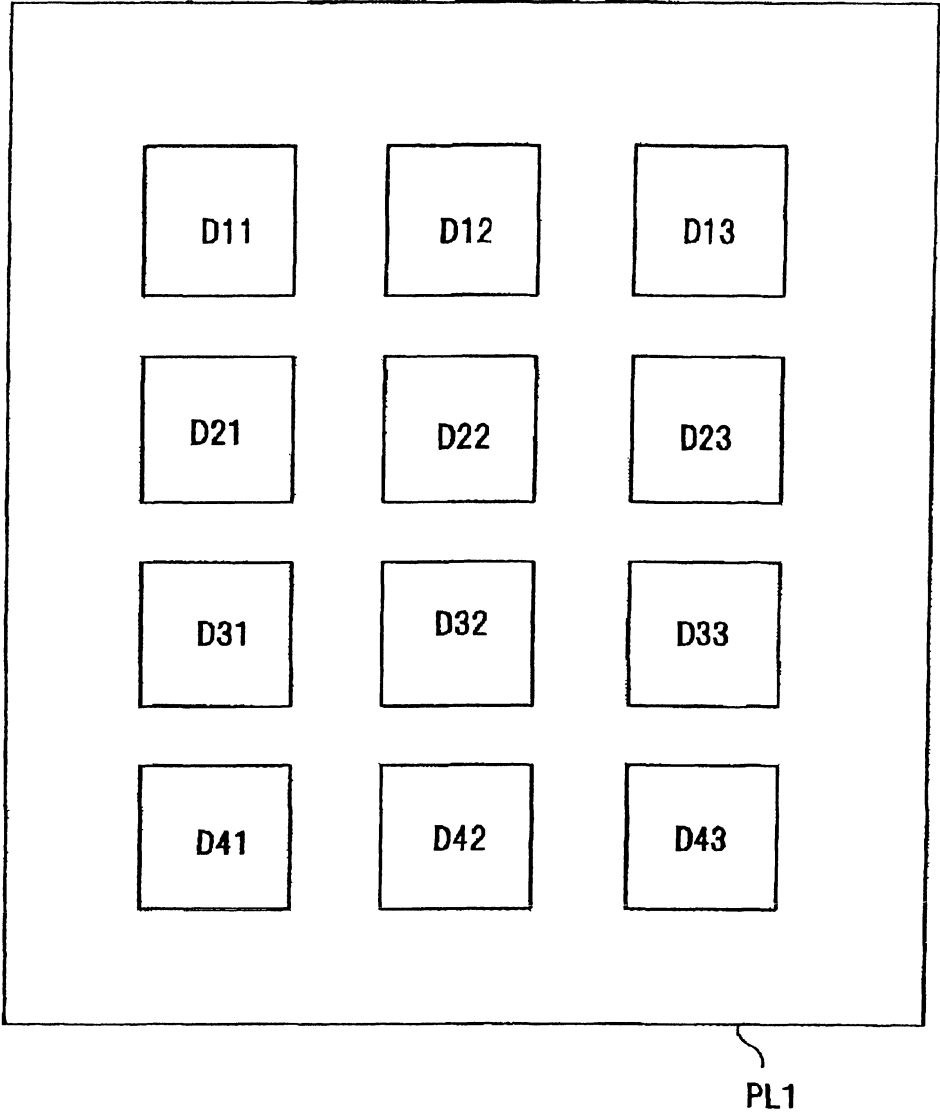


圖 2

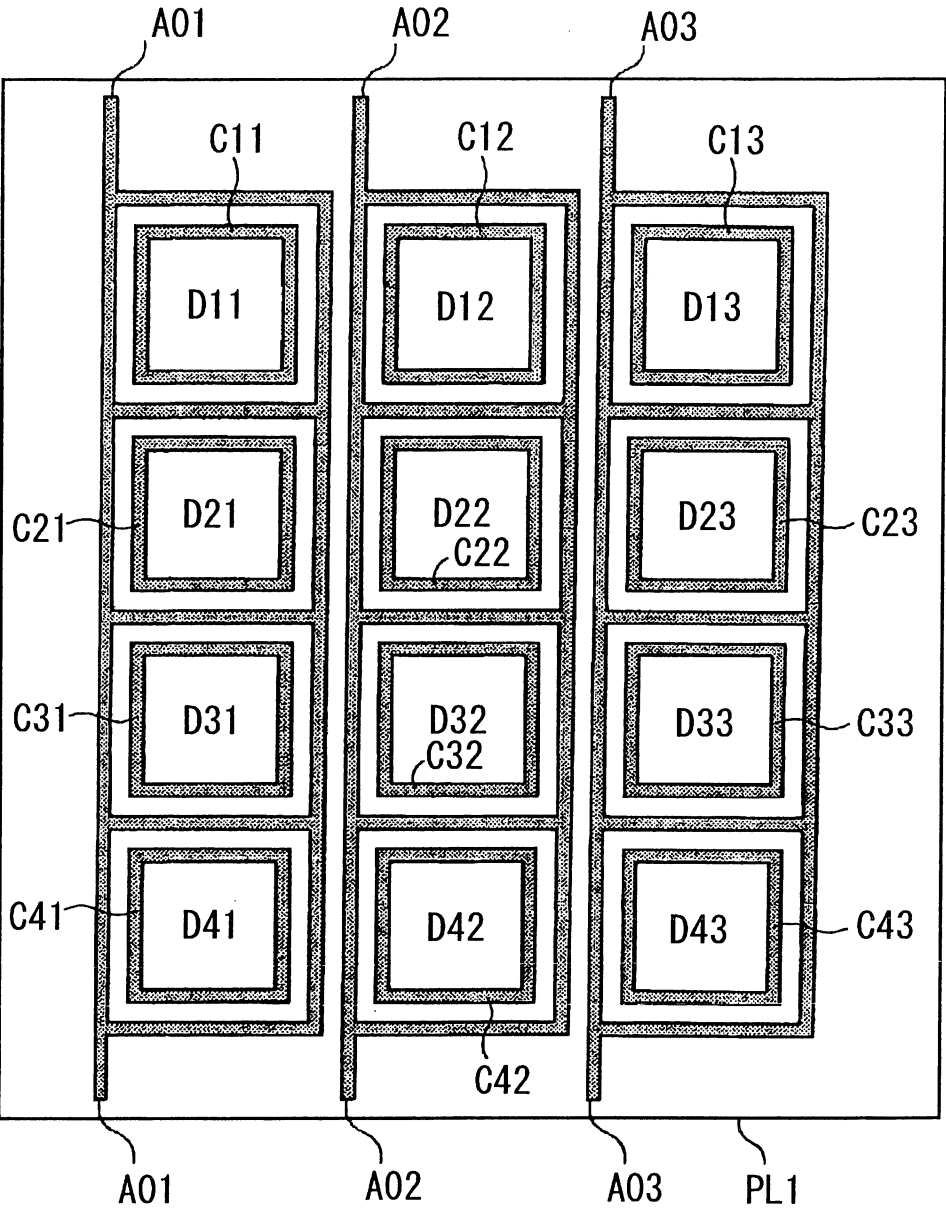


圖 3

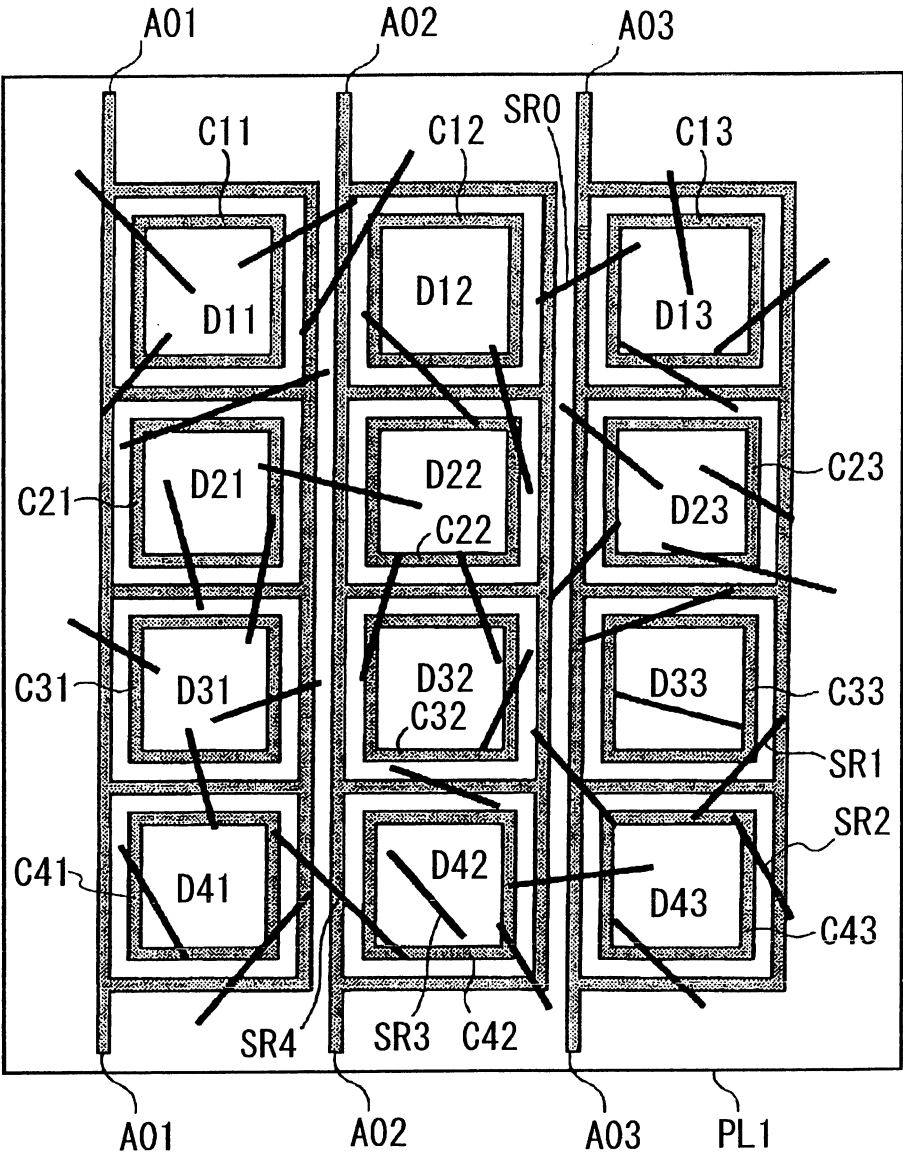


圖 4

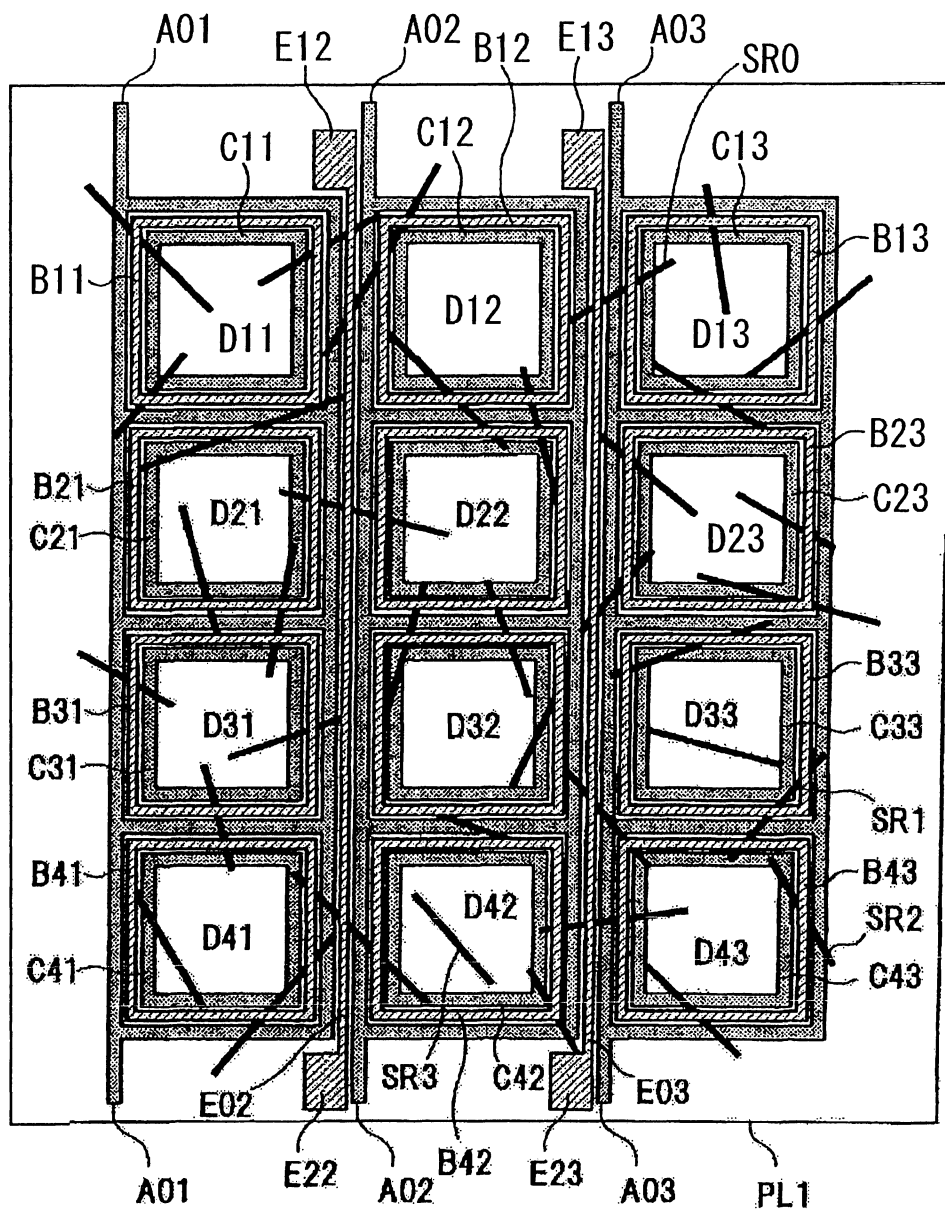


圖 5

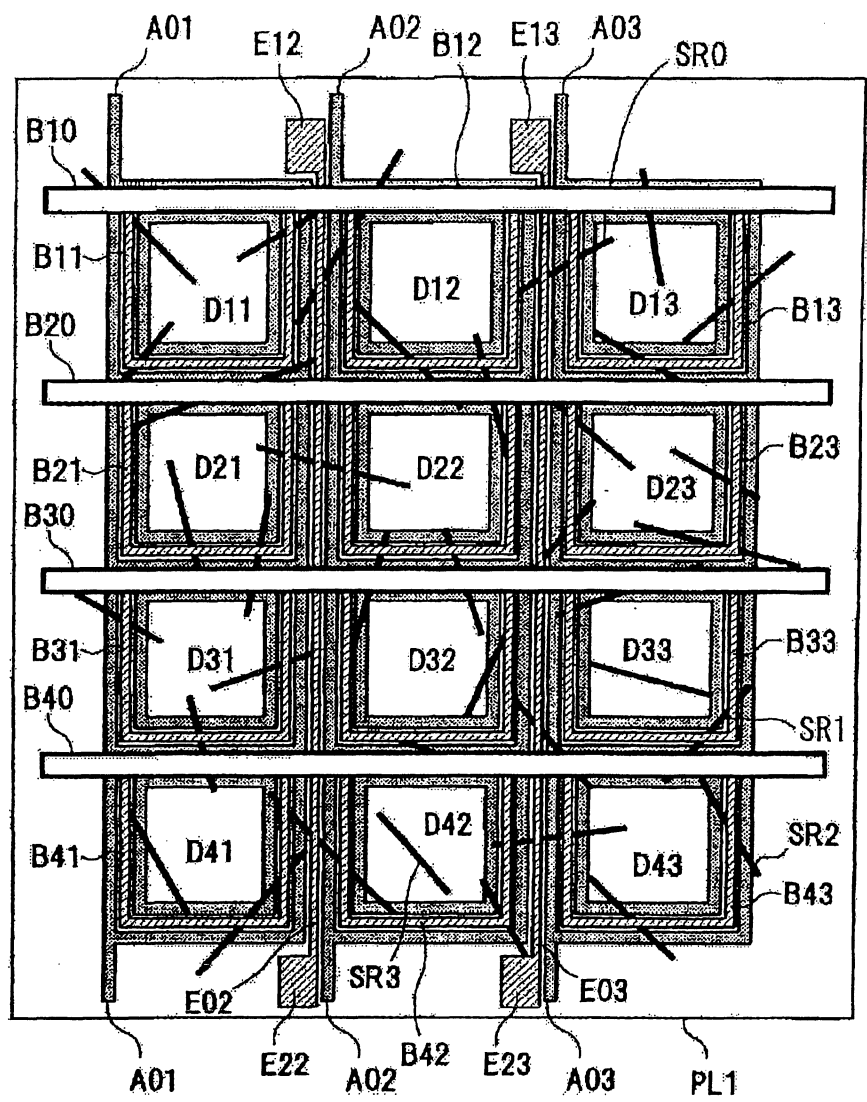


圖 6

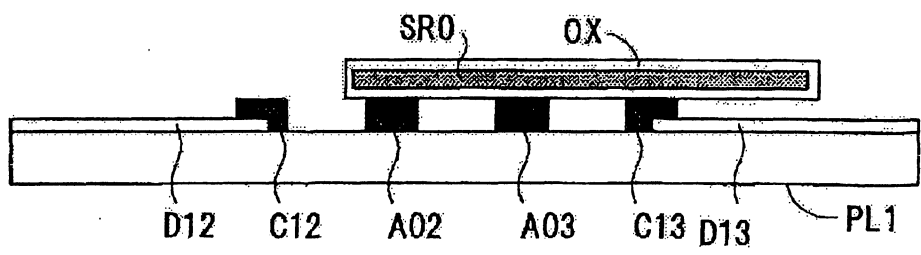


圖 7

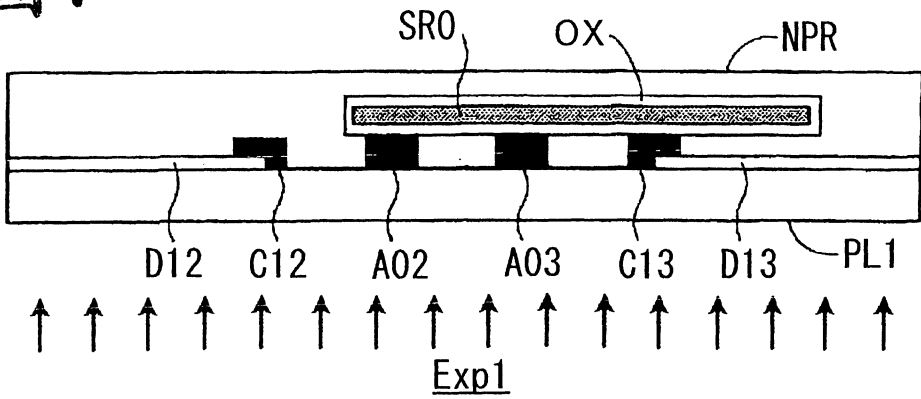


圖 8

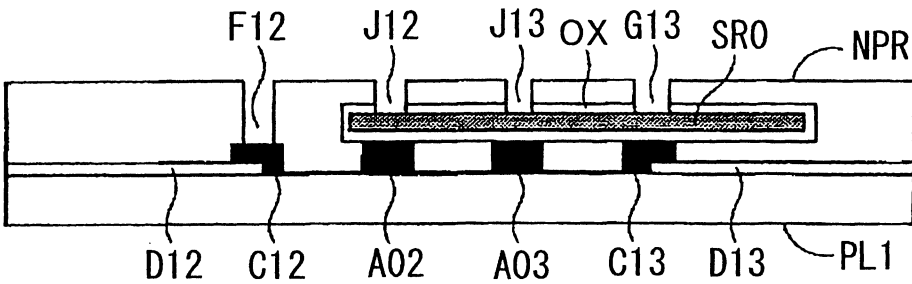


圖 9

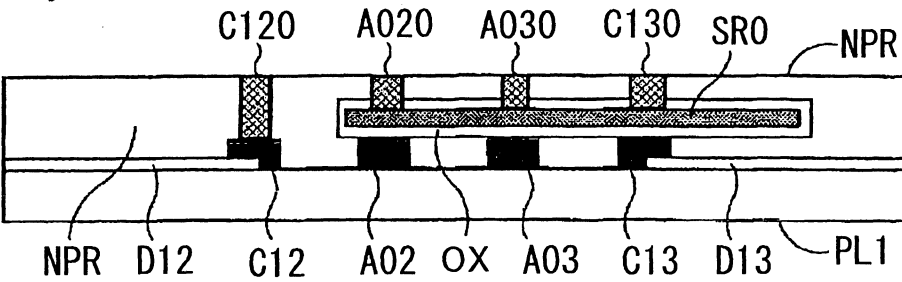


圖 10

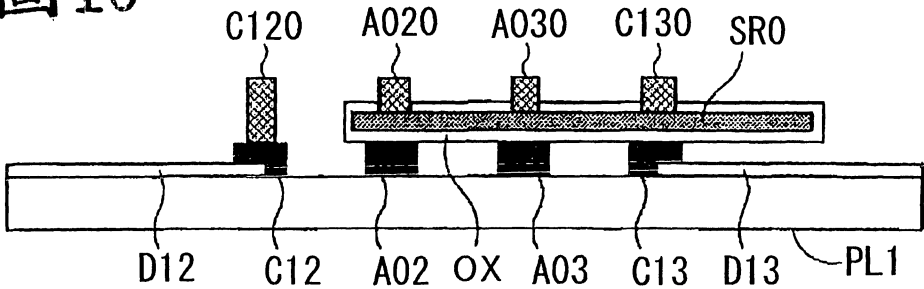


圖 11

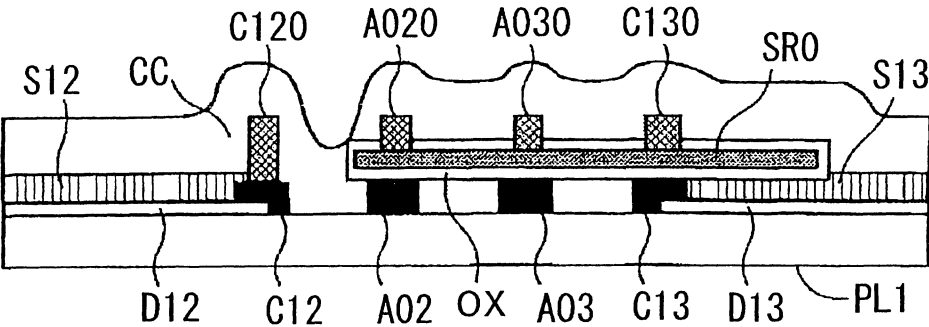


圖 12

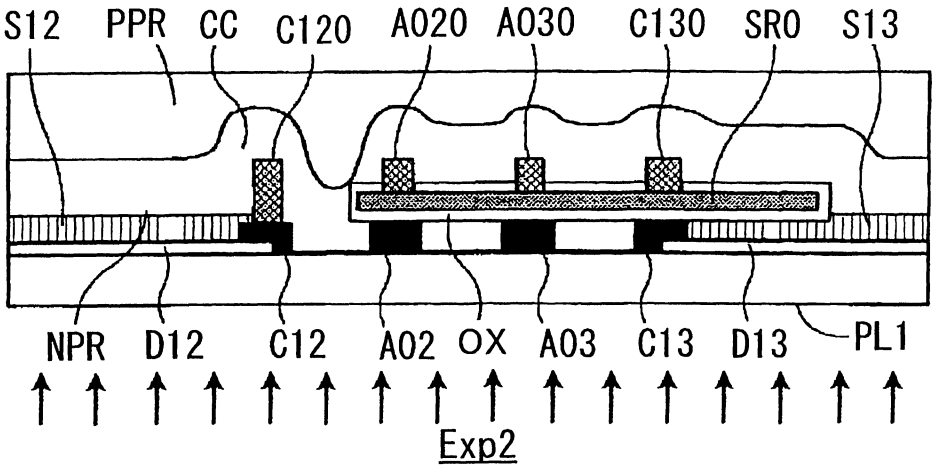


圖 13

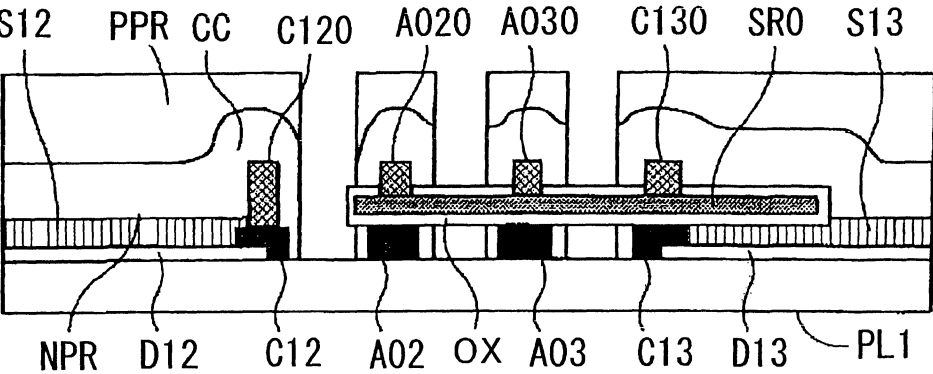


圖 14

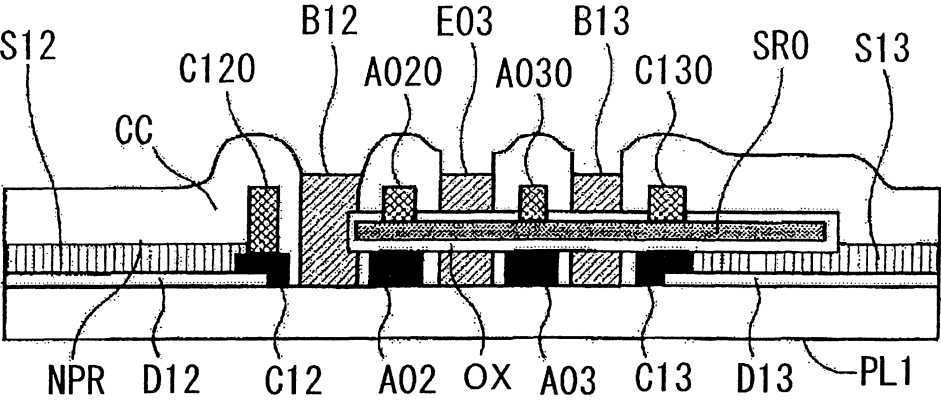


圖 15

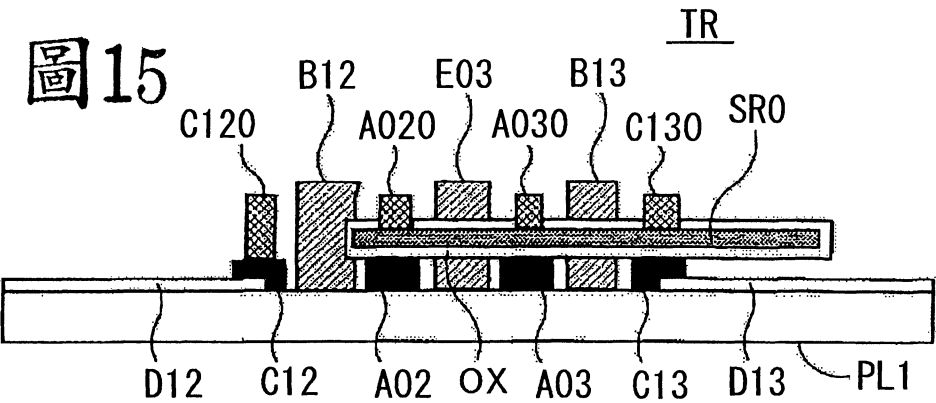


圖 16

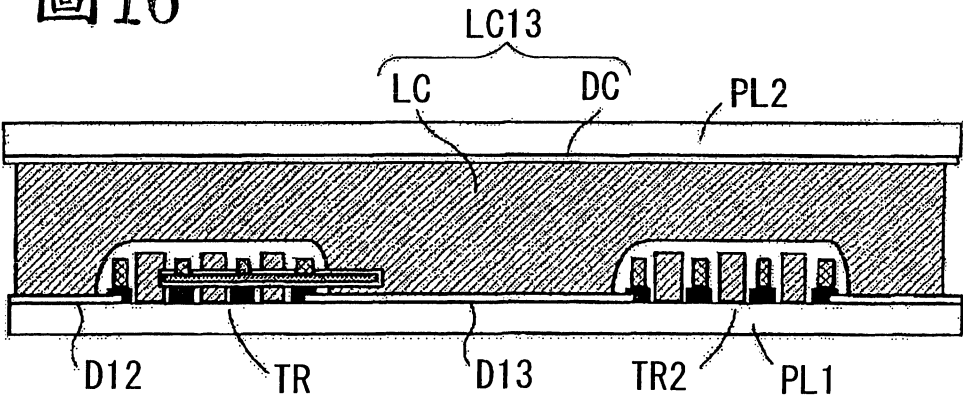


圖 17

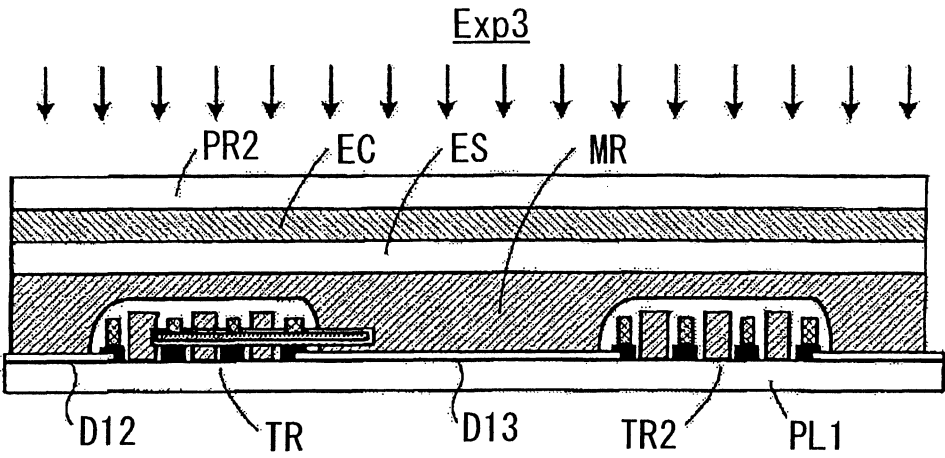


圖 18

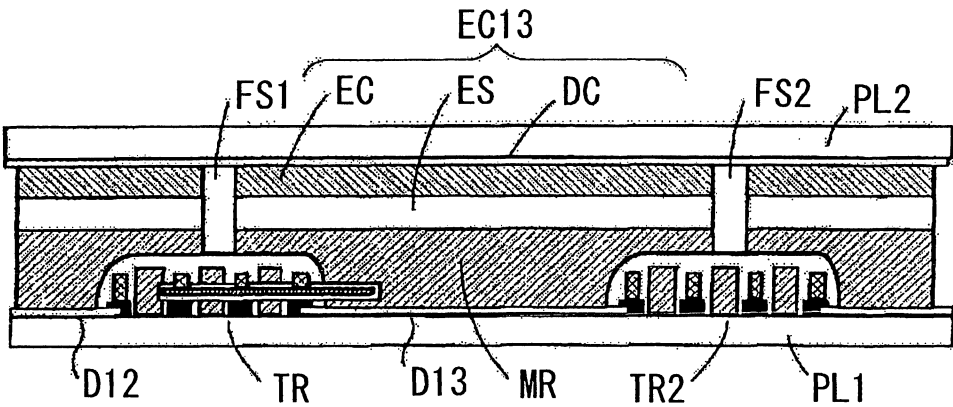
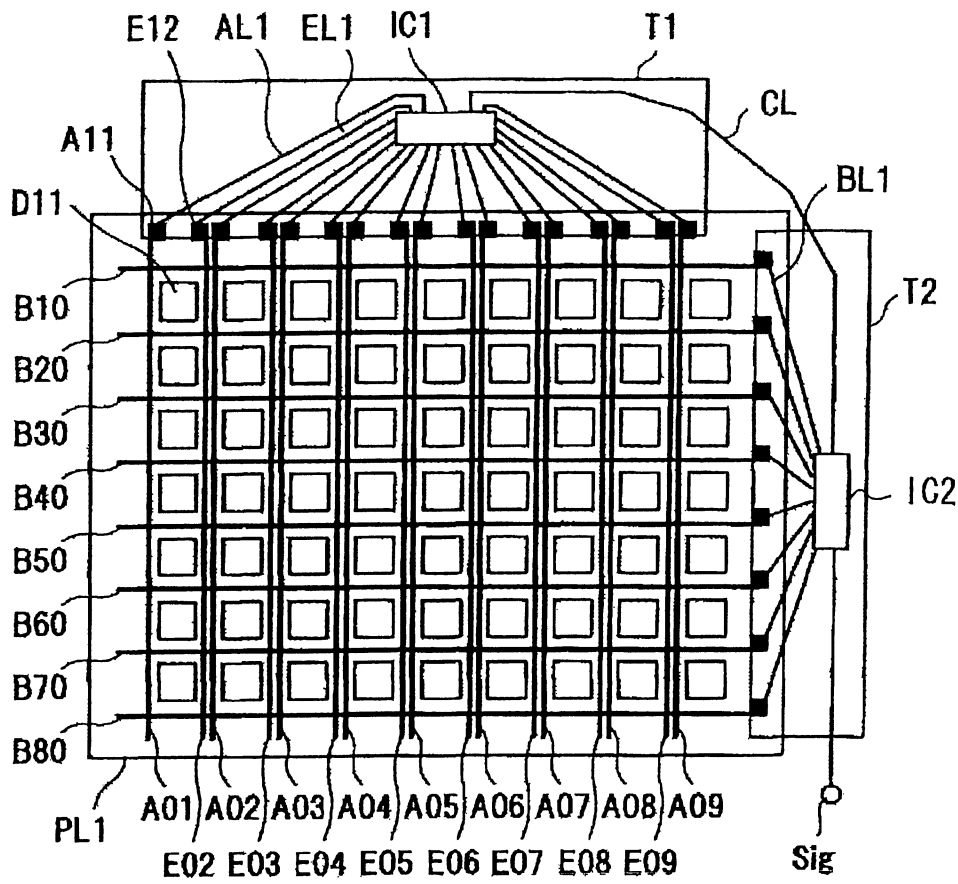


圖 19



七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

PL1：基板

D11～D43：像素電極

A01～03：信號線

C11～43：像素電極周緣部

SR0～4：主動元件材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無