

(12) 发明专利

(10) 授权公告号 CN 102156789 B

(45) 授权公告日 2013. 01. 02

(21) 申请号 201110106753. 7

化. 《电子技术应用》. 2009, (第 4 期), 第 17-20 页.

(22) 申请日 2011. 04. 27

审查员 姜磊

(73) 专利权人 迈普通通信技术股份有限公司

地址 610041 四川省成都市高新区九兴大道 16 号迈普大厦

(72) 发明人 王隆峰

(74) 专利代理机构 成都虹桥专利事务所 51124

代理人 李顺德

(51) Int. Cl.

G06F 17/50 (2006. 01)

(56) 对比文件

CN 101793941 A, 2010. 08. 04,

CN 101771408 A, 2010. 07. 07,

US 2005/0183055 A1, 2005. 08. 18,

US 7000210 B2, 2006. 02. 14,

Scott T.. 用设计约束实现 FPGA 性能的最优

权利要求书 2 页 说明书 4 页 附图 2 页

(54) 发明名称

FPGA 约束文件自动生成系统及方法

(57) 摘要

本发明涉及 FPGA 逻辑设计领域的约束文件生成技术,其针对传统技术中 FPGA 约束文件设计复杂、工作量大、易出错的问题,提出了一种 FPGA 约束文件的自动生成方法。其技术方案要点可概括为:根据原理图拓扑数据解析出 FPGA 位号和连接 FPGA 器件且符合命名规范的有效网络名,再结合 FPGA 器件参数数据库中的参数信息按照预先制定的规则进行运算,确定 FPGA 器件所有管脚属性,最后,按照既定的 FPGA 约束文件规范输出 FPGA 约束文件。此外,本发明还提出了一种 FPGA 约束文件自动生成系统。本发明适用于 FPGA 器件的约束文件的自动生成。



1. FPGA 约束文件自动生成系统,其特征在于:包括数据解析运算单元及与之连接的原理图数据检入单元、FPGA 器件参数数据库、FPGA 约束文件生成单元;所述原理图数据检入单元用于检入原理图网络互联拓扑数据及原理图中的器件位号;所述数据解析运算单元首先区分 FPGA 器件与其它器件的位号,其次,根据 FPGA 的器件位号来关联与 FPGA 器件互联的网络,再按照既定规则解析出与 FPGA 器件各个管脚连接的有效网络名,并根据命名规则解析出与管脚属性相关信息,最后,以解析出的网络名所包含的管脚属性相关信息与 FPGA 器件参数数据库进行关联,根据已制定好的规则选取 FPGA 器件参数数据库中管脚的约束条目;所述 FPGA 器件参数数据库负责提供 FPGA 器件的相关参数;所述 FPGA 约束文件生成单元根据数据解析运算单元的运算结果按照输出规范输出 FPGA 约束文件。

2. FPGA 约束文件自动生成方法,其特征在于:包括以下步骤:

a. 通过原理图数据检入单元检入原理图数据;所述原理图数据包括:原理图拓扑结构、网络名、元器件位号、元器件参数;

b. 根据检入的原理图数据,解析出原理图中所有器件的位号;

c. 根据器件的位号区分出 FPGA 器件,并获取 FPGA 器件的型号;

d. 将获取到的 FPGA 器件的型号与 FPGA 器件参数数据库中已有的器件型号相对比,判断该 FPGA 器件是否为新型号的 FPGA 器件,如是,则进入步骤 e,如否,则进入步骤 f;

e. 将该 FPGA 器件的参数添加至 FPGA 器件参数数据库;

f. 在 FPGA 器件参数数据库中找到与该 FPGA 器件相对应的参数,读出管脚属性;

g. 解析出与该 FPGA 器件的管脚关联的信号线的有效网络名;

h. 解析出所述有效网络名包含的信息,根据解析出来的信息,按照既定的约束规则选取步骤 f 中读出的管脚属性作为该 FPGA 器件管脚属性的约束条目;

i. 该 FPGA 器件的所有管脚属性的约束条目生成后,按照既定的约束文件规范,输出该 FPGA 器件的所有管脚属性的约束条目,生成约束文件。

3. 如权利要求 2 所述的 FPGA 约束文件自动生成方法,其特征在于:步骤 c 中,根据器件的位号区分出 FPGA 器件,并获取 FPGA 器件的型号的具体方法是:根据器件的位号按照既定的位号命名规则区分 FPGA 器件与其它器件位号,依据 FPGA 器件位号以及检入的元器件参数获取 FPGA 器件型号。

4. 如权利要求 2 所述的 FPGA 约束文件自动生成方法,其特征在于:步骤 f 中,在 FPGA 器件参数数据库中找到与该 FPGA 器件相对应的参数,读出管脚属性的具体方法是:

根据 FPGA 器件的位号以及检入的元器件参数获取 FPGA 器件的材料编号,并根据材料编号到 FPGA 器件参数数据库中找到对应器件,读出管脚属性。

5. 如权利要求 2 所述的 FPGA 约束文件自动生成方法,其特征在于:步骤 g 中,解析出与该 FPGA 器件的管脚关联的信号线的有效网络名的具体方法是:

g1. 根据检入的原理图数据解析出原理图中与 FPGA 器件管脚互联的信号线的网络名;

g2. 按照既定的网络命名规则判断所述网络名是否符合规范,如是,则进入步骤 h,如否,则进入步骤 g3;

g3. 判断该信号线上是否有电阻,如是,则按照既定的原理图设计规范,认为电阻为信号线的一部分,即跳过电阻继续解析网络名,直到找到符合规范的有效网络名,如否,表明网络已终结且信号线上没有有效网络名,则输出原理图网络命名错误告警,并进入步骤

i。

6. 如权利要求 2-5 任意一项所述的 FPGA 约束文件自动生成方法,其特征在于:所述 FPGA 器件参数数据库中的存储内容包括:FPGA 器件型号、FPGA 器件材料编号、管脚编号、管脚电气方向、管脚电平类型。

7. 如权利要求 2-5 任意一项所述的 FPGA 约束文件自动生成方法,其特征在于:所述约束条目包括:管脚电气方向、管脚电平类型、管脚编号。

8. 如权利要求 7 所述的 FPGA 约束文件自动生成方法,其特征在于:所述管脚电气方向包括:输入、输出、双向。

9. 如权利要求 7 所述的 FPGA 约束文件自动生成方法,其特征在于:所述管脚电平类型包括:LVTTL 电平、LVCMOS 电平、SSTL-18 电平。

FPGA 约束文件自动生成系统及方法

技术领域

[0001] 本发明涉及 FPGA (可编程逻辑器件) 逻辑设计领域的约束文件生成技术, 尤其涉及 FPGA 约束文件的自动生成系统及方法。

背景技术

[0002] FPGA 约束文件是用于配置可编程逻辑器件管脚参数的具有特定规范的文本文件。在 FPGA 逻辑设计中, 设计 FPGA 约束文件是一个必备环节。在设计之前, 为了保证原理图中的器件管脚的属性与 FPGA 逻辑代码中的端口的属性一一对应, 需要 FPGA 约束文件将器件管脚与逻辑端口进行关联, 并定义器件管脚的方向、电平类型等属性。

[0003] 传统技术中, 设计 FPGA 约束文件的方法为: 首先, 由原理图工程师在原理图中查找 FPGA 器件, 将 FPGA 器件管脚号以及和管脚连接的信号线的网络名列出来, 再将网络名与既定网络名命名规则进行对比, 根据对比结果获取管脚属性信息, 并将管脚属性信息一一列出来; 然后, 由逻辑工程师根据管脚属性信息, 对照器件资料所列的管脚属性列表, 选择对应的 FPGA 器件管脚约束条目; 最后, 由逻辑工程师按照一定的规范将上述约束条目写成约束文件来配置 FPGA 的管脚属性。随着 FPGA 器件逻辑规模的增大, 其管脚数目和属性条目也不断增多, 设计约束文件的复杂度和工作量也随之增大。因此, 采用上述方法设计 FPGA 约束文件所需工作量巨大, 且存在易漏约束条目、填写错误、约束条目选择错误等缺点。

发明内容

[0004] 本发明所要解决的技术问题是: 提出一种 FPGA 约束文件自动生成系统及方法, 解决传统技术中 FPGA 约束文件设计复杂、工作量大、易出错的问题。

[0005] 本发明解决上述技术问题所采用的方案是: FPGA 约束文件自动生成系统, 包括数据解析运算单元及与之连接的原理图数据检入单元、FPGA 器件参数数据库、FPGA 约束文件生成单元; 所述原理图数据检入单元用于检入原理图拓扑结构、网络名和器件参数; 所述 FPGA 器件参数数据库负责提供 FPGA 器件的相关参数; 所述数据解析运算单元负责解析所述原理图数据检入单元检入的原理图拓扑结构和网络名, 并结合解析出来的数据调用 FPGA 器件参数数据库中的数据按照预定的约束规则进行运算; 所述 FPGA 约束文件生成单元根据数据解析运算单元的运算结果按照输出规范输出 FPGA 约束文件。

[0006] FPGA 约束文件自动生成方法, 包括以下步骤:

[0007] a. 通过原理图数据检入单元检入原理图数据;

[0008] b. 根据检入的原理图数据, 解析出原理图中所有器件的位号;

[0009] c. 根据器件的位号区分出 FPGA 器件, 并获取 FPGA 器件的型号;

[0010] d. 将获取到的 FPGA 器件的型号与 FPGA 器件参数数据库中已有的器件型号相对比, 判断该 FPGA 器件是否为新型号的 FPGA 器件, 如是, 则进入步骤 e, 如否, 则进入步骤 f;

[0011] e. 将该 FPGA 器件的参数添加至 FPGA 器件参数数据库;

[0012] f. 在 FPGA 器件参数数据库中找到与该 FPGA 器件相对应的参数, 读出管脚属性;

- [0013] g. 解析出与该 FPGA 器件的管脚关联的信号线的有效网络名；
- [0014] h. 解析出所述有效网络名包含的信息,根据解析出来的信息,按照既定的约束规则选取步骤 f 中读出的管脚属性作为该 FPGA 器件管脚属性的约束条目；
- [0015] i. 该 FPGA 器件的所有管脚属性的约束条目生成后,按照既定的约束文件规范,输出该 FPGA 器件的所有管脚属性的约束条目,生成约束文件。
- [0016] 进一步,步骤 c 中,根据器件的位号区分出 FPGA 器件,并获取 FPGA 器件的型号的具体方法是:根据器件的位号按照既定的位号命名规则区分 FPGA 器件与其它器件位号,依据 FPGA 器件位号以及检入的元器件参数获取 FPGA 器件型号。
- [0017] 进一步,步骤 f 中,在 FPGA 器件参数数据库中找到与该 FPGA 器件相对应的参数,读出管脚属性的具体方法是:
- [0018] 根据 FPGA 器件的位号以及检入的元器件参数获取 FPGA 器件的材料编号,并根据材料编号到 FPGA 器件参数数据库中找到对应器件,读出管脚属性。
- [0019] 进一步,步骤 g 中,解析出与该 FPGA 器件的管脚关联的信号线的有效网络名的具体方法是:
- [0020] g1. 根据检入的原理图数据解析出原理图中与 FPGA 器件管脚互联的信号线的网络名；
- [0021] g2. 按照既定的网络名命名规则判断所述网络名是否符合规范,如是,则进入步骤 h,如否,则进入步骤 g3；
- [0022] g3. 判断该信号线上是否有电阻,如是,则按照既定的原理图设计规范,认为电阻为信号线的一部分,即跳过电阻继续解析网络名,直到找到符合规范的有效网络名,如否,表明网络已终结且信号线上没有有效网络名,则输出原理图网络名命名错误告警,并进入步骤 i。
- [0023] 进一步,所述原理图数据包括:原理图拓扑结构、网络名、元器件位号、元器件参数。
- [0024] 进一步,所述 FPGA 器件参数数据库中的存储内容包括:FPGA 器件型号、FPGA 器件材料编号、管脚编号、管脚电气方向、管脚电平类型。
- [0025] 进一步,所述约束条目包括:管脚电气方向、管脚电平类型、管脚编号。
- [0026] 进一步,所述管脚电气方向包括:输入、输出、双向。
- [0027] 进一步,所述管脚电平类型包括:LVTTL 电平、LVMOS 电平、SSTL-18 电平。
- [0028] 本发明的有益效果是:自动生成 FPGA 约束文件,从而提高 FPGA 约束文件的设计效率,保证 FPGA 约束文件的精确性。

附图说明

- [0029] 图 1 为本发明中的 FPGA 约束文件自动生成系统结构框图；
- [0030] 图 2 为本发明中的 FPGA 约束文件自动生成方法流程图。

具体实施方式

- [0031] 下面结合附图及实施例对本发明作进一步的描述。
- [0032] 针对传统技术中由设计人员手动生成 FPGA 约束文件而带来的设计复杂、工作量

大、易出错的问题,本发明提出了一种 FPGA 约束文件自动生成方法,其是根据原理图拓扑数据解析出 FPGA 位号和连接 FPGA 器件且符合命名规范的有效网络名,再结合 FPGA 器件参数数据库中的参数信息按照预先制定的规则进行运算,确定 FPGA 器件所有管脚属性,最后,按照既定的 FPGA 约束文件规范输出 FPGA 约束文件。

[0033] 此外,本发明还提出了一种 FPGA 约束文件自动生成系统。如图 1 所示,该系统包括以下几个部分:

[0034] 原理图数据检入单元:包含原理图网络互联拓扑数据检入和原理图中的器件位号检入;

[0035] FPGA 器件参数数据库:负责提供各种 FPGA 器件的相关参数;

[0036] 数据解析运算单元:首先区分 FPGA 器件与其它器件的位号;其次,根据 FPGA 的器件位号来关联与 FPGA 器件互联的网络,再按照既定规则解析出与 FPGA 器件各个管脚连接的有效网络名,并根据命名规则解析出与管脚属性相关信息;最后,以解析出的网络名所包含的管脚属性相关信息与 FPGA 器件参数数据库进行关联,根据已制定好的规则选取 FPGA 器件参数数据库中管脚的约束条目;

[0037] FPGA 约束文件生成单元:根据数据解析单元所运算的结果,进行填写特定规范约束文本,输出 FPGA 约束文件。

[0038] 如图 2 所示,对于 FPGA 约束文件的自动生成方法,可采用以下步骤完成:

[0039] 1. 检入原理图数据:通过原理图数据检入单元检入原理图数据,其中原理图数据包括原理图拓扑结构、网络名、元器件位号、元器件参数;

[0040] 2. 解析器件型号:根据检入的原理图数据,解析出原理图中所有器件的位号;根据器件的位号按照既定的位号命名规则区分 FPGA 器件与其它器件位号,依据 FPGA 器件位号以及检入的元器件参数获取 FPGA 器件型号;

[0041] 3. 判断该 FPGA 器件是否为新型号的 FPGA 器件:将获取到的 FPGA 器件的型号与 FPGA 器件参数数据库中已有的器件型号相对比,判断该 FPGA 器件是否为新型号的 FPGA 器件,如果为新型号的 FPGA 器件,则进入步骤 4,否则,进入步骤 5;

[0042] 4. 向 FPGA 器件参数数据库中添加该 FPGA 器件的参数;

[0043] 5. 读出管脚属性,解析出与管脚关联的信号线的有效网络名:根据 FPGA 器件位号以及检入的 FPGA 器件信息参数获取 FPGA 器件的材料编号,并根据材料编号到 FPGA 器件参数数据库找到对应器件,读出器件管脚属性;根据检入的原理图拓扑结构数据,解析出原理图中与 FPGA 器件管脚互联的信号线的网络名,按照既定的网络名命名规则核实网络名是否符合规范,如果符合,则进入步骤 6,否则,就判断该信号线上是否有电阻,如果没有电阻,则输出告警,并进入步骤 7,如果有电阻,则跳过电阻继续解析网络名,直到找到符合规范的有效网络名,并进入步骤 6;

[0044] 6. 解析网络名并关联 FPGA 器件参数数据库,生成管脚约束条目:根据获取的信号线上有效网络名,按照既定的网络名命名规则解析有效网络名包含的信息(信号流向、电平类型);

[0045] 7. 判断所有管脚的约束条目是否均已生成:如果所有管脚的约束条目均已生成,则进入步骤 8,否则,循环执行步骤 5、6 直至生成所有管脚的约束条目;

[0046] 8. 输出 FPGA 约束文件:输出所有的管脚的约束条目,生成 FPGA 约束文件。

- [0047] 实施例：
- [0048] 以生成交换机主控板上的 FPGA 约束文件为例，
- [0049] 首先，通过原理图数据检入单元检入原理图拓扑结构数据：
- [0050] 信号名：N1253354
- [0051] 信号线连接的器件管脚：R232. 1、UF21. E2
- [0052] （注：R232、UF21 是器件位号，其后的“. 1”、“. E2”是管脚号）
- [0053] 器件材料编号：R232 (0012578)UF21 (0011123)
- [0054] 信号名：IN_LVTTL_ADDR13
- [0055] 信号线连接的器件管脚：R232. 2
- [0056] 然后，根据检入的原理图拓扑结构数据，进入解析过程：
- [0057] 第一步，寻找原理图的 FPGA 器件：根据器件位号命名规范，位号以“R”开头的器件为电阻，位号以“UF”开头的器件为 FPGA 器件。
- [0058] 第二步，根据查找到的 FPGA 器件编号到 FPGA 器件参数数据库查询是否有该器件，经过查询，在 FPGA 器件参数数据库已有该编号的器件。从 FPGA 器件参数数据库得知该器件型号为 EP3C40F780C8，管脚总数为 780 根。找到器件后，再根据器件管脚号查询相应的管脚属性。查询 UF21. E2 管脚类型为普通 I/O，管脚可配电平为 LVTTL、LVCMOS。
- [0059] FU21. E2 管脚属性和其器件参数信息整理如下：
- [0060] 器件型号：EP3C40F780C8
- [0061] 管脚总数：780
- [0062] 管脚号：E2
- [0063] 管脚类型：普通 I/O
- [0064] 管脚可配电平：LVTTL、LVCMOS
- [0065] 第三步，根据原理图拓扑结构，寻找有效网络名：
- [0066] 首先，根据 UF21. E2 管脚找到网络名“N1253354”，再解析网络名“N1253354”。根据网络名命名规则，开头字母是“N”且后面为纯数字的网络名为系统自动生成的网络名。该网络名不包含任何信息，属于无效网络名，则需要继续寻找有效网络名。根据“N1253354”网络，找到其连接的 R232. 1 管脚。其中 R232 是器件位号，位号以“R”开头的器件是电阻。按照既定的原理图设计规范，认为电阻为信号线的一部分。故可以绕开电阻继续寻找有效网络名。于是，再由 R232. 1 找到 R232. 2 管脚，R232. 2 管脚上连接的网络名为“IN_LVTTL_ADDR13”，该网络名为有效网络名。
- [0067] 第四步，解析第三步中找到的网络名。根据网络名命名规则解析出如下信息：
- [0068] 管脚类型：IN（输入）
- [0069] 电平类型：LVTTL 电平
- [0070] 第五步，比较第二步中从数据库读取的管脚属性和第四步解析的管脚属性是否匹配。
- [0071] 第六步，按照约束文件输出规范，输出 FPGA 约束文件。

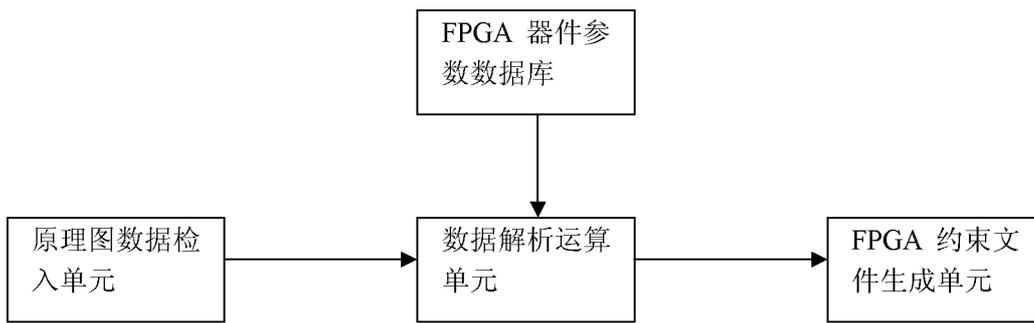


图 1

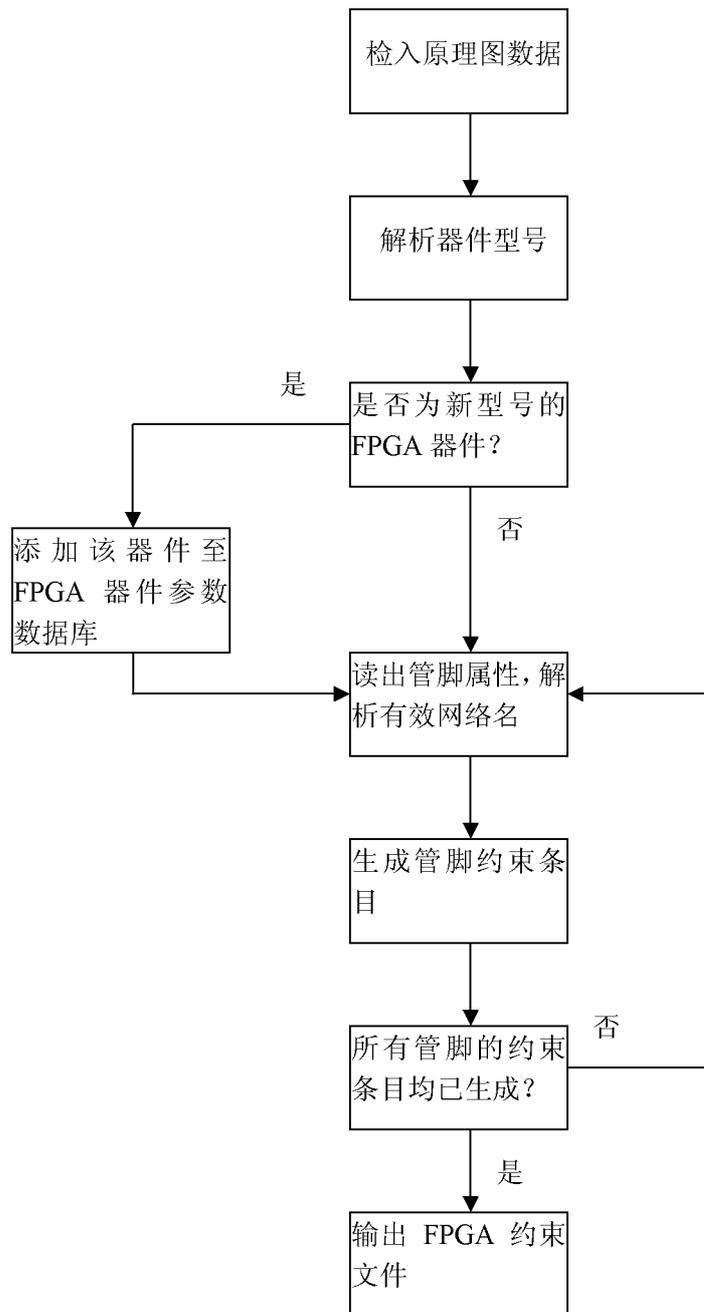


图 2