

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 22 年 6 月 17 日 (2010.6.17)

【公表番号】特表 2008-532132 (P2008-532132A)  
 【公表日】平成 20 年 8 月 14 日 (2008.8.14)  
 【年通号数】公開・登録公報 2008-032  
 【出願番号】特願 2007-556650 (P2007-556650)  
 【国際特許分類】

G 0 6 F 17/50 (2006.01)

H 0 1 L 21/82 (2006.01)

【F I】

G 0 6 F 17/50 6 5 8 Z

H 0 1 L 21/82 B

G 0 6 F 17/50 6 5 8 V

【誤訳訂正書】  
 【提出日】平成 22 年 4 月 1 日 (2010.4.1)  
 【誤訳訂正 1】  
 【訂正対象書類名】特許請求の範囲  
 【訂正対象項目名】全文  
 【訂正方法】変更  
 【訂正の内容】  
 【特許請求の範囲】  
 【請求項 1】

最初の相互接続レイアウト、最初の論理セル格子レイアウト、及び論理セル (12) を有する半導体集積回路における配列された論理セル格子及び相互接続レイアウトを画定するためのコードがプログラムされたコンピュータ支援設計システムであって、

前記論理セル (12) は、トランジスタピッチ (114) を定める最小トランジスタ幅を有するトランジスタ部品を含み、及び

前記相互接続レイアウトは、最初のルーティングピッチ (24) を定めるトラック幅及びトラックスペーシングを有し、前記トランジスタ部品を相互接続するためのトラックを含み、

前記コンピュータ支援設計システムは、

1 / q の割合で前記最初のルーティングピッチ (24) をスケーリングすることによって、前記最初のルーティングピッチ (24) をリサイズされたルーティングピッチ (124) にリサイズする段階であって、ここで、q は 1 より大きい整数であり、及び q は、前記リサイズされたルーティングピッチ (124) が製造の格子上でスケラブルとなるように選択されるところの段階と、

前記リサイズされたルーティングピッチ (124) を整数 k でスケーリングすることによって、前記トランジスタピッチ (114) をリサイズされたトランジスタピッチ ( $T_{new}$ ) にリサイズする段階であって、ここで、k は前記リサイズされたトランジスタピッチ ( $T_{new}$ ) が前記トランジスタピッチ (114) より大きいか等しくなるように選択されるところの段階と、

前記論理セル (10) における配列された論理セル格子 (100) 及び相互接続レイアウトを形成するために、前記リサイズされたトランジスタピッチ ( $T_{new}$ ) を有する前記論理セル格子 (100) を、前記リサイズされたルーティングピッチ (124) を有する前記相互接続レイアウトに配列させる段階と、

を実行するコンピュータ支援設計システム。

【請求項 2】

前記トランジスタピッチ ( 1 1 4 ) は、幅が  $0.35 \mu\text{m}$  であり、

前記最初のルーティングピッチ ( 2 4 ) は、 $0.28 \mu\text{m}$  の標準幅を有している、請求項 1 に記載の コンピュータ支援設計システム。

【請求項 3】

前記最初のルーティングピッチ ( 2 4 ) は、前記ミスマライメントを除去するために前記最初のルーティングピッチ ( 2 4 ) 及び前記トランジスタピッチ ( 1 1 4 ) の最大公約数に従ってリサイズされる、請求項 1 に記載の コンピュータ支援設計システム。

【請求項 4】

前記リサイズされたルーティングピッチ ( 1 2 4 ) は、前記最初のルーティングピッチ ( 2 4 ) の 4 分の 1 である請求項 1 に記載の コンピュータ支援設計システム。

【請求項 5】

前記リサイズされたルーティングピッチ ( 1 2 4 ) は、前記最初のルーティングピッチ ( 2 4 ) の 5 分の 1 である請求項 1 に記載の コンピュータ支援設計システム。

【請求項 6】

前記リサイズされたルーティングピッチ ( 1 2 4 ) は、前記最初のルーティングピッチ ( 2 4 ) の 6 分の 1 である請求項 1 に記載の コンピュータ支援設計システム。

【請求項 7】

前記リサイズされたルーティングピッチ ( 1 2 4 ) は、前記最初のルーティングピッチ ( 2 4 ) の 7 分の 1 である請求項 1 に記載の コンピュータ支援設計システム。

【請求項 8】

選択される前記最大公約数は、前記最初の相互接続レイアウトのトラック間における最小ピッチに基づいている、請求項 3 に記載の コンピュータ支援設計システム。

【請求項 9】

前記格子の数により増加する起動時間に対するトランジスタピッチ効率の観点からルーティングピッチを決定するために、前記最大公約数に基づいて、リサイズされたルーティングピッチ ( 1 2 4 ) と比較する比較ルーティングピッチを算出することを更に含んでいる請求項 3 または 8 に記載の コンピュータ支援設計システム。

【請求項 10】

トランジスタピッチ ( 1 1 4 ) を定める最小のトランジスタ幅を有するトランジスタ部品を備えている論理セル ( 1 2 ) と、及び

最初の相互接続レイアウト及び最初の論理セル格子レイアウトと、を備えている半導体集積回路であって、

前記相互接続レイアウトは、最初のルーティングピッチ ( 2 4 ) を定めるトラック幅及びトラックスペーシングを有し、トランジスタ部品を相互接続するためのトラックを備えており、

ここで、前記最初のルーティングピッチ ( 2 4 ) は、 $1/q$  の割合で前記最初のルーティングピッチ ( 2 4 ) をスケーリングすることによって、リサイズされたルーティングピッチ ( 1 2 4 ) にリサイズされ、ここで、 $q$  は 1 より大きい整数であり、及び  $q$  は、前記リサイズされたルーティングピッチ ( 1 2 4 ) が製造の格子上でスケラブルとなるように選択され、

前記トランジスタピッチ ( 1 1 4 ) は、前記リサイズされたルーティングピッチ ( 1 2 4 ) を整数  $k$  でスケーリングすることによって、リサイズされたトランジスタピッチ (  $T_{new}$  ) にリサイズされ、ここで  $k$  は、前記リサイズされたトランジスタピッチ (  $T_{new}$  ) が前記トランジスタピッチ ( 1 1 4 ) より大きいが等しくなるように選択され、及び

前記論理セル ( 1 0 ) における配列された論理セル格子 ( 1 0 0 ) 及び相互接続レイアウトを形成するために、前記リサイズされたトランジスタピッチ (  $T_{new}$  ) を有する前記論理セル格子 ( 1 0 0 ) は、前記リサイズされたルーティングピッチ ( 1 2 4 ) を有する前記相互接続レイアウトに配列されることを特徴とする半導体集積回路。

【請求項 11】

前記トランジスタピッチ ( 1 1 4 ) は、幅が  $0.35 \mu\text{m}$  であり、

前記最初のルーティングピッチ(24)は、 $0.28\mu\text{m}$ の標準幅を有している、請求項10に記載の半導体集積回路。

【請求項12】

前記最初のルーティングピッチ(24)は、前記ミスアライメントを除去するために前記最初のルーティングピッチ(24)及び前記トランジスタピッチ(114)の最大公約数に従ってリサイズされる、請求項10に記載の半導体集積回路。

【請求項13】

前記リサイズされたルーティングピッチ(124)は、前記最初のルーティングピッチ(24)の4分の1、5分の1、6分の1、または7分の1である請求項10に記載の半導体集積回路。

【請求項14】

選択される前記最大公約数は、前記最初の相互接続レイアウトのトラック間における最小ピッチに基づいている、請求項12に記載の半導体集積回路。

【請求項15】

前記格子の数により増加する起動時間に対するトランジスタピッチ効率の観点からルーティングピッチを決定するために、リサイズされたルーティングピッチ(124)と比較する比較ルーティングピッチが、前記最大公約数に基づいて算出された請求項12または14に記載の半導体集積回路。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0014

【訂正方法】変更

【訂正の内容】

【0014】

本発明は、最初の相互接続レイアウト、最初の論理セル格子レイアウト、及び論理セルを有する半導体集積回路の配列された論理セル格子及び相互接続レイアウトを画定するためのコードがプログラムされたコンピュータ支援設計システムを提供する。ここで、前記論理セルは、トランジスタピッチを定める最小トランジスタ幅を有するトランジスタ部品を含み、及び前記相互接続レイアウトは、最初のルーティングピッチを定めるトラック幅及びトラックスペーシングを有し、前記トランジスタ部品を相互接続するためのトラックを含み、前記コンピュータ支援設計システムは、 $1/q$ の割合で前記最初のルーティングピッチをスケーリングすることによって、前記最初のルーティングピッチをリサイズされたルーティングピッチにリサイズする段階であって、ここで $q$ は1より大きい整数であり、及び $q$ は、前記リサイズされたルーティングピッチが製造の格子上でスケラブルとなるように選択されるところの段階と、前記リサイズされたルーティングピッチを整数 $k$ でスケーリングすることによって、前記トランジスタピッチをリサイズされたトランジスタピッチにリサイズする段階であって、ここで、 $k$ は前記リサイズされたトランジスタピッチが前記トランジスタピッチより大きいか等しくなるように選択されるところの段階と、前記論理セルにおける配列された論理セル格子及び相互接続レイアウトを形成するために、前記リサイズされたトランジスタピッチを有する前記論理セル格子を、前記リサイズされたルーティングピッチを有する前記相互接続レイアウトに配列させる段階と、を実行する。本発明は同様に、トランジスタピッチを定める最小のトランジスタ幅を有するトランジスタ部品を備えている論理セルと、及び最初の相互接続レイアウト及び最初の論理セル格子レイアウトと、を備えている半導体集積回路を提供する。前記相互接続レイアウトは、最初のルーティングピッチを定めるトラック幅及びトラックスペーシングを有し、トランジスタ部品を相互接続するためのトラックを備えている。ここで、前記最初のルーティングピッチは、 $1/q$ の割合で前記最初のルーティングピッチをスケーリングすることによって、リサイズされたルーティングピッチにリサイズされ、ここで、 $q$ は1より大きい整数であり、及び $q$ は前記リサイズされたルーティングピッチが製造の格子上でスケラブルとなるように選択される。前記トランジスタピッチは、整数 $k$ で前記リサイズされた

ルーティングピッチをスケーリングすることによって、リサイズされたトランジスタピッチにリサイズされ、ここで、 $k$ は、前記リサイズされたトランジスタピッチが前記トランジスタピッチより大きいか等しくなるように選択される。そして、前記リサイズされたトランジスタピッチを有する前記論理セル格子は、前記論理セルにおける配列された論理セル格子及び相互接続レイアウトを形成するために、前記リサイズされたルーティングピッチを有する前記相互接続レイアウトに配列される。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0015

【訂正方法】変更

【訂正の内容】

【0015】

本発明の実施の形態は、トランジスタ幅に対して必要な産業標準最小値と相関するトランジスタピッチ、そして、ワイヤスペーシング及び幅に対して必要な産業標準最小値と相関する最初のルーティングピッチ、を提供する。最初のルーティングピッチは、ミスアライメントを除去するために、最初のルーティングピッチ及びトランジスタピッチの最大公約数に従って大きさをリサイズされうる。リサイズされたルーティングピッチは、最初のルーティングピッチの4分の1である。リサイズされたルーティングピッチは、最初のルーティングピッチの5分の1、6分の1、7分の1等であってもよい。