

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01C 3/06

(11) 공개번호
10-2005-0065565
(43) 공개일자
2005년06월29일

| | | | |
|-------------|-------------------|-------------|----------------|
| (21) 출원번호 | 10-2005-7005388 | | |
| (22) 출원일자 | 2005년03월29일 | | |
| 번역문 제출일자 | 2005년03월29일 | | |
| (86) 국제출원번호 | PCT/US2003/027112 | (87) 국제공개번호 | WO 2004/032154 |
| 국제출원일자 | 2003년08월28일 | 국제공개일자 | 2004년04월15일 |

(30) 우선권주장 10/261,052 2002년09월30일 미국(US)

(71) 출원인 제너럴 일렉트릭 캄파니
미합중국 뉴욕, 쇼넥테디, 원 리버 로우드

(72) 발명자 두로처 케빈 엠
미국 뉴욕주 12188 워터포드 코퍼필드 드라이브 28
사이아 리차드 제이
미국 뉴욕주 12309 니스카유나 리버데일 코트 19
크리쉬나무티 비크람 비
미국 조지아주 30346 아틀란타 매디슨 드라이브 8308

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 가요성 기체 물질 상에 저항기를 제조하는 방법

명세서

기술분야

본 발명은 포괄적으로 저항기 제조 방법, 더욱 구체적으로는 가요성 기체 물질 상에 제조된 고도로 저항성인 구조체 및 이러한 구조체를 제조하는 방법에 관한 것이다.

배경기술

시판되고 있는 다수의 제품에는 정전기 방전에 감수성이 있는 반도체 소자가 장치되어 있다. 이러한 소자 중 하나는 반도체 발광 다이오드(LED)이다. LED는 인가된 전압 또는 전류에 응답하여 방사선을 방출하도록 포장된 반도체 칩이다. 이를 LED는 자동차, 디스플레이, 안전/응급 구역 및 방향 안내 영역 조명 같은 다수의 상업적인 용도에 사용된다. LED는 가시광선, 자외선 또는 적외선을 방출하는 임의의 물질을 사용하여 제조될 수 있다. 따라서, LED 소자는 목적하는 방사선을 방출할 수 있는 반도체 층의 p-n 접합을 갖는 물질을 포함할 수 있다. 예를 들어, LED 소자는 임의의 목적하는 III-V 반도체 화합물 층(예: GaAs, GaAlAs, GaN, InGaN, GaP 등), II-VI 반도체 화합물 층(예: ZnSe, ZnSSe, CdTe 등) 또는 IV-IV 반도체 화합물 층(예: SiC)을 사용하여 제조될 수 있다. LED 소자는 또한 클래드(cladding) 층, 도파관 층 및 접촉 층 같은 다른 층도 포함할 수 있다.

현재, LED 같은 반도체 소자는 다양한 제품에 사용할 수 있도록 다양한 상이한 형상에 순응하는 가요성 소자 어레이를 제공하기 위해 폴리이미드 같은 가요성 기체 물질 상에서 제조된다. 예를 들어, 등근 램프 전구, 투광 조명 등, 원통형 회중 전등 등과 같은 조명 제품에 사용하기 위하여 가요성 기체 물질 상에서 LED 어레이를 제조할 수 있다. 그러나, 예컨대 GaN계 LED 같은 반도체 소자는 절연 사파이어 기판 상에 제조되기 때문에 정전기 방전에 민감하다. 그 결과, LED를 통하는 것 외에는 정전기 방전에 대한 뚜렷한 방전 경로가 없다. LED를 통한 정전기 방전은 소자의 p-n 접합 특징부를 열화시킴으로써 LED에 심각한 손상을 입힐 수 있다. 따라서, 정전기 방전에 대한 다른 경로를 생성시키는 것이 유리하다.

LED 같은 반도체 소자에 정전기적 손상이 일어날 가능성을 최소화시키는 한 가지 메카니즘은 높은 등급의 블리드 저항기(bleed resistor)를 혼입시켜 방전 소산을 위한 방전 경로를 제공하는 것이다. 그러나, 가요성 기체 물질 상에 제조되는 반도체 소자의 경우, 저항기의 제조에 특정한 문제가 생길 수 있다. 폴리이미드 같은 가요성 기체 물질 상에 100kΩ 내지

1MΩ 범위의 높은 등급의 작은 박막 저항기를 제조하기가 곤란하다. 질화탄탈(TaN₂), 니켈 크롬(NiCr) 및 규화크롬(CrSi) 같은 통상적으로 사용되는 저항기 필름은 100 내지 300Ω/스퀘어의 시이트 저항 값을 갖는다. 이들 값에서, 100kΩ 내지 1MΩ 범위의 저항기는 통상적으로 매우 넓은 구역을 덮을 수 있는 S자 곡선(serpentine) 구조로 패턴화된다. 가요성 기체 물질상에 제조되는 반도체 소자의 경우, 큰 S자 곡선 구조체를 사용하여 고도로 저항성인 박막 저항기를 제조하는 것은 실행불가능하다. 또한, 폴리이미드 필름 같은 가요성 물질상에서의 공정은 통상 필름이 구조적 일체성을 유지하도록 비교적 저온(<200°C)을 필요로 한다. 가요성 기체 물질상에서의 공정에 필요한 저온으로 인해, 반도체 소자에 높은 등급의 저항기를 제조하는데 전형적으로 사용되는 많은 물질을 사용할 수 없게 되는데, 이는 이들 물질이 200°C보다 높은 공정 온도를 필요로 하기 때문이다.

발명의 개요

본 발명의 한 양태에 따르면, 가요성 기판의 표면상의 영역을 활성화시킴으로써 활성화된 영역을 형성시키고; 활성화된 영역에 저항성 층을 형성하며; 저항성 층의 적어도 일부상에 하나 이상의 상호접속 층을 침착시키고; 하나 이상의 상호접속 층을 패턴화시켜 저항기의 단자(terminal)를 형성시킴을 포함하는, 저항기의 제조 방법이 제공된다.

본 발명의 또 다른 양태에 따르면, 가요성 기판의 표면을 활성화시킴으로써 활성화된 층을 형성시키고; 활성화된 층의 표면상에 제 1 금속 층을 침착시켜, 활성화된 층에서 저항성 층이 형성되도록 하는 반응을 일으키고; 제 1 금속 층상에 하나 이상의 상호접속 층을 침착시키고; 하나 이상의 상호접속 층 및 제 1 금속 층 각각을 저항성 층까지 에칭시킴으로써 단자를 형성시키며; 저항성 층을 패턴화시켜 단자 사이에 연결된 저항기를 형성시킴을 포함하는, 저항기의 제조 방법이 제공된다.

본 발명의 또 다른 양태에 따르면, 가요성 기판의 표면상에 마스킹 층을 침착시키고; 마스킹 층에 개구를 형성시킴으로써, 개구를 통해 가요성 기판의 일부를 노출시키며; 가요성 기판의 노출된 부분을 활성화시켜 활성화된 영역을 형성하고; 가요성 기판의 표면으로부터 마스킹 층을 제거하고; 가요성 기판의 표면상에 하나 이상의 상호접속 층을 형성시키며; 하나 이상의 상호접속 층을 패턴화시켜, 활성화된 영역에 의해 서로 전기적으로 연결된 단리를 형성시킴을 포함하는, 저항기의 제조 방법이 제공된다.

본 발명의 다른 양태에 따르면, 가요성 기판, 가요성 기판상에 형성되고 제 1 말단 및 제 2 말단을 갖는 저항성 영역, 및 제 1 말단 및 제 2 말단 각각에 연결된 전도성 단자를 포함하는 소자가 제공된다.

본 발명의 또 다른 양태에 따르면, 제 1 면과 제 2 면을 갖는 가요성 기판, 가요성 기판의 제 1 면에 연결되고 가요성 기판의 제 2 면상의 접촉 영역과 전기적으로 연결된 발광 다이오드(LED), 및 가요성 기판의 제 2 면상에 형성된 저항기를 포함하고, 이 때 저항기가 각 접촉 영역 사이에 전기적으로 연결되어 있는 소자가 제공된다.

도면의 간단한 설명

도 1 내지 도 6A는 본 발명에 따라 저항기를 제조하는 예시적인 제 1 방법의 단면도이다.

도 7 내지 도 12A는 본 발명에 따라 저항기를 제조하는 예시적인 제 2 방법의 단면도이다.

도 13은 예시적인 발광 다이오드(LED) 다이 어레이의 단면도이다.

도 14는 본 발명에 따라 제조된 저항기를 혼입하고 있는, 도 13에 도시된 LED 다이 어레이의 배면도이다.

발명의 상세한 설명

이제 도 1 내지 도 6A를 참조하여 가요성 기체 물질 상에 높은 등급의 저항기(100kΩ 내지 1MΩ)를 제조하는 예시적인 제 1 방법을 기재한다. 도 1은 저항기가 제조될 가요성 기판 물질(10)을 도시한다. 가요성 기판(10)은 두께가 0.5밀 내지 3밀이고, 목적하는 형상으로 접힐 수 있는 가요성 플라스틱 시이트를 포함한다. 접히거나 구부러질 수 있는 가요성 기판은 표준 굴곡 강성(Standard Flexure Stiffness) 방법에 의해 시험될 때 23°C에서 10,000PSI를 넘지 않는 탄성 모듈러스를 갖는 필름 또는 복합체로서 정의된다. 가요성 기판 물질(10)은 전기 절연 물질이고, 바람직하게는 전기 전도성 물질이 부착될 수 있는 중합체 필름을 포함한다. 가요성 기판 물질(10)은 가공하는 동안 치수 변화가 최소이도록 하는 탄성 모듈러스, 열팽창 계수 및 습도 팽창 계수를 갖는다. 가요성을 유지하기 위하여, 가요성 기판 물질(10)의 두께를 최소화시킬 수 있다. 그러나, 기판 물질(10)은 또한 금속화 층을 지지하고 모든 후속 가공 단계를 통해 치수 안정성을 유지하는데 충분한 강성(두께 또는 물질 조성으로 인해)을 갖는다. 가요성 기판(10)은 일반적으로 다수의 폴리이미드계 물질 중 임의의 하나를 포함한다. 예를 들어, 가요성 기판(10)은 이.아이. 듀퐁 드 네모아 앤드 캄파니(E.I. DuPont De Nemours & Co.)에서 롤로서 제공되는 카프톤(Kapton)(등록상표) 폴리이미드 시이트, 가네라후치 케미컬 인더스트리얼 캄파니(Kanegafuchi Chem. Indus. Co.)에서 제공하는 아피칼(Apical)(등록상표) 폴리이미드 시이트, 또는 우베 인더스트리, 인코포레이티드(UBE Indus. Inc.)에서 제공하는 우필렉스(Upilex)(등록상표) 폴리이미드 시이트를 포함할 수 있다. 본 발명의 방법이 일반적으로 폴리이미드 같은 가요성 기체 물질상에 저항기를 제조하는 방법에 관한 것이기는 하지만, 본원에 기재된 예시적인 방법은 또한 폴리이미드계 상층을 갖는 더욱 단단한 기판상에서 수행될 수도 있다.

먼저, 물리적 증착(PVD) 기법을 수행하여 가요성 기판(10)을 활성화시킬 수 있는 진공 챔버에 가요성 기판(10)을 넣는다. 가요성 기판(10)의 표면을 활성화시킴으로써, 아래 추가로 기재되는 바와 같이 탄소 결합이 더욱 용이하게 형성될 수 있도록 표면을 더욱 반응성으로 만든다. PVD 공정을 수행하기 위하여, 가요성 기판(10)을 챔버 내의 기판 캐리어에 놓고 아르곤(Argon) 같은 기체를 챔버 내로 도입한다. 챔버 내에서의 오염을 감소시키고 가요성 기판(10)의 표면에 세정 효과를 제공하기 위하여, 작은 음의 바이어스(전하)를 기판 캐리어에 인가할 수 있다. 전기적 바이어스 인가과 함께 무선 주파수(RF) 스퍼터링을 이용하여 가요성 기판(10)의 노출된 표면을 유리하게 에칭 및 세정할 수 있다. 아르곤(Argon) 기체와 상이한 필드 전위에서 기판 캐리어에 바이어스를 인가함으로써 에칭 및 세정을 달성하며, 이 때 아르곤 기체는 진공 챔버 내로 도입되

고 양전하로 이온화되어 아르곤 원자가 가요성 기판(10)의 노출된 표면에 직접 부딪치게 한다. 가요성 기판(10)의 표면으로부터의 오염 제거는 노출된 가요성 기판(10) 영역과 후에 그 위에 배치되는 물질 사이의 전기적 접촉을 개선시키고, 가요성 기판(10) 표면으로의 접착을 개선시킨다.

표면 불순물을 제거하는 것과는 별도로, 가요성 기판(10) 표면에서의 아르곤(Ar) 이온의 이온 충격은 또한 이미드 카보닐 기의 우선적인 결합-파괴를 야기하여 흑연-유사 탄소를 형성함으로써, 가요성 기판(10)의 표면을 "활성화시켜" 이 표면이 추가적인 물질 도입시 탄소 결합의 형성에 수용적이 되도록 한다. 가요성 기판(10) 표면상으로의 아르곤(Ar) 이온의 충돌이 도 2에 도시되어 있다. 앞서 기재한 바와 같이, 이온 충돌은 표면 불순물을 제거하고 가요성 기판(10)의 표면을 활성화시킨다. 가요성 기판(10)의 표면을 활성화시킴으로써, 가요성 기판(10)의 표면에 활성화된 영역(12)이 형성된다. 아래 기재되는 바와 같이, 활성화된 영역(12)을 이용하여, 다른 물질과 용이하게 결합함으로써 고도로 저항성이 있는 영역을 형성하는 활성 구역을 제공함에 의해 높은 등급의 저항기 구조체를 형성할 수 있다.

가요성 기판(10)을 활성화시킨 후, 도 3에 도시되어 있는 바와 같이 티탄(Ti) 층(14)을 가요성 기판(10)에 침착시킨다. 평면 마그네트론 스퍼터링 같은 제 2 유형의 PVD 기법을 이용하여 Ti 층(14)을 침착시킬 수 있다. 당해 분야의 숙련자가 알 수 있는 바와 같이, 가요성 기판(10) 같은 폴리아미드계 물질 상에서 제조하는데 유리한 낮은 챔버 압력 및 200°C 미만의 챔버 온도를 이용하여 마그네트론 스퍼터링을 수행할 수 있다. 예컨대 300Å 내지 1000Å의 두께로 Ti 층(14)을 배치할 수 있다. MRC 603 같은 시스템을 이용하여 마그네트론 스퍼터링을 수행할 수 있다. 한 실시태양에서는, Ti 층(14)을 배치하기 위하여 챔버를 6μ의 압력으로 설정하고 800W의 동력 수준에서 4분간 작동시킬 수 있다.

Ti 층(14)이 가요성 기판(10) 상으로 배치됨에 따라, 가요성 기판(10)의 활성화된 영역(12)은 티탄(Ti)과 강하게 반응하고, 활성화된 영역(12)의 카보닐기를 통해 전하 전달이 이루어진다. Ti 층(14)이 덮는 구역이 증가됨에 따라, 도 3에 도시되어 있는 바와 같이 가요성 기판(10)의 활성화된 영역(12)에 얇은 탄화티탄(Ti-C) 층(16)이 형성된다. Ti-C 층(16)은 고도로 저항성이 있으며(100KΩ 내지 1MΩ), 따라서 가요성 기판(10)의 표면상에 높은 등급(100KΩ 내지 1MΩ)의 저항기를 제조하는데 사용될 수 있다.

Ti 층(14) 침착 및 Ti-C 층(16) 형성 후, 도 4에 도시된 바와 같이 Ti 층(14)상에 상호접속 물질을 침착시킬 수 있다. 예컨대 물리적 증착(PVD) 방법에 의해 Ti 층(14) 상에 구리(Cu) 시드(seed) 층(18)을 침착시킬 수 있다. 예컨대 3000Å의 두께로 Cu 시드 층(18)을 침착시킬 수 있다. 다음으로는, Cu 시드 층(18)을 전기 도금할 수 있다. 마지막으로, 상호접속을 완료시키기 위하여, 예컨대 PVD 방법에 의해 티탄(Ti)의 시드 층(20)을 Cu 시드 층(18) 상에 침착시킬 수 있다. Ti 시드 층(20)은 임의적이고, 예를 들어 1000Å의 두께로 침착될 수 있다.

이어, Ti-C 층(16)을 패턴화시켜 두 단자 사이에 연결된 고도로 저항성이 있는 저항기 소자로 만든다. 한 방법에서는, 포토레지스트 패턴화 기법을 수행할 수 있다. 먼저, Ti 시드 층(20) 위에 포토레지스트(도시되지 않은)를 올려놓은 후, 도 5에 도시된 바와 같이 상호접속 층에서 에칭되어 아래에 놓인 Ti-C 층(16)의 영역을 노출시킬 수 있는 개구(22)를 제공하도록 패턴화시킨다. 알 수 있는 바와 같이, 습식 또는 건식 에칭 방법을 수행하여 각 상호접속 층을 목적하는 패턴으로 제거하도록 포토레지스트를 패턴화시킬 수 있다. 예를 들어, Ti의 경우 불화수소산(HF) 용액을 사용하고, Cu의 경우 염화철(FeCl₃)을 사용하는 습식 화학적 에칭 방법을 이용하여, 포토레지스트에 의해 패턴화된 구역을 선택적으로 제거할 수 있다. HF 용액을 사용하여 아래의 Ti 층(14)을 제거하는 동안, Ti-C 층(16)은 에칭되지 않고 유지된다. 당해 분야의 숙련자가 도 5에 도시된 구조체를 제조하는데 필요한 침착, 마스킹 및 에칭 기법을 용이하게 할 수 있음을 알아야 한다. 개구(22)가 아래에 놓인 Ti-C 층(16)의 일부를 노출시키도록 상호접속 층을 에칭시킬 수 있다.

도 5A는 도 5와 관련하여 도시된 구조체의 평면도이다. 알 수 있는 바와 같이, Ti-C 층(16)은 상호접속 층을 통해 노출된다. 표면의 나머지 부분은 상호접속 층으로 덮인 상태로 유지된다. 따라서, 상층(Ti 층(20))은 본 도면에서 유일하게 보이는 다른 물질이다. Ti-C 층(16)은 도 6 및 도 6A를 참조하여 추가로 기재되는 상호접속 층의 추가적인 가공에 의해 집적화로 소자에 연결될 수 있는 저항기를 형성한다.

도 6은 Ti-C 층(16)을 사용하여 형성된 저항기의 추가적인 제조를 도시한다. 도 6A는 도 6에 도시된 구조체의 평면도이다. 포토레지스트를 사용하여 단리된 단자 영역(24, 26)을 제공하도록 상호접속 층을 추가로 패턴화시킬 수 있다. Ti-C 층(16)을 단리시키도록 단자 영역(24, 26)을 패턴화시켜, 단자 영역(24, 26)을 거쳐 LED 같은 집적 패턴 소자에 전기적으로 연결될 수 있는 높은 등급의 저항기를 형성한다. 따라서, 단자 영역(24, 26)의 구조는 용도에 따라 달라진다. 본 예시적인 실시태양에서는, 도 6A에 가장 잘 도시되어 있는 바와 같이 단순한 선형 저항기가 패턴화되었다.

도 6 및 도 6A에 도시되어 있는 구조체를 제조하기 위하여 2단계 에칭 방법을 수행할 수 있다. 먼저, 단자 영역(24, 26)의 목적하는 구조를 형성하도록 포토레지스트를 패턴화시킨다. 도 5 및 도 5A와 관련하여 기재된 에칭 방법에서와 같이, 예컨대 화학적 에칭제에 의해 상호접속 층을 Ti-C 층(16)의 표면까지 에칭시킨다. 당해 분야의 숙련자는 도 6 및 도 6A에 도시되어 있는 구조체를 제조하는데 필요한 침착, 마스킹 및 에칭 기법을 용이하게 할 수 있음을 알아야 한다. 본 예시적인 실시태양에서는 제 1 에칭을 수행하여 도 5 및 도 5A에 도시된 구조체를 패턴화시키고, 제 2 에칭을 수행하여 도 6 및 도 6A에 도시된 구조체를 추가로 패턴화시키지만, 단일 에칭 단계를 수행하여 아래에 놓인 Ti-C 층(16)이 노출되도록 상호접속 층을 에칭시킬 수 있다.

예컨대 습식 에칭 공정을 통해 상호접속 층을 제거한 후, 플라즈마 에칭 같은 건식 에칭 방법을 이용하여 아래에 놓인 Ti-C 층(16)을 에칭시킬 수 있다. 예를 들어 O₂와 혼합된 CF₄ 기체를 사용하여 건식 플라즈마 에칭을 수행할 수 있다. 플라즈마 에칭은 기체/플라즈마에 노출되는 저항성 Ti-C 층(16)의 임의의 구역을 제거한다. 따라서, 저항기를 형성하기 위해 유지되어야 하는 Ti-C 층(16)의 노출된 구역 위에 포토레지스트 마스크를 덮을 수 있다. 도 6 및 도 6A에 도시된 본 실시태양에서는, 개구(22)에 포토레지스트의 얇은 스트립을 놓고, 도 6A에 도시된 Ti-C 층(16)의 좁은 영역을 덮도록 패턴화시킬 수 있다. 플라즈마 에칭은 Ti-C 층(16)의 임의의 노출된 구역을 제거한다. 보호성 포토레지스트로 덮이지 않은 Ti-C의 구역 또는 상호접속 층은 플라즈마 에칭 동안 제거된다. 따라서, 단자 영역(24, 26) 둘레의 구역은 에칭되어, 아래에 놓인 가요성 기판(10)을 노출시킨다. 도 6 및 도 6A에 도시되어 있는 바와 같이, 나머지 구조체는 단자 영역(24, 26) 사이에 연

결된 저항성 영역(Ti-C 물질(16)의 스트립)을 형성한다. 도 6A는 Ti 시드 층(20)이 상호접속의 상층으로서 보여지고 가요성 기판(10)의 표면상에 저항기가 형성되도록 단자 영역(24, 26) 사이에 Ti-C 층(16)의 나머지가 연결되어 있는 최종 구조체의 평면도를 제공한다. 이미 기재된 바와 같이, 저항기를 패턴화시켜 임의의 목적하는 형상을 형성할 수 있다.

도 7 내지 도 12A는 높은 등급의 저항기(100k Ω 내지 1M Ω)를 제조하기 위한 다른 예시적인 기법을 도시한다. 명백해지는 바와 같이, 다수의 제조 단계 및 물질이 상기 도 1 내지 도 6A와 관련하여 기재된 단계 및 물질과 동일하다. 반복을 피하기 위하여, 아래 논의에서는 몇몇 특정 세부사항을 누락시켰다. 그러나, 도 7 내지 도 12A를 참조하여 기재되는 예시적인 기법의 논의는 도 1 내지 도 6A와 관련하여 상기 논의된 공정 및 물질에 대한 더욱 완벽한 기재내용에 비추어 읽어야 한다.

먼저 도 7에는, 가요성 기판(28)이 도시되어 있다. 앞서 논의된 바와 같이, 가요성 기판(28)은 일반적으로 폴리이미드계 물질을 포함한다. 먼저, 예컨대 물리적 증착(PVD) 방법에 의해 가요성 기판(28) 상에 티탄(Ti)의 층(30) 같은 마스킹 층을 침착시킨다. 본 예시적인 실시태양에서는, 예컨대 300Å 내지 1000Å의 두께로 Ti 층(30)을 침착시킬 수 있다. 본 예시적인 실시태양에서, Ti 층(30)은 아래에 상세하게 기재되는 바와 같이 활성화되는 가요성 기판(28)의 구역을 조절하기 위한 활성화 마스크로서 사용된다.

도 8에서는, 개구(32)가 Ti 층(30)에 에칭된다. 포토레지스트 및 포토마스크를 사용하여 Ti 층(30)을 패턴화시킨 다음, 예컨대 불화수소산(HF) 용액을 사용하는 습식 화학적 에칭 방법을 수행하여 에칭시킬 수 있다. 활성화되는 영역의 바람직한 치수로 개구(32)를 패턴화시킨다. 따라서, 개구(32)는 가요성 기판(28)의 일부를 노출시키는 창을 제공한다. 도 8A는 도 8에 도시된 구조체의 평면도이다. 도 8A에 도시되어 있는 바와 같이, 가요성 기판(28)의 표면은, 아래에 놓인 가요성 기판(28)을 노출시키기 위해 개구(32)(도 8)를 통해 에칭된 구역을 제외하고는 Ti 층(30)으로 완전히 덮여 있다.

이어, 도 9에 도시되어 있는 바와 같이, 개구(32)를 통해 노출되는 가요성 기판(28)의 구역에 고에너지 아르곤(Ar) 이온을 충돌시켜 가요성 기판(28)의 노출된 구역을 활성화시킨다. 앞서 기재된 바와 같이, 가요성 기판(28) 표면에서의 아르곤(Ar) 이온 충돌은 이미드 카보닐기의 우선적인 결합-파괴 및 흑연-유사 탄소의 형성을 야기함으로써, 추가적인 물질 도입시 카바이드 결합 형성에 수용적인 가요성 기판(28)의 활성화된 영역(34)을 형성시킨다. 활성화된 영역(34)은 다른 물질과 용이하게 결합하여 고도로 저항성이 영역을 형성하는 활성 구역을 제공함으로써 높은 등급의 저항기 구조체를 형성하는데 사용될 수 있다. 알 수 있는 바와 같이, Ti 층(30)은, 활성화되는 가요성 기판(28)의 구역 만이 Ti 층(30)으로 덮이지 않은 구역(즉, 개구(32)를 통해 노출된 구역)에서도 평면 마그네트론 스퍼터링(이온 충돌) 공정용 마스크를 제공한다. 선택적인 개구를 제공하도록 Ti 층(30)을 패턴화시킴으로써 저항성 구역의 형상은 이미 결정되고, 이에 따라 도 6 및 도 6A와 관련하여 이전 실시태양에서 기재된 바와 같은 플라즈마 에칭을 통해 저항성 영역의 형태를 만드는 후속 단계가 필요없게 된다. 또한, 본 예시적인 실시태양에서는, 마스킹 층을 제공하기 위하여 Ti 층(30)이 배치된다. 마그네트론 스퍼터링 챔버에서의 오염을 피하기 위하여 티탄을 사용한다. 그러나, 마스킹 층을 제공하는데 다른 물질을 사용할 수도 있다.

활성화된 영역(34)을 형성한 후, 도 10에 도시되어 있는 바와 같이 마스킹 층(Ti 층(30))을 완전히 제거한다. 예컨대 불화수소산(HF) 용액을 사용하여 습식 화학적 에칭 공정을 수행함으로써, Ti 층(30)을 에칭시킬 수 있다. 따라서, 나머지 구조체는 패턴화된 활성화된 영역(34)을 갖는 가요성 기판(28)을 포함한다.

이어, 도 11에 도시되어 있는 바와 같이, 상호접속 층을 가요성 기판(28)의 표면상에 배치한다. 먼저, 평면 마그네트론 스퍼터링 같은 PVD 기법을 이용하여 티탄(Ti) 층(36)을 침착시킨다. 예를 들어 300Å 내지 1000Å의 두께로 Ti 층(36)을 배치할 수 있다. Ti 층(36)이 가요성 기판(28)상에 배치됨에 따라, 활성화된 영역(34)이 티탄(Ti)과 강하게 반응하고, 활성화된 영역(34)의 카보닐기를 통해 전하 전달이 이루어진다. Ti 층(36)으로 덮인 구역이 증가됨에 따라, 도 3에 도시된 바와 같이 활성화된 영역(34)에 얇은 탄화티탄(Ti-C) 층(38)이 형성된다. 이미 기재된 바와 같이, Ti-C 층(38)은 고도로 저항성이고, 따라서 가요성 기판(38)의 표면상에 높은 등급(100K Ω 내지 1M Ω)의 저항기를 제조하는데 사용될 수 있다.

Ti 층(36)의 침착 및 Ti-C 층(38)의 형성 후, 도 11에 추가로 도시되어 있는 바와 같이 추가적인 상호접속 물질을 Ti 층(36) 상에 배치할 수 있다. 예를 들어 물리적 증착(PVD)을 이용하여 Ti 층(36) 상에 구리(Cu) 시드 층(40)을 침착시킬 수 있다. 예컨대 3000Å의 두께로 Cu 시드 층(40)을 배치시킬 수 있다. 다음으로는, Cu 시드 층(40)을 전기 도금시킬 수 있다. 마지막으로, 상호접속을 완료시키기 위하여, 예를 들어 PVD 방법에 의해 Cu 시드 층(40) 상에 티탄(Ti) 시드 층(42)을 배치할 수 있다. Ti 시드 층(42)은 임의적이고, 예를 들어 1000Å의 두께로 배치될 수 있다.

Ti-C 층(38)이 이미 유용한 저항기로 패턴화되었기 때문에, 유일한 나머지 단계는 상호접속 층을 목적하는 패턴으로 패턴화시킴으로써 단자 영역을 형성하는 것이다. 도 12는 단자 영역(44, 46)의 형성을 도시한다. 도 12A는 도 12에 도시된 구조체의 평면도이다. 포토레지스트를 사용하여, 단리된 단자 영역(44, 46)을 제공하도록 상호접속 층을 패턴화시킬 수 있다. 포토레지스트를 패턴화시킨 후, 예를 들어 화학적 에칭 제제에 의해 상호접속 층을 가요성 기판(28)의 표면까지 에칭시킨다. 이미 기재한 바와 같이, Ti-C 층(38)을 단리시키도록 단자 영역(44, 46)을 패턴화시켜, 단자 영역(44, 46)을 거쳐 LED 같은 집적회로 소자에 전기적으로 연결될 수 있는 높은 등급의 저항기를 형성한다. 따라서, 단자 영역(44, 46)의 구조는 용도에 따라 달라진다. 본 예시적인 실시태양에서는, 도 12A에 가장 잘 도시된 바와 같이 단순한 선형 저항기를 패턴화시켰다. 당해 분야의 숙련자는 도 12 및 도 12A에 도시된 구조체를 제조하는데 필요한 침착, 마스킹 및 에칭 기법을 잘 알 것임을 알아야 한다.

이미 기재된 바와 같이, 본 기법에 따라 가요성 기판상에 제조되는 예시적인 높은 등급의 저항기를 다수의 용도에 사용할 수 있다. 예를 들어, 저항기를 가요성 기판의 배면상에 형성시켜, 정전기 방전으로부터 발광 다이오드(LED)에 가해지는 손상을 방지하는 높은 등급의 블리드 저항기를 제공할 수 있다. 따라서, 도 13 및 도 14는 본 기법의 예시적인 실행을 도시한다.

먼저 도 13에는, 가요성 기판(50)상에 형성된 예시적인 LED 어레이(48)의 단면이 도시되어 있다. 가요성 기판(50)상에 어레이를 제조한다는 사실 외에, LED 어레이(48) 및 어레이를 제조하는 방법의 구체적인 실시태양은 본 발명에 중요하지 않다. 따라서, LED 어레이(48)의 하기 기재내용은 어떠한 방식으로든 현재 개시된 구조체를 한정하는 것으로 생각되지 않으며, 본원에 기재된 저항성 구조체의 예시적인 용도를 제공하는 의미일 뿐이다.

이미 기재된 바와 같이, 가요성 기판(50)은 일반적으로 캡톤(등록상표) 같은 폴리이미드계 물질을 포함한다. 접착제 층(54)을 사용하여 경질 캐리어(52)를 가요성 기판(50)에 부착시킬 수 있다. 경질 캐리어(52)는 예컨대 세라믹 물질, 성형 가능한 플라스틱 또는 중합체 물질을 포함할 수 있다. 접착제 층(54)은 예컨대 이방성 전도성 접착체를 포함할 수 있다. 각각의 경질 캐리어는 LED 칩(56)을 포함한다. LED 칩(56)은 예를 들어 에폭시, 유리-충전된 에폭시 또는 중합체 물질(예: 실리콘) 같은 캡슐화 물질(58)로 둘러싸일 수 있다. 각 LED 구조체는 LED 조사에 대해 투과성인 임의의 적합한 물질(예: 폴리카보네이트 층)을 포함할 수 있는 렌즈 구조체(60)를 추가로 포함한다. 렌즈 구조체(60)는 LED 칩(56)의 광 방출량을 개선시킨다.

각 경질 캐리어(54)는 또한 LED 칩(56)을 경질 캐리어(52)의 아래쪽에 전기적으로 연결하는데 사용되는 전극(62) 같은 다수의 통과형(feed-through) 전도성 소자를 포함한다. 전극(62)은 이방성 전도성 접착제 층(54)에 연결된다. 전도성 상호접속 경로(64)는 가요성 기판(50)을 통한 전기 전도성 경로를 제공한다. 알 수 있는 바와 같이, 전도성 상호접속 경로(64)는 전도성 물질로 채워진 비아를 포함할 수 있다. 상호접속 경로(64)는 가요성 기판(50) 아래의 상호접속 층(66)에 전기적으로 연결된다. 따라서, LED 칩(56)으로부터 전극(62)으로, 이방성 전도성 접착제 층(54)을 통해, 상호접속 경로(64)를 통해, 또한 가요성 기판(50) 아래쪽의 상호접속 층(66)으로 전도성 경로가 존재한다. 이를 상호접속 층(66)은 본원에 기재된 기법에 따라 제조된 저항기 구조체의 단자를 형성할 수 있다.

도 14는 본원에 기재된 기법에 따라 제조된 블리드 저항기(68)를 갖는 가요성 기판(50)의 배면도이다. 알 수 있는 바와 같이, 저항기(68)는 전기 방전의 전기적 경로를 유리하게 제공한다. 저항기(68) 및 단자 영역은 도 14에 도시된 예시적인 패턴으로 제조될 수 있다. 저항기(68)를 가요성 기판(50)상에 패턴화 및 제조한 후, LED 어레이(48)를 형성시키고 저항기(68)에 전기적으로 연결하여, 앞서 기재된 바와 같이 정전기 방전에 기인한 손상으로부터 LED 칩(56)을 보호할 수 있다.

본 발명이 용이하게 다양하게 변형되고 다른 형태로 변화될 수 있지만, 특정 실시태양을 도면에 예시적으로 도시하고 본원에서 상세하게 기재하였다. 그러나, 본 발명이 개시된 특정 형태로 한정되지는 않음을 알아야 한다. 오히려, 본 발명은 하기 첨부된 청구의 범위에 의해 한정되는 본 발명의 원리 및 영역 내에 속하는 모든 변형, 등가물 또는 다른 형태를 포함한다. 예컨대, 본원에서는 반도체 LED와 관련하여 제조되는 저항기를 참고하여 기재하였지만, 본 기법은 유기 LED 같은 다른 LED 유형과 사용하는 데에도 똑같이 적용될 수 있다. 유사하게, 본 발명에 의해 제공되는 저항기는 조명 분야 내외의 다수의 전기 및 전자 회로에 사용될 수 있다.

(57) 청구의 범위

청구항 1.

- (a) 가요성 기판(10)(28)의 표면상의 영역을 활성화시킴으로써 활성화된 영역(12)(34)을 형성시키고;
- (b) 활성화된 영역(12)(34)에 저항성 층(16)(38)을 형성하고;
- (c) 저항성 층(16)(38)의 적어도 일부상에 하나 이상의 상호접속 층(18, 20)(40, 42)을 침착시키며;
- (d) 하나 이상의 상호접속 층(18, 20)(40, 42)을 패턴화시켜 저항기의 단자(24, 26)(44, 46)를 형성시킴을 포함하는, 저항기의 제조 방법.

청구항 2.

제 1 항에 있어서,

단계 (a)가 가요성 기판(10)(28)의 표면을 이온 에칭시킴을 포함하는 방법.

청구항 3.

제 1 항에 있어서,

단계 (a)가 폴리이미드 기판(10)(28)의 표면상의 영역을 활성화시킴을 포함하는 방법.

청구항 4.

제 1 항에 있어서,

단계 (b)가 활성화된 영역(12)(34) 상에 금속 층(14)(36)을 침착시킴으로써, 활성화된 영역(12)(34)에서 저항성 층(16)(38)을 형성시키는 반응을 야기함을 포함하는 방법.

청구항 5.

제 4 항에 있어서,

금속 층(14)(36)을 침착시키는 단계가 활성화된 영역(12)(34) 상에 티탄 층(14)(36)을 침착시킴으로써, 활성화된 영역(12)(34)에서 탄화티탄 층(16)(38)을 형성시키는 반응을 야기함을 포함하는 방법.

청구항 6.

제 4 항에 있어서,

단계 (c)가 금속 층(14)(36)의 적어도 일부상에 구리 층(18)(40)을 침착시킴을 포함하는 방법.

청구항 7.

제 6 항에 있어서,

단계 (c)가 구리 층(18)(40)상에 티탄 층(20)(42)을 침착시킴을 포함하는 방법.

요약

본 발명은 가요성 기판(10)(28) 상에 저항기를 제조하는 기법에 관한 것이다. 구체적으로는, 이온 스퍼터 에칭 기법에 노출시킴으로써, 폴리이미드 기판(10)(28)의 적어도 일부를 활성화시킨다. 금속 층(14)(36)을 기판(10)(28)의 활성화된 부분(12)(34)상에 침착시킴으로써, 고도로 저항성인 금속-카바이드 영역(16)(38)을 형성시킨다. 상호접속 층(18, 20)(40, 42)을 금속-카바이드 영역(16)(38) 상에 침착시키고 패턴화시켜, 금속 카바이드 영역(16)(38)의 대향 말단에 단자(24, 26)(44, 46)를 형성시킨다. 금속-카바이드 영역(16)(38)을 패턴화시켜 단자 사이에 저항기를 형성시킨다. 다른 게는, 폴리이미드 기판(10)(28)의 선택된 구역만을 활성화시킨다. 선택된 구역은, 금속-카바이드 영역(16)(38)이 형성되는 구역을 형성한다. 금속-카바이드 영역(16)(38)상에 상호접속 층(18, 20)(40, 42)을 배치하고 패턴화시켜, 금속-카바이드 영역(16)(38)의 대향 말단에 단자(24, 26)(44, 46)를 형성시킨다.

대표도

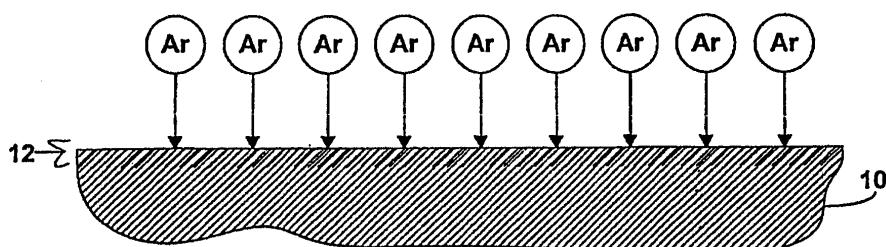
도 5

도면

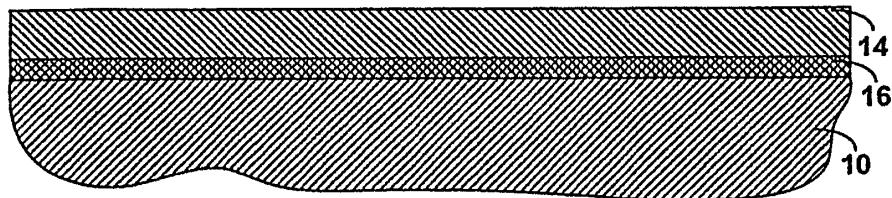
도면1



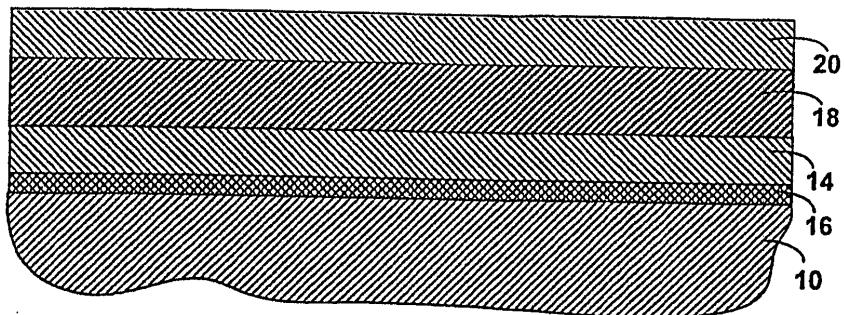
도면2



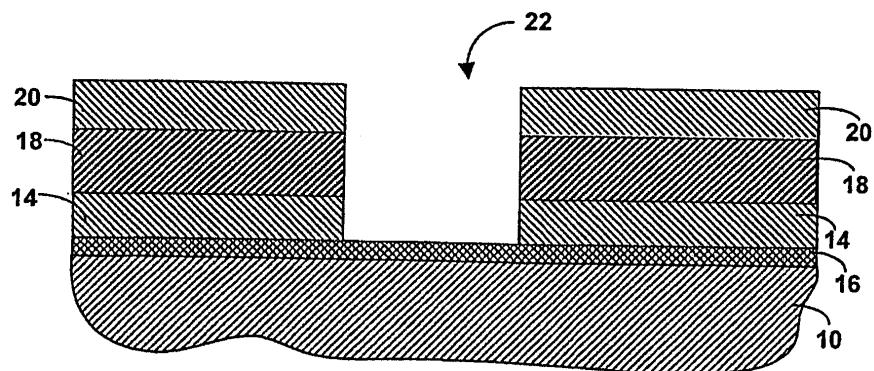
도면3



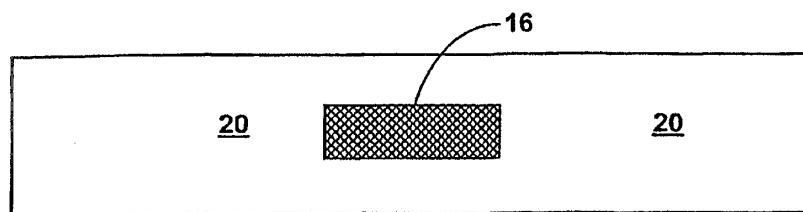
도면4



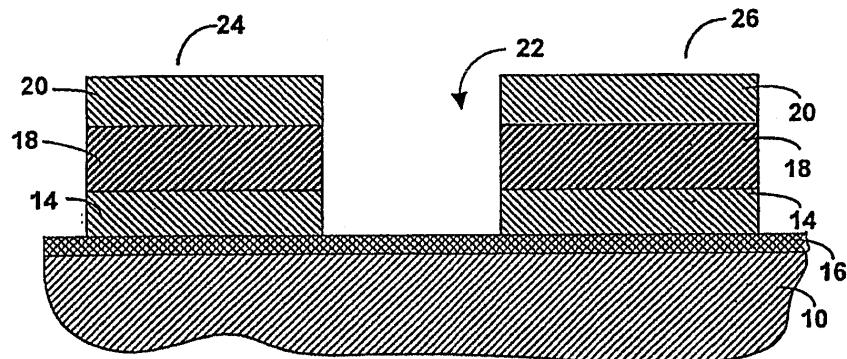
도면5



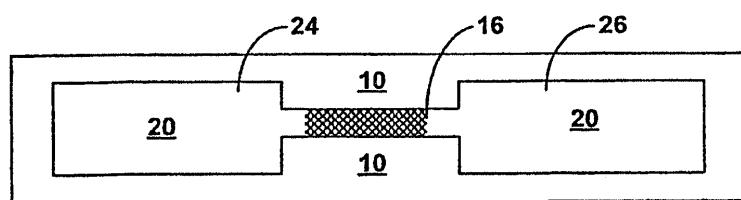
도면5A



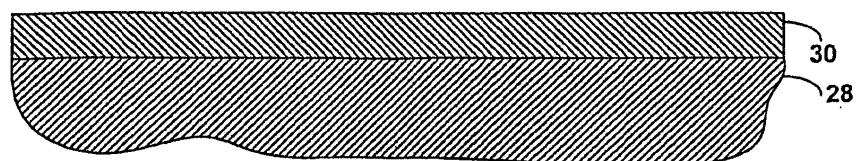
도면6



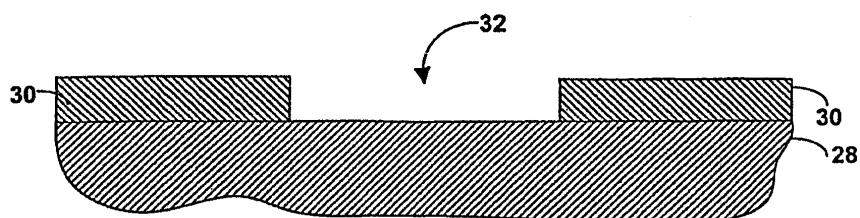
도면6A



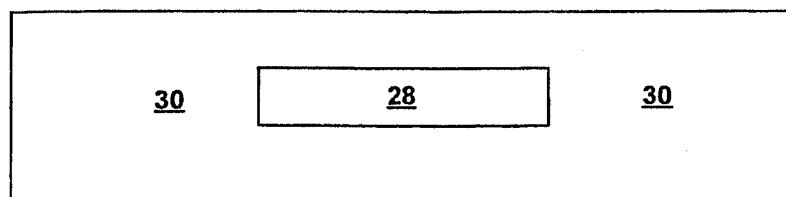
도면7



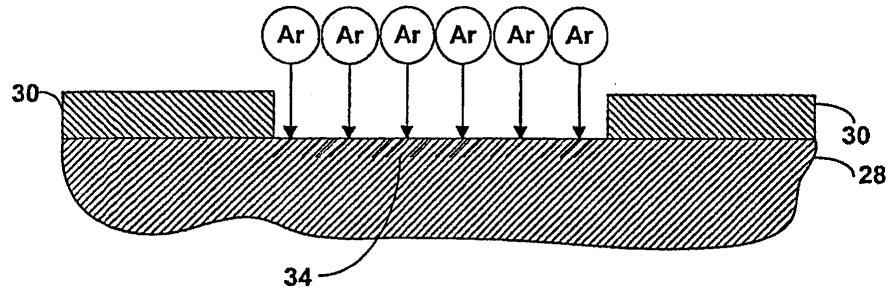
도면8



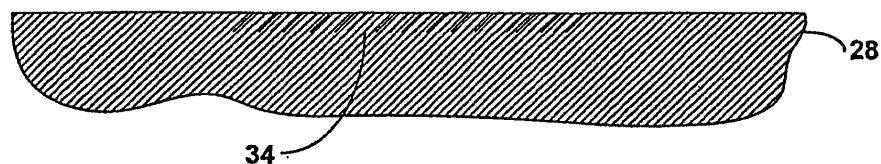
도면8A



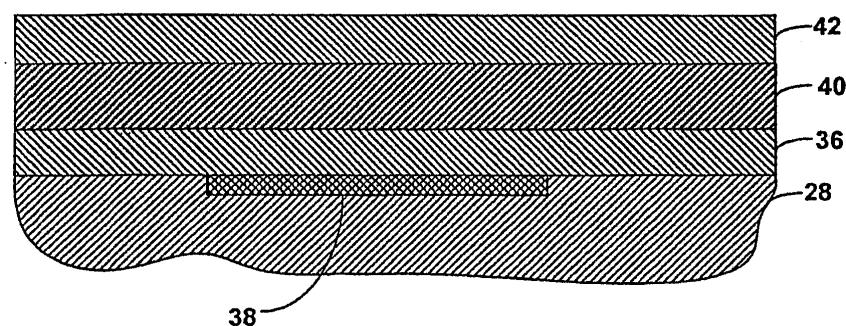
도면9



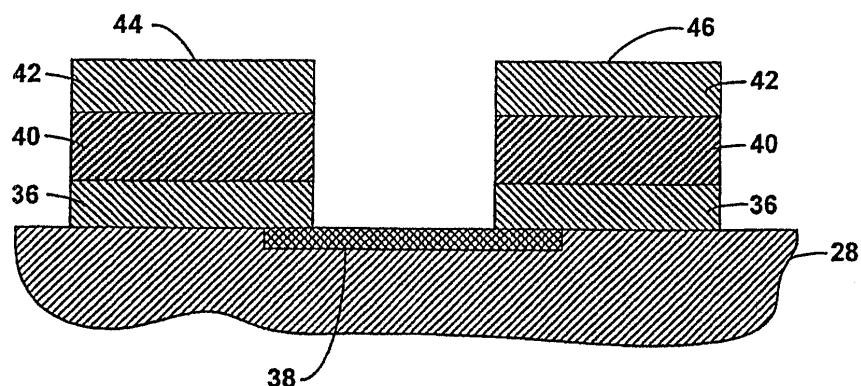
도면10



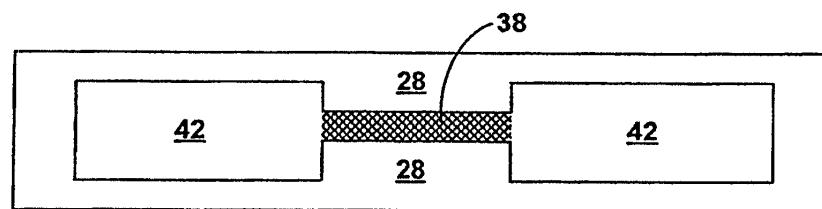
도면11



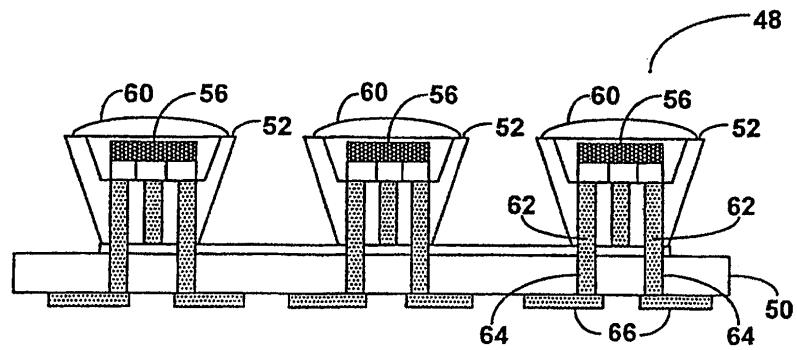
도면12



도면12A



도면13



도면14

