

公告本

申請日期	88 年 7 月 13 日
案 號	88111875
類 別	H01L 22/10

A4
C4

421883

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置
	英 文	
二、發明 創作人	姓 名	(1) 利穗吉郎 (2) 中井潔 (3) 江川英和
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都青梅市新町一一二一四日立若草寮三一五
	住、居所	(2) 日本國東京都青梅市新町五一二三一七歡樂二〇三 (3) 日本國東京都昭島市杜鵑花丘三一六一一〇一五〇五
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	住、居所 (事務所)	(1) 日本 (2) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二二番一號
	代 表 人 姓 名	(1) 庄山悦彦 (2) 鈴木仁一郎

裝

訂

線

421883

申請日期	88 年 7 月 13 日
案 號	88111875
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 鈴木幸英 (5) 藤井勇
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都昭島市美堀町五-五-七日立超 L 拝島寮
	住、居所	(5) 日本國東京都昭島市美堀町五-五-七日立超 L 拝島寮 C-四一四
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

421883

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權
日本 1998 年 8 月 27 日 10-241607 ☒ 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

臺灣智慧財產局員工消費合作社印製

五、發明說明(1)

本發明係有關於一種半導體積體電路裝置，係有關於一可以有效地利用在一備有例如在半導體晶片的中央部配置周邊電路以及接合墊，將從外部端子所供給的電源電壓予以降壓，而供給到上述周邊電路等之電源電路的動態型 R A M 的上述電源電路的技術。

在半導體晶片的中央部配置接合墊以及與對應於此之周邊電路，將從外部端子所供給的電源電壓予以降壓，而將其供給到包含上述周邊電路在內之內部電路的動態型 R A M 的例子，則有美國專利公告 5 6 0 2 7 7 1。該公報之動態型 R A M，在記憶晶片之縱橫的中央部設置呈十字狀構成周邊電路的領域，而將記憶體陣列配置在藉由上述十字狀的領域被分割為 4 的領域內。此外，在上述十字狀的中央部，亦即，所謂的晶片的中心部，也配置 X 解碼器、Y 解碼器用位址信號產生電路以及內部降壓電源電路等。

當如上述般，在記憶晶片之縱橫的中央部配置周邊電路時，則沿著各電路的配列形成配線通道。本案的發明人在本發明之前，已考慮在記憶晶片之短邊方向的中央部配置冗餘電路等，而針對上述冗餘電路的信號路徑，則形成利用第 2 層之金屬配線層的配線通道，在記憶晶片之長邊方向的中央部配置位址緩衝器、資料輸出入電路等之周邊電路，針對上述周邊電路的信號路徑，則形成利用第 3 層之金屬配線層的配線通道。

藉著設成上述之構造，利用第 1 層的金屬配線層來形

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(2)

成構成各電路之單位的邏輯電路等，而用來連接各邏輯電路間的配線，則利用被形成在其上層的配線通道，可以實現合理的電路佈局。然而，當如此構成時，會在晶片的中央部形成上述2個配線通道交差的部分，而必須只利用上述第1層的金屬配線層來形成電路。

上述第1層的金屬配線層，爲了要較不會受到形成之後的熱過程的影響，乃利用包含鎢(W)在內之高熔點的金屬材料。而利用上述第1層之金屬配線層的配線，其電阻值則比較大。例如有第1層之配線的電阻常數會較第2層之配線的電阻常數爲大的情形。因此，即使是利用上述第1層的金屬層，而藉由所謂的專業技師進行配線佈局來構成電路，也無法期待利用比較大的配線電阻，而獲得具有高性能的電路。在此，本發明人等則開發出可以如上述般有效地利用2個配線通道所交差的部分，而實現電路元件之合理的配置的半導體積體電路裝置。

本發明之目的即在於提供一種在不降低電路之性能的情況下，實現電路元件之合理配置的半導體積體電路裝置。本發明之上述以及其他的目的與新的特徵，可以由本說明書的記載以及所附圖面而明白。

若是要簡單地說明本案所揭露之發明中的代表者的概要內容，則如下所述。亦即，針對一備有由在半導體晶片之第1方向上延長的由多個所構成之第2層的金屬配線層所構成的第1配線通道、由在與上述第1方向直交之第2方向上延長之由多個所構成之第3層的金屬配線層所構成

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(3)

的第2配線通道、以及接受從外部端子所供給的電源電壓，而形成與此不同的電壓，備有安定用電容的內部電源電路而構成的半導體積體電路裝置，其特徵在於：使在上述第2層與第3層之金屬配線層交差的半導體領域上所形成的電容器占了上述安定用電容的大半。

第1A圖以及第1B圖係表應用本發明之動態型RAM之一實施例的概略構成圖。在同一圖中，第1A圖係表擴散層的概略佈局，第1B圖係表概略的配線層佈局。同圖的佈局，則是在構成動態型RAM之各電路方塊中，如可以了解其主要部分般地表示其代表性的部分，而此則藉由周知的半導體積體電路的製造技術，被形成在如單晶矽般的1個半導體基板上。

在本實施例中，雖然未特別限制，但是記憶體陣列，整體而言被分成4個。相對於半導體晶片的長邊方向分成左右，如第1A圖所示，在長邊方向的中央部分，則形成有位址輸入電路、資料輸出入電路、以及如第1B圖所示，形成由接合墊列與第3層的配線層M3所構成的配線通道。在上述長邊方向的中央部，則設有包含上述輸出入介面電路以及昇壓電路或降壓電路在內的電源電路等。此外，在短邊方向的中央部，雖然未特別限制，如後所述般設有冗餘電路，而在形成有上述冗餘電路的部分，則形成由第2層的金屬層M2所構成的配線通道。

在本實施例中，則在由上述第3層的配線通道與第2層的配線通道交差的半導體晶片的中央部，形成用來形成

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(4)

安定用電容的擴散層。該安定用電容，雖然未特別限制，但是當作用來形成上述周邊電路之動作電壓的降壓電源電路的安定用電容來使用。上述降壓電源電路，如後所述，多個電路係呈分散狀被配置在半導體晶片上之長邊方向中央部之形成周邊電路的部分，而活用位在上述周邊電路之間隙的半導體領域，也可以連接電容值小的安定用電容。該些分散被設置的安定用電容，由於是利用上述被限制的半導體領域，因此，相較於被形成在上述晶片中央部的安定用電容，則被設成為小的電容值。

如上所述，係在半導體晶片上之比較長的長邊方向中央部形成周邊電路，如上所述，藉著將多個降壓電源電路呈分散地配置，則在周邊電路動作時為必要的電流，由於係經過距離比較短的配線路徑所供給，因此能夠使動作電壓變成安定。用來供給降壓電壓的電源線，雖未特別限制，但是利用上述第3層的金屬層M3來構成。

上述周邊電路，雖未特別限制，但是是一挾著第1B圖所示的接合墊，如第1A圖所示，左側的比較大的電路單元列為輸入電路或預解碼器、電源電路等的周邊電路，而右側之比較小的電路單元列，則構成輸出電路。

如上所述，則配置了相對於半導體晶片的長邊方向，左右2個，而相對於半導體晶片的短邊方向，上下各2個之由4個所構成的記憶體陣列。記憶體陣列，如後所述，在其長邊方向的中央部分配置主列解碼器領域與主字元驅動器，而採用所謂的階層字元線（或是分割字元線）方式

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(5)

。又，位元線也被分割為多個。結果，上述記憶體陣列，則分別被分割為多個副陣列。

第 2 A 圖以及第 2 B 圖係表被設在上述半導體晶片之中央部的安定用電容的構成圖。第 2 A 圖係表示其平面構成，第 2 B 圖係表示其斷面構成。雖未特別限制，在 p 型基板 P S U B 上形成 N 型阱領域 N W E L L，而當作 M O S 電容的另一個電極來使用。亦即，構成空乏模式 (depletion mode) 的 M O S 電容。在該 N 型阱領域 N W E L L 的周邊部，則形成構成 N 通道型 M O S F E T 之源極、汲極領域的 N + 型擴散層 L，在上述 N + 型擴散層 L 設置接點部 L C N T，而作為安定用電容的其中一個電極，而例如供給電路的接地電位。

在上述 N 型阱領域 N W E L L 的表面，則形成有在與 M O S F E T 之閘極絕緣膜相同的過程中所形成的絕緣膜，而將此當作介電體來使用。而在上述絕緣膜上，則形成有在與 M O S F E T 之閘極相同的過程中所形成的導電性多矽層 F G，而當作上述安定用電容的另一個電極來使用。針對該導電性多矽層 F G 設置接點部 F C N T，而例如被連接到降壓電源電路的輸出端子，而供給降壓電壓 V P R E R I。

本實施例的安定用電容，雖未特別限制，但是位在上述第 1 配線通道與第 2 配線通道的交差部，而根據與周邊電路的關係，被形成為 $430\mu\text{m} \times 425\mu\text{m}$ 的大小、以及 $400\mu\text{m} \times 315\mu\text{m}$ 的大小。由於根據 $1\mu\text{m} \times$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

1 μm ，可以得到約 5 fF 的電容值，因此，上述般大小的安定用電容，大約為 730 $\mu\text{m} \times 400 \mu\text{m}$ ，而可以獲得電容值約 1460 pF 的電容器。相對於此，雖未圖示，分散而適當設在上述周邊電路的安定用電容的電容值大約為 980 pF，又，分散而適當設在輸出電路的安定用電容，則大約為 100 pF。在本例中，形成在半導體晶片之中央部的安定用電容，則成為整體的一半以上。

第3圖係表本發明之降壓電源電路之一實施例的概略電路圖。在本實施例中，在演算放大電路OP之非反轉輸入(+)供給基準電壓V_{L R E R I}，而將其輸出信號供給到當作可變電阻來使用之p通道型的輸出MOSFET Q16的閘極。該MOSFET Q16的汲極被連接到電源電壓V_{D D}，而將在源極與電路之接地電位之間，構成分壓電路的p通道型MOSFET Q17與Q18加以連接。而由當作上述電阻元件來使用之MOSFET Q17與Q18所形成的分壓輸出，則被供給到上述演算放大電路OP的反轉輸出(-)。藉此，上述當作可變電阻元件而動作的MOSFET Q16，則被供給可以使上述被分壓的電壓與上述基準電壓V_{L P E R I}成為一致的閘極電壓。

上述MOSFET Q16的汲極則當作輸出端子，而形成降壓電壓V_{P E R I}。在該輸出端子，則連接有用於使上述降壓電壓V_{P E R I}安定的安定用電容(1)、(2)、以及(3)。上述安定用電容(1)，如上述第1

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(7)

圖所示，乃被形成在半導體晶片的中心部（第1與第2配線通道的交差部），而安定用電容（2）則被形成在上述周邊電路的間隙，安定用電容（3），則被形成在上述輸出電路的間隙。

上述演算放大電路OP則被控制電路所控制。演算放大電路OP，如後所述，係由可穩定動作者，與在周邊電路被設為動作狀態時，會選擇性動作的2種所構成。上述控制電路，係一當上述周邊電路被設成動作狀態時，會形成動作信號者。又，上述會選擇性動作的演算放大電路，則多個呈分散地被配置在半導體晶片上。

第4A圖以及第4B圖係表構成上述降壓電源電路之演算放大電路的一實施例的電路圖。第4A圖係表待機時用的演算放大電路，第4B圖係表動作時用的演算放大電路。在第4A圖的待機用的演算放大電路，爲了要具備小的電流供給能力，以彌補在CMOS構成的輸入電路以及周邊電路等之如降壓電壓V_{PERI}之漏電流般的比較小的電流，如同圖所示，係由N通道型MOSFET的差動MOSFET Q1與Q2、源極—汲極路徑係被連接到其共通源極與電路之接地電位之間，而藉著將基準電壓V_{ref}供給到閘極，而流有一定電流的N通道型的電流源MOSFET Q5、被設在上述MOSFET Q1與Q2之汲極與電源電壓V_{DD}之間，藉著設成電流鏡形態，而構成主動負載電路的P通道型MOSFET Q3與Q4所構成的差動電路、接受上述差動電路的輸出信號之

（請先閱讀背面之注意事項，填寫本頁）

裝

訂

線

五、發明說明(8)

P 通道型的輸出 MOSFET Q 6、以及被設在其汲極與電路的接地電位之間，而構成負載電路與回饋電路的電阻 R 1 與 R 2 所構成。

在上述差動 MOSFET Q 1 的閘極，則施加有基準電壓 V_{LPERI} ，而從上述輸出 MOSFET Q 6 的汲極輸出降壓電壓 V_{PERI} 。由上述電阻 R 1 與 R 2 所形成的分壓電壓，則當作上述回饋電阻，被供給到上述差動 MOSFET Q 2 的閘極，在本實施例中，藉著將上述電阻 R 1 與 R 2 的電阻值形成為相等，則在演算放大電路中，藉著控制上述輸出 MOSFET Q 6，以使得上述基準電壓 V_{LPERI} 、與被分割成降壓電壓 V_{PERI} 之 $1/2$ 的回饋電壓成為相等，可以利用成為上述 $1/2$ 的基準電壓 V_{LPERI} ，而形成電壓被放大成其 2 倍的降壓電壓 V_{PERI} 。如此，對於輸出電壓 V_{LPERI} ，利用 $1/2$ 的定電壓 V_{LPERI} ，而讓差動電路動作，可以使差動電路，在高感度領域中動作。此外，電阻 R 1，R 2，如上所述，也可以藉著 2 個 MOS 電晶體的二極體連接而實現。

動作時用的演算放大電路，如上所述，爲了要有效率地形成與輸入電路或位址解碼器等的位址選擇電路的動作電流配合的比較大的電流，如同圖所示，乃設有 N 通道型 MOSFET 的差動 MOSFET Q 7 與 Q 8 將源極－汲極路徑連接到其共通源極與電路之接地電位之間，藉著將動作控制信號 ϕP 供給到閘極，而設成只有在動作時才流

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(9)

有動作電流的 N 通道型的電流源 MOSFET Q 9、以及在上述 MOSFET Q 1、Q 2 的汲極與電源電壓 VDD 之間，分別設為二極體形態的 P 通道型 MOSFET Q 10 與 Q 12。

上述差動 MOSFET Q 7 與 Q 8 的汲極輸出信號，則經由下一個輸出驅動電路，被傳到輸出 MOSFET Q 16 的閘極。上述其中一個差動 MOSFET Q 7 的汲極電流，則經由由上述 P 通道型 MOSFET Q 10 與 P 通道型 MOSFET Q 11 所構成的電流鏡電路，而被供給到被設成二極體形態的 N 通道型 MOSFET Q 14。該 MOSFET Q 14 的源極，則被連接到電路的接地電位。在上述 MOSFET Q 14，則設有被設為電流鏡形態的 N 通道型 MOSFET Q 15，上述另一個差動 MOSFET Q 8 的汲極電流，則經由由上述 P 通道型 MOSFET Q 12 與 P 通道型 MOSFET Q 13 所構成的電流鏡電路，而被供給到上述 MOSFET 15 的汲極。

上述 P 通道型 MOSFET Q 13 與 Q 15 之共同被連接的汲極電壓，則當作驅動電壓，被供給到 P 通道型的輸出 MOSFET Q 16 的閘極。在此構成中，輸出 MOSFET Q 16 的閘極電容，會根據與上述差動 MOSFET Q 7 和 Q 8 之汲極電流的差分呈對應的電流而被充放電，而形成驅動電壓。因此，被供給到輸出 MOSFET Q 16 的閘極的驅動電壓，則大約從電源電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（10）

壓 V_{DD} ，成為如電路的接地電位般的大的信號振幅，而被施加在輸出 $MOSFET Q16$ 之閘極的驅動電壓的動態範圍（dynamic range）也會變大，而能夠從輸出 $MOSFET Q16$ 形成大的驅動電流。

在上述差動 $MOSFET Q7$ 的閘極，則施加有基準電壓 V_{LPERI} ，而從上述輸出 $MOSFET Q16$ 的汲極輸出降壓電壓 V_{PERI} 。由設在該輸出 $MOSFET Q16$ 之汲極側的電阻 $R3$ 與 $R4$ 所形成的分壓電壓，則當作上述回饋電阻，被供給到上述差動 $MOSFET Q8$ 的閘極，在本實施例中，藉著將上述電阻 $R3$ 與 $R4$ 的電阻值形成為相等，則在演算放大電路中，藉著控制上述輸出 $MOSFET Q16$ ，以使得上述基準電壓 V_{LPERI} 、與被分割成降壓電壓 V_{PERI} 之 $1/2$ 的回饋電壓成為相等，可以利用成為上述 $1/2$ 的基準電壓 V_{LPERI} ，而形成電壓被放大成其 2 倍的降壓電壓 V_{PERI} 。此外，上述電阻 $R3$ 與 $R4$ ，如上述第 3 圖所示，可如 2 個 $MOSFET Q17$ 與 $Q18$ 所示，藉著二極體連接而實現。

如上所述，動作時用的演算放大電路，如上所述，由於根據大的信號振幅來驅動輸出 $MOSFET Q16$ ，可以得到大的輸出電流，但是由於與在差動電路之電流源 $MOSFET Q9$ 中所形成的動作電流相同的電流係流於輸出驅動電路，因此，即使流經 $MOSFET Q5$ 與 $Q9$ 的電流是相同，也會流有為第 4 A 圖之演算放大電路的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

2.5 倍的電流。第 4 B 圖相較於第 4 A 圖，其消耗電流大。因此，根據上述控制信號 P O P，如上所述配合對應的周邊電路在動作時，讓其間歇性或是選擇性地動作。

第 5 圖係表應用本發明之半導體記憶裝置之一實施例的整體的記憶晶片的構成圖。在同一圖中，則代表性地表示多個與輸入電路、周邊電路呈對應的降壓電源電路 1 ~ 6 以及非動作時用的降壓電源電路 7。上述非動作時用的降壓電源電路 (s t b y) 7，則如上所述設置 1 個。

至陣列部，如同圖所示，當分成 4 個記憶組 (Bank 0 ~ 3) 時，雖未特別限制，但是當選擇 1 個記憶組 Bank 0 時，則中心部的電壓驅動電路 1、2，與端部的電壓驅動電路 3，會根據動作控制信號 ϕ O P 1 與 ϕ O P B 0 被設成動作狀態而供給電流。藉著從鄰接之電壓驅動電路供給電流，可以將在電源電線中的電壓損失抑制成最小，而能夠達到動作電壓的安定化。此時，藉著將對應於記憶組 1 至 3 所設之位端部的電壓驅動電路 4 ~ 6 設成非動作狀態，而減少消耗電流。

在作更新動作時，當在 2 個記憶組，例如 Bank 0 與 1 同時進行更新動作時，則中心部的電壓驅動電路 1、2 與端部的電壓驅動電路 3、4，會根據動作控制信號 P O P 1、P O P B 0、P O P B 1 而被設為動作狀態而供給電流。在作更新動作時，當 4 個記憶組 (B a n k) 0 ~ 3 同時進行更新動作時，則根據動作控制信號 ϕ O P 1、 ϕ O P B 0 ~ ϕ O P B 3，全部的電壓驅動電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

路 1 ~ 6 會被設成動作狀態而供給電流。與該電壓驅動電路 1 ~ 6 的動作類似，用來形成對應於上述記憶組

B a n k 0 ~ 3 而設的感測放大器之動作電壓 V D L 的未圖示的降壓電源電路，則與對應於上述周邊電路的降壓電源電路 1 ~ 6 同樣地設置多個，則與上述同樣地被控制。

連將動作電壓 V D L 供給到上述感測放大器的降壓電源電路，也與上述第 4 圖所示之周邊電路用的降壓電源電路同樣地被形成。亦即，在第 4 圖中，基準電壓 (V L D L) 是一與上述感測放大器用的電源電壓 V D L 呈對應的基準電壓，藉著供給上述的基準電壓 V L D L，可以形成與其對應的降壓電壓 V D L。例如當電源電壓 V D D 為 3 . 3 V 時，則上述周邊電路用的內部降壓電壓被設成 2 . 5 V，而上述感測放大器用的內部降壓電壓 V D L 被設成 2 . 0 V。

第 6 圖係表本發明之動態型 R A M 之一實施例的概略佈局圖。在本實施例中，記憶體陣列，與上述同樣地，整體被分為 4 個。乃沿著半導體晶片的長邊方向，在上下設置 2 個、左右各設 2 個，與上述同樣地，在沿著上述晶片之長邊方向的中央部分設有位址輸入電路、資料輸出入電路以及由接合墊列所構成的輸出入介面電路 P E R I 等。而在上述記憶體陣列的上述中央側配置有主放大器 M A。

針對如上所述，沿著半導體晶片的長邊方向，在上下設置 2 個、左右各設 2 個，而合計由 4 個所構成的各記憶體陣列，而相對於長邊方向，在左右方向的中間部，則集

(請先閱讀背面之注意事項、填寫本頁)

裝

訂

線

五、發明說明(13)

中配置有 X 系預解碼電路 R O W P D C 以及救濟電路 R O W R E D、Y 系預解碼電路 C O L P D C 以及救濟電路 C O L R E D。亦即，分別對應於上述 4 個記憶體陣列，對應於上述左右各設 2 個的記憶體陣列，將上述 X 系預解碼電路 R O W P D C 以及救濟電路 R O W R E D、Y 系預解碼電路 C O L P D C 以及救濟電路 C O L R E D 2 組 2 組地分開設置。

沿著上述記憶體陣列的上述中間部分，則與上述同樣地形成主字元驅動器領域 M W D，對應於各自的記憶體陣列，分別驅動朝上方側延長而設的主字元線。在此構成中，當使用與上述同樣的副陣列時，則讓主字元線延長以貫穿 16 個副陣列。此外，在上述記憶體陣列，則在與上述晶片中央部分呈相反側的晶片周邊側設有 Y 解碼器 Y D C。亦即，在本實施例中，上述被分割為 4 個而構成的各記憶體陣列，則如為被配置在上述中央側的主放大器 M A 與配置在周邊側之 Y 解碼器 Y D C 的挾持般地被配置。此時，在晶片中央部，則會發生在縱向與橫向延長的配線通道交差的部分，且在此形成安定用電容 C。又，如上所述，也可以分散於周邊電路等的間隙，適當地設置電容值小的安定用電容。

上述記憶體陣列，雖然未特別限制，但是在與上述晶片中央部分呈相對側的晶片周邊側，則設有 Y 解碼器 Y D C。在本實施例中，由上述被分割成 4 個所構成的各記憶體陣列，則如為被配置在上述中央側的主放大器 M A

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明（14）

與被配置在周邊側的 Y 解碼器 Y D C 的挾持般地被配置。

上述記憶體陣列被分割為多個副陣列 1 5，而如將其中一個放大表示般，上述副陣列 1 5 係被如挾著其而被配置的感測放大器領域 1 6、副字元驅動器領域 1 7 所包圍而形成。上述感測放大器領域 1 6 與上述副字元驅動器領域 1 7 的交差部則被認為交差領域 1 8。被設在上述感測放大器領域 1 6 的感測放大器則是藉著共用感測（shared sense）方式而構成，除了被配置在記憶單元陣列之兩端的感測放大器外，也以感測放大器為中心，在左右設置互補位元線，且選擇性地被連接到左右任一個副陣列 1 5 的互補位元線。

第 7 圖係表本發明之動態型 R A M 之其他實施例的概略佈局圖。在本實施例中，雖未特別限制，但是記憶體陣列整體被分為 8 個。沿著半導體晶片的長邊方向，分成上下 4 個，左右各 2 個的記憶體陣列，在沿著上述晶片的長邊方向的中央部分，設置位址輸入電路、資料輸出入電路、以及由接合墊列所構成的輸出入介面電路等的周邊電路 P E R I 等。在上述記憶體陣列的上述中央側，則配置有主放大器 M A。

如上所述，針對沿著半導體晶片的長邊方向，上下各 2 個共 4 個、左右各 2 個，合針由 8 個所構成的各記憶體陣列，相對於長邊方向，在左右方向的中間部，則配置 X 系預解碼電路 R O W P D C 以及救濟電路 R O W R E D，Y 系預解碼電路 C O L P D C 以及救濟電路 C O L R E D

（請先閱讀背面之注意事項，填寫本頁）

裝訂線

五、發明說明(15)

。沿著上述記憶體陣列的上述中間部分形成主字元驅動器領域 MWD，對應於各記憶體陣列，分別驅動朝上方側延長被設置的主字元線。

上述記憶體陣列，雖未特別限制，但是在與上述晶片中央部分呈相對側的晶片周邊側，則設有 Y 解碼器 YDC。在本實施例中，上述被分割為 8 個的各記憶體陣列，則如為被配置在上述中央側的主放大器 MA 與被配置在周邊側的 Y 解碼器 YDC 所挾持般地被配置。上述各記憶體陣列，與上述同樣地被分割為多個副陣列。上述副陣列則為如挾持其被配置的感測放大器領域、副字元驅動器領域所包圍而形成。將上述感測放大器領域與上述副字元線驅動器領域的交差部設為交差領域。

如上所述，沿著半導體晶片的長邊方向，各被分成 4 個 4 個的記憶體陣列，則成為 2 個 2 個一組被配置。如此成為 2 個 2 個一組被配置的 2 個記憶體陣列，則在其中間部分配置有 X 系預解碼電路 ROWPDC 以及救濟電路 ROWRED、Y 系預解碼電路 COLPDC 以及救濟電路 COLRED。亦即，以上述 X 系預解碼電路 ROWPDC 以及救濟電路 ROWRED、Y 系預解碼電路 COLPDC 以及救濟電路 COLRED 為中心，將記憶體陣列配置在上下。上述主字元驅動器 MWD，則形成如貫穿上述 1 個記憶體陣列般，在晶片長邊方向延長之主字元線的選擇信號。又，也在上述主字元驅動器 MWD 設置副字元選擇用的驅動器。如後所述，則形成與上述主字

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明 (16)

元線呈平行延長之副字元選擇線的選擇信號。

1 個副陣列，雖未圖示，但是是由 2 5 6 條的副字元線、以及與其呈直交之 2 5 6 對所組成之互補位元線（或是資料線）所構成。又，爲了要救濟不良字元線或是不良位元線 1 乃設有預備的字元線以及預備的互補位元線。由於在上述 1 個記憶體陣列中，在字元線的配列方向設有 8 個上述副陣列，因此，整個的上述副字元線大約設有 2 K 單位，又，由於在位元線的配列方向設有 1 6 個，因此，整個的互補位元線大約設有 4 K 單位。由於整個記憶體陣列設有 8 個，因此，整體擁有 $8 \times 2 K \times 4 K = 64 M$ 位元的記憶容量。藉此，互補位元線的長度，則對應於上述 1 6 個的副陣列，被分割成 $1 / 16$ 的長度。副字元線，則對應於上述 8 個的副陣列，被分割成 $1 / 8$ 的長度。

針對上述 1 個記憶體陣列之被分割的每個副陣列設有副字元驅動器（副字元線驅動電路）。副字元驅動器，則如上所述，相對於主字元線，被分割成 $1 / 8$ 的長度，且形成與其呈平行延長之副字元線的選擇信號。在本實施例中，爲了要減少主字元線的數目，換言之，爲了將主字元線的配線間距設得緩和，雖未特別限制，但是針對 1 個主字元線，在互補位元線方向配置由 4 條所構成的副字元線。如此，爲了要從在主字元線方向被分割爲 8 個，且針對互補位元線方向，各分配 4 條的副字元線中選出 1 條副字元線，乃在主字元驅動器 M W D 配置未圖示的副字元選擇

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(17)

驅動器。該副字元選擇驅動器，則形成可從在上述副字元驅動器的配列方向上延長的4條副字元選擇線中選出1條的選擇信號。此一構成，同樣適用於上述第6圖的實施例。

當採用第7圖所示的佈局時，當輸入Y位址時，則經由位址緩衝器A D D B U P，介由被設在上述記憶體陣列之中間部的救濟電路、預解碼器，而被傳送到被配置在晶片之周邊側的Y解碼器Y D C，且在此形成Y選擇信號。從上述Y選擇信號選出1個副陣列的互補位元線，而將其傳送到位在相對側之晶片中央部側的主放大器M A而被放大，且經由未圖示的輸出電路被輸出。

初見該構成時，可判斷出信號繞著晶片，而到輸出讀取信號為止的時間會變長。但是由於必須要將位址信號直接輸入到救濟電路，因此，當將救濟電路配置在晶片中央之其中一者時，則等待是否為不良位址的判斷結果，而來決定預解碼器的輸出時間。亦即，當預解碼器與救濟電路分離時，則在此之信號延遲會成為造成實際之Y選擇動作落後的原因。

在本實施例中，由於是挾著記憶體陣列，將主放大器M A與Y解碼器Y D C配置在兩側，因此，用於選擇副陣列之互補位元線的信號傳遞路徑與從所選出的互補位元線，經由輸出入線，到到達主放大器M A之輸入的信號傳遞路徑的和，則成為一即使要選擇任一個互補位元線，也只需要橫越記憶體陣列的信號傳遞路徑，而如上所述，可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

縮短到作 1 次返復時的距離的一半。藉此，能夠使得記憶體的存取高速化。而此一情形，則與上述第 6 圖的實施例相同。

在本實施例中，對應於周邊電路的配線通道與對應於上述冗餘電路的配線通道交差的部分，則分成 2 個設置。因此，係對應於各交差領域，將上述安定用電容 C 分成 2 個設置。又，雖然未特別限制，但是連上述會穩定地動作，而形成內部降壓電壓的電路，也可以對應於上述分散被設置的安定用電容設置 2 個。或是將 1 個配置在上述 2 個安定用電容的中心部。

第 8 圖係表以本發明之動態型 R A M 之感測放大器作為中心，而從位址輸入到資料輸出為止之被簡化之一實施例的電路圖。在同一圖中，則表示有從上下被 2 個副陣列 1 5 所挾持的感測放大器 1 6 與被設在交差領域 1 8 的電路，其他則以方塊圖來表示。又，附加在 M O S F E T 的電路記號，雖然是與上述第 4 圖重複，但是可以理解分別具有個別的電路功能。

動態型記憶單元，則是以設在上述 1 個副陣列 1 5 的副字元線 S W L、與互補位元線 B L、B L B 中之其中一個位元線 B L 之間的 1 個為代表來表示。動態型記憶單元係由位址選擇 M O S F E T Q m 與記憶電容器 C s 所構成。位址選擇 M O S F E T Q m 的閘極則被連接到位元線 B L，而將記憶電容器 C s 連接到源極。記憶電容器 C s 的另一個電極則被共用化，而被供給平板電壓 V P L T。

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明 (19)

將負的背偏壓 (back bias) 電壓 V_{BB} 施加在上述 $MOSFETQ_m$ 的基板 (通道) 。雖未特別限制，但是上述背偏壓被設定為如 $-1V$ 般的電壓。上述副字元線 SWL 的選擇位準，則被設成相對於上述位元線之高位準高約上述位址選擇 $MOSFETQ_m$ 的臨限值電壓的高電壓 V_{PP} 。

當根據內部降壓電壓 V_{DL} 讓感測放大器動作時，則藉由感測放大器被放大，而被供給到位元線的高位準，會被設成上述內部電壓 V_{DL} 位準。因此，與上述字元線之選擇位準呈對應的高電壓 V_{PP} ，則被設成 $V_{DL} + V_{th} + \alpha$ 。設在感測放大器之左側的副陣列的一對的互補位元線 BL 與 BLB ，如同一圖所示，係呈平行地被配置。上述互補位元線 BL 與 BLB ，則藉由共同開關 $MOSFETQ_1$ 與 Q_2 ，而與感測放大器之單位電路的輸出入節點連接。

感測放大器的單位電路係以由將閘極與汲極呈交差連接，而被設成鎖存狀態的 N 通道型的放大 $MOSFETQ_5$ 、 Q_6 、以及 P 通道型的放大 $MOSFETQ_7$ 、 Q_8 所構成的 $CMOS$ 鎖存電路所構成。 N 通道型 $MOSFETQ_5$ 與 Q_6 的源極則被連接到共通源極線 CSP 。而在上述共通源極線 CSP 與 CSP ，則分別連接有功率開關 $MOSFET$ 。雖然未特別限制，但是在連接 N 通道型的放大 $MOSFETQ_5$ 與 Q_6 之源極的共通源極 CSP ，則藉由設在上述交差領域 18 的 N 通道型的

五、發明說明(20)

功率開關 MOSFET Q14，而被供給與接地電位呈對應的動作電壓。

又，雖未特別限制，在連接上述 P 通道型之放大 MOSFET Q7 與 Q8 的源極的共通源極線 CSP，則設有設在上述交差領域 18 之過驅動 (overdrive) 用的 N 通道型的功率 MOSFET Q16、以及用來供給上述內部電壓 VDL 的 N 通道型的功率 MOSFET Q15。上述過驅動 (overdrive) 用的電壓，雖未特別限制，但是使用從外部端子所供給的電源電壓 VDD。或是爲了要減輕感測放大器動作速度對於電源電路 VDD 的依存性，從在閘極施加 VPP，而在汲極供給電源電壓 VDD 的 N 通道型 MOSFET 的源極得到上述電壓，則可以稍微地降壓。

被供給到上述 N 通道型之功率 MOSFET Q16 之閘極的感測放大器過驅動用活化信號 SAP1，則被設成與被供給到上述 N 通道型 MOSFET Q15 之閘極的活化信號 SAP2 相同相位的信號，而 SAP1 與 SAP2 則呈時系列地被設成高位準。又，雖然未特別限制，但是將 SAP1 與 SAP2 的高位準設成昇壓電壓 VPP 位準的信號。亦即，由於昇壓電壓 VPP 約爲 3.6V，因此足以將上述 N 通道型 MOSFET Q15，Q16 設成 ON 狀態。在 MOSFET Q16 成爲 off 狀態 (信號 SAP1 爲低位準) 後，根據 MOSFET Q15 的 ON 狀態 (信號 SAP2 爲高位準)，可以從源極側輸出與內

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明 (21)

部電壓 V_{DL} 呈對應的電壓。

在上述感測放大器的單位電路的輸出入節點，則設有讓互補位元線短路的等化 MOSFET Q_{11} 、以及由將半預充電 (half precharge) 電壓供給到互補位元線的開關 MOSFET Q_9 與 Q_{10} 所構成的預充電 (等化) 電路。該些 MOSFET $Q_9 \sim Q_{11}$ 的閘極則共同被供給預充電信號 P_{CB} 。形成該預充電信號 P_{CB} 的驅動電路，雖然未圖示，但是在上述交差領域設置反相電路，而使得其上升緣或下降緣成為高速。亦即，在記憶體開始進行存取時，則在字元線選擇時間之前，藉由分散地被設在各交差領域的反相電路，將構成上述預充電電路的 MOSFET $Q_9 \sim Q_{11}$ 高速地切換。

在上述交差領域 18 設置用於連接 I/O 開關電路 IOW (區域 I/O 與主 I/O 的開關 MOSFET Q_{19} ， Q_{20})。更者，除了第 3 圖的電路以外，也可以因應所需，設置感測放大器的共同源極線 CSP 與 C_{SN} 的半預充電電路、區域輸出入線 LIO 的半預充電電路、主輸出入線的 V_{DL} 預充電電路、共用選擇信號線 SHR 與 SHL 的分散驅動電路等。

感測放大器的單位電路，則經由共用開關 MOSFET Q_3 與 Q_4 ，被連接到圖下側之副陣列 15 之同樣的互補位元線 B_L ， B_{LB} 。例如，當選擇上側的副陣列的副字元線 SW_L 時，則將感測放大器的上側共用開關 MOSFET Q_1 與 Q_2 設為 ON 狀態，而將下側共

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

用開關 Q 3 與 Q 4 設成 O F F 狀態。開關 M O S F E T Q 1 2 與 Q 1 3 則構成行 (Y) 開關電路，當上述選擇信號 Y S 被設為選擇位準 (高位準) 時，則成為 O N 狀態，而將上述感測放大器之單位電路的輸出入節點與區域輸出入線 L I O 1 與 L I O 1 B、L I O 2、L I O 2 B 等加以連接。

藉此，感測放大器的輸出入節點，則被連接到上述上側的互補位元線 B L、B L B，而將被連接到所選出之副字元線 S W L 的記憶單元的微小信號加以放大，經由上述行開關電路 (Q 1 2 與 Q 1 3)，而傳送到區域輸出入線 L I O 1、L I O 1 B。上述區域輸出入線 L I O 1、L I O 1 B，則沿著上述感測放大器列，亦即，在同一圖中，在橫方向上延長。上述區域輸出入線 L I O 1、L I O 1 B，則經由被設在交差領域 1 8，而由 N 通道型 M O S F E T Q 1 9 與 Q 2 0 所構成的 I O 開關電路，被連接到連接有主放大器 6 1 之輸入端子的主輸出入線 M I O、M I O B。上述 I O 開關電路，則根據解讀 X 系之位址信號而形成的選擇信號而來控制開關。此外，I O 開關電路可以是一將 P 通道型 M O S F E T 並聯連接到上述 N 通道型 M O S F E T Q 1 9 與 Q 2 0 的 C M O S 開關構造。

如上所述，對於根據行選擇信號 Y S 來選擇 2 對的互補位元線的構成而言，在第 2 圖的實施例中 2 條以虛線來表示之區域輸出入線 L I O 與主輸出線 M I O，係對應於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

上述二對的輸出入線。在同步 D R A M 的叢發模式 (burst mode) 中，上述行選擇信號 Y S 則根據計數動作被切換，而依序切換上述區域輸出入線 L I O 1、L I O 1 B 以及 L I O 2、L I O 2 B、與副陣列之二對的互補位元線 B L、B L B 的連接。

位址信號 A i 則被供給到位址緩衝器 5 1 該位址緩衝器，則呈分時地動作，而讀入 X 位址信號與 Y 位址信號。X 位址信號，則被供給到預解碼器 5 2，經由主列解碼器 (main row decoder) 1 1 與主字元驅動器 1 2，而形成主字元線 M W L 的選擇信號。上述位址緩衝器 5 1，由於是接受從外部端子的供給的位址信號 A i，因此，會根據從外部端子所供給的電源電壓 V D D 而動作，上述預解碼器，則根據上述降壓電壓 V P E R I 而動作，上述主字元驅動器 1 2，則根據昇壓電壓 V P P 而動作。該主字元驅動器 1 2，則利用接受之後所說明之上述預解碼信號的附設位準轉換功能的邏輯電路。行解碼器 (驅動器) 5 3，則接受根據上述位址緩衝器 5 1 之分時動作所供給的 Y 位址信號，而形成上述選擇信號 Y S。

上述主放大器 6 1，則根據上述降壓電壓 V P E R I 而動作，經由根據從外部端子所供給之電源電壓 V D D 而動作的輸出緩衝器 6 2，而從外部端子 D o u t 被輸出。從外部端子 D i n 所輸入的寫入信號，則經由輸入緩衝器 6 3 被讀入，在同一圖中，則經由在主放大器 6 1 中的寫入放大器 (寫入驅動器)，將寫入信號供給到上述主輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

入線 M I D 與 M I O B 。在上述輸出緩衝器 6 2 的輸入部，則設有位準轉換電路與讓其輸出信號同步於與上述時脈信號呈對應的時序信號而輸出的邏輯部。

雖然未特別限制，但是從上述外部端子所供給的電源電壓 V D D ，在第 1 形態中被設為 3 . 3 V ，而被供給到內部電路的降壓電壓 V P E R I ，則被設定為 2 . 5 V ，上述感測放大器的動作電壓 V D L ，則被設定為 2 . 0 V 。此外，字元線的選擇信號（昇壓電壓）則被設為 3 . 6 V 。位元線的預充電電壓 V B L R ，則被設定為與 $V D L / 2$ 呈對應的 1 . 0 V ，平板（plate）電壓 V P L T 也被設為 1 . 0 V 。此外，基板電壓 V B B 被設為 - 1 . 0 V 。從外部端子所供給的電源電壓 V D D ，則也可以被設成如 2 . 5 V 般的低電壓。當為如此低的電源電壓 V D D 時，降壓電壓 V P E R I 被設定為 2 . 0 V ，而降壓電壓 V D L 被設定為低到 1 . 8 V 左右。

由上述實施例所得到的作用效果，則如下所述。

（ 1 ）本發明之半導體積體電路裝置，其主要針對一備有由在半導體晶片之第 1 方向上延長的由多個所構成之第 2 層的金屬配線層所構成的第 1 配線通道、由在與上述第 1 方向直交之第 2 方向上延長之由多個所構成之第 3 層的金屬配線層所構成的第 2 配線通道、以及接受從外部端子所供給的電源電壓，而形成與此不同的電壓，備有安定用電容的內部電源電路而構成的半導體積體電路裝置，其特徵在於：使由在上述第 2 層與第 3 層之金屬配線層交差

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (25)

的半導體領域上所形成的電容器占了上述安定用電容的大半，藉此可以得到能夠一邊確保內部電源電壓的安定化，且在不降低電路功能或動作性能的情形下，來實現合理之電路配置的效果。

(2) 將與上述電源電壓不同的電壓設成一經降壓的電壓，且將上述降壓電壓當作沿著上述第 2 配線通道而形成的內部電路的動作電壓來使用，藉此，可以得到能夠減少半導體積體電路的消耗電流，且能夠實現合理之電路配置的效果。

(3) 在上述半導體晶片之第 1 方向的中央部，將多個接合墊並列在第 2 方向，且沿著上述接合墊而形成上述第 2 配線通道，沿著上述第 2 配線通道，設置包含位址輸入電路、資料輸出入電路在內的周邊電路，在上述半導體晶片之第 2 方向的中央部，在第 1 方向形成上述第 1 配線通道，沿著上述第 1 配線通道而形成用於救濟不良的冗餘電路，在根據上述第 1 與第 2 配線通道而被分割的 4 個區域則構成記憶體陣列，藉此，可以得到順著信號之流向的合理的電路配置與能夠使得上述周邊電路之動作電壓安定化的效果。

(4) 用來形成上述降壓電壓的內部電源電路，乃備有：

由第 1 導電型的差動 MOSFET、與被設在上述差動 MOSFET 之被共通化的源極，而穩定地供給動作電流的第 1 電流源、被設在上述差動 MOSFET 的汲極，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

而被設成構成主動負載電路之電流鏡形態的第2導電型 MOSFET 所構成的第1差動電路；

備有由上述第1差動電路的輸出信號被供給到閘極的第2導電型的輸出 MOSFET、與被設在上述輸出 MOSFET 的汲極，而構成負載電路的電阻元件，

將與上述第1內部電壓呈對應的基準電壓供給到上述第1差動電路的其中一個輸入，而如從上述輸出 MOSFET 的汲極得到被設為上述第1內部電壓的輸出電壓般，將在上述負載電路中所形成的負回饋電壓供給到上述第1差動電路之另一個輸出的第1電路；

由第1導電型的差動 MOSFET、被設在上述差動 MOSFET 之被共通化的源極，而設成在內部電路動作時會流有動作電流的第2電流源、與被設在上述差動 MOSFET 的各汲極，而為二極體形態之第2導電型的第1、第2 MOSFET 所構成的第2差動電路；

由上述第1 MOSFET 與被設成電流鏡形態之第2導電型的第3 MOSFET、上述第2 MOSFET 與被設為電流鏡形態的第2導電型的第4 MOSFET、被設在上述第3與第4 MOSFET 之汲極，構成主動負載電路，而被認為電流鏡形態的第1導電型的 MOSFET 所構成的輸出驅動電路及；

備有上述輸出驅動電路的輸出信號被供給到閘極之第2導電型的輸出 MOSFET、與被設在上述輸出 MOSFET 的汲極，而構成負載電路的電阻元件，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（27）

將與上述第 1 內部電壓呈對應的基準電壓供給到上述第 2 差動電路的其中一個輸入，而如從上述輸出 MOSFET 的汲極得到被設成上述第 1 內部電壓的輸出電壓般，將在上述負載電路中所形成的負回饋電壓供給到上述第 2 差動電路的另一個輸入的第 2 電路所構成，藉此，可以得到能夠進行有效率之降壓電壓動作的效果。

（5）上述第 1 電路乃被設定成可以供給與在內部電路未作任何動作之待機時的電流呈對應的電流，且係鄰接著在由上述第 2 層與第 3 層的金屬配線層交差的半導體領域上所形成的電容器而設置，

上述第 2 電路則被設定為可以供給與上述內部電路在作動作時的電流呈對應的電流，且對應於上述周邊電路設置多個，藉此，可以得到能夠供給與半導體積體電路之動作呈對應之電流的效果。

（6）將一電容值較被形成在上述周邊電路的間隙，而在由上述第 2 層與第 3 層之金屬配線層交差的半導體領域上所形成的電容器為小的電容器，適當地連接到上述第 2 電路。藉此，可以得到能夠實現降壓電壓的安定化與合理之電路佈局的效果。

（7）針對一被形成在四角形領域內的半導體電路裝置，

備有：沿著橫越上述半導體積體電路裝置之第 1 邊的線而延伸的第 1 領域、以及沿著橫越為上述第 1 邊之鄰邊之第 2 邊的線而延伸的第 2 領域，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(28)

上述半導體積體電路裝置包含記憶體陣列與周邊電路，上述第1領域與第2領域係爲了要形成上述周邊電路而設，上述周邊電路具有可接受外部電源電壓，而輸出內部電源電壓的電源電路，

將安定用電容連接到上述電源電路的輸出部，而形成上述安定用電容之電容值的一半以上的電容，則被設在上述第1領域與第2領域交差的領域，藉此，可以得到能夠一邊確保內部電源電壓的安定化，且在不降低電路功能以及動作性能的情形下，實現合理之電路配置的效果。

(8) 將上述電源電路設成一將上述外部電源電壓降壓，而輸出上述內部電源電壓的降壓電路，藉此，可以得到能夠一邊確保內部電源電壓的安定化，且在不降低電路功能以及動作性能的情形下，配合合理的電路配置來降低消耗電力的效果。

以上雖然是根據實施例來具體地說明本發明人所提出的發明，但是本發明並不限定於上述實施例，當然在不脫離其要旨的範圍內作各種的變更。例如在上述第6圖或第7圖所示之動態型RAM中，記憶體陣列、副陣列以及副字元驅動器的構成，可以採用各種的實施形態，而動態型RAM之輸出入介面，則可以採用適合於同步規格或是run bus規格等各種的實施形態。字元線，則除了上述之階層字元線方式以外，也可以採用字元分流(shunt)方式。

本發明之半導體積體電路裝置，除了上述動態型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

R A M 以外，也可以被廣泛地利用在動態型 R A M 等之其他的半導體記憶裝置、或是具有交差的配線通道，且備有可以根據在內部所形成的電壓來動作之內部電路的單晶片型微電腦般的各種半導體積體電路裝置。內部電壓，則除了上述已經降壓的電壓以外，也可以是一如上述動態型 R A M 之字元線的昇壓電路般，經昇壓被形成的電壓。

若是要說明由在本案所揭露之發明中的代表者所得到的效果時，則如下所述。亦即，針對一備有由在半導體晶片之第 1 方向上延長之由多個所構成之第 2 層的金屬配線層所構成的第 1 配線通道、由在與上述第 1 方向直交之第 2 方向上延長之由多個所構成之第 3 層的金屬配線層所構成的第 2 配線通道、以及接受從外部端子所供給的電源電壓，而形成與此不同的電壓，備有安定用電容的內部電源電路而構成的半導體積體電路裝置，其特徵在於：使由在上述第 2 層與第 3 層之金屬配線層交差的半導體領域上所形成的電容器占了上述安定用電容的大半，藉此，可以一邊確保內部電源電壓的安定化，且在不降低電路功能以及動作性能的情況下，實現合理的電路配置。

圖面之簡單說明：

第 1 A 圖以及第 1 B 圖係表應用本發明之動態型 R A M 之一實施例的概略構成圖。

第 2 A 圖以及第 2 B 圖係表被設在第 1 圖所示之半導體晶片之中央部的安定用電容之一實施例的構成圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(30)

第3圖係表本發明之降壓電源電路之一實施例的概略電路圖。

第4A圖以及第4B圖係表構成第3圖所示之降壓電源電路之一實施例的電路圖。

第5圖係表應用本發明之半導體記憶裝置之一實施例的整體的記憶晶片的構成圖。

第6圖係表本發明之動態型RAM之一實施例的概略佈局圖。

第7圖係表本發明之動態型RAM之其他實施例的概略佈局圖。

第8圖係表以本發明之動態型RAM的感測放大部作為中心，從位址輸入到資料輸出為止之被簡化的一實施例的電路圖。

主要元件對照表

- 1, 2 : 中心部的電壓驅動電路
- 3, 4 : 端部的電壓驅動電路
- 15 : 副陣列
- 16 : 感測放大器領域
- 17 : 副字元驅動器領域
- 18 : 交差領域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體積體電路裝置

本發明係針對一備有由在的半導體晶片之第1方向上延長的多個所在構成之第2層的金屬配線層所構成的第1配線通道、由在與上述第1方向直交之第2方向上延長之多個所構成之第3層的金屬配線層所構成的第2配線通道、以及接受從外部端子所供給的電源電壓，而形成的半導體積體電路裝置，使由在的上述第2層與第3層之金屬配線層之交差的半導體領域上所形成的電容器占了上述安定用電容的大半。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵在於：

備有：

包含在第 1 方向上延長之多個第 1 配線的第 1 配線通道；

包含在與上述第 1 方向交差之第 2 方向上延長之多個第 2 配線的第 2 配線通道；

產生內部電源電壓的電源電路及；

被設在上述電源電路的輸出部，而讓上述內部電源電壓安定的電容，

上述第 1 配線與上述第 2 配線係被設在彼此不同的層，而上述電容之電容值的一半以上係被設在上述第 1 配線通道與上述第 2 配線通道交差的領域。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，上述電源電路係一將外部電源電壓降壓，而輸出上述內部電源電壓的降壓電壓。

3. 一種半導體積體電路裝置，其主要針對一備有第 1 配線層、位在上述第 1 配線層之上層的第 2 配線層、以及位在上述第 2 配線層之上層的第 3 配線層而構成的半導體積體電路裝置，其特徵在於：

備有：

配置了上述第 2 配線層之多個配線，而在第 1 方向上延伸的第 1 配線領域；

配置了上述第 3 配線層之多個配線，而在與上述第 1 方向呈交差之 2 方向上延伸的第 2 配線領域；

六、申請專利範圍

用來產生內部電源電壓的電源電路及；

被設在上述電源電路的輸出部，而讓上述內部電源電壓安定之電容，

而上述電容之電容值的一半以上，則被設在上述第 1 配線領域與上述第 2 配線領域交差的領域上。

4．如申請專利範圍第 3 項之半導體積體電路裝置，上述電容係將設在半導體基板的擴散層當作其中一個電極。

5．如申請專利範圍第 4 項之半導體積體電路裝置，上述電容的另一個電極係被設在與形成在上述半導體基板的一定的 M O S F E T 的閘極呈對應的層。

6．如申請專利範圍第 4 項之半導體積體電路裝置，上述第 1 配線層之配線的電阻常數乃較上述第 2 配線層或是上述第 3 配線層之配線的電阻常數為大。

7．一種半導體積體電路裝置，其主要針對一備有由在半導體晶片之第 1 方向上延長的由多個所構成之第 2 層的金屬配線層所構成的第 1 配線通道、由在與上述第 1 方向直交之第 2 方向上延長之由多個所構成之第 3 層的金屬配線層所構成的第 2 配線通道、以及接受從外部端子所供給的電源電壓，而形成與此不同的電壓，備有安定用電容的內部電源電路而構成的半導體積體電路裝置，其特徵在於：使由在上述第 2 層與第 3 層之金屬配線層交差的半導體領域上所形成的電容器占了上述安定用電容的大半。

8．如申請專利範圍第 7 項之半導體積體電路裝置，

六、申請專利範圍

與上述電源電壓不同的電壓係一經降壓的電壓，上述降壓電壓乃當作沿著上述第2配線通道被形成之內部電路的動作電壓來使用。

9. 如申請專利範圍第8項之半導體積體電路裝置，在上述半導體晶片之第1方向的中央部，將多個接合墊並列在第2方向，且沿著上述接合墊而形成上述第2配線通道，

沿著上述第2配線通道，設置包含位址輸入電路、資料輸出入電路在內的周邊電路，

在上述半導體晶片之第2方向的中央部，在第1方向形成上述第1配線通道，

沿著上述第1配線通道而形成用於救濟不良的冗餘電路，

在根據上述第1與第2配線通道而被分割的4個區域則構成記憶體陣列。

10. 如申請專利範圍第9項之半導體積體電路裝置，用來形成上述降壓電壓的內部電源電路，乃備有：

由第1導電型的差動MOSFET、與被設在上述差動MOSFET之被共通化的源極，而穩定地供給動作電流的第1電流源、被設在上述差動MOSFET的汲極，而被設成構成主動負載電路之電流鏡形態的第2導電型MOSFET所構成的第1差動電路；

備有由上述第1差動電路的輸出信號被供給到閘極的第2導電型的輸出MOSFET、與被設在上述輸出

六、申請專利範圍

M O S F E T 的汲極，而構成負載電路的電阻元件，

將與上述第 1 內部電壓呈對應的基準電壓供給到上述第 1 差動電路的其中一個輸入，而如從上述輸出 M O S F E T 的汲極得到被認為上述第 1 內部電壓的輸出電壓般，將在上述負載電路中所形成的負回饋電壓供給到上述第 1 差動電路之另一個輸出的第 1 電路；

由第 1 導電型的差動 M O S F E T、被設在上述差動 M O S F E T 之被共通化的源極，而設成在內部電路動作時，會流有動作電流的第 2 電流源、與被設在上述差動 M O S F E T 的各汲極，而為二極體形態之第 2 導電型的第 1、第 2 M O S F E T 所構成的第 2 差動電路；

由上述第 1 M O S F E T 與被設成電流鏡形態之第 2 導電型的第 3 M O S F E T、上述第 2 M O S F E T 與被設為電流鏡形態的第 2 導電型的第 4 M O S F E T、被設在上述第 3 與第 4 M O S F E T 之汲極，構成主動負載電路，而被設為電流鏡形態的第 1 導電型的 M O S F E T 所構成的輸出驅動電路及；

備有上述輸出驅動電路的輸出信號被供給到閘極之第 2 導電型的輸出 M O S F E T、與被設在上述輸出 M O S F E T 的汲極，而構成負載電路的電阻元件，

將與上述第 1 內部電壓呈對應的基準電壓供給到上述第 2 差動電路的其中一個輸入，而如從上述輸出 M O S F E T 的汲極得到被設成上述第 1 內部電壓的輸出電壓般，將在上述負載電路中所形成的負回饋電壓供給到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述第 2 差動電路的另一個輸入的第 2 電路所構成。

1 1 . 如申請專利範圍第 1 0 項之半導體積體電路裝置，上述第 1 電路乃被設完成可以供給與在內部電路未作任何動作之待機時的電流呈對應的電流，且係鄰接著在由上述第 2 層與第 3 層的金屬配線層交差的半導體領域上所形成的電容器而設置，

上述第 2 電路則被設定為可以供給與上述內部電路在作動作時的電流呈對應的電流，且對應於上述周邊電路設置多個。

1 2 . 如申請專利範圍第 1 1 項之半導體積體電路裝置，將一電容值較被形成在上述周邊電路的間隙，而在由上述第 2 層與第 3 層之金屬配線層交差的半導體領域上所形成的電容器為小的電容器，適當地連接到上述第 2 電路。

1 3 . 一種半導體積體電路裝置，其主要係針對一被形成在四角形領域內的半導體積體電路裝置，其特徵在於：

備有：沿著橫越上述半導體積體電路裝置之第 1 邊的線而延伸的第 1 領域、以及沿著橫越為上述第 1 邊之鄰邊之第 2 邊的線而延伸的第 2 領域，

上述半導體積體電路裝置包含記憶體陣列與周邊電路，上述第 1 領域與第 2 領域係為了要形成上述周邊電路而設，上述周邊電路具有可接受外部電源電壓，而輸出內部電源電壓的電源電路，

六、申請專利範圍

將安定用電容連接到上述電源電路的輸出部，而形成上述安定用電容之電容值的一半以上的電容，則被設在上述第1領域與第2領域交差的領域。

14．如申請專利範圍第13項之半導體積體電路裝置，上述電源電路係一讓上述外部電源電壓降壓，而輸出上述內部電源電壓的降壓電路。

15．如申請專利範圍第14項之半導體積體電路裝置，上述記憶體陣列包含感測放大器，上述周邊電路包含主放大器，上述內部電源電壓被設為上述主放大器的電源電壓。

16．如申請專利範圍第15項之半導體積體電路裝置，上述記憶體陣列包含動態型記憶單元。

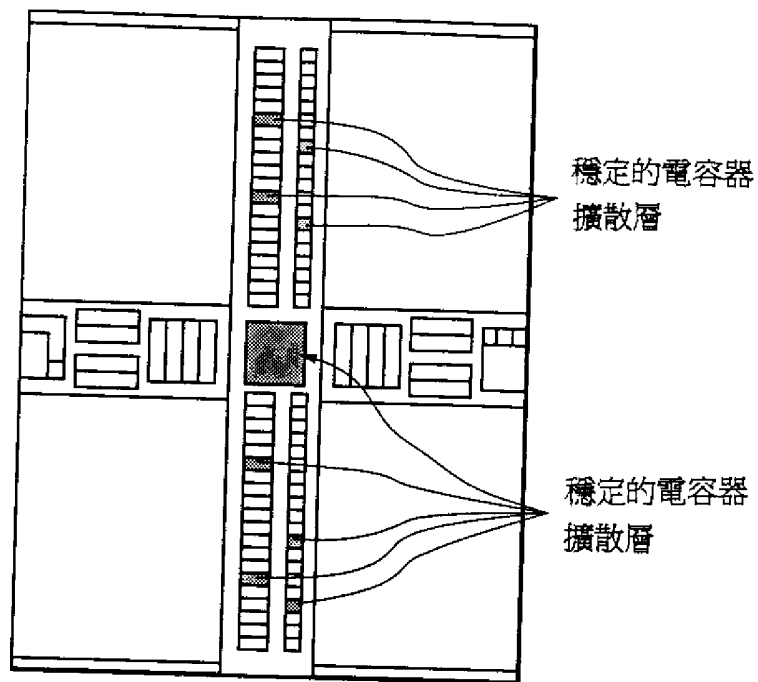
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

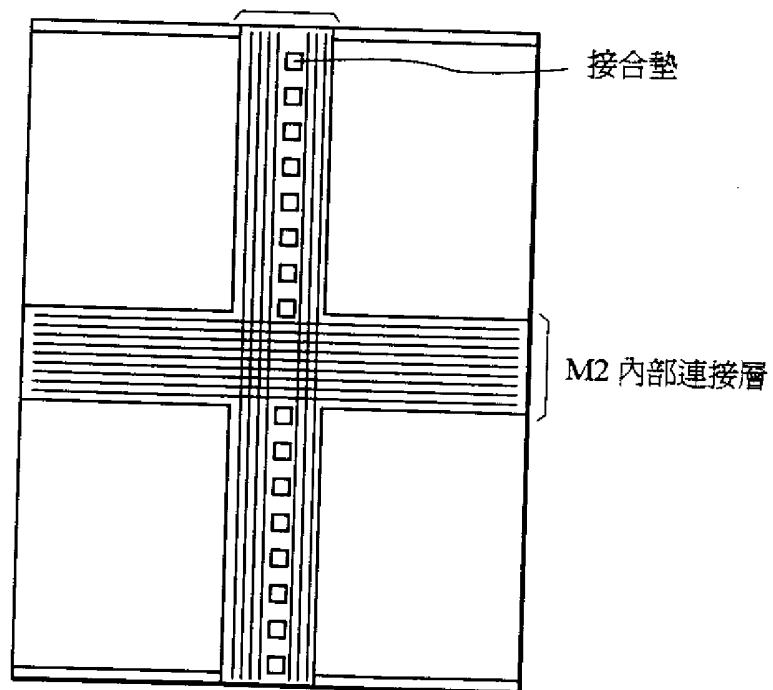
線

第 1 圖 A

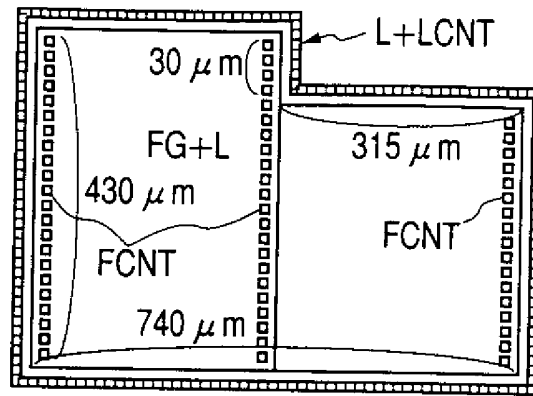


M3 內部連接層

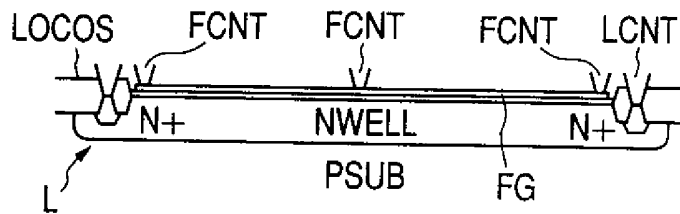
第 1 圖 B



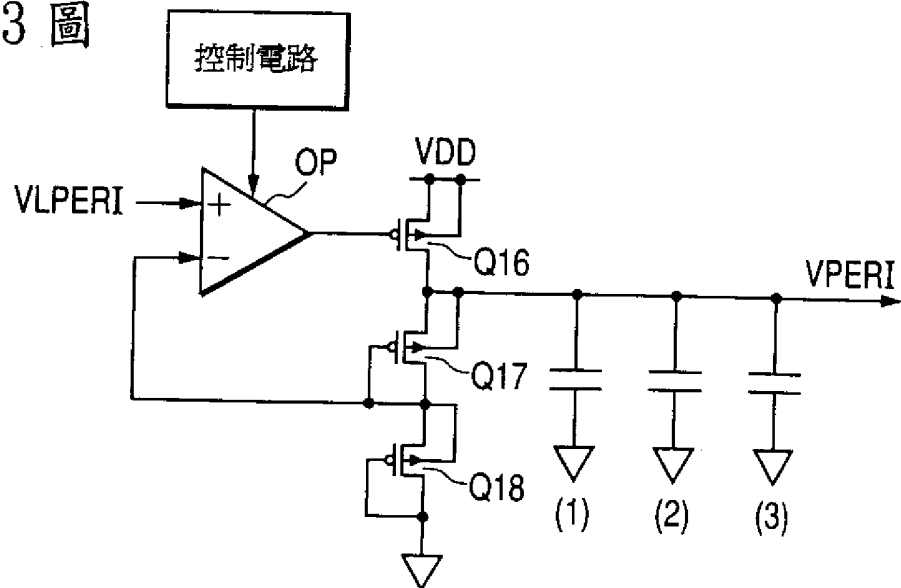
第 2 圖 A



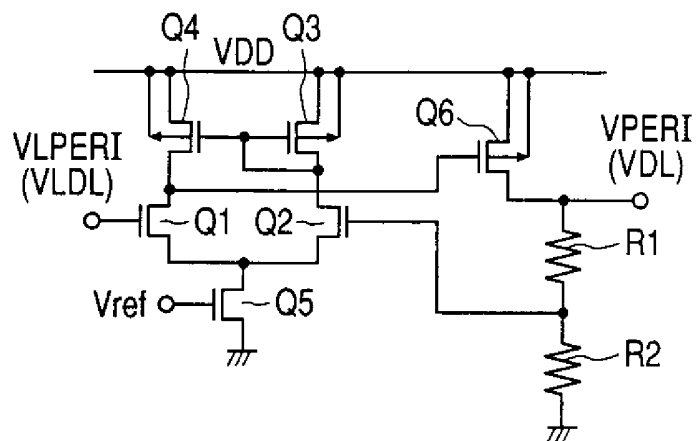
第 2 圖 B



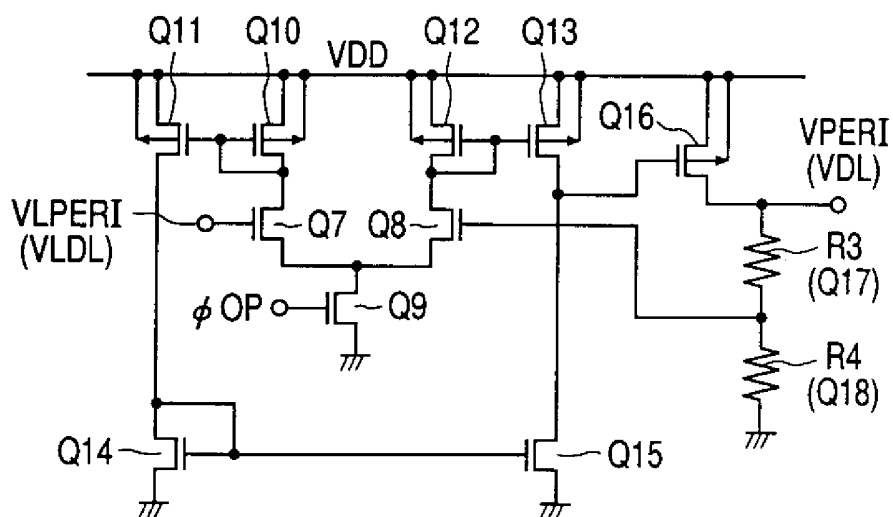
第 3 圖



第 4 圖 A



第 4 圖 B



第 5 圖

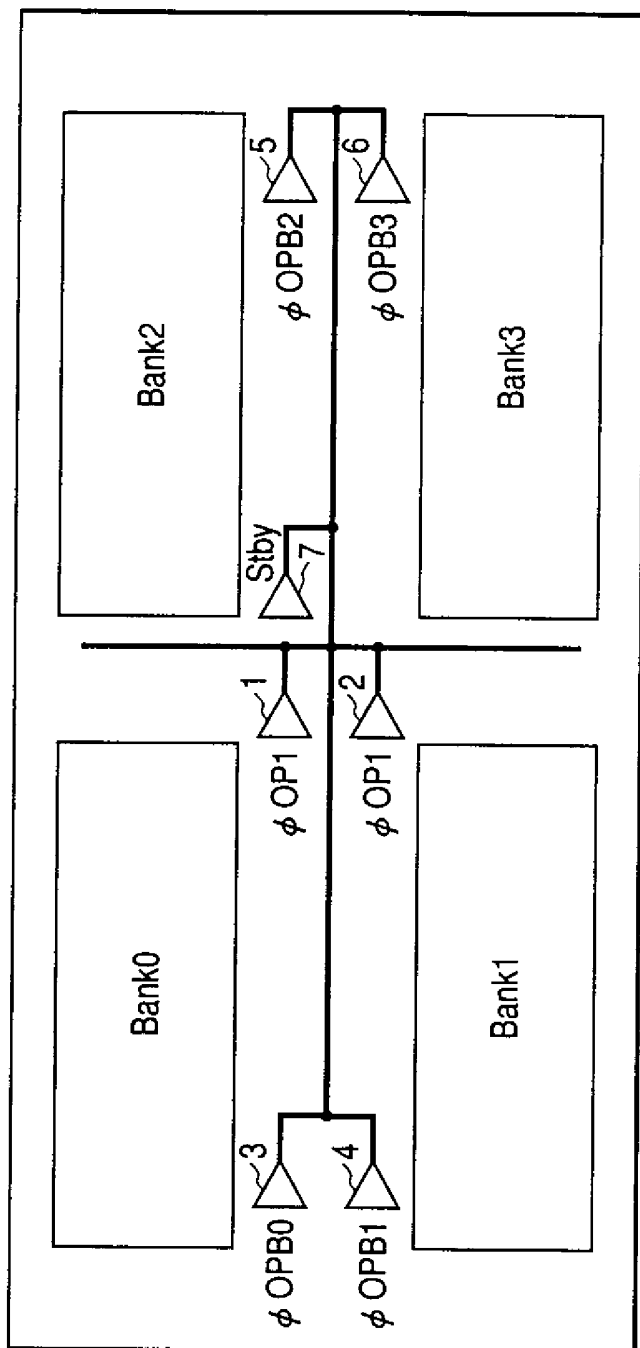
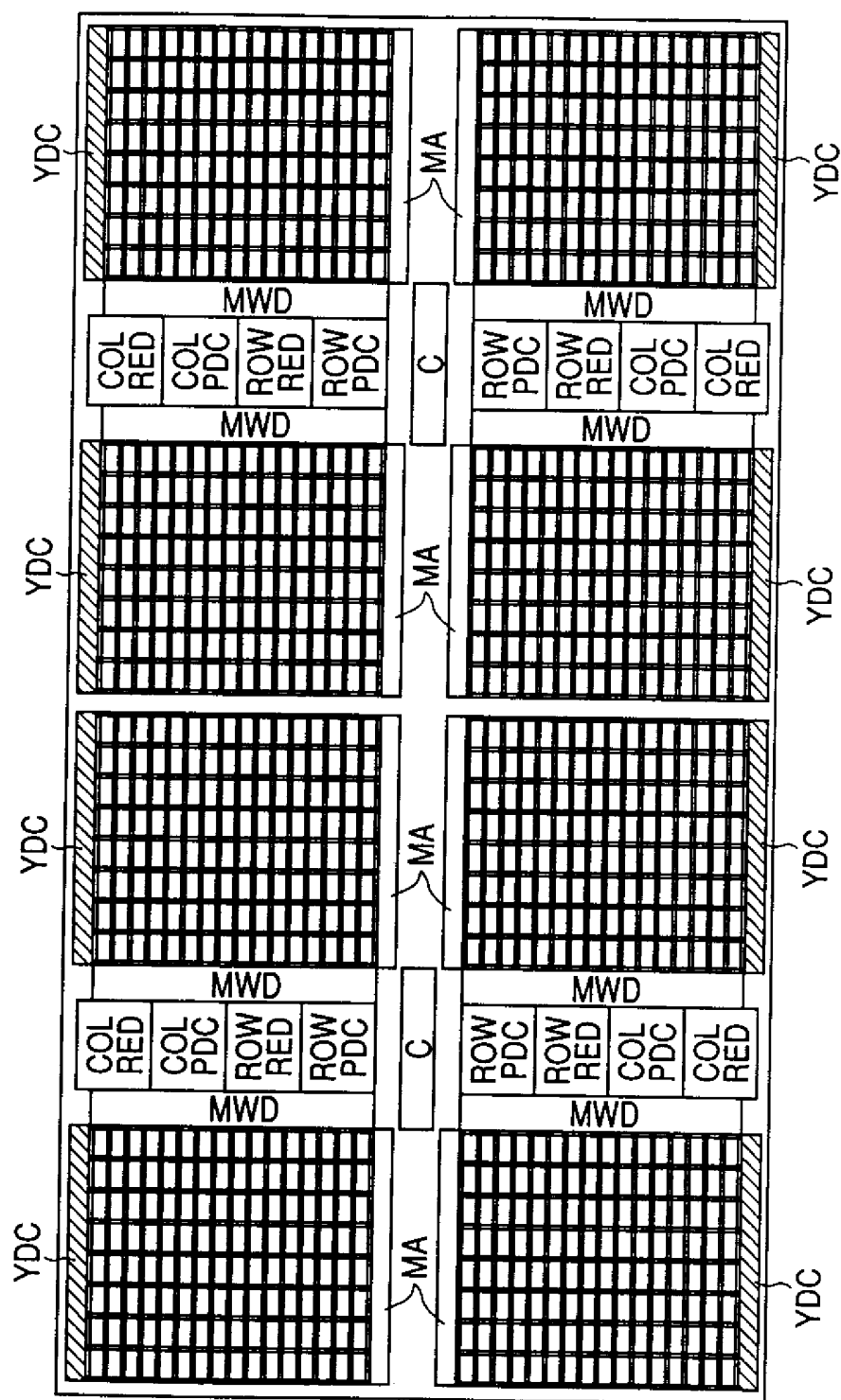
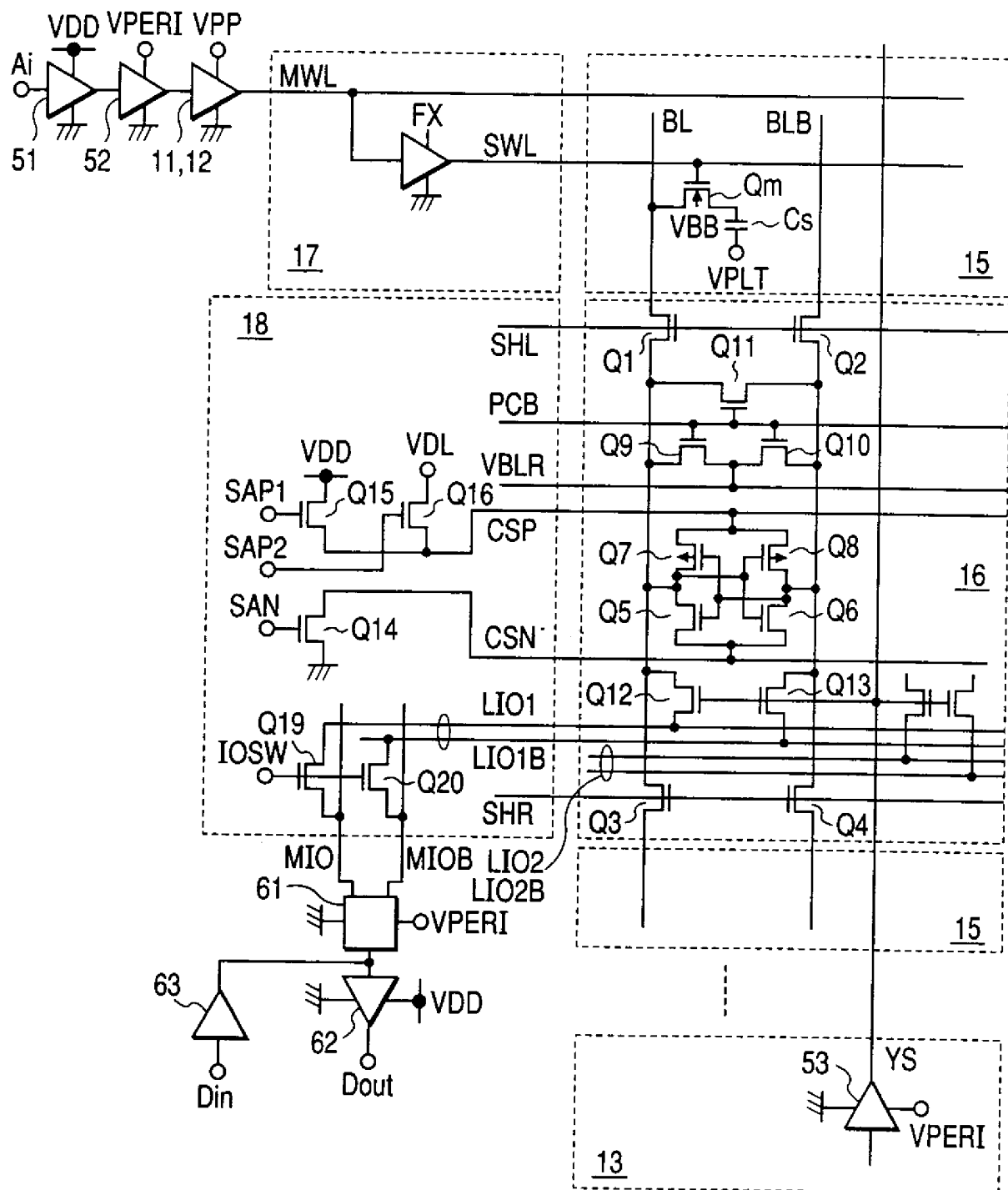


圖 7 第



第 8 圖



五、發明說明(5)

。又，位元線也被分割為多個。結果，上述記憶體陣列，則分別被分割為多個副陣列。

第 2 A 圖以及第 2 B 圖係表被設在上述半導體晶片之中央部的安定用電容的構成圖。第 2 A 圖係表示其平面構成，第 2 B 圖係表示其斷面構成。雖未特別限制，在 p 型基板 P S U B 上形成 N 型阱領域 N W E L L，而當作 M O S 電容的另一個電極來使用。亦即，構成空乏模式 (depletion mode) 的 M O S 電容。在該 N 型阱領域 N W E L L 的周邊部，則形成構成 N 通道型 M O S F E T 之源極、汲極領域的 N + 型擴散層 L，在上述 N + 型擴散層 L 設置接點部 L C N T，而作為安定用電容的其中一個電極，而例如供給電路的接地電位。

在上述 N 型阱領域 N W E L L 的表面，則形成有在與 M O S F E T 之閘極絕緣膜相同的過程中所形成的絕緣膜，而將此當作介電體來使用。而在上述絕緣膜上，則形成有在與 M O S F E T 之閘極相同的過程中所形成的導電性多矽層 F G，而當作上述安定用電容的另一個電極來使用。針對該導電性多矽層 F G 設置接點部 F C N T，而例如被連接到降壓電源電路的輸出端子，而供給降壓電壓 V P R E R I。

本實施例的安定用電容，雖未特別限制，但是位在上述第 1 配線通道與第 2 配線通道的交差部，而根據與周邊電路的關係，被形成為 $430\mu\text{m} \times 425\mu\text{m}$ 的大小、以及 $400\mu\text{m} \times 315\mu\text{m}$ 的大小。由於根據 $1\mu\text{m} \times$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

將負的背偏壓 (back bias) 電壓 V_{BB} 施加在上述 MOSFET Q_m 的基板 (通道) 。雖未特別限制，但是上述背偏壓被設定為如 $-1V$ 般的電壓。上述副字元線 SWL 的選擇位準，則被設成相對於上述位元線之高位準高約上述位址選擇 MOSFET Q_m 的臨限值電壓的高電壓 V_{PP} 。

當根據內部降壓電壓 V_{DL} 讓感測放大器動作時，則藉由感測放大器被放大，而被供給到位元線的高位準，會被設成上述內部電壓 V_{DL} 位準。因此，與上述字元線之選擇位準呈對應的高電壓 V_{PP} ，則被設成 $V_{DL} + V_{th} + \alpha$ 。設在感測放大器之左側的副陣列的一對的互補位元線 BL 與 BLB，如同一圖所示，係呈平行地被配置。上述互補位元線 BL 與 BLB，則藉由共同開關 MOSFET Q_1 與 Q_2 ，而與感測放大器之單位電路的輸出入節點連接。

感測放大器的單位電路係以由將閘極與汲極呈交差連接，而被設成鎖存狀態的 N 通道型的放大 MOSFET Q_5 、 Q_6 、以及 P 通道型的放大 MOSFET Q_7 、 Q_8 所構成的 CMOS 鎖存電路所構成。N 通道型 MOSFET Q_5 與 Q_6 的源極則被連接到共通源極線 CSN。而在上述共通源極線 CSN 與 CSP，則分別連接有功率開關 MOSFET。雖然未特別限制，但是在連接 N 通道型的放大 MOSFET Q_5 與 Q_6 之源極的共通源極 CSN，則藉由設在上述交差領域 18 的 N 通道型的