



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년12월02일
 (11) 등록번호 10-1468368
 (24) 등록일자 2014년11월25일

- (51) 국제특허분류(Int. Cl.)
G06F 1/26 (2006.01)
 (21) 출원번호 10-2013-7004425
 (22) 출원일자(국제) 2011년07월14일
 심사청구일자 2014년08월19일
 (85) 번역문제출일자 2013년02월21일
 (65) 공개번호 10-2013-0092566
 (43) 공개일자 2013년08월20일
 (86) 국제출원번호 PCT/US2011/043978
 (87) 국제공개번호 WO 2012/012256
 국제공개일자 2012년01월26일
 (30) 우선권주장
 12/840,813 2010년07월21일 미국(US)

(56) 선행기술조사문헌

US20060149975 A1

US20100115304 A1

JP2007506223 A

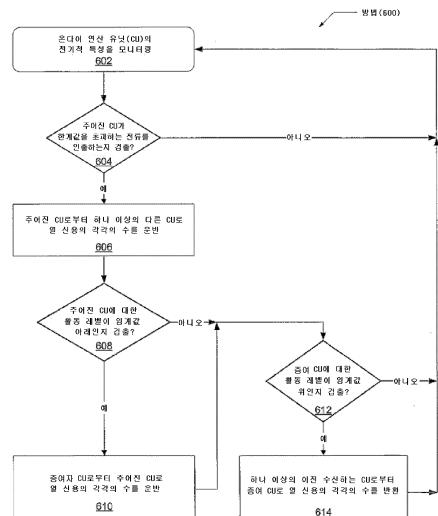
전체 청구항 수 : 총 20 항

심사관 : 김곤희

(54) 발명의 명칭 연산 시스템에서 전류 및 전력의 관리

(57) 요 약

다이 위 효율적인 전력 전송을 위한 시스템 및 방법. 반도체 칩은 다이 위에 적어도 2개의 다른 전압 조절기들을 사용하는 2개 이상의 연산 유닛들(CUs) 및 전력 관리자를 포함한다. 전력 관리자는 주어진 CU의 활동 레벨이 주어진 임계값 아래에 있음을 검출할 때 다이에 걸쳐 전력 신용을 재할당한다. 증여된 전력 신용의 대응하는 수를 수신함에 응답하여 하나 이상의 선택된 CU 각각은 높은 성능 P-상태를 가지는 높은 활동 레벨을 유지한다. 대응하는 작업부하가 증가할 때 각 CU는 적어도 2개의 다른 동작 전압들 사이를 교번함으로써 높은 성능 P-상태에 대응하는 동작 및 평균 전력 소비를 유지한다. 동작 전압이 교번 동안 강하면, 특정 CU에 의해 인출된 전류는 주어진 전류 제한을 초과할 수 있다. 전력 관리자는 이 전류 제한이 초과되는지를 검출하고 이에 따라 다이에 걸쳐 전력 신용을 재할당한다.

대 표 도 - 도7

특허청구의 범위

청구항 1

마이크로프로세서로서,

각각의 전력 신용(power credit)의 초기 수가 각각 할당된 적어도 제1 연산 유닛(computation unit: CU)과 제2 연산 유닛(CU); 및

전력 관리자를 포함하여 구성되고,

상기 제1 CU 및 상기 제2 CU 각각은 평균 전력에 대응하는 가상 전력-성능 상태(P-state: power-performance state)를 유지하도록 적어도 두개의 이산 전력-성능 상태(discrete P-state)를 사이를 교변하도록 구성되고, 상기 평균 전력은 전력 신용들의 각각의 현재 수에 근거한 전력 타겟이며,

상기 전력 관리자는, 상기 제1 CU에 의해 인출되는 전류의 양이 주어진 전류 제한을 초과함을 검출함에 응답하여, 상기 제1 CU에 현재 할당된 전력 신용의 수를 감소시키도록 구성된 것인 마이크로프로세서.

청구항 2

제1항에 있어서, 상기 제1 CU에 현재 할당된 상기 전력 신용의 수는 전력 신용의 주어진 수만큼 상기 제1 CU에 할당된 전력 신용의 초기 수를 초과하며, 상기 전력 신용의 주어진 수는 상기 제2 CU로부터 차용된 것인 마이크로프로세서.

청구항 3

제1항에 있어서, 상기 주어진 전류 제한은 상기 제1 CU에 의해 사용된 전압 조절기에 대한 열적 설계 전류(thermal design current: TDC)값이고, 상기 제1 CU는 제1 전압 면(plane)을 이용하고 상기 제2 CU는 상기 제1 전압 면과 다른 제2 전압 면을 이용하는 것인 마이크로프로세서.

청구항 4

제2항에 있어서, 상기 전력 관리자는 상기 제1 CU에 현재 할당된 전력 신용의 수를 감소시키기 위하여 상기 전력 신용의 주어진 수를 상기 제2 CU에 반환하도록 구성된 것인 마이크로프로세서.

청구항 5

제1항에 있어서, 상기 제1 CU는,

상기 제2 CU로부터 차용된 전력 신용이 없는 경우보다 상기 제2 CU로부터 차용된 전력 신용을 가지는 경우 높은 평균 전력 및 높은 전력 타겟에 대응하는 높은 가상 전력-성능 상태(P-상태)에서 동작하고,

적어도 2개의 상이한 이산 P-상태들 사이를 교변함으로써, 변하는 작업부하에도 불구하고 상기 높은 가상 P-상태를 유지하도록 구성된 것인 마이크로프로세서.

청구항 6

제1항에 있어서, 상기 제1 CU에 현재 할당된 상기 전력 신용의 수는 상기 제2 CU로부터 차용된 전력 신용의 수만큼 상기 제1 CU에 할당된 전력 신용의 초기 수를 초과하며, 상기 전력 관리자는, 상기 제1 CU에 의해 인출된 전류의 양이 상기 제한을 초과함을 검출함에 응답하여, 상기 제2 CU로부터 차용된 모든 전력 신용보다 적은 전력 신용을 상기 제2 CU로 반환하도록 구성된 것인 마이크로프로세서.

청구항 7

제4항에 있어서, 상기 전력 관리자는, 상기 제2 CU의 활동 레벨이 주어진 임계값 아래에 있음을 검출함에 응답하여,

상기 제1 CU의 활동 레벨에 적어도 부분적으로 기초하여 상기 제1 CU에 증여할 전력 신용의 수를 결정하고,

상기 제1 CU에 의해 사용하기 위한 전력 신용의 각각의 수를 상기 제2 CU로부터 차용하도록 더 구성된 것인 마

마이크로프로세서.

청구항 8

제7항에 있어서, 상기 전력 관리자는, 상기 제2 CU의 활동 레벨이 주어진 임계값을 초과하여 상승함을 검출함에 응답하여,

상기 제2 CU의 상기 활동 레벨에 적어도 부분적으로 기초하여 상기 제1 CU가 상기 제2 CU로 반환할 전력 신용의 수를 결정하고,

상기 제1 CU가 이전에 차용된 전력 신용을 상기 제2 CU로 반환시키도록 더 구성된 것인 마이크로프로세서.

청구항 9

다이 상의 효율적인 전력 전달 방법으로서,

각각의 전력 신용의 초기 수가 각각 할당된, 제1 연산 유닛(CU)과 제2 연산 유닛(CU) 중 적어도 하나의 활동 레벨을 측정하는 단계;

평균 전력에 대응하는 각각의 가상 P-상태를 유지하기 위해 상기 제1 CU 및 상기 제2 CU 각각에서 적어도 두 개의 이산 P-상태들 사이를 교번하는 단계 - 상기 평균 전력은 전력 신용들의 각각의 현재 수에 근거한 전력 타겟이며 - ; 및

상기 제1 CU에 의해 인출된 전류의 양이 주어진 전류 제한을 초과함을 검출함에 응답하여, 상기 제1 CU에 현재 할당된 전력 신용의 수를 감소시키는 단계를 포함하는 전력 전달 방법.

청구항 10

제9항에 있어서, 상기 제1 CU에 현재 할당된 전력 신용의 수는 상기 제1 CU에 할당된 전력 신용의 초기 수를 전력 신용의 주어진 수만큼 초과하며, 상기 전력 신용의 주어진 수는 상기 제2 CU로부터 차용된 것인 전력 전달 방법.

청구항 11

제9항에 있어서, 상기 주어진 전류 제한은 상기 제1 CU에 의해 사용된 전압 조절기에 대한 열적 설계 전류(TD C)값이고, 상기 제1 CU는 제1 전압 면을 이용하고 상기 제2 CU는 상기 제1 전압 면과 다른 제2 전압 면을 이용하는 것인 전력 전달 방법.

청구항 12

제10항에 있어서, 상기 제1 CU에 현재 할당된 전력 신용의 수를 감소시키기 위하여 상기 제2 CU에 주어진 수의 전력 신용들을 반환하는 단계를 더 포함하는 것인 전력 전달 방법.

청구항 13

제12항에 있어서,

상기 제1 CU가 전력 신용의 각각의 초기 수만을 사용한 경우 사용되는 P-상태보다 높은 평균 전력 및 높은 전력 타겟에 대응하는 높은 가상 P-상태에서 상기 제1 CU를 동작시키는 단계; 및

적어도 2개의 상이한 이산 P-상태들 사이를 교번함으로써, 변하는 작업 부하에도 불구하고 상기 높은 가상 P-상태를 유지하는 단계를 더 포함하는 전력 전달 방법.

청구항 14

제9항에 있어서, 상기 제1 CU에 현재 할당된 전력 신용의 수는 상기 제1 CU에 할당된 전력 신용의 초기 수를 상기 제2 CU로부터 차용된 전력 신용의 수만큼 초과하며, 상기 방법은, 상기 제1 CU에 의해 인출된 전류의 양이 상기 제한을 초과함을 검출함에 응답하여, 상기 제2 CU로부터 차용된 모든 전력 신용보다 적은 전력 신용을 상기 제2 CU로 반환하는 단계를 포함하는 전력 전달 방법.

청구항 15

제12항에 있어서, 상기 방법은, 제1 CU의 활동 레벨이 주어진 임계값 아래에 있음을 검출함에 응답하여, 상기 제1 CU의 활동 레벨에 적어도 부분적으로 기초하여 상기 제1 CU에 증여할 전력 신용의 수를 결정하는 단계; 및
상기 제1 CU에 의해 사용하기 위한 전력 신용의 각각의 수를 상기 제2 CU로부터 차용하는 단계를 더 포함하는 전력 전달 방법.

청구항 16

제15항에 있어서, 상기 방법은, 상기 제2 CU의 활동 레벨이 상기 주어진 임계값을 초과하여 상승함을 검출함에 응답하여,

상기 제2 CU의 상기 활동 레벨에 적어도 부분적으로 기초하여 상기 제1 CU가 상기 제2 CU에 반환할 전력 신용의 수를 결정하는 단계; 및

상기 제1 CU가 이전에 차용된 전력 신용을 상기 제2 CU에 반환시키도록 하는 단계를 더 포함하는 전력 전달 방법.

청구항 17

다이 상에서 전력을 효율적으로 전송하도록 동작가능한 프로그램 명령들이 저장된 컴퓨터로 판독가능한 저장 매체로서, 상기 프로그램 명령들은,

각각의 전력 신용의 초기 수가 각각 할당된, 제1 연산 유닛(CU)과 제2 연산 유닛(CU) 중 적어도 하나의 활동 레벨을 측정하고;

평균 전력 - 상기 평균 전력은 전력 신용들의 각각의 현재 수에 근거한 전력 타겟이며 - 에 대응하는 각각의 가상 전력-성능 상태를 유지하기 위해 상기 제1 CU 및 상기 제2 CU 각각에서 적어도 두개의 이산 전력-성능 상태(P-state)들 사이를 교번하고; 그리고

상기 제1 CU에 의해 인출된 전류의 양이 주어진 전류 제한을 초과하는 것을 검출함에 응답하여, 상기 제1 CU에 현재 할당된 전력 신용의 수를 감소시키도록 실행가능한 것인 컴퓨터 판독 가능한 저장 매체.

청구항 18

제17항에 있어서, 상기 제1 CU에 현재 할당된 전력 신용의 수는 상기 제1 CU에 할당된 전력 신용의 초기 수를 전력 신용의 주어진 수만큼 초과하며, 상기 전력 신용의 주어진 수는 상기 제2 CU로부터 차용된 것인 컴퓨터 판독 가능한 저장 매체.

청구항 19

제18항에 있어서, 상기 주어진 전류 제한은 상기 제1 CU에 의해 사용된 전압 조절기에 대한 열적 설계 전류(TDC)값이고, 상기 제1 CU는 제1 전압 면을 이용하고 상기 제2 CU는 상기 제1 전압 면과 다른 제2 전압 면을 이용하는 것인 컴퓨터 판독 가능한 저장 매체.

청구항 20

제18항에 있어서, 상기 프로그램 명령은 상기 제1 CU에 현재 할당된 전력 신용의 수를 감소시키기 위하여 상기 제2 CU에 전력 신용의 주어진 수를 반환하도록 더 실행가능한 것인 컴퓨터 판독 가능한 저장 매체.

명세서

기술 분야

[0001] 본 발명은 연산 시스템에 관한 것이고, 보다 상세하게는 효율적인 다이 전력 관리에 관한 것이다.

배경 기술

[0002] 현대의 집적 회로(IC)의 전력 소비는 반도체 칩의 각 세대에 따라 증가하는 설계 문제로 되고 있다. 전력 소비가 증가함에 따라 더 큰 팬과 더 큰 히트 싱크 및 주변 온도 제어 시스템과 같은 더 비싼 냉각 시스템이 초과

열을 제거하고 IC 고장을 방지하는데 사용된다. 그러나, 냉각 시스템은 시스템 비용을 증가시킨다. IC 전력 발산의 제약은 휴대용 컴퓨터와 모바일 통신 디바이스에서의 문제일 뿐만 아니라 다수의 프로세서 코어, 또는 코어들 및 코어 내 다수의 파이프라인을 포함할 수 있는 고성능 슈퍼스칼러 마이크로프로세서에서도 문제이다.

[0003] 전력 소비를 관리하기 위하여, 칩 레벨의 전력 관리 시스템은 제1온다이 컴포넌트(on-die component)으로부터 제2온다이 컴포넌트로 전력 신용(power credit)을 전달할 수 있다. 이 경우에, 제1온다이 컴포넌트는 주어진 정상 또는 높은 전력 소비에 대응하는 모드에서 동작할 수 있다. 이와 대조적으로, 제2온다이 컴포넌트는 주어진 임계값 아래의 활동 레벨을 구비할 수 있다. 일부 경우에, 이를 온다이 컴포넌트들은 별개의 전압면에 결합될 수 있다. 활동적인 제2컴포넌트로부터 상대적으로 비활동적인 제1컴포넌트로 전력을 전달하는 것은 제2컴포넌트가 그 활동 레벨을 더 증가시키거나 더 긴 지속기간 동안 그 전류 활동 레벨을 유지하게 할 수 있다. 이 경우에, 온칩 성능은 냉각 시스템으로부터 추가적인 냉각 노력을 들일 필요 없이 증가할 수 있다. 그러나, 제2온다이 컴포넌트로 전력을 전달하는 것은 전압 조절기와 같은 제2컴포넌트에 대한 지지 시스템을 부과할 수 있다.

[0004] 이 기술 분야에서 잘 알려진 바와 같이, 프로세서는 열적 설계 전력(thermal design power: TDP)보다 더 큰 최대 전력을 발산할 수 있다. TDP는 냉각 시스템이 발산할 수 있는 전력 양이다. 그러므로, 고장을 방지하기 위하여, 프로세서는 일반적으로 TDP값 내에서 동작한다. 이 TDP값은 동작 모드를 선택하기 위한 컴포넌트 내 논리회로 내에서 사용될 수 있다. 예를 들어, 동작 전압 및 주파수의 조합은 적어도 TDP값에 기초하여 선택될 수 있다. 이와 유사하게, 전압 조절기는 열적 설계 전류(thermal design current: TDC)보다 더 큰 피크 전류를 공급할 수 있다. TDC는 주어진 동작 상태(예를 들어, 정상 내지 높은 동작 상태)를 위해 공급되는 전류의 양이다. 일부 경우에, TDC에 대한 값은 전술된 제2컴포넌트에 증가된 활동을 지원하기에는 불충분할 수 있으며, 여기서 증가된 활동은 전력 전달에 의해 야기된다. 온칩 성능이 컴포넌트들 사이에 전력 전달을 가능하게 하는 것에 의해 증가할 수 있다 하더라도, 더 높은 TDC를 지원하기 위해 전압 조절기(voltage regulator)를 수정하는 비용이 상당하다.

발명의 내용

[0005] 상기를 감안하여, 효율적인 다이 전력 관리를 위한 효율적인 방법과 메커니즘이 요구된다.

[0006] 다이 상에서 효율적인 전력 전달을 위한 시스템 및 방법이 고려된다.

[0007] 일 실시예에서, 반도체 칩은 2개 이상의 연산 유닛(computation unit: CU)과 전력 관리자(power manager)를 포함한다. 일부 실시예에서, CU 각각은 다른 전압 조절기를 사용할 수 있다. CU 중 적어도 2개는 여러개의 이산 전력-성능 상태들(P-상태들) 중 임의의 하나의 상태에서 동작한다. CU 각각의 활동 레벨을 나타내는 데이터가 또한 이용가능하게 만들어질 수 있다. 예를 들어, 일 실시예에서, CU는 대응하는 활동 레벨을 측정하고 측정된 레벨을 나타내는 데이터를 전력 관리자에 운반(또는 이용가능하게)한다. 일 실시예에서, 전력 관리자는 주어진 CU의 활동 레벨이 주어진 임계값 아래에 있을 때를 검출한다. 전력 관리자는 주어진 CU로부터 증여되는(donated) 전력 신용을 수신하기 위하여 주어진 CU와는 다른 복수의 CU 중 하나 이상의 CU를 선택할 수 있다. 전력 관리자는 대응하는 활동 레벨에 적어도 부분적으로 기초하여 선택된 CU에 증여하기 위한 전력 신용의 수를 결정할 수 있다. 전력 관리자는 전력 신용의 각각의 수를 선택된 CU로 운반한다. 추가적인(증여된) 전력 신용을 수신함에 응답하여, 상기 선택된 CU는 다른 P-상태로 전이할 수 있다. 또한 특정 CU의 작업부하가 증가할 때 하나 이상의 선택된 CU의 특정 CU가 더 높은 성능 P-상태에서 동작할 수 있는 실시예들이 고려된다. 일부 실시예에서, 특정 CU는 동작 전압과 주파수를 변경함으로써 변하는 작업부하에 상관없이 더 높은 P-상태에 대응하는 평균 전력 소비를 유지할 수 있다. 예를 들어, 동작 전압이 감소될 때 특정 CU에 의해 인출되는 전류는 상대적으로 일정한 평균 전력 소비를 일반적으로 유지하기 위하여 증가될 수 있다. 일부 실시예에서, 주어진 컴포넌트(예를 들어, 전압 조절기)에 대해 열적 설계 전류(TDC)가 수립될 수 있다. 수립된 TDC는 최대 전류 인출을 나타낼 수 있으며, 이를 초과 시에는 안전하고 안정적인 동작이 보장되지 않을 수 있다. 여러 실시예에서, 전력 신용의 전달은 TDC를 초과하는 증가된 전류를 초래할 수 있다. 이 경우에, 전력 관리자 또는 다른 컴포넌트는 이 상태를 검출하고 TDC를 초과하는 컴포넌트로 하여금 그 전류 인출을 감소하게 할 수 있다. 일 실시예에서, 전력 관리자는 이전에 컴포넌트에 증여했던 전력 신용을 제거함으로써 상기 컴포넌트로 하여금 그 전류 인출을 감소시키게끔 한다. 이 전력 신용을 제거하는 것은 컴포넌트가 동작하는 P-상태의 감소를 야기시켜, 전력 소비를 감소시키고, 컴포넌트의 전류 인출을 감소시키게 할 수 있다.

[0008] 이를 및 다른 실시예는 이하 상세한 설명과 도면을 참조할 때 더 잘 이해될 수 있을 것이다.

도면의 간단한 설명

[0009]

- 도 1은 반도체 칩의 일 실시예의 일반화된 블록도;
 도 2는 반도체 칩에 대한 전력-성능 상태 전이의 일 실시예의 일반화된 다이어그램;
 도 3은 반도체 칩에 대한 전력-성능 상태 전이의 다른 실시예의 일반화된 블록도;
 도 4는 전력 차용 디레이팅 테이블(power borrowing de-rating table)의 일 실시예의 일반화된 블록도;
 도 5는 전력 관리 시스템에 대응하는 전기적 특성의 일 실시예의 일반화된 블록도;
 도 6은 전력 관리 유닛의 일 실시예의 일반화된 블록도;
 도 7은 다이 상의 효율적인 전력 전달 방법의 일 실시예의 흐름도;
 도 8은 온다이 전력 관리를 구비하는 프로세서의 일 실시예의 일반화된 블록도.

본 발명은 여러 변형과 대안적인 형태를 가질 수 있으나, 특정 실시예들이 도면에 예시를 위해 도시되고 본 명세서에 상세히 설명된다. 그러나, 본 도면과 상세한 설명은 본 발명을 개시된 특정 형태로 제한하고자 하려는 것이 아니라 이와는 반대로 본 발명은 첨부된 청구범위에 한정된 본 발명의 사상과 범위 내에 있는 모든 변형, 균등률 및 대안을 포괄하려는 것이라는 것이 이해되어야 할 것이다.

발명을 실시하기 위한 구체적인 내용

[0010]

이하 상세한 설명에서, 다수의 구체적인 상세사항이 본 발명의 충분한 이해를 제공하기 위하여 제시된다. 그러나, 이 기술 분야에 통상의 지식을 가진 자라면 본 발명이 이를 구체적인 상세사항 없이 실시될 수 있다는 것을 인식할 수 있을 것이다. 일부 경우에, 잘 알려진 회로, 구조 및 기술은 본 발명을 불명확하게 하는 것을 회피하기 위하여 여기에 상세히 제시되지 않는다.

[0011]

도 1을 참조하면, 반도체 칩(100)의 일반화된 블로도의 일 실시예가 도시되어 있다. 메모리 제어기, 네트워크 인터페이스 카드(NIC), 주변 디바이스 등과 같은 다른 컴포넌트와 통신하는데 사용되는 다이(102)를 위한 인터페이스는 예시를 용이하게 하기 위해 도시되지 않는다. 다이(102)는 전력 관리 유닛(130)에 결합된 처리 블록(160)을 포함할 수 있다. 처리 블록(160)은 연산 유닛(120a 내지 120d)을 포함할 수 있다. 본 명세서에 사용된 바와 같이, 문자가 표기된 참조 부호로 언급된 요소들은 집합적으로 참조 부호만으로 언급될 수 있다. 예를 들어, 연산 유닛(120a 내지 120d)은 집합적으로 연산 유닛(120)으로 언급될 수 있다. 임의의 트랜지스터 그룹이 다이(102)를 구현하는데 사용될 수 있다. 예들은 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFETs)과 바이폴러 접합 트랜지스터들(BJTs)을 포함한다. 각 연산 유닛(120)은 별개의 전압 면에서 동작할 수 있다. 따라서, 각 연산 유닛(120)은 별개의 전압 조절기(110)에 결합될 수 있다. 예를 들어, 연산 유닛(120a)은 전압 조절기(110a)에 결합된다. 연산 유닛(120d)은 전압 조절기(110d)에 결합된다.

[0012]

일 실시예에서, 연산 유닛(120)은 프로세서일 수 있다. 각 연산 유닛(120)은 일반 목적 프로세서, 그래픽 프로세서, 특수 목적 코프로세서 등 중에서 하나일 수 있다. 대안적으로, 각 연산 유닛(120)은 응용 특정 집적 회로(application specific integrated circuit: ASIC)일 수 있다. 전력 타깃(power target)이 다이(102)에 할당될 수 있다. 전력 타깃은 다이(102)에 대한 열적 설계 전력값이다. 열적 설계 점(thermal design point)이라고도 지칭될 수 있는 열적 설계 전력(TDP)은 컴퓨터의 냉각 시스템이 발산(dissipate)할 수 있는 전력의 최대 양을 나타낸다. 예를 들어, 랩탑 프로세서를 위한 냉각 시스템은 20와트(watt) TDP에 대해 설계될 수 있다. 그리하여, 냉각 시스템은 프로세서 내 트랜지스터에 대해 최대 접합 온도를 초과하지 않으면서 20와트를 발산할 수 있는 것으로 결정되었다.

[0013]

일 실시예에서, 다이(102)의 프리 실리콘 모델(pre-silicon model)에서 실행되는 전력 모델은 전력 측정을 수행할 수 있다. 차후, 설계 사이클에서, 전력 측정은 테스트 단계(testing phase)와 디버깅 단계(debugging phase) 동안 실제 제조된 실리콘 다이에서 수행될 수 있다. 다이(102)에 대한 피크 전력값은 코어에서 높은 전력 바이러스 애플리케이션(power virus application)을 실행하는 다이(102)의 가능 고장에 의해 정의될 수 있다. 높은 전력 바이러스 애플리케이션의 디레이팅된 형태(de-rated form)는 다이(102)의 열적 설계 전력(TDP)을 설정하는데 사용될 수 있다. 이 디레이팅된 코드 및 그 대응하는 전력 소비는 비닝(binning)을 위하여 각 연산 유닛(120)의 동작 전압과 주파수를 설정하는데 사용될 수 있다.

[0014]

전력 관리 유닛(130)은 다이(102)에 대한 주어진 TDP값과 다이(102)에 대한 전력 신용의 총 수를 관련시킬 수

있다. 전력 관리 유닛(130)은 전력 신용의 별개의 주어진 수를 각 연산 유닛(120)에 할당할 수 있다. 관련된 전력 신용들의 합은 다이(102)에 대한 전력 신용들의 총 수와 같다. 전력 관리 유닛(130)은 시간에 따라 각 연산 유닛(120)에 대해 전력 신용의 수를 조정하도록 구성될 수 있다. 이를 조정은 각 연산 유닛(120)으로부터 전력 관리 유닛(130)으로 운반되는 전력 프로파일에 기초할 수 있다.

[0015] 예를 들어, 각 연산 유닛(120)은 각 주어진 시간 간격 동안 대응하는 전력 소비 수를 결정할 수 있다. 여러 기술들 중 임의의 기술이 주어진 연산 유닛의 전력 소비를 결정하는데 사용될 수 있고 아래에서 더 설명된다. 일부 실시예에서, 주어진 연산 유닛은 주어진 연산 유닛(120)에 대응하는 다이(102)의 부분 전반에 배치된 아날로그 또는 디지털 열적 센서를 사용할 수 있다. 열적 센서는 증가된 연산 활동으로 인해 다이가 특정 영역에서 가열되는 때에 관한 정보를 제공한다. 그러나, 이들 센서는 주어진 연산 유닛(120)에서 전력 소비가 연산 관련 승격에 의하여 구동되든지 또는 주변 온도의 상승과 같은 외부 환경 요소에 의해 구동되든지 간에 각 열적 변화에 반응한다. 주어진 연산 유닛 내에서 스위칭 커패시턴스의 양이 시간 간격에 걸쳐 변하지 않았다 하더라도, 이 센서는 주변 온도의 상승으로 인해 더 높은 열적 상태를 보고할 수 있다. 나아가, 일반적으로 온도 증가와 전력 소비의 연산 관련 승격 사이에는 시간적 지연이 있다. 그 결과, 열적 센서들은 전력 소비의 정확한 게이지(gauge)가 아닐 수 있다.

[0016] 여러 실시예에서, 주어진 연산 유닛(120)은 전류 센서를 사용할 수 있다. 일부 실시예에서, 이 전류 센서는 유닛 내 회로에 의해 인출되는 전류의 양을 측정할 수 있으나, 판독과 관련된 비교적으로 큰 부정확성을 가질 수 있다. 또한, 이들 센서는 각 개별 컴포넌트에 대해가 아니라 다수의 코어 또는 논리 블록 세트에 대한 전류의 사용을 보고할 수 있다. 그러므로, 전력 소비에서 연산 관련 승격에 가담한 컴포넌트가 있는지, 만약 있다면 어느 컴포넌트가 가담하고 있는지를 아는 것이 곤란할 수 있다.

[0017] 다른 실시예에서, 주어진 연산 유닛은 다수의 미리 선택된 신호를 샘플링할 수 있고 샘플링된 신호로부터 전력 사용값을 결정할 수 있다. 특정 클록 사이클 동안 샘플링할 신호를 선택하는 것은 이 선택이 주어진 연산 유닛(120) 내 스위칭 노드 커패시턴스의 양과 얼마나 잘 상관하는지에 대응할 수 있다. 예를 들어, 일 실시예에서, 국부 클록 분배 블록으로 라우팅된 클록 인레이블 신호는 샘플링되어서 신뢰성 있고 정확한 전력 사용값을 제공하도록 선택된 신호일 수 있다.

[0018] 샘플링된 신호들에 대응하는 샘플링된 데이터 점들은 각 주어진 간헐적인 사이클 동안 취해질 수 있다. 사용할 간헐적인 사이클의 수의 결정은 샘플링된 데이터의 원하는 정확성과 신뢰성에 좌우될 수 있다. 스프레드시트 또는 툭업 테이블이 애플리케이션의 실제 전력 소비와 샘플링으로부터 추정된 전력 소비 둘 모두의 통계적 분석과 측정 둘 모두를 사용하여 생성될 수 있다. 신뢰성 레벨과 에러율이 통계적 분석을 더 개발하기 위해 선택될 수 있다. 실시간 전력 추정 방법의 일례는, 그 전체 내용이 본 명세서에 참조 문헌으로 병합된, 미국 특허 출원 제12/101,598호(출원일: 2008년 4월 11일, 발명의 명칭: "Sampling Chip Activity for Real Time Power Estimation")을 포함한다.

[0019] 주어진 연산 유닛(120)이 대응하는 전력 사용값을 결정할 때, 이 값은 전력 관리 유닛(130)으로 운반된다. 이 값은 전술된 방법이나 임의의 다른 이용 가능한 방법 중 하나에 의해 결정될 수 있다. 전력 관리 유닛(130)은 전력 사용값을 수신함에 각 연산 유닛(120)에 할당된 전력 신용의 수를 변경하는 능력을 구비할 수 있다. 일 실시예에서, 열적 신용의 값은 시뮬레이션과 테스트 동안 결정된 값의 주어진 유닛으로 표시될 수 있다. 예를 들어, 다이(102)가 3개의 연산 유닛(120)을 포함하고 각각이 높은 작업 부하 동안 유사한 열 에너지의 양을 생성하는 경우, 각 연산 유닛은 10개의 열적 전력 신용이 할당될 수 있다.

[0020] 상기 예와는 대조적으로, 3개의 연산 유닛이 높은 작업 부하 동안 여러 열 에너지의 레벨을 생성할 수 있다. 제1연산 유닛은 높은 작업부하 하에서 제3연산 유닛에 의해 생성된 열 에너지의 3배를 생성할 수 있다. 제2연산 유닛은 높은 작업 부하 하에서 제3연산 유닛에 의해 생성된 열 에너지의 2배를 생성할 수 있다. 그리하여, 전력 관리 유닛(130)은 초기에 제1연산 유닛에 15개의 열적 전력 신용, 제2연산 유닛에 10개의 열적 전력 신용, 및 제3연산 유닛에 5개의 열적 전력 신용을 할당(또는 "배정")할 수 있다. 대안적으로, 전력 관리 유닛(130)은 각 연산 유닛에 별개의 TDP값을 할당할 수 있는바, 여기서 각 연산 유닛(120)이 대응하는 할당된 TDP값에서 동시에 동작할 때 다이(102)의 열 에너지가 주어진 전체 TDP값에 도달하지만 이를 초과하지 않게 된다.

[0021] 주어진 연산 유닛이 높은 또는 적절한 작업 부하를 가지지 않을 때, 그 활동 레벨은 주어진 임계값 아래로 감소할 수 있다. 따라서, 그 측정된 전력 사용값이 감소한다. 그 결과 감소된 전력 사용값이 전력 관리 유닛(130)으로 운반된다. 전력 관리 유닛(130)은, 감소된 전력 사용값에 응답하여, 다이(102)의 전력 신용을 재분배할 수 있다. 예를 들어, 전력 관리 유닛(130)은 결정된 비활동적인 연산 유닛의 전력 신용을 매우 활동적인 것으로 결

정된 연산 유닛에 대출(lend)할 수 있다. 일 실시예에서, 전력 관리 유닛(130)은 매우 활동적인 연산 유닛의 TDP를 증가시켜 이 유닛으로 하여금 그 높은 활동 레벨을 유지하거나 심지어 증가시킬 수 있게 할 수 있다. 이 매우 활동적인 연산 유닛에 의해 생성된 초과 열 에너지는 다이의 벌크 실리콘을 거쳐, 다이의 후면에 있는 금 속을 거쳐, 히트 싱크를 통해, 그리고 시스템 팬에 의해 냉각되는 주변 환경으로 발산될 수 있다. 상대적으로 비활동적인 연산 유닛은 초과 생성된 열 에너지의 발산을 지원하여 매우 활동적인 연산 유닛이 높은 성능을 유지하게 한다.

[0022] 연산 유닛(120)의 일례로서 현대 마이크로프로세서 내 코어를 취하면, 이를 코어는 그 동작 모드에 대해 융통성을 허용한다. 동작 주파수와 동작 전압의 조합은 코어가 작업 부하(소프트웨어 애플리케이션의 명령)을 처리할 때 실시간으로 선택될 수 있다. 이 실시간 조정을 하는 이유는 마이크로프로세서들의 각 세대에 대해 증가하는 전력 소비를 제한하면서 높은 성능을 유지하려는 시도에 있다. 현대 상보적 금속 산화물 반도체(CMOS) 칩과 같은 집적 회로(IC)의 전력 소비는 수식 $a fCV^2$ 에 비례한다. 기호 a 는 스위칭 인자(factor)이고 또는 노드가 클록 사이클 동안 충전하거나 방전할 수 있는 확률이다. 기호 f 는 칩의 동작 주파수이다. 기호 C 는 클록 사이클에서 충전되거나 방전될 등가 커패시턴스 또는 스위칭 커패시턴스이다. 기호 V 는 칩의 동작 전압이다. 칩의 전력 소비를 감소시키고 트랜지스터 내의 정전장(electrostatic field)을 감소시키려는 시도에서, 전력 공급 전압(V)은 동작 동안 감소될 수 있다. 그러나, 전력 공급 전압 감소에는 제한이 있다. 이 감소는 트랜지스터를 통해 흐를 수 있는 전류의 양을 감소시키며, 이에 따라 트랜지스터를 통한 전파 지연을 증가시킨다. 임계 전압이 앞선 시간에 트랜지스터를 턴온하고 성능을 유지하는 것을 지원하기 위하여 감소되는 경우, 트랜지스터 누설 전류가 증가한다. 트랜지스터 누설 전류의 증가는 전력 소비와 논리회로의 고장 가능성을 증가시킨다.

[0023] 전력 소비를 감소시키려는 시도로 실시간으로 동작 전압을 조절하는 것에 더하여, 전력 수식에서 다른 인자들이 고려된다. 예를 들어, 코어의 각 세대에 대해 디바이스와 금속 라우트의 기하학적 차원이 감소한다. 슈퍼스칼라 설계는 다수의 파이프라인들, 더 큰 캐시 및 더 복잡한 논리회로를 구비하는 다이에 집적 회로의 밀도를 증가시킨다. 그리하여, 클록 사이클당 스위칭할 수 있는 노드의 수는 상당히 증가한다. 동작 주파수는 또한 각 세대에 따라 증가하여 왔다. 스위칭 인자(a)는 비사용 기간 동안 칩 내 특정 블록 또는 유닛 영역에 클록 신호를 디스에이블함으로써 칩 내 특정 블록 또는 유닛에 대해 감소할 수 있다. 그리하여, 동작 전압과 스위칭 인자는 IC들의 각 세대에 따라 감소하도록 조절될 수 있으나, IC 전력 소비 수식에서 다른 항들이 증가하여 전체적으로 전력 소비의 증가를 야기한다. 이 전력 소비 증가에 대한 일부 솔루션은 마이크로아키텍처와 회로 레벨 기술을 포함한다.

[0024] 전력 소비와 성능을 밸런싱하는 마이크로마키텍처와 회로 레벨 설계 기술은 실시간으로 전력 소비를 추정하는 노력에 의해 지원된다. 실시간으로 전력 소비를 추정하는 일부 방법은 전술되어 있다. 애플리케이션이나 애플리케이션들을 실행하는 동안, 연산 유닛(120) 내 코어의 실시간 전력 소비가 알려져 있고(또는 추정되고) 전력 관리 유닛(130)으로 운반된다면, 일 실시예에서, 전력 관리 유닛(130)은 여러 주어진 이산 P-상태로부터 하나의 이산 전력-성능 상태(P-상태)를 선택할 수 있다. 선택된 P-상태는 최대 성능 상태와 최소 전력 상태 사이에 있을 수 있다. 최대 성능 상태는 최대 동작 주파수를 포함하고, 최소 전력 상태는 최소 동작 주파수를 포함한다. 중간 이산 전력-성능 상태(P-상태)는 동작 주파수와 동작 전압의 조합에 대해 주어진 스케일링된 값을 포함한다. P-상태들 사이에 전이를 예시하는 것이 아래에 제공된다. 하나 이상의 연산 유닛(120)이 활동 레벨 또는 전력 소비 추정을 측정하지 못할 수도 있다는 것이 주목된다. 그리하여, 이를 연산 유닛은 전력 관리 유닛(130)에 대응하는 값을 보고하지 않는다. 그러나, 2개 이상의 연산 유닛이 이를 값을 측정하고 연산 유닛에 보고하는 경우, 전력 관리 유닛은 다이(102) 위 연산 유닛들 사이에 전력을 전송하도록 구성될 수 있다.

[0025] 이제 도 2를 참조하면, 반도체 칩에 대한 전력-성능 상태 전이(200)의 일 실시예가 도시되어 있다. 2개의 곡선이 전력 대 전압 및 주파수 대 전압 사이의 비선형(예를 들어, 3차식이나 4차식) 관계를 도시하는 다이어그램으로 도시되어 있다. 5개의 이산 전력-성능 상태들(P-상태들)이 P₀ 내지 P₄라고 표시된 다이어그램에서 도시되어 있다. 적은 수의 이산 P-상태들이 이 다이어그램을 간략화하기 위해 도시되어 있다. 단 5개의 이산 P-상태들만이 도시되어 있지만, 다른 개수의 이산 P-상태도 지원될 수 있는 것으로 잘 알려져 있다.

[0026] 도시된 다이어그램에서, P-상태(P₄)는 전체 지원되는 이산 상태들 중에서 최저 성능을 가지는 이산 상태에 대응할 수 있고 최저 동작 주파수를 포함한다. 나아가, P-상태(P₄)는 전체 지원되는 이산 상태들 중 최저 전력 소비를 가지는 이산 상태에 대응할 수 있고 최저 동작 전압을 포함한다. 한편, P-상태(P₀)는 전체 지원되는 이산 상태들 중 최고 성능을 가지는 이산 상태에 대응할 수 있고 최고 동작 주파수를 포함한다. 나아가, P-상태(P₀)는

전체 지원되는 이산 상태들 중 최고 전력 소비를 가지는 이산 상태에 대응할 수 있고 최고 동작 전압을 포함한다. 일반적으로, P-상태(P_0 , P_4)로 표시된 종단점 이산 상태는 예측가능한 성능 영역을 한정한다. 그러므로, 비선형 주파수 대 전압 곡선을 따라 다수의 P-상태 또는 동작점을 지원하도록 프로세서를 구성하는 것은 프로세서와 같은 반도체 칩에 대해 전력의 안정적인 최적인 이용과 성능 전달을 제공할 수 있다. P-상태의 관리는 원래 Intel Corp.사, Microsoft Corp.사, 및 Toshiba Corp.사에 의해 개발되었지만 이제 Hewlett-Packard Corp.사 및 Phoenix Corp.사에 의한 개발을 또한 포함하고 있는 ACPI(Advanced Configuration and Power Interface) 표준과 같은 산업 표준에 부합한다. 이 산업 표준은 2010년 4월 5일에 재버전 4.0a로 마지막으로 발행되었다.

[0027] 다이어그램에서 도시된 바와 같이, 전력 타깃₁이 칩에 대해 선택될 수 있고, 여기서 전력 타깃₁은 칩의 TDP에 대한 초기값을 나타낸다. 전술된 바와 같이, 열적 설계 전력(TDP)은 냉각 시스템이 칩 내 트랜지스터에 대한 최대 접합 온도를 초과함이 없이 발생할 수 있는 전력의 양을 나타낼 수 있다. 도 2에서 전력 타깃₁의 값은 현재 할당된 TDP값을 나타낼 수 있다. 도 2에 도시된 바와 같이, 전력 타깃₁은 전력 대 전압의 비선형 곡선 상에 있는 데이터 점(A)에 대응한다. 데이터 점(A)은 동작 전압(V_2)에 대응한다. 동작 전압(V_2)에 대하여 비선형 주파수 대 전압 곡선 상으로 데이터 점(A)을 투영(project)하는 것은 데이터 점(A')을 제공한다. 데이터 점(A')은 동작 주파수(F_2)에 대응한다. 동작 전압(V_2)과 동작 주파수(F_2)의 조합에 의해 표시되는 동작점은 칩에 대해 성능의 전달과 전력의 최적의 이용을 제공할 수 있다.

[0028] 다이어그램에서 도시되고 전술된 바와 같이, 전력 타깃₁에 대한 동작점은 데이터 점(A')에 의해 식별된다. 그러나, 이 동작점은 전력 대 주파수 곡선에서 이산 P-상태에 의해 표현되지 않는다. 데이터 점(A')은 P-상태(P_1)와 P-상태(P_2) 사이에 위치된다. 전력 소비를 감소시키기 위하여, P-상태(P_2)는 대응하는 칩에 대해 초기 동작점으로 선택될 수 있다. 동작 전압(V_1)과 동작 주파수(F_1)의 대응하는 조합은 최종 선택된 동작점일 수 있다.

[0029] 프로세서와 같은 칩은, (i) 작업부하가 상당히 변하여 보고된 활동 레벨에 상당한 변화를 야기할 때까지, (ii) 전력 소비를 추적하는 값이 주어진 임계값에 도달할 때까지, 또는 (iii) 초기 TDP값이 변하여 다이어그램에 도시된 전력 타깃값을 변화시킬 때까지, 초기에 할당된 P-상태를 이용하는 작업부하의 처리를 계속할 수 있다. 예를 들어, 프로세서가 시간에 따라 일관적인 활동 레벨을 야기하는 작업부하에 대한 명령을 실행하고 있다면, 작업부하의 누적된 영향은 프로세서 내 전력 검출 시스템으로 하여금 주어진 높은 임계값에 도달하게 할 수 있다. 이 임계값은 프로세서가 상당한 열을 생성하고 있고 전력이 감소되어야 함을 나타낼 수 있다. 일 실시예에서, 프로세서 내에 위치될 수 있는 전력 관리자는 이 상태를 검출하고 이에 따라 더 낮은 전력-성능 동작점에 대응하는 다른 P-상태를 선택할 수 있다.

[0030] P-상태의 "강등(throttle)"은 현재 선택된 P-상태를 하나의 P-상태만큼 더 낮은 전력 소비 P-상태로 감분시키는 것을 포함한다. 이와 대조적으로, P-상태의 "승격(boost)"은 현재 선택된 P-상태를 하나의 P-상태만큼 더 높은 성능 P-상태로 증분시키는 것을 포함한다. P-상태(P_2)를 강등시키는 것은 현재 선택된 P-상태(P_2)를 더 낮은 전력-성능 상태(P_3)로 전이시키는 것을 포함한다. 예시를 위해 P-상태(P_2)와 같은 주어진 P-상태를 승격시키고 강등시키는 단순한 예는 도 2에 도시되어 있다. 일부 실시예에서, 각 승격 동작과 각 강등 동작은 현재 선택된 P-상태를 2개 이상의 P-상태만큼 전이하게 할 수 있다(논리가 이 추가된 복잡성을 지원하는 경우). P-상태 전이는 프로세서 내 논리회로에 의해 제어될 수 있고 이에 의해 자체 독립 시스템(self-contained system)이다. 그러나, 전력 관리 유닛(130)과 같은 외부 유닛이 프로세서에 대한 TDP값을 변화시켜, 다이어그램에서의 전력 타깃값을 변화시킬 수 있다.

[0031] P-상태의 전이에 대해 계속하면, 연산 유닛(120)으로부터 전력 소비 추정값을 수신한 후에, 전력 관리 유닛(130)은 새로운 TDP값과 같은 파라미터를 연산 유닛(120)으로 운반할 수 있다. 새로운 TDP값은 할당된 전력 신용의 새로운 수에 대응할 수 있다. 상대적으로 비활동적인 연산 유닛은 할당된 신용의 현재값보다 더 적은 전력 신용이 할당될 수 있다. 본질적으로, 상대적으로 비활동적인 연산 유닛은 전력 신용을 증여할 수 있다. 그 역으로, 매우 활동적인 연산 유닛은 할당된 신용의 현재값보다 더 많은 전력 신용이 할당될 수 있다. 본질적으로, 매우 활동적인 연산 유닛은 증여된 전력 신용을 증여받는다.

[0032] 전력 관리 유닛(130)으로부터 새로운 TDP값을 수신한 후에, 각 연산 유닛(120)은 이에 따라 새로운 대응하는 P-상태를 선택할 수 있다. 일 실시예에서, 선택은 지원되는 이산 P-상태의 주어진 수 중 임의의 것을 선택하는 것을 포함할 수 있다. 다른 실시예에서, 선택은 현재 선택된 P-상태를 승격, 강등 또는 유지할지 여부를 결정하는

것을 포함할 수 있다.

[0033] 일 실시예에서, 주어진 연산 유닛은 각 주어진 시간 간격의 종료 시 측정된 활동 레벨을 캡쳐(capture)할 수 있다. 측정된 활동 레벨은 시간 간격 동안 샘플링되도록 선택된 주어진 신호와 관련된 값에 대응할 수 있다. 예를 들어, 일 실시예에서, 국부 클록 분배 블록으로 라우팅된 클록 인레이블 신호는 샘플링되도록 선택된 신호일 수 있다. 특정 클록 사이클 동안 샘플링될 신호를 선택하는 것은 이 선택이 스위칭 노드 커파시턴스의 양과 얼마나 잘 상관하는지에 대응할 수 있다.

[0034] 다수의 샘플들이 주어진 시간 간격 동안 취해질 수 있다. 활동 레벨을 연산하기 전에 사용할 간헐적인 클록 사이클의 수를 결정하는 것은 샘플링된 데이터의 원하는 정확도와 신뢰성에 좌우될 수 있다. 스프레드시트 또는 툭업 테이블은 애플리케이션의 실제 전력 소비와 샘플링으로부터 추정된 전력 소비 둘 모두의 통계적 분석과 측정 둘 모두를 사용하여 생성될 수 있다. 신뢰성 레벨과 에러율이 통계적 분석을 더 개발하기 위해 선택될 수 있다. 실시간 전력 추정 방법의 일례는 미국 특허 출원 제12/101,598호(출원일: 2008년 4월 11일, 발명의 명칭: "Sampling Chip Activity for Real Time Power Estimation")을 포함한다.

[0035] 일 실시예에서, 주어진 시간 간격의 종료 시, 주어진 연산 유닛은 측정된 활동 레벨과 전력 타깃 사이에 부호를 가지는 연속의 누적된 차이값을 연산할 수 있다. 다시, 전력 타깃은 열적 설계 점(thermal design point: TDP)일 수 있다. 누적된 차이값은 각 주어진 시간 간격의 종료 시 $\text{AccTdpDelta} = \text{AccTdpDelta} + (\text{TDP} - \text{RcvdActLevel} + \text{de-rated BrrwValue})$ 로 계산될 수 있다. 여기서, 변수 AccTdpDelta는 부호를 가지는 연속의 누적된 차이값이다. 변수 TDP는 할당된 열적 설계 전력 또는 전력 신용의 균등한 수이다. 변수 RcvdActLevel은 연산 유닛의 기능 블록의 샘플링된 신호로부터 결정된 활동 레벨이다. 변수 de-rated BrrwValue은 연산 유닛이 전력 관리 유닛에 의해 결정된 바와 같이 차용하도록 허용되는 전력 신용의 수의 디레이팅된 값이다. 전력 신용의 이 수를 디레이팅시키는 것은 전력 신용을 차용하는 연산 유닛의 활동 레벨에 적어도 기초한다. 이 프로세스는 이후에 보다 상세히 설명된다.

[0036] 대안적으로, 전력 관리 유닛은 전술된 값 de-rated BrrwValue이 아니라 새로운 TDP값을 연산 유닛으로 송신할 수 있다. 새로운 TDP값은 연산 유닛이 차용할 수 있도록 전력 신용의 수의 디레이팅된 값과 연산 유닛에 대한 초기 TDP값을 포함할 수 있다. 그리하여, 전력 관리 유닛은 값 TDP_{new} 를 송신할 수 있고, 누적된 차이값은 각 주어진 시간 간격의 종료 시 $\text{AccTdpDelta} = \text{AccTdpDelta} + (\text{TDP}_{\text{new}} - \text{RcvdActLevel})$ 으로 계산될 수 있다. 변수 RcvdActLevel에 의해 표시된 측정된 활동 레벨이 TDP(또는 TDP_{new})보다 더 높다면, 누적된 값(AccTdpDelta)은 음의 값 쪽으로 드리프트(drift)한다. 만약 측정된 활동 레벨이 TDP 보다 낮으면, 누적된 값(AccTdpDelta)은 양의 값 쪽으로 드리프트한다. 누적된 값이 양의 주어진 임계값에 도달하면, 연산 유닛은 현재 P-상태를 강등시키도록 결정할 수 있다. 누적된 값이 네거티브의 주어진 임계값에 도달하면, 연산 유닛은 현재 P-상태를 승격시키도록 결정할 수 있다.

[0037] 이제 도 3을 참조하면, 반도체 칩에 대한 전력-성능 상태 전이(300)의 다른 실시예가 도시되어 있다. 도 2에 도시된 다이어그램과 유사하게, 2개의 비선형 곡선은 전력 대 전압 및 주파수 대 전압 사이의 칩에 대한 관계를 도시한다. 동일한 5개의 이산 전력-성능 상태들(P-상태들)이 다이어그램에 도시되고, 이를 상태는 P0 내지 P4로 표시된다. 도 2에 대해 전술된 예를 계속 들면, 전력 관리 유닛(130)은 다이(102) 위 각 연산 유닛(120)으로부터 전력 소비 추정값에 기초하여 하나 이상의 연산 유닛에 대한 TDP값을 변경할 것을 결정할 수 있다. 예를 들어, 현재 TDP값은 주어진 연산 유닛에 대해 더 높은 TDP값으로 증가될 수 있고, 여기서 주어진 유닛은 상이한 비활동적인 연산 유닛으로부터 증여되는 증여된 전력 신용을 수신한다. TDP의 증가는 현재 전력 타깃₁보다 더 높은 값을 지니는 새로운 전력 타깃₂로 표시된다.

[0038] 도 3에 도시된 바와 같이, 전력 타깃₂는 전력 대 전압의 비선형 곡선에 있는 데이터 점(B)에 대응한다. 데이터 점(B)은 동작 전압(V_4)에 대응한다. 동작 전압(V_4)에 대하여 비선형 주파수 대 전압 곡선 상으로 데이터 점(B)을 사영하는 것은 데이터 점(B')을 제공한다. 데이터 점(B')은 동작 주파수(F_4)에 대응한다. 동작 전압(V_4)과 동작 주파수(F_4)의 조합으로 표시된 동작점은 칩에 대해 전력의 최적의 이용과 성능의 전달을 제공할 수 있다.

[0039] 동작 전압(V_4)과 동작 주파수(F_4)의 조합으로 표시된 동작점은 전력 대 주파수 곡선에 있는 이산 P-상태에 의해 지원되지 않을 수 있다. 데이터 점(B')은 P-상태(P_0)와 P-상태(P_1) 사이에 위치된다. 전력 소비를 감소시키기 위하여, P-상태(P_1)는 대응하는 칩에 대해 새로운 동작점으로 선택될 수 있다. 동작 전압(V_3)과 동작 주파수(F_3)의

대응하는 조합은 최종 선택된 동작점일 수 있다.

[0040] 특정 기준이 연산 유닛의 활동 레벨에 더하여 전력 타깃₂의 값을 결정하는데 사용될 수 있음이 주목된다. 예를 들어, 전압 조절기는 열적 설계 전류(TDC)보다 더 큰 피크 전류를 공급할 수 있다. 그러나, TDC는 주어진 정상 내지 높은 동작 상태를 위해 공급된 전류의 양이다. TDC값에 대한 설계 제약은 또한 플랫폼 비용을 최소화할 수 있다. 사전 점검들 없이 주어진 연산 유닛에 전력 신용을 증여하고 전력 타깃₁을 전력 타깃₂로 증가시킬 때, TDC에 대한 값은 주어진 연산 유닛에 대해 증가된 활동을 지원하기에는 불충분할 수 있다. 온칩 성능이 연산 유닛들 사이에 전력 전달을 허용함으로써 증가될 수 있다고 하더라도, 더 높은 TDC를 지원하도록 전압 조절기를 변경하는 비용은 상당하다. 그러므로, 새로운 TDP값을 연산 유닛(120)에 (직접 또는 전력 신용의 수를 통해) 할당하기 전에, 전력 관리 유닛(130)은 점검들을 수행할 수 있다. 이들 점검들은 연산 유닛이 각 전압 조절기의 대응하는 TDC에 의해 표시된 양보다 더 많은 전류를 인출할 수 없음을 결정할 수 있다. 증가된 TDP값에 의해 부과될 수 있는 설계 제약에 대한 다른 점검들도 가능하고 고려된다.

[0041] 전술된 바와 유사한 설명이 전력 신용을 증여하는 연산 유닛에 존재함이 주목된다. 이 경우에, 전력 타깃₃으로 표시될 수 있는, 전력 관리 유닛에 의해 할당된 새로운 TDP값(미도시)은 전력 타깃₁보다 더 낮은 값을 가진다. 최종 동작점을 찾는 단계는 전술된 단계를 따를 수 있다. 전술된 프로세스는 전력 관리 유닛(130)이 다시 주어진 시간 간격에서 연산 유닛(120)으로부터 새로운 전력 소비 추정값을 수신하고 새로운 TDP값을 결정한 후에 반복될 수 있다. 새로운 TDP값 및/또는 대응하는 전력 신용을 결정할 때, 전력 관리 유닛은 주어진 수신 연산 유닛에 할당된 최종값을 각 연산 유닛의 활동 레벨에 기초할 수 있다.

[0042] 이제 도 4를 참조하면, 전력 차용 디레이팅 테이블(400)의 일 실시예가 도시되어 있다. 연산 유닛은 활동 레벨을 전력 관리 유닛에 보고할 수 있다. 대안적으로, 연산 유닛은 와트 또는 측정의 내부 단위로 측정된 전력 소비 추정값, 온도 측정, 전류 인출 측정 등을 보고할 수 있다. 각 선택사항은 설계자가 다이(102)의 설계 동안 고려할 수 있는 비용과 보고의 정확도 사이에 트레이드오프(tradeoffs)를 포함한다. 이 설명을 위하여, 다른 측정도 가능하고 고려될 수 있지만은, 활동 레벨이 전력 차용값을 선택하는 것을 설명하는데 사용된다.

[0043] 테이블(400)의 하나의 열에서 활동 레벨의 범위가 저장된다. 주어진 연산 유닛으로부터 보고된 활동 레벨은 테이블을 색인하고 이 테이블 내 행을 선택하는데 사용될 수 있다. 도시된 실시예에서, 수신된 활동 레벨은 3개의 임계값과 비교된다. 3개의 임계값이 테이블(400)에 도시되어 있으나, 더 많거나 더 적은 수의 임계값을 선택하는 것이 가능하고 고려된다. 테이블(400)에서 제2열은 주어진 전력 차용값의 값을 저장한다. 전력 차용값은 보고된 활동 레벨과 임계값의 비교에 기초한다. 주어진 전력 차용값은 전력 신용, TDP값과 관련된 와트의 수, 또는 그 밖의 것으로 표시될 수 있다.

[0044] 전력 차용값은 상대적으로 비활동적인 것으로 결정된 증여 연산 유닛의 TDP값과 활동 레벨에 기초할 수 있다. 일 실시예에서, 연산 유닛은 연산 유닛이 사용 권한이 있거나 잠재적으로 사용하는 것이 허용될 수 있는 현재 미사용된 전력의 양에 기초한 주어진 전력 차용값을 증여하도록 이용가능하게 할 수 있다. 주어진 연산 유닛의 전력 소비는 전술된 바와 같이 보고되거나 추정될 수 있다. 대안적으로, 테이블(400)의 것과 유사한 테이블이 2개 이상의 임계값과 비교해 수신 유닛의 활동 레벨의 비교에 기초해서 연산 유닛으로부터 증여하도록 디레이팅된 전력값을 결정하는데 사용될 수 있다.

[0045] 나아가, 전력 관리 유닛(130)은 다이(102) 위 각 연산 유닛에 대해 대응하는 열을 구비하는 하나의 큰 테이블을 구비할 수 있다. 이 큰 테이블은 각 연산 유닛의 보고된 활동 레벨을 추적하고, 대응하는 임계값과 보고된 활동 레벨을 비교하고, 어느 연산 유닛이 전력 신용을 증여할 수 있는지를 결정하고, 각 자격 있는 증여 연산 유닛이 증여할 수 있는 전력 신용의 양을 결정하고, 어느 연산 유닛이 전력 신용을 수신할 수 있는지 결정하고, 각 자격 있는 수신 연산 유닛이 수신할 수 있는 전력 신용의 양을 결정하도록 구성될 수 있다. 테이블에 대한 상세의 복잡성과 입도(granularity)는 적어도 결정에 할당된 총 시간과, 정보를 저장하고 조합 논리회로를 위한 온다이리얼리스테이트(on die real estate)와 같은 설계 트레이드오프에 의해 결정될 수 있다. 각 자격 있는 수신 연산 유닛이 수신할 수 있는 전력 신용의 양은 열적 제한 및 전기적 제한 둘 모두에 좌우될 수 있음이 주목된다. 예를 들어, 전술된 바와 같이 정격 열적 설계 점(TDP)은 열적 제한을 설정할 수 있다. 전술된 바와 같이 대응하는 전압 조절기의 정격 열적 설계 전류(TDC)는 전기적 제한을 설정할 수 있다. 다시, 새로운 TDP값을 계산 유닛(120)에 (직접 또는 전력 신용의 수를 통해) 할당하기 전에, 전력 관리 유닛(130)은 점검들을 수행할 수 있다. 이들 점검들은 전력 신용을 수신하는 연산 유닛이 각 전압 조절기의 대응하는 TDC에 의해 표시되는 양보다 더 많은 전류를 인출할 수 없는 것을 결정할 수 있다. 증가된 TDP값에 의해 부과될 수 있는 설계 제약에 대한 다른

점검들도 가능하고 고려된다. 이들 점검들은 테이블(400)에 저장된 값을 설정할 수 있다.

[0046] 이제 도 5를 참조하면, 전력 관리 시스템에 대응하는 측정된 전기적 특성(500)의 일 실시예가 도시되어 있다. 도시된 값은 정확한 것으로 의도된 것이 아니라는 것이 주목된다. 오히려, 도 5에 있는 차트는 도시된 여러 값들 사이에 상대적 관계를 (일반적으로) 보여주기 위해 설명을 위하여 제공된 것이다. 도시된 예에서, 시간에 따른 동작 전압(210)과 측정된 활동 레벨(220)의 변화가 도시되어 있다. 나아가, 전력(230)이 시간에 따라 도시된다. 도 5에 도시된 바와 같이, 활동 레벨이 상당한 변화를 경험(experience)할 때 그리고 활동 레벨이 일정할 때 P-상태 전이들이 있을 수 있다. 다이어그램에서, P-상태 전이들은 동작 전압(210)의 변화와 상관한다. 일부 P-상태값은 다이어그램에서 표기된다. 예를 들어, 일정한 활동 레벨(220)에서, P-상태(P1)은 다이어그램에 도시된 바와 같이 더 낮은 동작 전압을 가지는 P-상태(P2)로 전이한다. 전력(230)은 예를 들어 제1전력 타깃(PT1)을 추적하기 위하여 P-상태 전이에 의해 조절될 수 있다. 일 실시예에서, 칩은 전력 타깃에 대응하는 가상 동작점을 유지하기 위해 P-상태 디더링(dithering)을 사용할 수 있다. 디더링은 칩이 더 높은 및 더 낮은 이산 P-상태들 사이 중간값에 대응하는 평균을 달성하기 위하여 더 높은 및 더 낮은 이산 P-상태들 사이에 교번할 수 있는 방법이다. 디더링을 수행하는 방법 및 메커니즘은 그 전체 내용이 본 명세서에 참조 문헌으로 병합된, 출원 일련 번호 TBD에 더 기술된다.

[0047] 도 5에서, 시간에 따라 칩에 의해 인출되는 전류(240)가 도시되어 있다. 전류(240)는 동일한 전력 소비값에 대해 동작 전압이 감소할 때 증가한다($I=P/V$). 이 동일한 전력 소비값은 시간에 따라 P-상태들 사이를 토글링함으로써 획득된 평균값일 수 있다. P-상태 디더링은 칩에서 소비되는 평균 전력과 PT1값과 같은 전력 타깃 사이에 1에 가까운 비를 유지하는데 사용될 수 있다. 일 실시예에서, 열적 설계 점(TDP)값은 PT1값에 대해 선택될 수 있다. 1에 가까운 비를 유지함으로써 칩은 원하는 전력 양(예를 들어, 대응하는 냉각 시스템에 의해 발산되는 전력의 양)을 여전히 소비하면서 성능을 최대화하는 것을 추구할 수 있다. 그러나, P-상태 디더링이 (예를 들어, 준안정 승격 동안) 발생하지 않는다 하더라도, 작업부하 변화가 후술되는 바와 같이 인출되는 전류의 초과 양을 초래할 수 있다.

[0048] 제1온다이 컴포넌트로부터 제2온다이 컴포넌트로 전력 전달은 최대 (또는 증가된) 전체 칩 성능을 제공하기 위하여 이용 가능한 전력 신용의 수를 전달할 수 있다. 일부 실시예에서, 제1온다이 컴포넌트는 제1전압면을 사용하고 이에 따라 제1전압 조절기를 사용할 수 있다. 제2온다이 컴포넌트는 별개의 제2전압면을 사용하고 이에 따라 별개의 제2전압 조절기를 사용할 수 있다. 다시 도 3을 참조하면, 전력 신용의 최대 수는 최대 새로운 전력 타깃값에 대응할 수 있다. 따라서, 수신 제2컴포넌트의 동작점은 도 3에 도시된 바와 같이 증가할 수 있으며, 여기서 점(B')은 점(A')보다 더 높은 성능 동작점이다. 새로운 더 높은 동작점의 평균 동작 전압은 수신 제2컴포넌트의 작업부하와 전달되는 전력의 함수이다.

[0049] 일반적으로 말하면, 주어진 수신 컴포넌트로 전달되는 전력 신용의 양은 수신 컴포넌트의 현재 활동 레벨로 디레이팅 테이블(400)을 색인함으로써 발견될 수 있다. 수신 컴포넌트에 대한 적어도 열적 제한과 전기적 제한은 디레이팅 테이블 엔트리값을 유도하는데 사용될 수 있다. 예를 들어, 주어진 수신 컴포넌트는 도 3에 도시된 바와 같이 P-상태(P4)에서 동작할 수 있다. 동작 전압은 P-상태(P4)에서 낮다. P-상태(P4)는 높은 활동 레벨로 인해 수신 컴포넌트에 대해 선택되었을 수 있다. 따라서, 수신 컴포넌트에 의해 인출되는 전류의 양은 높고 ($I=P/V$) 대응하는 TDC 제한에 가까울 수 있다. 그러므로, 수신 컴포넌트의 높은 활동 레벨이 디레이팅 테이블(400)을 색인하는데 사용될 때, 최대 전력 차용값은 디레이팅(4로 나눔, 2로 나눔, 0으로 설정)될 수 있다. 수신 컴포넌트가 전력 신용의 디레이팅된 값을 수신할 때, 전력 소비가 증가할 수 있고, 동작 전압은 증가할 수 있고, 인출되는 전류의 양은 증가할 수 있다. 그러나, 이를 증가는 수신되는 전력 신용의 수의 디레이팅에 의해 제한된다. 그러므로, 수신 컴포넌트는 전력 신용의 최대 수가 전달되지 않았으므로 대응하는 TDC 제한을 초과하지 않을 수 있다. 전력 신용의 수의 디레이팅은 대응하는 TDC 제한을 초과하지 않도록 안전하게 가이드하는데 사용될 수 있다.

[0050] 이제 도 5를 참조하면, 제2컴포넌트가 전술된 바와 같이 전력 전달 후 더 높은 동작점에서 동작하는 동안, 제2컴포넌트에 대한 작업부하는 시간 기간 동안 그 현재 활동 레벨을 유지할 수 있다. 예를 들어, 도 5에 도시된 바와 같이, 제2컴포넌트는 PT1로 표시된 동작점에서 동작할 수 있다. 동작점(PT1)은 앞선 전력 전달(미도시) 후에 새로운 더 높은 동작점일 수 있다. 제2컴포넌트는 도 5에 도시된 바와 같이 이 시간 기간 동안 이산 지원 P-상태들 사이에서 디더링될 수 있다. 동작 전압은 디더링이 발생하는 동안 전이하는 것으로 도시되어 있다. 디더링 동안 도달되는 일부 P-상태값은 P1, P2, P0 및 P3과 같이 표시된다.

[0051] 제2컴포넌트의 동작 동안, 소프트웨어 애플리케이션을 실행하는 명령은 실행할 제2컴포넌트에 대한 동작 유형을

변경할 수 있고, 실행할 제2컴포넌트에 대한 특정 유형의 동작의 수를 변경할 수 있고, 실행할 제2컴포넌트에 대한 동작의 총 수를 변경할 수 있고, 또는 변경의 조합을 수행할 수 있다. 그러므로, 제2컴포넌트에 대한 작업부하는 전력 신용의 전달에 독립해서 시간에 따라 변할 수 있으나, 실행하는 소프트웨어 애플리케이션에 기초하여 변할 수 있다. 도 5에 도시된 바와 같이, 활동 레벨은 제1레벨에서 시작하고 제1 시간 기간 동안 제1레벨을 유지한다. 이후, 활동 레벨은 새로운 레벨로 스텝 다운(step down)되고 제2시간 기간 동안 새로운 더 낮은 레벨을 유지한다. 이후, 활동 레벨은 새로운 증가된 레벨로 스텝 업된다. 감소된 작업 부하가 아니라 증가된 작업부하는 이후 더 설명되는 바와 같이 설계 문제를 야기할 수 있다.

[0052] 실행하는 소프트웨어 애플리케이션 내 변경으로부터 초래되는 제2컴포넌트에 대한 증가된 작업부하의 설명을 계속하면, 칩에 의해 인출되는 전류(240)는 증가할 수 있다. 칩에 의해 인출되는 전류(240)의 증가는 더 높은 작업 부하와 관련된 더 높은 스위칭 커패시턴스와 더 높은 활동 레벨로 인한 것일 수 있다. 제2컴포넌트에 의해 인출되는 더 높은 전류(240)는 대응하는 전압 조절기의 열적 설계 전류(TDC) 제한을 위반할 수 있다. 일반적으로, 칩에 의해 인출되는 전류(240)의 양은 TDC 제한에 도달하지 않는다. 그러나, 이제 제2컴포넌트는 작업부하의 증가 전에 더 오래되고 더 작은 작업부하와 관련된 P-상태에서 동작한다. 칩은 동일한 평균 전력-성능 레벨을 유지하려는 시도를 더 할 수 있다. 작업부하가 증가할 때, 칩에 의해 인출되는 전류(240)의 양은 증가하고, 전력 소비가 증가한다. 그러므로, 칩은 P-상태를 강등시켜 동작 주파수와 동작 전압을 감소시킨다. 도 5에 도시된 바와 같이, 동작 전압은 활동 레벨이 스텝 업될 때 P-상태를 강등시키는 것으로 인해 스텝 다운된다.

[0053] 전술된 바와 같이, 칩에 의해 인출된 전류(240)는 주어진 제한을 초과할 수 있다. 칩은 다른 온다이 칩 또는 컴포넌트로부터 중여된 전력 신용을 수신하는 것으로 인해 더 높은 성능 P-상태에서 동작할 수 있다. 칩이 더 높은 성능 P-상태에서 동작할 때, 인출되는 전류의 양과 전력 소비가 증가된다. 디레이팅 테이블(400)은 전달되는 전력 신용의 수를 제한하는데 사용될 수 있다. 그러므로, 인출되는 전류의 양과 전력 소비의 증가량은 안전하게 보호될 수 있다. 이후, 활동 레벨은 애플리케이션에 의한 새로운 요구로 인해 상당히 증가될 수 있다. 상대적으로 안정적인 전력 소비를 유지하는 상태에서 동작 전압에서의 후속적 강하는 칩에 의해 인출되는 전류(240)가 제한을 초과하게 할 수 있다. 칩에 의해 인출되는 전류(240)는 도 5에 도시된 바와 같이 제한을 초과한다. 일 실시예에서, 전류 제한은 대응하는 전압 조절기에 대한 열적 설계 전류(TDC)일 수 있다. 동작 전압은 도 2, 도 3, 및 도 5에 도시된 바와 같이 P-상태의 강등 동안 감소할 수 있다.

[0054] 도 5에 도시된 바와 같이, 전력 신용을 전달하는 것이 칩에 대해 전체 성능 승격을 양산할 수 있으나, 특정 상태를 모니터링하는 것은 설계 제약을 초과하는 것을 회피하도록 수행될 수 있다. 예를 들어, 주어진 컴포넌트가 전력 신용을 수신한 후에, 차후에 작업부하는 소프트웨어 애플리케이션에 의해 야기된 변경으로 인해 변경될 수 있다. 증가된 작업부하는 주어진 컴포넌트에 대한 전력 소비 수식에서 2개의 항(a , C)이 증가되게 할 수 있다. 잘 알려진 바와 같이, 집적 회로의 전력 소비는 $a fCV^2$ 에 비례하며, 여기서 a 는 스위칭 인자를 나타내고, f 는 주파수를 나타내며, C 는 커패시턴스를 나타내고, V 는 전압을 나타낸다. 일반적으로 말하면, 더 높은 작업 부하는 스위칭 인자(a)와 커패시턴스(C)가 증가되게 한다. 따라서, 주어진 컴포넌트는 증가된 전력 소비에 응답하여 P-상태 강등을 시작할 수 있다. 일반적으로, 전력 소비가 주어진 임계값을 넘어 증가하는 경우, P-상태는 상대적으로 안정적인 전력 소비 값을 유지하도록 강등될 수 있다. P-상태 강등은 또한 동작 주파수(f)와 동작 전압(V)의 감소와 관련될 수 있다.

[0055] 전력 신용을 수신하는 주어진 컴포넌트의 상기 예에 대해 계속하면, P-상태 강등은 주어진 컴포넌트에 대한 상기 전력 소비 수식에서 2항(f , V)이 감소되게 할 수 있다. 이제, 주어진 컴포넌트에 의해 인출되는 전류(240)는 (i) 스위칭 인자(a) 및 등가 커패시턴스(C)의 증가 및 (ii) 동작 전압의 감소($I=P/V$)로 인해 증가한다. 칩에 의해 인출되는 전류(240)의 양의 증가는 TDC 제한을 초과할 수 있다. 이 시나리오는 도 5에 도시되어 있다. 그러므로, TDC 제한을 위반하는 것을 회피하기 위하여, 이 상태는 모니터링되고 검출될 수 있다. 이 상태가 검출되면, 전력 전달의 후속 변조가 발생할 수 있다.

[0056] 일 예에서, 중여된 전력 신용의 일부는, TDC 제한의 위반을 검출함에 응답하여, 제2컴포넌트로부터 중여하는 제1컴포넌트로 반환(return)될 수 있다. 다시 도 3을 참조하면, 일 실시예에서, 중여된 전력 신용의 일부의 반환은 다이어그램에서 전력 타깃₁과 전력 타깃₂ 사이에 위치된 제3전력 타깃, 즉 전력 타깃₃(미도시)을 초래할 수 있다. 제1컴포넌트로부터 제2컴포넌트로 중여할 전력 신용의 수를 결정하는 동안, 허용된 이용가능한 전력 신용의 최대 수가 사용될 수 있다. 그러나, 차후 모니터링은, 수신하는 제2컴포넌트에서 높은 전력 작업부하가 인출된 전류(240)의 평균이 대응하는 TDC 제한과 같은 제한을 초과하게 할 때, 중여된 전력 신용의 일부나 전부의 후속적인 반환이 발생할 수 있다는 것을 보여줄 수 있다. 중여된 전력 신용의 일부나 전부의 후속 반환은 새로

운 및 더 낮은 제2전력 타깃(PT2)에 의해 예시될 수 있다. 도 5에 도시된 바와 같이, 칩에 의해 인출된 전류(240)의 양은 증여된 전력 신용의 일부나 전부의 반환 후에 TDC 제한을 초과하지 않는다.

[0057] 이제 도 6을 참조하면, 전력 관리 유닛(130)의 일 실시예가 도시되어 있다. 입력/출력(I/O) 인터페이스(550)는 다이(102) 위 각 연산 유닛(120)과 통신할 수 있다. 새로운 활동 레벨이 보고될 때, 전력 전달 테이블(500) 내 엔트리(entry) (510)는 업데이트될 수 있다. 테이블(500)은 다이(102) 위 각 연산 유닛(120)에 대해 별개의 엔트리(510)를 포함할 수 있다. 각 엔트리(510)는 도 5에 도시된 바와 같이 여러 필드를 포함할 수 있다. 연산 유닛 식별자(ID) 필드(520)는 다이(102) 위 연산 유닛(120) 중 어느 것이 특정 엔트리(510)에 대응하는지를 식별할 수 있다. 초기 TDP값 필드(522)는 각 연산 유닛에 대해 현재 TDP값을 저장할 수 있다. 현재 TDP값 필드(524)는 각 연산 유닛에 대해 현재 TDP값을 저장할 수 있다. 필드(524)에 저장된 현재 TDP값은 다이 위 전력 전달로 인해 필드(522)에 저장된 초기 TDP값과는 다를 수 있다. 대안적으로, 테이블(500)은 필드(522)와 필드(524)에서 전력 신용을 나타내는 대응하는 값을 저장할 수 있다.

[0058] 테이블(500)에서 필드(526)와 필드(528)는 대응하는 연산 유닛이 전력 신용을 수신하거나 전력 신용을 증여하는지에 대한 표시를 저장할 수 있다. 나아가, 이를 필드는 수신되거나 증여되는 대응하는 전력 신용의 수를 저장할 수 있다. 테이블(500)에서 필드(530)와 필드(532)는 낮은 및 높은 사용에 대응하는 하나 이상의 임계값을 각각 저장할 수 있다. 이를 임계값은 테이블(500) 내 필드(534)에 저장될 수 있는 보고된 활동 레벨값과 비교될 수 있다. 활동 레벨은 주어진 시간 간격 마다 전력 관리 유닛(130)으로 보고될 수 있다.

[0059] 테이블(500) 내 필드(536)는 전력 신용을 수신하고 증여하는 우선순위값을 저장할 수 있다. 예를 들어, 제1연산 유닛은 3개의 전력 신용을 증여할 수 있는 것으로 검출된다. 제2 및 제3연산 유닛은 각각 2개의 전력 신용을 수신할 수 있다. 우선순위 방식(scheme)은 제2연산 유닛 또는 제3연산 유닛이 단일 열적 신용만을 수신할지 여부를 결정하는데 사용될 수 있다. 이와 유사한 우선순위 방식은 다수의 연산 유닛이 각각 전력 신용을 얼마나 증여할 수 있는지를 결정하는데 사용될 수 있다. 테이블(500) 내 필드(538)는 각 온다이 전압 조절기에 대한 TDC 제한을 저장할 수 있다. 저장된 TDC값은 각 전압 조절기로부터 인출되는 전류의 추정값과 비교될 수 있다. 일 실시예에서, 온다이 전류 센서 또는 각 전압 조절기 내 센서는 인출된 전류의 추정값을 전력 관리 유닛(130)으로 제공할 수 있다. 다른 실시예에서, 각 온다이 연산 유닛은 인출된 전류의 추정값을 제공할 수 있다. 임의의 측정된 추정값이 대응하는 저장된 TDC 제한을 초과하면, 전력 관리 유닛(130)은 온다이 연산 유닛에 전력 신용의 할당을 조정할 수 있다. 전력 신용의 재할당은 위반하는 연산 유닛의 전류 소비량을 감소시킬 수 있다. 예를 들어, 연산 유닛은 증여된 전력 신용을 수신하였을 수 있다. 차후에, 더 높은 전력 작업부하가 연산 유닛에서 실행되어 평균 인출 전류가 대응하는 TDC 제한을 초과하게 할 수 있다. 전력 관리 유닛(130)이 초과 상태를 검출하면, 증여된 전력 신용의 일부나 전부는 증여하는 연산 유닛으로 반환될 수 있다.

[0060] 필드(520 내지 538)들이 특정 순서로 도시되어 있으나, 다른 조합도 가능하며 다른 또는 추가적인 필드들도 또한 사용될 수 있다. 필드들(520 내지 538)들에 대한 정보를 저장하는 비트들은 인접할 수도 있고 또는 인접하지 않을 수도 있다. 회로(540)는 대응하는 임계값과 보고된 활동 레벨을 비교하는 것과 같은 비교 동작을 수행하는 논리회로를 포함할 수 있다. 나아가, 회로(540)는 증여를 위한 열적 신용의 양을 결정하고, 이용 가능한 전력 신용을 분배하는 방법을 결정할 수 있다. 또한, 회로(540)는 각 연산 유닛의 상태를 모니터링하고, 증여하는 연산 유닛이 반환된 전력 신용을 언제 가져야만 하는지 그리고 수신하는 연산 유닛 중 어느 것 또는 어느 것들이 전력 신용을 반환하도록 선택될지를 결정할 수 있다.

[0061] 이제 도 7을 참조하면, 다이 위 효율적인 전력 전달을 위한 방법(600)의 일 실시예가 도시되어 있다. 설명을 위하여, 이 실시예 및 이후 설명되는 방법의 후속 실시예에 있는 단계는 순차적인 순서로 도시되어 있다. 그러나, 일부 단계는 도시된 것과는 다른 순서로 발생할 수 있고, 일부 단계는 동시에 수행될 수 있으며, 일부 단계는 다른 단계와 조합될 수 있고, 일부 단계는 다른 실시예에 없을 수 있다.

[0062] 블록(602)에서, 하나 이상의 소프트웨어 애플리케이션들이 하나 이상의 연산 유닛들을 포함하는 다이 위에 실행되고 있다. 일 실시예에서, 전력 관리 유닛은 온다이 연산 유닛의 전기적 특성을 모니터링한다. 예를 들어, 활동 레벨, 인출된 전류의 양 등이 전력 관리 유닛에 보고될 수 있다. 이를 값은 도 6에 도시된 테이블(500)과 같은 테이블에서 대응하는 저장된 값과 비교될 수 있다. 각 연산 유닛은 각 활동 레벨을 측정할 수 있다. 이를 활동 레벨은 전력 관리 유닛과 같은 제어 유닛에 보고될 수 있다. 나아가, 각 연산 유닛은 대응하는 전압 조절기로부터 인출된 전류의 양을 측정하거나 추정할 수 있다. 대안적으로, 외부 전류 센서는 인출된 전류의 양을 측정할 수 있다. 각 연산 유닛에 대해 인출된 전류의 양의 값은 차후 비교를 위해 전력 관리 유닛으로 운반될 수 있다.

- [0063] 이제 도 5를 참조하면, 주어진 연산 유닛에 의해 인출된 전류(240)의 평균은 (i) 연산 유닛이 대응하는 P-상태를 더 높은 성능 P-상태로 변경하는 전력 신용을 수신할 때 및/또는 (ii) 연산 유닛이 차후에 더 높은 전력 작업부하를 수신할 때 TDC 제한을 초과할 수 있다. 전력 관리 유닛이 하나 이상의 연산 유닛이 TDC 제한과 같은 대응하는 제한보다 더 높은 전류를 인출하면(조건 블록 604), 블록(606)에서, 전력 관리 유닛은 각 위반하는 연산 유닛으로부터 하나 이상의 이전의 중여하는 연산 유닛으로 전력 신용의 각각의 수를 반환할 수 있다. 다시, 도 6에 도시된 테이블(500)과 같은 테이블이 전달할 전력 신용의 양을 결정하는데 사용될 수 있다. 대안적으로, 전력 관리 유닛은 위반하는 연산 유닛으로부터 제거된 전력 신용이 여전히 비활동적일 수 있는 이전의 중여하는 연산 유닛이 아니라 다른 자격 있는 활동적인 연산 유닛으로 운반될 수 있다는 것을 결정하는 논리회로를 포함할 수 있다. 예를 들어, 다른 자격 있는 연산 유닛은 작업부하에서 동작할 수 있는 반면, 중여하는 연산 유닛은 여전히 휴면일 수 있다. 전력 관리 유닛(130)은 테이블(500)과 회로(540)를 사용하여 다이 위 연산 유닛에 걸쳐 전력 신용을 할당을 유지하는 코드를 관리할 수 있다.
- [0064] 전력 관리 유닛이 다이 위의 (수신하는) 연산 유닛이 주어진 임계값 아래의 활동 레벨을 가지는 것을 검출하면(조건 블록 608), 블록(610)에서, 전력 관리 유닛은 중여하는 연산 유닛으로부터 수신하는 연산 유닛으로 전력 신용의 각각의 수를 운반한다. 중여할 전력 신용의 양을 결정하는 것은 전술된 테이블을 사용하는 것을 포함할 수 있다. 예를 들어, 도 6에 도시된 테이블(500)과 같은 테이블이 사용될 수 있다.
- [0065] 다이가 재할당된 전력 신용을 가지고 전력 관리 유닛이 중여하는 연산 유닛이 그 활동 레벨을 실질적으로 증가시키거나(조건 블록 612) 또는 추가적인 전력을 요구하는 것을 검출하면, 블록(614)에서 전력 관리 유닛은 온다이 연산 유닛에 걸쳐 전력 신용을 재할당할 수 있다. 전력 관리 유닛은 이전에 각 임계값 아래에 있었던 중여하는 연산 유닛의 각 활동 레벨이 이제 임계값을 초과하는지를 결정하기 위해 테이블을 통해 중여하는 연산 유닛을 모니터링할 수 있다. 각 활동 레벨이 임계값을 초과하여 상승하면, 전력 관리 유닛은 이전에 각 수신하는 연산 유닛으로부터 이전에 중여하는 연산 유닛으로 전력 신용의 각각의 수를 운반할 수 있다. 테이블은 전달할 전력 신용의 양을 결정하는데 사용될 수 있다.
- [0066] 이제 도 8을 참조하면, 예시적인 프로세서(700)의 일 실시예가 도시되어 있다. 프로세서(700)는 메모리 제어기(122), 인터페이스 논리회로(140), 하나 이상의 프로세서 코어(112) 및 대응하는 캐시 메모리 서브시스템(114)을 구비할 수 있는 하나 이상의 처리 유닛(115); 패킷 처리 논리 회로(116), 및 공유 캐시 메모리 서브시스템(118)을 포함할 수 있다. 나아가, 프로세서(700)는 하나 이상의 그래픽 처리 유닛(graphics processing unit: GPU)(170)을 포함할 수 있다. GPU(170)는 단일 명령 다수 데이터(single instruction multiple data: SIMD) 코어와 같은 병렬 아키텍처를 구비하는 프로세서 코어(172)를 포함할 수 있다. SIMD 코어의 예는 그래픽 처리 유닛(GPU), 디지털 신호 처리(digital signal processing: DSP) 코어 등을 포함한다.
- [0067] 일 실시예에서, GPU(170)는 하나 이상의 그래픽 프로세서 코어(172)와 데이터 저장 버퍼(174)를 포함할 수 있다. GPU는 퍼스널 컴퓨터, 워크스테이션 또는 비디오 게임 콘솔을 위한 전용 그래픽 랜더링 디바이스일 수 있다. 일 실시예에서, 프로세서(700)의 도시된 기능은 단일 다이 위 단일 집적 회로에 병합된다.
- [0068] 프로세서 코어(112)는 미리 한정된 명령 세트에 따라 명령을 실행하는 회로를 포함한다. 예를 들어, SPARC(등록 상표) 명령 세트 아키텍처(instruction set architecture: ISA)가 선택될 수 있다. 대안적으로, x86, x86-64(등록 상표), Alpha(등록 상표), PowerPC(등록 상표), MIPS(등록 상표), PA-RISC(등록 상표) 또는 임의의 다른 명령 세트 아키텍처가 선택될 수 있다. 일반적으로, 프로세서 코어(112)는 각각 데이터와 명령을 위한 캐시 메모리 서브시스템(114)에 액세스한다. 요청된 블록이 캐시 메모리 서브시스템(114)에서 또는 공유 캐시 메모리 서브시스템(118)에서 발견되지 않는다면, 판독 요청이 발생되어 미스 블록(missing block)이 맵핑된 노드 내 메모리 제어기로 전송될 수 있다.
- [0069] 현대 GPU(170)는 컴퓨터 그래픽을 조작하고 디스플레이하는 것이 매우 효율적이며, 그 고도의 병렬 구조는 복잡한 알고리즘의 범위를 위해 처리 유닛(115)과 같은 일반 목적 중앙 처리 유닛(CPU)보다 그들을 더 효율적이게 한다. GPU는 일반적으로 그래픽과 비디오에 요청되는 계산을 실행하며, CPU는 단독 그래픽보다 더 많은 시스템 프로세스들을 위한 계산을 실행한다. 종래의 GPU(170)는 이미지 랜더링 애플리케이션의 많은 처리량을 달성하기 위해 매우 넓은 단일 명령 다수의 데이터(SIMD) 아키텍처를 사용한다. 이 애플리케이션은 일반적으로 다수의 오브젝트(정점 또는 퍽셀)에 정점 쉐이더(vertex shaders) 또는 퍽셀 쉐이더와 같은 동일한 프로그램을 실행하는 것을 수반한다. 각 오브젝트가 다른 오브젝트와 독립적으로 처리되지만, 동일한 동작 시퀀스가 사용되므로, SIMD 아키텍처는 상당한 성능 향상을 제공한다.
- [0070] 일 실시예에서, CPU(115)와 GPU(170)는 상이한 설계 센터로부터 온 독점 코어일 수 있다. 또한 GPU(170)는 이제

인터페이스(140)를 통해 오프칩으로 메모리 액세스를 수행하는 것이 아니라 메모리 제어기(122)를 통해 메인 메모리와 국부 메모리(114, 118)에 직접 액세스할 수 있다. 이 실시예는 더 높은 성능으로 변환될 수 있는 GPU(170)를 위한 메모리 액세스에 대한 지연(latency)을 낮출 수 있다.

[0071] 프로세서(700)의 컴포넌트에 대해 계속하면, 캐시 서브시스템(114, 118)은 데이터 블록을 저장하도록 구성된 고속 캐시 메모리를 포함할 수 있다. 캐시 메모리 서브시스템(114)은 각 프로세서 코어(112) 내에 통합될 수 있다. 대안적으로, 캐시 메모리 서브시스템(114)은 원하는대로 배면측 캐시 구성 또는 인라인 구성으로 프로세서 코어(114)에 결합될 수 있다. 더 나아가, 캐시 메모리 서브시스템(114)은 캐시 계층으로 구현될 수 있다. (계층 내) 프로세서 코어(112)에 더 가까이 위치된 캐시는 원하는 경우 프로세서 코어(112)에 통합될 수 있다. 일 실시예에서, 캐시 메모리 서브시스템(114)은 각각 L2 캐시 구조를 나타내고, 공유 캐시 서브시스템(118)은 L3 캐시 구조를 나타낸다. 캐시 메모리 서브시스템(114)과 공유 캐시 메모리 서브시스템(118)은 대응하는 캐시 제어기에 결합된 캐시 메모리를 포함할 수 있다.

[0072] 일반적으로, 패킷 처리 논리회로(116)는, 처리 노드(110)가 결합되는 링크에서 수신된 제어 패킷들에 응답하고, 프로세서 코어(112) 및/또는 캐시 메모리 서브시스템(114)에 응답하여 제어 패킷들을 생성하고, 서비스를 하는 메모리 제어기(120)에 의해 선택된 트랜잭션에 응답하여 프로브 명령과 응답 패킷을 생성하며, 인터페이스 논리회로(140)를 통해 다른 노드와의 중간 노드인 노드(110)에 대한 패킷을 라우팅하도록 구성된다. 인터페이스 논리 회로(140)는 패킷을 수신하고 패킷을 패킷 처리 논리회로(116)에 의해 사용된 내부 클록과 동기화하는 논리회로를 포함할 수 있다.

[0073] 도 8에 도시된 바와 같이, CPU(115)는 동일한 전압 조절기(110a)를 공유한다. 대안적으로, 하나 이상의 CPU(115)는 별개의 전압 조절기에 결합될 수 있다. GPU(170)는 CPU(115)로부터 별개의 전압 조절기(110d)에 결합된다. 각 CPU(115) 내 각 코어(112)와 GPU(170) 내 각 코어(172)는 대응하는 활동 레벨을 모니터링하고 측정할 수 있다. 각 CPU(115)와 GPU(170)는 각 활동 레벨을 종합하고 결과를 전력 관리 유닛(130)에 보고할 수 있다. 이 보고는 각 주어진 시간 간격의 중요 시 발생할 수 있다. 전력 관리 유닛(130)은 전술된 방법을 사용하여 CPU(115)와 GPU(170) 사이에 전력을 전달하는 것을 결정할 수 있다.

[0074] 전술된 실시예는 소프트웨어를 포함할 수 있다는 것이 주목된다. 이 실시예에서, 방법 및/또는 메커니즘을 구현하는 프로그램 명령은 컴퓨터 판독가능한 매체로 운반되거나 저장될 수 있다. 프로그램 명령을 저장하도록 구성된 다수의 유형의 매체들이 이용가능하고, 하드 디스크, 플로피 디스크, CD-ROM, DVD, 플래시 메모리, 프로그래밍가능한 ROM(PROM), 랜덤 액세스 메모리(RAM), 및 휘발성 또는 비휘발성 저장장치의 여러 다른 형태를 포함한다. 일반적으로 말하면, 컴퓨터 액세스가능한 저장 매체는 컴퓨터에 명령 및/또는 데이터를 제공하기 위해 사용 동안 컴퓨터에 의해 액세스가능한 임의의 저장 매체를 포함할 수 있다. 예를 들어, 컴퓨터 액세스가능한 저장 매체는 자기 매체 또는 광학 매체, 예를 들어, 디스크(고정된 또는 제거가능한), 테이프, CD-ROM, 또는 DVD-ROM, CD-R, CD-RW, DVD-R, DVD-RW 또는 블루레이와 같은 저장 매체를 포함할 수 있다. 저장 매체는 RAM(예를 들어, SDRAM(synchronous dynamic RAM), 더블 데이터 레이트(double data rate)(DDR, DDR2, DDR3 등) SDRAM, 저전력 DDR(LPDDR2, 등) SDRAM, RDRAM (Rambus DRAM), SRAM(static RAM) 등), ROM, 플래시 메모리(Flash memory), USB(Universal Serial Bus) 인터페이스와 같은 주변 인터페이스를 통해 액세스가능한 비휘발성 메모리(예를 들어, 플래시 메모리) 등과 같은 휘발성 또는 비휘발성 메모리 매체를 더 포함할 수 있다. 저장 매체는 네트워크 및/또는 무선 링크와 같은 통신 매체를 통해 액세스가능한 저장 매체뿐만 아니라 MEMS(microelectromechanical systems)를 포함할 수 있다.

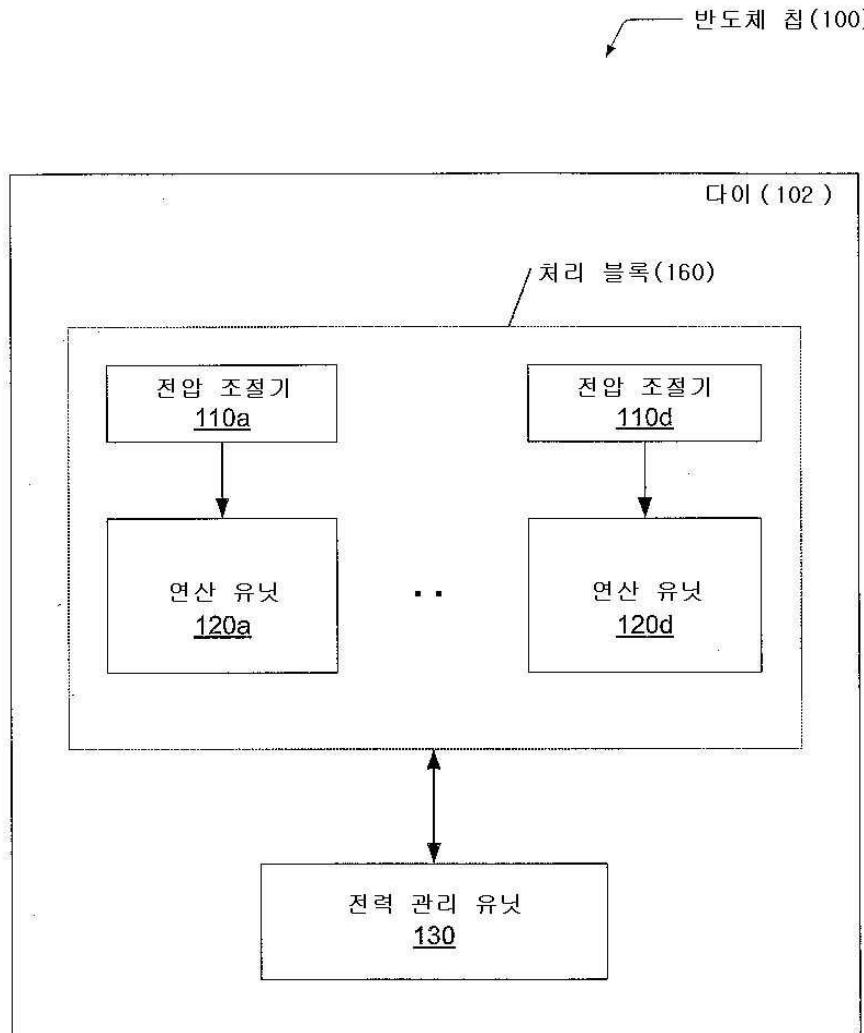
[0075] 추가적으로, 프로그램 명령은 C와 같은 하이 레벨 프로그래밍 언어, 또는 Verilog, VHDL과 같은 설계 언어(design language)(HDL) 또는 GDS II 스트림 포맷(GDSII)과 같은 데이터베이스 포맷으로 하드웨어 기능의 동작 레벨 설명(behavioral-level descriptions) 또는 RTL(register-transfer level descriptions) 설명을 포함할 수 있다. 일부 경우에 이 설명은 합성 라이브러리(synthesis library)로부터 게이트(gate)의 리스트를 포함하는 네트리스트(netlist)를 생성하도록 설명을 합성할 수 있는 합성 도구에 의해 판독될 수 있다. 네트리스트는 시스템을 포함하는 하드웨어의 기능을 또한 나타내는 게이트의 세트를 일반적으로 포함한다. 네트리스트는 마스크에 적용되는 기하학적 형상을 설명하는 데이터 세트를 생성하도록 배치되고 라우팅될 수 있다. 이 마스크는 시스템에 대응하는 반도체 회로 또는 회로들을 생성하도록 여러 반도체 제조 단계에 사용될 수 있다. 대안적으로, 컴퓨터 액세스 가능한 저장 매체에 있는 명령은 원하는 대로 네트리스트(합성 라이브러리를 가지거나 없는) 또는 데이터 세트일 수 있다. 추가적으로, 이 명령은 Cadenc(등록상표), EVE(등록상표) 및 Mentor Graphics(등록 상표)와 같은 벤더로부터 하드웨어 기반 유형 에뮬레이터에 의해 에뮬레이션하기 위하여 사용될 수 있다.

[0076]

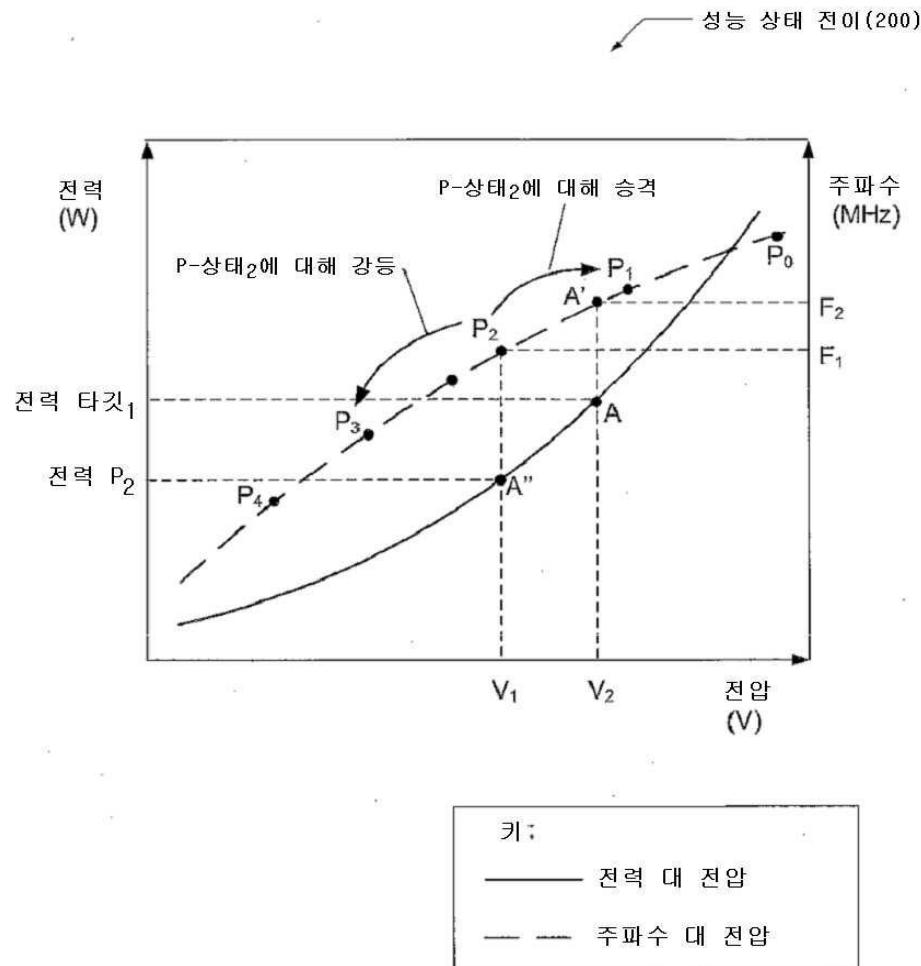
상기 실시예는 상당히 상세하게 설명되었으나, 다수의 변형과 변경이 상기 개시내용을 완전히 이해한 경우 이 기술 분야에 통상의 지식을 가진 자라면 가능할 것이다. 이하 청구범위는 모든 이러한 변형과 변경을 포함하는 것으로 해석되도록 의도된다.

도면

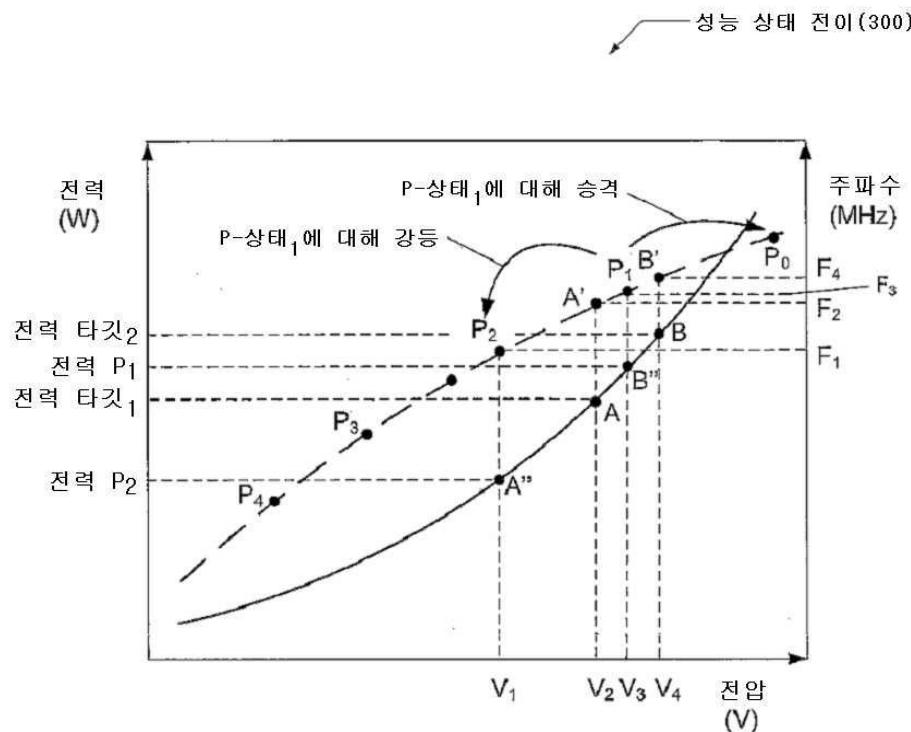
도면1



도면2



도면3



키:

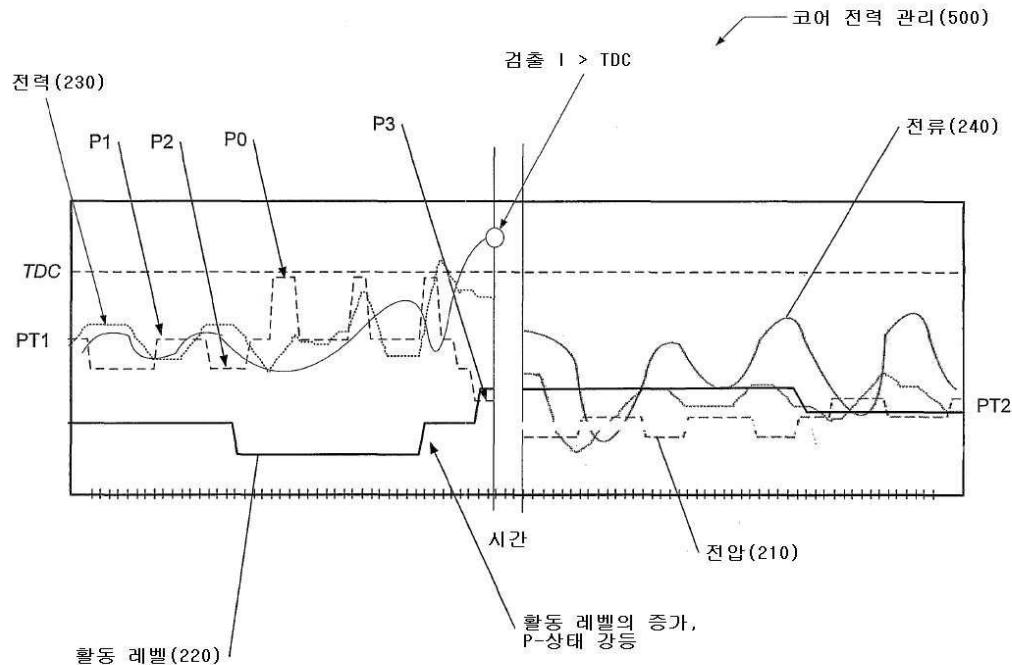
- | | |
|-------|----------|
| — | 전력 대 전압 |
| - - - | 주파수 대 전압 |

도면4

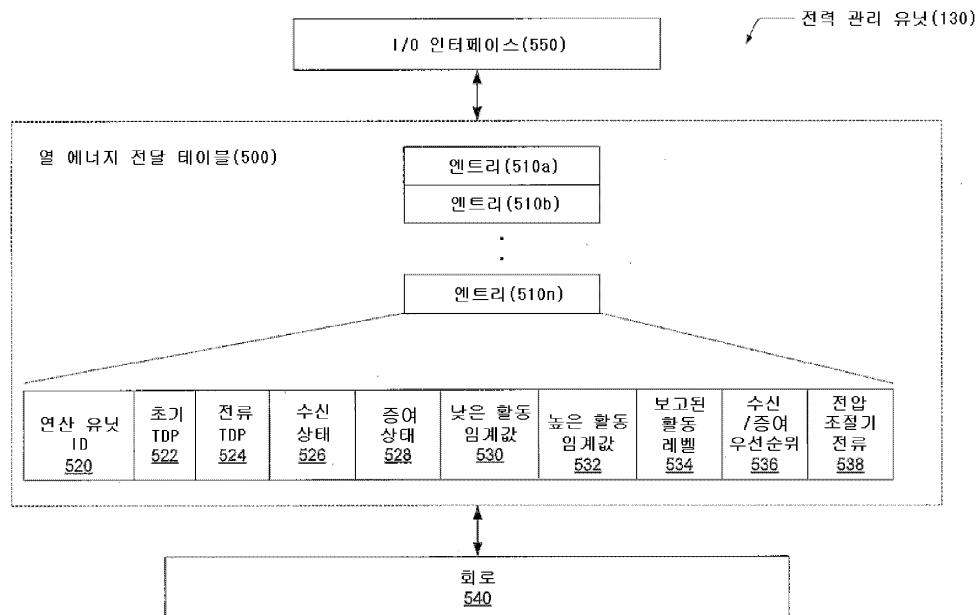
전력 차용 디레이팅 테이블(400)

활동 레벨 비교	열적 설계 전력 값과 합산하기 위해 디레이팅된 전력 차용 값
연산 유닛 활동 레벨(CUAL) > 높은 임계값	0
높은 임계값 \geq CUAL > 중간 임계값	디폴트 전력 차용 값 (DPBY >> 2(4로 나눔))
중간 임계값 \geq CUAL > 낮은 임계값	DPBY >> 1(2로 나눔)
낮은 임계값 \geq CUAL	DPBY

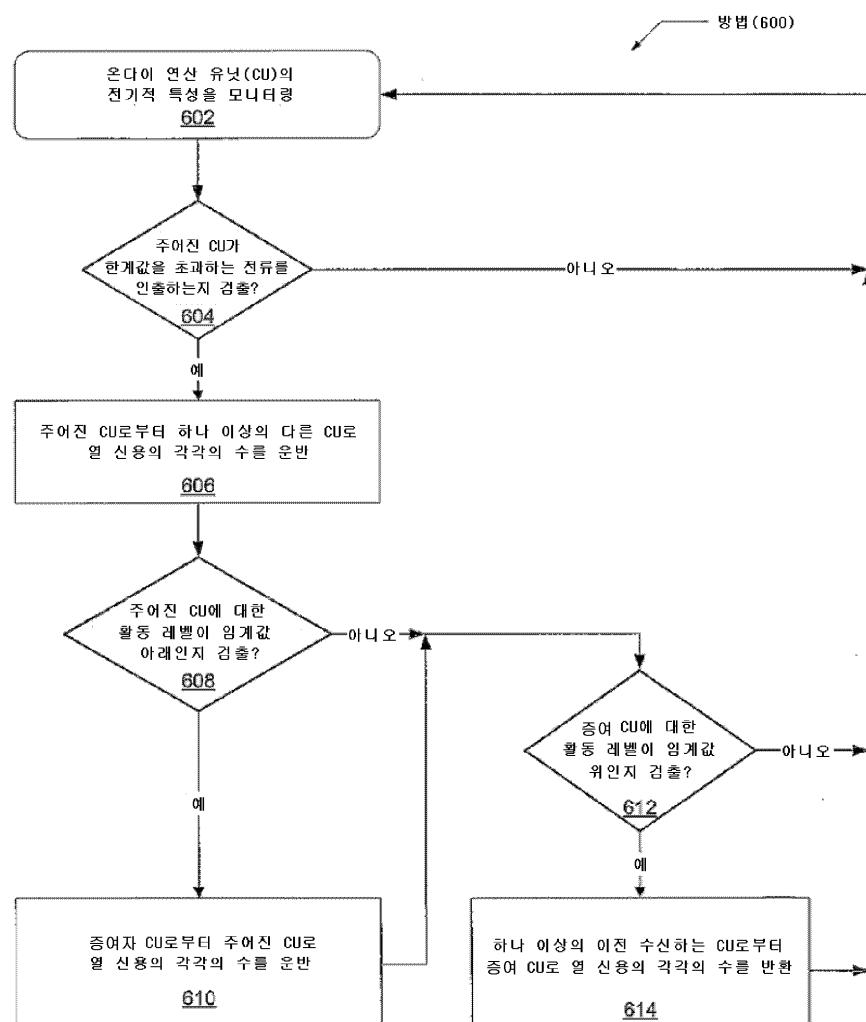
도면5



도면6



도면7



도면8

