

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4167727号
(P4167727)

(45) 発行日 平成20年10月22日 (2008.10.22)

(24) 登録日 平成20年8月8日 (2008.8.8)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 1 C
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 5 1
	HO 1 L 27/10 6 8 1 F

請求項の数 3 (全 33 頁)

(21) 出願番号	特願平9-519581	(73) 特許権者	株式会社日立製作所
(86) (22) 出願日	平成8年11月14日 (1996.11.14)		東京都千代田区丸の内一丁目6番6号
(86) 国際出願番号	PCT/JP1996/003343	(74) 代理人	ポレール特許業務法人
(87) 国際公開番号	W01997/019468	(74) 代理人	弁理士 高橋 明夫
(87) 国際公開日	平成9年5月29日 (1997.5.29)	(72) 発明者	木村 紳一郎
審査請求日	平成14年7月8日 (2002.7.8)		東京都国立市谷保6200
(31) 優先権主張番号	特願平7-300960	(72) 発明者	山中 俊明
(32) 優先日	平成7年11月20日 (1995.11.20)		埼玉県入間市春日町2-12-2-301
(33) 優先権主張国	日本国 (JP)	(72) 発明者	伊藤 清男
(31) 優先権主張番号	特願平7-302460		東京都東久留米市学園町2-17-6
(32) 優先日	平成7年11月21日 (1995.11.21)		
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願平7-340368		
(32) 優先日	平成7年12月27日 (1995.12.27)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

第1の電界効果トランジスタとキャパシタが形成されるメモリセル領域と第2の電界効果トランジスタが形成される周辺回路領域を有する半導体記憶装置であって、
半導体基板と、

半導体基板の上方に形成された第1の絶縁膜と、

前記第1の絶縁膜を貫通する第1のコンタクト孔の内部にのみ形成され、埋め込まれる前記第1の電界効果トランジスタと電気的に接続された第1のプラグと、

前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成された第3の絶縁膜と、

前記第2の絶縁膜と前記第3の絶縁膜からなる積層膜を貫通して形成され、その底部において前記第1のプラグの上面が露出しているトレンチと、

前記トレンチの底部及び内壁上に形成された蓄積電極と、

前記蓄積電極上に形成されたキャパシタ絶縁膜と、

前記キャパシタ絶縁膜上に形成されたプレート電極と、

前記第2の絶縁膜を貫通する第2のコンタクト孔の内部にのみ形成され、埋め込まれる第2のプラグと、

前記第3の絶縁膜を貫通する第3のコンタクト孔の内部にのみ形成されて埋め込まれ、その下面が前記第2のプラグの上面と接触した第3のプラグと、

前記第3の絶縁膜の上方に形成された第1の配線を有し、

10

20

前記キャパシタ絶縁膜と、前記キャパシタ絶縁膜を挟んで対向する前記蓄積電極及び前記プレート電極とにより前記キャパシタが構成され、前記キャパシタは前記トレンチ内に形成され、

前記第 1 の配線と前記第 2 の電界効果トランジスタが、前記第 2 のプラグ及び前記第 3 のプラグを介して電気的に接続されていることを特徴とする半導体記憶装置。

【請求項 2】

前記蓄積電極の前記キャパシタ側の表面には凹凸が形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記キャパシタ絶縁膜は、シリコン酸化膜とシリコンナイトライド膜の積層膜、シリコン酸化膜と五酸化タンタル膜の積層膜、シリコンナイトライド膜と五酸化タンタル膜の積層膜、シリコン酸化膜とシリコンナイトライド膜と五酸化タンタル膜の積層膜、BST膜及びPZT膜からなる群から選択された膜であることを特徴とする請求項 1 に記載の半導体記憶装置。

10

【発明の詳細な説明】

〔技術分野〕

本発明は半導体記憶装置およびその製造方法に関し、詳しくは、微細化の可能な半導体記憶装置およびこのような半導体記憶装置を容易かつ高い精度で形成することのできる半導体記憶装置の製造方法に関する。

〔背景技術〕

20

パーソナルコンピュータやワークステーション、さらには、メインフレームコンピュータなどで大量に使用されている半導体記憶装置は、一つのスイッチ用トランジスタと一つのキャパシタを最小単位とする、ダイナミック・ランダム・アクセス・メモリ (Dynamic Random Access Memory: 以下、DRAMと略記する) である。このDRAMは、従来、集積度が 3 年に 4 倍という割合で向上してきており、現在は、最小寸法が $0.35\mu\text{m}$ という次世代の微細加工技術を用いて生産される、64メガビットDRAMの量産化に向けた開発が進行している。

従来、半導体記憶装置の高集積化は、素子寸法を小さくすることによって達成されてきたが、微細化にともなってキャパシタの面積が減少するため、情報としてキャパシタに蓄積することのできる電荷量が減少する。その結果、信号対雑音比の低下や、アルファ線の入射による信号反転等の問題が生じて信頼性が低下するので、信頼性を維持するためには、十分な蓄積電荷量を確保することが不可欠であり、半導体記憶装置の最大の課題である。キャパシタに蓄積される電荷量は、キャパシタの容量と印加される電圧の積によって定まり、キャパシタの容量は、キャパシタの面積とキャパシタ絶縁膜の比誘電率に比例し、キャパシタ絶縁膜の膜厚に反比例する。そのため、メモリ素子 (以下メモリセルと呼ぶ) では、微細化にともなうキャパシタの面積減少による蓄積容量の減少を防ぐために、4メガビットDRAM以降は、キャパシタの一部をスイッチ用トランジスタや素子分離酸化膜上に積み上げた、積層容量型のキャパシタや、深い孔を基板に形成し、孔の側壁をキャパシタに利用する、トレンチ容量型のキャパシタが使われている。これらの構造を有するキャパシタを用いることによって、64メガビットが実現可能になった。

30

40

しかし、メモリセルの面積がこれまでのトレンドに従って、前世代の $1/3$ という割合で縮小を続けると、上記積層容量型のキャパシタやトレンチ容量型のキャパシタのような立体化されたキャパシタを用いたメモリセルでも、キャパシタの面積減少を完全に補償することができず、必要な容量の確保が困難になる。

この問題を解決するため、“王冠型”と呼ばれる立体型蓄積キャパシタが提案されている。この王冠型蓄積キャパシタは、第 2 図に示したように、電極 19 を上に凹な形状 (王冠型) にして、その内壁と外壁をキャパシタの電極として利用した立体型の蓄積キャパシタである。第 2 図において、記号 1 は半導体基板、2 は素子間分離酸化膜、3 はトランジスタのゲート酸化膜、4 はスイッチ用トランジスタのゲート電極、5、5' は基板とは導電型の異なる拡散層領域、6 は層間絶縁膜、7 は拡散層 5' に接続しているビット線、8 は

50

層間絶縁膜、13は拡散層5とキャパシタの下部電極を接続する金属、19はキャパシタの下部電極、20はキャパシタ絶縁膜、21はキャパシタのプレート電極、22は層間絶縁膜、23は基板の拡散層に接続する配線、24は層間絶縁膜、25は最上層の配線を、それぞれ示す。

DRAMのキャパシタを、このような王冠型のキャパシタ電極19を用いた構造とすることによって、蓄積容量は従来より増大できるが、この構造を実現するには、極めて複雑な工程を必要とするばかりでなく、高い段差が生ずるといふ障害が生ずる。

すなわち、第2図に示したように、メモリセル部(第2図の左側部分)とその周辺のトランジスタ部(第2図の右側部分)の間には、上記王冠型の電極19に起因する大きな段差が生じ、そのため、この段差の上に配置される配線23の形成が困難になる。この理由は、所定のパターンを有する配線23の形成に用いられる光リソグラフィにおいては、使用される縮小投影露光装置の焦点深度が浅く、焦点裕度(焦点が合う範囲)が小さいため、段差の上部と下部の両方に最適な焦点を結ばせることは困難であるためである。しかも、パターンの寸法が小さくなるほど、焦点裕度が小さくなって、最適な焦点が結ばれる範囲がさらに狭くなってしまうためである。

このような段差に起因する配線パターン形成の問題を解決するため、CMP(Chemical Mechanical Polishing)法を用いて基板表面を平坦化する方法が提案されており、ロジックLSIの多層配線の層間絶縁膜の平坦化などに、既に適用されている。

しかし、このCMP法も、高さが1 μ m近い上記王冠型電極19が既に形成されている基板に適用するのは、下記理由から困難である。第1の理由は、非常に薄いキャパシタ絶縁膜が形成されているキャパシタに、力を加えて機械的研磨を行うと、キャパシタ絶縁膜にピンホールや亀裂などが生じて絶縁不良を招く可能性が高いことである。第2の理由は、高い段差を有するキャパシタを酸化膜中に埋め込むためには、少なくとも、段差の倍の厚さを有する酸化膜を形成しなければならないが、厚い酸化膜は内部応力が大きく、この大きな内部応力によって、上記第1の理由の場合と同様に、キャパシタ絶縁膜の絶縁不良が起こるためである。

製造工程の初期の段階において、メモリセルアレー部のシリコン基板の表面を低くする方法が、特開昭63-266866に提案されているが、段差が大きい場合に適用するのは困難である。

上記王冠型の蓄積キャパシタを有するメモリセルに関しては、特開昭62-48062および特開昭62-1281268に記載されている。このメモリセルの平面配置を第73図に、また第73図のX-X'断面および周辺回路部分の要部の断面を第74図に示した。また、第75図に示した断面構造は、トレンチ内の蓄積電極の内面をキャパシタとして利用した従来の例である。この構造は、王冠型のキャパシタに比較して製造が容易であるという利点を有している。

第73図、第74図および第75図において、記号101はシリコン基板、102はフルード酸化膜、103、104、105はソースもしくはドレインである高濃度不純物領域、106、107はゲート電極、111は蓄積電極、112はキャパシタの誘電体、113はプレート電極、114はシリコン酸化膜、127は活性領域、128はワード線、130はデータ線、129はコンタクト孔、131は接続孔を、それぞれ表す。第74図および第75図から明らかなように、蓄積キャパシタがシリコン基板上に形成されたこれら従来の半導体記憶装置は、メモリセル部と周辺回路の間に大きな段差が存在していた。

蓄積容量部が基板の内部に形成されたトレンチ容量型のセルでは、高い段差が基板上にできることはない。また、基板に形成されるトレンチを深くすることによって蓄積容量を大きくできるので、セル面積の縮小にともなう蓄積容量の減少も抑制できる。

しかし、トレンチを形成できる領域の大きさが限られているため、アスペクト比が40程度という、極めて深く、かつ幅が狭いトレンチを形成する必要がある。さらに、キャパシタの基板内部に埋め込まれる電極とスイッチング用トランジスタの拡散層を、基板の内部で接続しなければならないなど、プロセス上の問題も多く、実用は困難である。

比誘電率が大きい材料、例えば、強誘電体であるPZTなどをキャパシタ絶縁膜に用いれ

10

20

30

40

50

ば、蓄積容量の形状を上記のような複雑な形状にすることなしに、大きな蓄積容量を実現することが可能である。

しかし、比誘電率が大きいPZTなどをキャパシタ絶縁膜として用いるためには、キャパシタ電極には白金など貴金属の膜を用いねばならない。これら白金など貴金属は、シリコンにとっては汚染源であり、素子の特性を低下させるばかりでなく、従来のホットエッチングによって所定の形状に加工するのが困難である。

さらに、上記PZTなどからなる絶縁膜自体が、ほぼ400以上の熱処理に耐えられない、長期信頼性に関しては不明な点が多いなど問題が多く、実用化への見通しはたっていない。

データ線上に王冠型のキャパシタを設けた従来のメモリセルおよび隣接する周辺回路領域のMOSFET部を第91図に示した。第91図において、メモリセル領域のMOSFETは、ゲート絶縁膜303、ゲート電極304および高濃度n型不純物領域ワード線とデータ線の上で306、307からなり、このMOSFETには、多結晶シリコンから形成された王冠型キャパシタの蓄積電極317が、ワード線(ゲート電極304)とデータ線(配線電極310)の間の隙間において高濃度n型不純物領域307の上に形成された開口部を介して、接続されている。さらに、この蓄積電極317上にはキャパシタ誘電体膜318が形成されており、その上部にはプレート電極319が設けられている。

上記蓄積電極317の形状は筒状になっており、平面部分だけでなく垂直部分の内面および外壁も利用して、キャパシタの有効面積が増加されている。また、データ線上に蓄積電極を設けることによって、キャパシタの有効な面積を最大限に大きくすることができ、さらに、垂直部分の長さを長くする、すなわち筒状の蓄積電極の高さを高くすることによって、容易にキャパシタの静電容量を増加することができる。

このような円筒型キャパシタを有する半導体記憶装置の製造方法を簡単に説明する。まず、単結晶シリコン基板301上に素子間を絶縁分離するためのフィールド酸化膜302を成長させ、MOSFETのゲート酸化膜303を形成する。次に、ゲート電極304として不純物を高濃度に含む多結晶シリコン膜を形成し、それ所定の形状にパターニングした後、イオン打ち込み法を用いて、MOSFETのソース、ドレイン領域となる高濃度n型不純物領域306、307、308を単結晶シリコン基板301に自己整合で形成する。次に、シリコン酸化膜309を形成した後、メモリセル領域のMOSFETの高濃度n型不純物領域106に開口部(図示せず)を形成し、データ線310として不純物を高濃度に含む多結晶シリコン膜およびタングステンシリサイド膜を順次形成して、所定の形状にパターニングする。次に、シリコン酸化膜311を形成した後、メモリセル領域のMOSFETのソース若しくはドレインである高濃度n型不純物領域307上に開口部を形成し、多結晶シリコン膜とシリコン酸化膜を順次形成し、所定の形状にパターニングした後、さらに多結晶シリコン膜を形成し、異方性のドライエッチングを行って、平坦部の露出された多結晶シリコン膜を異方性エッチングして除去することにより、上記シリコン酸化膜の側壁に多結晶シリコン膜を残存させ、王冠状の蓄積電極317を形成する。次に、キャパシタ誘電体膜318を形成した後、さらにプレート電極319となる多結晶シリコン膜を形成し、所定の形状にパターニングする。最後に、層間絶縁膜であるシリコン酸化膜116と金属配線115であるアルミニウム配線を形成し、周辺回路のMOSFETとメモリセルが製造される。

上記のように、DRAMの集積度をさらに高くするためには、上記従来の立体化セルでは対応が困難であり、上記問題を解決できる半導体記憶装置が強く要望されている。

なお、従来のDRAMに関しては、例えば実開昭55-178894、特開昭56-58253、特開昭56-58254、特開昭56-58255、特開昭57-112066、特開昭59-231351、特開昭62-128168、特開昭63-293967、特開昭59-231851、特開平1-137666、特開平1-179449、特開平3-214670、特開平5-291526、特開昭59-82761、特開昭62-213273に記載されている。

なお、本明細書では、例えば第91図に示したように、蓄積電極の断面形状が上に凹型で

10

20

30

40

50

あり、このような蓄積電極の内面および外面上にキャパシタ絶縁膜とプレート電極が形成されたキャパシタを王冠型キャパシタと称し、ドレンチの内面上に蓄積電極、キャパシタ絶縁膜およびプレート電極が形成されたキャパシタをトレンチキャパシタと称する。

〔発明の開示〕

本発明の目的は、上記従来の立体型のメモリセルの有する問題を解決し、さらに微細な半導体記憶装置およびその製造方法を提供することである。

本発明の他の目的は、十分大きな蓄積容量を確保することのできるキャパシタを有する半導体記憶装置およびその製造方法を提供することである。

本発明のさらに他の目的は、基板にトレンチを形成することなしに、十分大きな蓄積容量を得ることができる半導体記憶装置およびその製造方法を提供することである。

本発明のさらに他の目的は、メモリセル部と周辺回路部の間に大きな段差が存在せず、大きな蓄積容量を有する半導体記憶装置およびその製造方法を提供することである。

上記目的を達成するため、本発明は、基板上に積層して形成された複数の絶縁膜を貫通するトレンチを形成し、このトレンチを用いてキャパシタを形成するものである。

上記複数の絶縁膜の下にはさらに他の複数の絶縁膜が設けられ、これら他の複数の絶縁膜には複数の配線層が形成されている。また、上記キャパシタの上にはさらに他の絶縁膜が形成されており、他の配線層がその上に形成されている。最上層の絶縁膜上に取り出す必要がない配線は、キャパシタの下部に形成された上記複数の配線層によって行われ、必要最小限の配線のみが、複数の絶縁膜を貫通する接続プラグを介してキャパシタの下部の配線層から最上層の絶縁膜上に引き出される。そのため、配線の形成には微細加工を行う必要がなく、配線の密度も低くてよいので、配線の形成は極めて容易である。

第1図を用いて本発明をさらに詳細に説明する。第1図に示したように、半導体基板1上には、メモリセルのスイッチ用トランジスタであるMOSFET(Metal Oxide Semiconductor Field Effect Transistor)につながる、ワード線4(MOSFETのゲート電極)および電荷を供給したり引き出したりするためのビット線7が形成され、さらに複数の絶縁膜6、8、10、12、14、16、18が積層して形成されて、表面が平坦化されている。

上記絶縁膜14、16、18を貫通してトレンチが形成され、このトレンチの内部に下部電極19、キャパシタ絶縁膜20およびプレート電極21から構成されるキャパシタが形成されている。

ワード線4やビット線7の上に厚い絶縁膜が形成されていると、ワード線4やビット線7への電氣的な接続は、この厚い絶縁膜を貫通する接続プラグを介して行わねばならず、コンタクト孔の形成や金属の埋込などが困難である。しかし、本発明では、トレンチキャパシタの下部電極19とワード線4、ビット線7の間には、複数層の配線9、11が設けられ、これら複数層の配線9、11がワード線を選択するためのワード母線や、ビット線を選択するためのセレクト線として使用されている。そのため、基板の最上層まで引き上げる必要のない配線は、このような埋込配線で済ますことができ、上記厚い絶縁膜を貫通する接続プラグは不要である。

上記複数層の配線9、11の上部にキャパシタが作られ、800 程度の熱処理が行われるので、配線9、11の材料としては、この熱処理に耐えられる、タングステンやシリサイドを使用することが好ましい。銅は低抵抗という点は好ましいが、熱処理温度は500

以下でなければならない。キャパシタ絶縁膜としてBSTやPZTなどの高誘電率の誘電体膜を使う場合には、キャパシタ自体の形成温度が400 以下であるので、配線材料として銅を用いることができる。

第1図では、埋込まれた複数層の配線9、11は、メモリセルのワード線4やビット線7の他にも、周辺回路のトランジスタの配線の一部としても使用されている。また、ビット線7と同じ層の配線7'を介して、拡散層5、5'と配線9'の間が接続されているが、配線9'を拡散層5、5'に直接接続させてもよい。ただしその場合には、拡散層5、5'と配線9'の間の反応を防ぐために、配線9'の一部をバリア金属にする必要がある。

キャパシタは、実質的に上記トレンチの内側のみに形成される。これは、キャパシタの形

10

20

30

40

50

成工程を簡略化するためである。キャパシタの下部電極 19 は、不純物を高濃度で含む多結晶シリコン膜からなり、この下部電極 19 は、接続用の多結晶シリコン 13 を介して上記 MOSFET の拡散層 5 に接続されている。

キャパシタ絶縁膜 20 としては、酸化シリコン膜と窒化膜シリコン膜の積層膜、酸化シリコン膜と五酸化タンタル膜の積層膜、窒化シリコン膜と五酸化タンタル膜の積層膜、酸化シリコン膜と窒化膜シリコンと五酸化タンタル膜の積層膜、BST や PZT などの強誘電体膜など、周知の各種誘電体膜を使用できる。ただし、BST や PZT を使う際には、下部電極 19 やプレート電極 21 には、白金などの貴金属を使用する必要がある。また、下部電極 19 の表面積を増加させるために、表面に凹凸を形成してもよい。

トレンチの深さは、2 μ m 程度にするのが好ましいが、このようにトレンチが深くなると、埋込配線 9、11 と最上層の配線 23 の間の距離が大きくなり、アスペクト比が極めて大きな接続孔の形成およびこのような接続孔への金属の充填が必要であるため、両者の間を接続するための接続プラグを形成するのが困難になる。

しかし、本発明では、第 1 図に示したように、トレンチは 1 枚の厚い絶縁膜ではなく、積層された複数の絶縁膜 14、16、18 を貫通して形成されている。そのため、各絶縁膜 14、16、18 を形成する際に、それぞれ接続孔の形成と接続用の金属の充填を行うことができる。このようにすることによって、上記アスペクト比が極めて大きな接続孔の形成およびこのような接続孔への金属の充填を行う必要はなく、下部電極 19 と拡散層 5 の間を接続する金属 13 は容易に形成できる。しかも、上記のように、最上の配線層にまで引き上げなければならない配線の数多くないので、これら最上層までの引上げに用いられる接続プラグは、あまり高い寸法精度は必要ない。これは、埋込配線を形成したことによって得られた本発明の利点の一つである。

なお、第 1 図において、1 は半導体基板、2 は素子間分離酸化膜、3 は MOSFET のゲート酸化膜、4 は MOSFET のゲート電極（メモリセルではワード線）、5、5' は MOSFET の拡散層、6 は層間絶縁膜、7 はビット線、7' は周辺 MOSFET の拡散層と配線を接続する中間層、8、10、12、16、18、22 は層間絶縁膜、9、11 は埋込配線、14 は絶縁膜、15、17、23 は接続プラグ、24 は最上層の配線を、それぞれ表す。

また、上記段差の発生は、下記のようにして効果的に防止される。すなわち、第 23 図に模試的に示したように、メモリセル領域に形成された立体的なキャパシタ 33 と周辺回路領域の配線層 34 を、MOSFET が形成されたシリコン基板 31 の上に形成された絶縁膜 32 の上、もしくは絶縁膜 32 の上面がキャパシタ 33 の側部に接するようにそれぞれ設け、これら配線層 34 上とキャパシタ 33 を、表面が平坦な絶縁膜 35 によって覆い、その上に微細なメモリセルアレー内配線 36 および微細な周辺回路内配線 37 を設ける。

このようにすれば、高さが高い立体的なキャパシタ 33 が形成されている絶縁膜 32 の位置に周辺回路の配線層 34 が形成されているため、メモリセル内のキャパシタによって生じる標高差（段差）が、配線層 34 によって低減される。そのため、表面が平坦な絶縁膜 35 を形成してキャパシタや配線層 34 を覆っても、周辺回路部においてスルーホールやコンタクトホールの深さが深くなることはなく、スルーホールやコンタクトホール内での配線の断線を生ずることなしに、絶縁膜 35 上に微細な配線 36、37 を容易に形成できる。

さらに、本発明においては、周辺回路領域における第 1 の導電膜からなる配線層が、第 1 の絶縁膜上に設けられ、さらにその上に第 2 の絶縁膜が設けられる。これら第 1 および第 2 の絶縁膜の所定部分を除去して形成された凹部内に王冠型キャパシタが形成され、埋設される。この場合、例えば第 76 図に示したように、プレート電極 219 の上面を平坦にすることができ、プレート電極 219 への電圧の印加をプレート電極 219 の上部から行うことができる。

【図面の簡単な説明】

第 1 図は本発明の半導体記憶装置の断面図、

10

20

30

40

50

第 2 図は従来の半導体記憶装置の断面図、	
第 3 図は本発明の半導体記憶装置の製造方法を示す図、	
第 4 図は本発明の半導体記憶装置の製造方法を示す図、	
第 5 図は本発明の半導体記憶装置の製造方法を示す図、	
第 6 図は本発明の半導体記憶装置の製造方法を示す図、	
第 7 図は本発明の半導体記憶装置の製造方法を示す図、	
第 8 図は本発明の半導体記憶装置の製造方法を示す図、	
第 9 図は本発明の半導体記憶装置の製造方法を示す図、	
第 10 図は本発明の半導体記憶装置の製造方法を示す図、	
第 11 図は本発明の半導体記憶装置の製造方法を示す図、	10
第 12 図は本発明の半導体記憶装置の製造方法を示す図、	
第 13 図は本発明の半導体記憶装置の製造方法を示す図、	
第 14 図は本発明の半導体記憶装置の製造方法を示す図、	
第 15 図は本発明の半導体記憶装置の製造方法を示す図、	
第 16 図は本発明の半導体記憶装置の製造方法を示す図、	
第 17 図は本発明の実施例 2 を説明するための概念図、	
第 18 図は本発明の実施例 2 を示すパターン配置図、	
第 19 図は本発明の実施例 3 を説明するための概念図、	
第 20 図は本発明の実施例 3 を示すパターン配置図、	
第 21 図は、本発明の実施例 4 を説明するための概念図、	20
第 22 図は本発明の実施例 4 を示すパターン配置図、	
第 23 図は本発明の構成を説明するためのの断面図、	
第 24 図は本発明の実施例 5 を示す平面図、	
第 25 図は本発明の実施例 5 を示す断面図、	
第 26 図は本発明の実施例 5 を示す工程図、	
第 27 図は本発明の実施例 5 を示す工程図、	
第 28 図は本発明の実施例 5 を示す工程図、	
第 29 図は本発明の実施例 5 を示す工程図、	
第 30 図は本発明の実施例 5 を示す工程図、	
第 31 図は本発明の実施例 5 を示す工程図、	30
第 32 図は本発明の実施例 5 を示す工程図、	
第 33 図は本発明の実施例 5 を示す工程図、	
第 34 図は本発明の実施例 5 を示す工程図、	
第 35 図は本発明の実施例 5 を示す断面図、	
第 36 図は本発明の実施例 5 を示す断面図、	
第 37 図は本発明の実施例 5 を示す断面図、	
第 38 図は本発明の実施例 6 を示す断面図、	
第 39 図は本発明の実施例 6 を示す工程図、	
第 40 図は本発明の実施例 6 を示す工程図、	
第 41 図は本発明の実施例 6 を示す工程図、	40
第 42 図は本発明の実施例 6 を示す工程図、	
第 43 図は本発明の実施例 6 を示す工程図、	
第 44 図は本発明の実施例 6 を示す工程図、	
第 45 図は本発明の実施例 6 を示す工程図、	
第 46 図は本発明の実施例 6 を示す工程図、	
第 47 図は本発明の実施例 6 を示す工程図、	
第 48 図は本発明の実施例 7 を示す断面図、	
第 49 図は本発明の実施例 7 を示す工程図、	
第 50 図は本発明の実施例 7 を示す工程図、	
第 51 図は本発明の実施例 7 を示す工程図、	50

第 5 2 図は本発明の実施例 7 を示す工程図、
第 5 3 図は本発明の実施例 7 を示す工程図、
第 5 4 図は本発明の実施例 7 を示す工程図、
第 5 5 図は本発明の実施例 7 を示す工程図、
第 5 6 図は本発明の実施例 7 を示す工程図、
第 5 7 図は本発明の実施例 8 を示す断面図、
第 5 8 図は本発明の実施例 8 を示す断面図、
第 5 9 図は本発明の実施例 8 を示す断面図、
第 6 0 図は本発明の実施例 8 を示す断面図、
第 6 1 図は本発明の実施例 8 を示す断面図、
第 6 2 図は本発明の実施例 8 を示す断面図、
第 6 3 図は本発明の実施例 8 を示す断面図、
第 6 4 図は本発明の実施例 8 を示す断面図、
第 6 5 図は本発明の実施例 8 を示す断面図、
第 6 6 図は本発明の実施例 9 を示す断面図、
第 6 7 図は本発明の実施例 9 を示す工程図、
第 6 8 図は本発明の実施例 9 を示す工程図、
第 6 9 図は本発明の実施例 9 を示す工程図、
第 7 0 図は本発明の実施例 9 を示す工程図、
第 7 1 図は本発明の実施例 9 を示す工程図、
第 7 2 図は本発明の実施例 9 を示す工程図、
第 7 3 図は従来の半導体集積回路装置の平面図、
第 7 4 図は従来の半導体集積回路装置の断面図、
第 7 5 図は従来の半導体集積回路装置の断面図、
第 7 6 図は本発明の実施例 1 0 を示す断面図、
第 7 7 図は本発明の実施例 1 0 のを示す平面図、
第 7 8 図は本発明の実施例 1 0 を示す工程図、
第 7 9 図は本発明の実施例 1 0 を示す工程図、
第 8 0 図は本発明の実施例 1 0 を示す工程図、
第 8 1 図は本発明の実施例 1 0 を示す工程図、
第 8 2 図は本発明の実施例 1 0 を示す工程図、
第 8 3 図は本発明の実施例 1 0 を示す工程図、
第 8 4 図は本発明の実施例 1 0 を示す工程図、
第 8 5 図は本発明の実施例 1 0 を示す工程図、
第 8 6 図は本発明の実施例 1 0 を示す工程図、
第 8 7 図は本発明の実施例 1 0 を示す工程図、
第 8 8 図は本発明の実施例 1 0 を示す工程図、
第 8 9 図は本発明の実施例 1 1 を示す断面図、
第 9 0 図は本発明の実施例 1 2 を示す断面図、
第 9 1 図は従来の半導体記憶装置を示す断面図、
第 9 2 図は本発明の実施例 1 3 を示す断面図。

〔 発明を実施するための最良の形態 〕

実施例 1

まず、第 3 図に示したように、半導体基板 1 の表面に、M O S F E T を分離するための素子間分離酸化膜 2 を形成した。本実施例では周知の L O C O S 法を用いて素子間分離酸化膜 2 を形成したが、表面を平坦化できる周知の浅溝分離法を用いてもよい。この場合、周知のドライエッチ法を用いて深さ 0 . 2 μ m 程度の分離溝を半導体基板 1 に形成した後、周知の C V D (Chemical Vapor Deposition) 法を用いて膜厚がほぼ 0 . 4 μ m のシリコンの酸化膜を形成し、溝以外の部分に形成されたシリコン酸化膜を、周知の C M P (Chemical Mechanical Polishing) 法を用いて研磨して除去し、溝内のシリコン酸化膜 2 のみ

10

20

30

40

50

を残せばよい。

次に、上記半導体基板 1 の表面を洗浄した後に、膜厚 7 nm のゲート酸化膜 3 を周知の熱酸化法を用い、酸化温度 800 °C にて形成した。高濃度の不純物を含む厚さ 100 nm の多結晶シリコン膜 4 を周知の CVD 法を用いて形成し、さらに、抵抗を低減するために、タングステン膜とバリア金属膜の積層膜からなる厚さ 100 nm の金属膜 4' をその上に積層して形成した後、周知のドライエッチ法を用いて所定の形状として、ワード線やゲート電極 4 を形成し、このゲート電極 4 をマスクとして用い、基板 1 とは導電型が逆の不純物イオンとして、砒素を $5 \times 10^{14} / \text{cm}^2$ 程度イオン打ち込みし、さらに、950 °C、10 秒アニール処理を行って砒素を活性化して、拡散層 5、5' を形成した。なお、メモリセルのスイッチ用トランジスタと周辺回路の n 型 MOSFET は、イオン打ち込み量は互いに等しくし、また、周辺回路の p 型 MOSFET にはボロンを同じ量だけイオン打ち込みした。

10

厚さ 0.5 μm のシリコン酸化膜 6 を全面に形成した後、周知の CMP 法を用いて、表面の凹凸を平坦化し、ゲート電極 4 の上におけるシリコン酸化膜 6 の厚さをほぼ 0.15 μm とした。

次に、第 4 図に示したように、上記シリコン酸化膜 6 の所定部分にコンタクト孔を形成し、拡散層 5' に接続されたビット線 7 を形成した。このビット線 7 としては、高濃度の不純物がドーパされた厚さ 100 nm 程度の多結晶シリコン膜の上に、厚さ 100 nm タングステン・シリサイド膜が積層された、いわゆるポリサイド構造のビット線を形成した。なお、メモリセル領域を示す第 4 図では、2 ビットを 1 単位として示しており、このため、一つのビット線コンタクトが 2 本のワード線の間に形成されている。

20

第 4 図に示したように、周辺回路においも、上記ポリサイド構造を有する膜を、n 型 MOSFET の拡散層と最上部の配線を電気的に接続するための中間層として用いた。この中間層によって MOSFET のコンタクトが深くなるのが防止されるが、このような中間層を設けなくても本実施例の半導体記憶装置が実現できるのは言うまでもない。また、ビット線 7 としては、本実施例において使用されたポリサイド膜のみではなく、上記ワード線にも使用された、タングステン / バリア金属 / 多結晶シリコンの積層膜など、他の膜を使用してもよい。さらには、多結晶シリコンを使わないで、バリア金属を介して、タングステンを拡散層 5' に直接接触させてもよい。

次に、第 5 図に示したように、シリコン酸化膜 8 を全面に形成した後、CMP 法を用いて表面を平坦化した。上記ビット線 7 に達するコンタクト孔を形成した後、窒化チタン膜からなる中間膜 9' を CVD 法によって形成し、さらに 800 °C 以上の熱処理に耐えることができる膜厚 0.2 μm のタングステン膜からなる第 1 の埋込配線 9 を形成した。

30

第 5 図に示したように、周辺回路を構成する MOSFET の拡散層には、中間膜 9' を介して埋込配線 9 が接続されているが、バリア金属を介してタングステンからなる第 1 の埋込配線 9 が拡散層に直接接してもよい。タングステンは CVD 法によって膜を形成することが可能なため、比較的アスペクト比が高いコンタクト孔にも、高い被覆率でタングステンを接続孔内に埋め込むことができる。その際、タングステンは酸化膜の表面にも堆積されるので、孔内を埋めている部分（接続プラグ）と配線部分が同時に形成できる。本実施例では、CVD 法によって形成された窒化チタン膜を上記バリア金属として使用した。

40

この工程で形成された埋込配線 9 は、メモリセルではワード線の母線として使用され、ある特定のワード線を選択するために用いられる。周辺回路では、上層の配線につながるための中間配線として使用されるだけでなく、MOSFET 間を互いに接続する配線としても使用される。

次に、第 6 図に示したように、層間酸化膜 10 を全面に形成し、CMP 法を用いて表面を平坦化した後、上記第 1 埋込配線 9 と同様に、タングステン膜からなる接続プラグ（図示せず）および第 2 埋込配線 11 を形成し、さらに、層間酸化膜 12 を形成して、表面を上記と同様に平坦化した。上記層間酸化膜 10、12 は、いずれも埋め込まれる金属がタングステンであることを考慮して、プラズマ CVD 法を用いて形成した。この第 2 埋込配線 11 は、メモリセルでは、特定のビット線を選ぶためのセレクト線であり、周辺回路にお

50

いては、上層の配線に接続ための中間配線として使用されるだけでなく、M O S F E T間を接続する配線としても使用される。本実施例では、第2埋め込み配線11が直接拡散層に接するのではなく、第1埋込配線9を介してM O S F E Tの拡散層に接触するようにした。

次に、第7図に示したように、ワード線4、ビット線7、第1、第2埋込配線9、11には接触しない深さ約1.5 μm のコンタクト孔を形成し、このコンタクト孔を多結晶シリコン13で埋めた。この多結晶シリコンは、キャパシタの下部電極と拡散層5の接続に用いられる。

ギガビット級のメモリでは、上記コンタクト孔の直径は約0.2 μm であるから、アスペクト比は7程度と大きくなる。しかし、このコンタクト孔はメモリセルのみに形成され、深さはすべて同じなので、異方性の高い従来のドライエッチ法を用いて形成できる。

また、ビット線7を形成する際に、拡散層とキャパシタ下部電極の間のコンタクト部にも、多結晶シリコンを予め埋め込んでおけば、コンタクト孔のアスペクト比を小さくすることができる。

次に、第8図に示したように、層間酸化膜14を全面に形成した後、埋込配線9、11にそれぞれ達するコンタクト孔を形成した。この層間酸化膜14にはトレンチが形成されて、その内壁にトレンチキャパシタが作られるが、このトレンチの深さ、すなわち、層間酸化膜10、12、14の膜厚は、ギガビット級のメモリの場合は、膜厚の合計は2 μm 程度とする必要がある。

このように膜厚の合計が大きいと、最上層の配線とのコンタクトを形成するのは容易ではないが、本発明では、上記のように、埋込配線9、11に接続される配線の数に極めて少ないため、コンタクト孔の孔径は最小加工寸法より相当大きくてよい。たとえば、1ギガビットのメモリを形成した本実施例では、最小寸法は0.2 μm 以下であるが、この工程でのコンタクト孔の直径は0.5 μm と大きく、アスペクト比はあまり大きくないので、コンタクト孔の形成は容易であった。

次に、第9図に示したように、厚さがほぼ0.3 μm のタングステン膜15をCVD法を用いて形成して、上記コンタクト孔をタングステンで埋めた。

第10図に示したように、過酸化水素水を含むスラリーを研磨液として用いた周知のCMP法によって、層間酸化膜14上に堆積されたタングステンを除去し、コンタクト孔のみにタングステン15を残した。上記CMP法は、下地の酸化膜14に対して50倍以上の選択比でタングステンを除去できるので、酸化膜14をあまり削ることなしに、タングステンの研磨を行うことができた。

第11図に示したように、膜厚ほぼ1 μm の層間酸化膜16および直径0.5 μm のタングステンプラグ17を同様にして形成した後、酸化膜18を全面に形成して上記タングステンプラグ17の上面を覆った。

上記層間酸化膜14、16の膜厚の合計はほぼ2 μm 、コンタクト孔の直径はほぼ0.5 μm であるから、アスペクト比はほぼ4であり、1回のタングステンの埋め込みによって、プラグを形成することができ、工程数を削減できた。

次に、第12図に示したように、層間酸化膜14、16、18を貫通し、上記多結晶シリコン13の上端部を露出させるトレンチを形成した。このトレンチは、メモリセル領域のみに形成され、しかも、各トレンチの直径と深さは、それぞれ互いに同じなので、エッチング深さの制御は容易であり、エッチング時間の制御だけで、多結晶シリコン13の表面を露出させることができた。

このトレンチのアスペクト比は7程度であるので、従来のドライエッチング法によって容易に形成できる。なお、層間酸化膜14の下に、窒化膜をエッチングストップ膜として形成しておく、トレンチ加工の制御性が向上する。

第13図に示したように、キャパシタの下部電極となる膜厚50 nmの多結晶シリコン膜19を全面に形成した。この多結晶シリコン膜19は上記多結晶シリコン13を介して、上記M O S F E Tの拡散層5と電気的に接続されている。

この多結晶シリコン膜19表面に凹凸を形成した。このように、表面に凹凸を形成するこ

10

20

30

40

50

とによって、表面積を2倍以上にすることができ、蓄積容量を増加できた。なお、キャパシタの下部電極（蓄積電極）19には、多結晶シリコン以外にも、タングステンや窒化チタンなどを使用することができ、さらには、BSTやPZTなどの高誘電体膜や強誘電体膜をキャパシタ絶縁膜として使用した場合は、白金など貴金属が使用される。

次に、第14図に示したように、上記多結晶シリコン膜19のうち、上記トレンチ内に形成された部分を残し、他の部分はCMP法を用いて除去して、キャパシタ下部電極19を各メモリセル毎に分離して形成した。

第15図に示したように、上記キャパシタ下部電極19の上に、キャパシタ絶縁膜20およびプレート電極21を積層して形成した。本実施例では、上記キャパシタ絶縁膜20には、五酸化タンタル膜とシリコン酸化膜の積層膜を使用し、シリコン酸化膜厚に換算して、3nmのキャパシタ絶縁膜を実現した。キャパシタ絶縁膜はこれに限ったものではなく、従来用いられたシリコン酸化膜とシリコン窒化膜の積層膜を用いることができ、また、白金など貴金属からなる下部電極を持ちいれば、強誘電体膜をキャパシタ絶縁膜として使うことも可能である。プレート電極21としても、各種周知の導電性材料を使用できるが、本実施例では窒化チタン膜を使用した。キャパシタ絶縁膜としてシリコン酸化膜とシリコン窒化膜の積層膜を用いた場合は多結晶シリコン膜を、強誘電体膜を用いた場合は白金を、それぞれ使用できる。

次に、第16図に示したように、層間酸化膜22を全面に形成した後、この層間酸化膜22にコンタクト孔を形成して、上記プレート電極21およびタングステンのプラグ17の上端部を露出させた。このコンタクト孔内を金属で埋めてプラグ23を形成した後、最上層の配線24を周知の方法を用いて形成して、本実施例の半導体記憶装置を完成した。最上層の配線は密度が非常に小さいので、寸法も非常に大きくてもよく、緩やかな設計ルールを用いることができるので形成は容易である。

実施例2

第17図は本発明の第2の実施例を示すメモリアレーの概念図である。第17図に示したように、ワード線WL1~WL6は、縦方向に規則的に配置され、ビット線BL1a、BL1bおよびビット線BL2a、BL2bは、それぞれ1組になってセンスアンプ1とセンスアンプ2に接続されている。

一つのビット線コンタクトBC1(O)は、二つのメモリセルに接続された蓄積容量コンタクトCC1、CC2(●)によって共有されている。

第17図から明らかなように、ビット線コンタクトOを介して2つの蓄積容量コンタクト●の間を結ぶ直線（これはスイッチ用トランジスタのMOSFETの活性領域を示す）は、ワード線WL1~WL6とビット線BL1a~BL2bに対して傾いて配置されている。しかも、傾く方向が、隣接するメモリセル間で異なっている。そのため、各蓄積容量コンタクトCC1、CC2(●)は、ワード線WL1~WL6とビット線BL1a~BL2bの間の隙間にそれぞれ形成することができる。

本実施例では、ワード線WL1~WL6とビット線BL1a~BL2bの上方に埋込配線が配置され、しかも、蓄積容量コンタクト形成部を確保するために、第17図に示したように、点線で示したワード母線W12、W34、W56が、ビット線コンタクトBC11を挟む2本のワード線W11とW12、W13とW14、およびW15とW16に対して1本の割合で配置されている。

また、ビット線BL1a~BL2bを選択するためのセレクト線S1~S4は、ビット線BL1a~BL2bとそれぞれ重なるように配置されている。これらのワード母線W11~W14やセレクト線S1~S4は、メモリセル上ではコンタクト領域を必要としないので、単に各配線パターンを配置するだけでよい。また、ワード線やビット線に対する本数の割合は本実施例に限られるものでなく、任意に設定できる。

第18図は、第17図に示した配置をさらに実際の配置に近い形で示した配置図である。ただし、理解を容易にするため、蓄積容量、プレート電極、配線および周辺回路などのパターンは、図示が省略されている。

また、第18図では、活性領域が、ビット線BL1a~BL2bやワード線WL1~WL

10

20

30

40

50

6 に対して 4 5 度の角度で配置された場合を示したが、4 5 度に限られるものではなく、ほかの角度であってもよい。

上記のように、ワード母線 W 1 2、W 3 4、W 5 6 は、ワード線 2 本に対して 1 本の割合でそれぞれ配置されているので、ワード母線 W 1 2、W 3 4、W 5 6 の幅はワード線 W L 1 ~ W L 6 の幅のほぼ 2 倍となり、緩いレイアウトルールで良い。しかも、上記のように、メモリセル上にはコンタクト領域が存在しないので、配線のみを配置するだけでよい。一方、セレクト線 S 1、S 2、S 3、S 4 とビット線 B 1 1 a ~ B 1 2 b は、まったく同じ寸法にした。しかも、このセレクト線 S 1、S 2、S 3、S 4 もワード母線 W 1 2、W 3 4、W 5 6 と同様に、メモリセル上にはコンタクト領域が存在しないので、ビット線のような、線幅が広がった領域は必要ない。そのため、ワード母線 W 1 2、W 3 4、W 5 6 およびセレクト線 S 1、S 2、S 3、S 4 は、いずれも規則性の高いパターンを配置することができ、ホトリソグラフィによるパターン形成は容易である。

さらに、パターンの規則性が高いために、位相シフト法に代表される、光の波長よりも小さなパターンを形成できる微細加工技術を適用するのも容易である。

実施例 3

本実施例では、第 1 9 図に示したように、一つのビット線コンタクト B C 1 を共有する二つのメモリセルの蓄積容量コンタクト C C 1、C C 2 が、ワード母線 W 1 2、W 3 4、W 5 6 を軸にして鏡対象となる位置に配置されている。この点が上記実施例 2 とは異なっているが、基本的なメモリ動作はまったく同じであり、本発明の特徴である埋込配線で作るワード母線やセレクト線の配置も、第 2 0 図に示したように、同じであり、実施例 2 と同様の効果が得られた。

実施例 4

本実施例のメモリセルは、第 2 1 図に示したように、上記実施例 2、3 とはパターン配置が異なっている。しかし、製造方法は上記実施例 2、3 と共通であり、上記実施例 1 と同じ方法で形成できる。

本実施例のパターン配置の特徴は、特開平 3 - 2 1 4 6 7 0 に記載されているように、互いに隣合うメモリセルの蓄積容量コンタクトの間にワード線が配置されている点にある。実施例 2、3 において示した配置では、互いに隣合う蓄積容量コンタクトの間には、ワード線が 2 本配置されていた。そのため、メモリセルには余分な面積が存在し、これが、メモリセル面積の縮小を妨げる要因となっていた。

しかし、第 2 1 図に示したパターン配置にすると、ワード線 2 本分を配置するのに必要だった面積が、1 本のワード線を配置できる面積で済むようになり、2 0 % 程度の面積縮小ができる。

このようなパターン配置にすると、これまでのビット線配置では同じようなメモリ動作ができないので、特開平 3 - 2 1 4 6 7 0 および上記実施例 1 ~ 3 では二つのビット線がペアとなって一つのセンスアンプに接続されていたのを、第 2 1 図に示したように、二つのビット線 B L 2 a、B L 1 b を互いに交差させて、それぞれのセンスアンプ 1、2 に接続させるようにした。

このような配置にすることによって、メモリセルの面積を縮小できるが、上記実施例 1 ~ 3 では、ワード線 2 本に 1 本の割合で配置していたワード母線 W 1 1 ~ W 1 7 を、第 2 2 図に示したように、ワード線 W 1 ~ W 7 と同じ設計ルールで配置する必要がある。しかし、実施例 1 と同じ方法で容易に形成することができ、実用上問題はない。

実施例 5

本実施例は、本発明を D R A M に適用した例であり、第 2 4 図 ~ 第 3 8 図を用いて説明する。

本実施例のメモリセルの平面図を第 2 4 図に、第 2 4 図における X - X ' 断面構造および周辺回路の M I S F E T 部の断面構造を、第 2 5 図の同一図面上に示した。メモリセルのレイアウトは従来と同様であり、ワード線 5 8 が Y 方向に、データ線 6 0 が X 方向に設けられており、トレンチ型のキャパシタが、これらワード線とデータ線の上部に形成されている。

上記トレンチ型のキャパシタは、蓄積電極 5 2、キャパシタ絶縁膜 5 3 およびプレート電極 5 4 からなっている。上記蓄積電極 5 2 はワード線 5 8 とデータ線 6 0 の間の隙間において、スイッチトランジスタの活性領域 5 7 上に接続され、プレート電極 5 4 は、メモリセル外で所定の電位に固定されている。さらに、トレンチ形状を有する上記蓄積電極 5 2 は、周辺回路部の金属配線 5 0 がその上に形成されている絶縁膜 4 9 およびその上に積層して形成された絶縁膜 5 1 を貫通して形成された深いトレンチの、内側側壁および底面上に形成されている。

次に、本実施例の D R A M の製造法を第 2 6 図 ~ 第 3 5 図を用いて説明する。まず、第 2 6 図に示したように、周知の選択酸化法を用いて、素子間分離のためのフィールド酸化膜 3 9 を、シリコン基板 3 8 上に形成した後、周知の方法によって、M O S F E T を形成した。高濃度不純物領域 4 0、4 1、ゲート電極 4 3 およびゲート絶縁膜（図示せず）を有する M O S F E T をメモリセル内に、また高濃度不純物領域 4 2、ゲート電極 4 4 およびゲート絶縁膜（図示せず）を有する M O S F E T を周辺回路に、それぞれ形成した。なお、隣接セルと共通のゲート電極 4 3 はワード線 5 8（第 2 4 図）として機能する。また、M O S F E T の極性は n チャネル、p チャネル何れでもよい。

第 2 7 図に示したように、ボロンとリンを含んだシリコン酸化膜 4 5 を周知の C V D 法を用いて形成し、8 0 0 程度の温度でアニールを行って上記シリコン酸化膜 4 5 表面をなだらかにした。なお、上記シリコン酸化膜 4 5 としては、ボロンやリンが添加されたものではなく、ノンドーパのシリコン酸化膜を用いてもよい。

次に、周知のホトリソグラフィとドライエッチングによって、上記シリコン酸化膜 4 5 に開口部 5 9（第 2 4 図）を形成し、データ線 6 0（第 2 4 図）となる厚さ 1 0 0 n m 程度の配線 4 6 を周知の方法を用いて形成した。なお、配線 4 6 の材料としてはタングステン等の高融点金属膜が好ましいが、タングステン等の高融点金属のシリサイド膜と多結晶シリコン膜の複合膜を用いても支障はない。タングステン等の高融点金属を用いた場合は、シリコン基板との反応を防止する目的で、チタンナイトライド等のバリアメタル膜を高融点金属膜の下に設けることが好ましい。また、シリコン酸化膜 4 5 の下に、不純物拡散防止のためのノンドーパのシリコン酸化膜を形成しておくことが望ましい。

第 2 8 図に示したように、厚さがほぼ 2 0 0 n m のシリコン酸化膜 4 7 を周知の T E O S（Tetraethoxysilane； $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）ガスを用いた周知の C V D 法を用いて、4 0 0 程度の温度で形成した。次に、スイッチトランジスタのソースまたはドレインとなる高濃度不純物領域 4 0 上のシリコン酸化膜 4 5、4 7 の所定部分を除去して、開口部 5 1（第 2 4 図）を形成した。不純物が高濃度に添加された厚さ 2 0 0 n m 程度の多結晶シリコン膜を周知の L P C V D 法によって形成した後、全面異方性のドライエッチングによるエッチバックを行って、上記多結晶シリコン膜を、上記開口部 5 1 内のみに残し、他の部分は除去して、上記開口部 5 1 を充填するシリコンプラグ 4 8 を形成した。なお、本実施例では、高濃度不純物領域 4 0 上に直接シリコンプラグ 4 8 を形成したが、周知の多結晶シリコン膜のパッドを、用いれば、ゲート電極 4 3 とシリコンプラグ 4 8 を自己整合で絶縁することもでき、メモリセル面積の縮小に効果的である。

第 2 9 図に示したように、厚さがほぼ 2 0 0 n m のシリコン酸化膜 4 9 を周知の T E O S ガスを用いた C V D 法により、ほぼ 4 0 0 の温度で形成し、シリコン酸化膜 4 5、4 7、4 9 を貫通するコンタクトホールを周知の方法を用いて形成して、周辺回路部の高濃度不純物領域 4 2 の表面を露出させた。次に、厚さ 2 0 0 n m のタングステン膜を周知のスパッタ法もしくは C V D 法を用いて形成し、所定の形状にパターニングして周辺回路部の金属配線 5 0 を形成した。シリコン酸化膜 4 9 の表面を周知の C M P 法を用いて平坦化してもよく、この場合は、上記コンタクトホールを埋めるプラグを用いるとよい。また、本実施例では金属配線 5 0 の材料としてはタングステンを用いたが、チタンナイトライド等其他の高融点金属を用いてもよい。さらに、キャパシタの製造工程を低温化すれば、高融点金属のみではなく、アルミニウムなどの低抵抗金属を用いることができる。

第 3 0 図に示したように、厚さ 0 . 5 ~ 1 μm 程度のシリコン酸化膜 5 1 を、周知の T E O S ガスを用いた C V D 法によって 4 0 0 程度の温度で形成し、周知の C M P 法を用い

10

20

30

40

50

て表面を平坦化した。次に、周知のホトリソグラフィとドライエッチングを用いて、上記シリコン酸化膜 4 9、5 1 に、シリコンプラグ 4 8 に達するトレンチ（開口部）6 2 を形成した。なお、この際、窒化シリコン膜のように、シリコン酸化膜よりエッチング速度が小さい絶縁膜を、エッチングストッパとしてシリコン酸化膜 4 9 の下に形成しておけば、上記トレンチ 6 2 の形成は極めて容易である。

第 3 1 図に示したように、高濃度の不純物がドーブされた厚さ 5 0 n m の多結晶シリコン膜 6 3 を、周知の L P C V D 法を用いて形成した。この際、上記トレンチの低部においてシリコンプラグ 4 8 と多結晶シリコン膜 6 3 が接続される。

次に、厚さがほぼ 1 μ m のホトレジスト膜を全面に塗布した後、異方性ドライエッチングによるエッチバックを行って、上記トレンチ内のみにホトレジスト 6 4 を残し、他の部分

10

は除去した。第 3 2 図に示したように、上記ホトレジスト 6 4 をマスクとして用い、上記多結晶シリコン膜 6 3 の内、上記トレンチ内以外の部分上に形成された部分をドライエッチングして除去して、キャパシタの蓄積電極 5 2 を上記トレンチの内壁上に形成した。

第 3 3 図に示したように、上記ホトレジスト 5 4 を除去した後、五酸化タンタル（ Ta_2O_5 ）からなるキャパシタ絶縁膜 5 3 を C V D 法を用いて形成した。このキャパシタ絶縁膜 5 3 のシリコン酸化膜換算膜厚は、1 ギガビットクラスの大容量ダイナミック R A M の場合は 3 n m 以下にすることが好ましい。なお、本実施例では蓄積電極 5 2 としては多結晶シリコン膜を用いたが、タングステンやチタンナイトライド膜など高融点金属膜を用いることもできる。この場合は多結晶シリコン膜のように、表面に自然酸化膜が形成されることはないので、キャパシタ絶縁膜の酸化膜換算膜厚を薄くすることができる。また、キャパシタ絶縁膜の材料としてはシリコンナイトライド系の絶縁膜の他、 $SrTiO_3$ 膜や（ Ba, Sr ） TiO_3 等の周知の高誘電体絶縁膜や P Z T 膜のような周知の強誘電体絶縁膜を用いることもできる。

20

第 3 4 図に示したように、厚さがほぼ 5 0 n m のタングステン膜からなるプレート電極 5 4 を、段差被覆性がすぐれた C V D 法を用いて形成した。

最後に、層間絶縁膜として厚さがほぼ 4 0 0 n m のシリコン酸化 5 5 を形成し、周辺回路部の金属配線 5 0 上の層間絶縁膜 5 5 にスルーホールを形成した後、周知の方法を用いて金属配線 5 6 を形成して、第 2 5 図に示した半導体集積回路装置が完成した。なお、金属配線 5 6 はアルミニウムなどの低抵抗金属が好ましく、第 3 5 図のようメモリセルアレー

30

内配線として用いることができるため、データ線に接続する信号線や、主ワード線として用いることができる。また、金属配線 5 6 を形成する際に、層間絶縁膜 5 5 の表面を平坦化するために、周知のプラグ技術や C M P 法を適用することもできる。第 3 5 図は、上記第 2 5 図よりもトレンチの深さを大きくして、キャパシタの高さを大きくした例を示すものである。この場合は金属配線 5 0 の膜厚を第 2 5 図の場合の 2 倍にしたが、その上に形成されるシリコン酸化膜 5 1 の膜厚も厚くしても、トレンチの深さを約 2 倍に深くすることができ、その結果、蓄積電極の高さおよび得られる蓄積電荷量も約 2 倍になった。

なお、第 2 5 図～第 3 5 図では、金属配線 5 0 がその上に形成されている層間絶縁膜であるシリコン酸化膜 4 9 の表面が平坦化されているが、第 3 6 図に示すように、表面が平坦ではないシリコン酸化膜 6 5 の上に金属配線 5 0 を形成してもよい。この場合も、第 3 6 図から明らかなように、シリコン酸化膜 6 5 の上面が、キャパシタが形成されている位置に延在して、蓄積電極 5 2 の側面に接しているため、上記金属配線 5 0 がその上に形成されたシリコン酸化膜 4 9 の表面が平坦である場合（第 3 5 図）と同じ効果が得られる。

40

さらに、上記金属配線 5 0 は、周辺回路部における第 1 層目の配線層であるが、第 3 7 図に示したように、二つの金属配線 6 6、6 7 を積層して用いてもよく、配線層をさらにその上に形成してもよい。

本実施例によれば、複数の配線層の上面をキャパシタの位置に延在させることができるので、トレンチの深さを極めて深くすることができ、キャパシタの電極面積が極めて大きいトレンチ型のキャパシタが形成できる。

50

また、本実施例では、金属配線 50 は周辺回路部の MOSFET のソースもしくはトレインに接続された信号線であるが、一定の電位を供給するための電源線であってもよく、また、メモリセルアレー領域と周辺回路領域の標高差を緩和するためのダミーパターンとして、フローティングであってもよい。

上記説明から明らかなように、本実施例によれば、高さが大きい立体構造のキャパシタを形成することができ、メモリセルアレー領域と周辺回路領域に大きな標高差が生じても、各領域および両領域をまたがる領域に、それぞれ微細な配線を形成できるので、集積密度の高い半導体集積回路装置を形成できる。

実施例 6

本実施例は、上記実施例 5 において、銅のようにドライエッチングが困難な材料を金属配線材料として用いた例であり、第 38 図～第 47 図を用いて本実施例を説明する。

第 38 図は、本実施例の DRAM におけるメモリセルおよび周辺回路の MOSFET 部の断面構造を示す図である。第 38 図から明らかなように、金属配線 71 は高濃度不純物領域 43 上に形成された金属プラグ 68 に接続され、シリコン酸化膜 70 内に埋め込まれて形成されている。

このような構造の DRAM を下記のように形成した。

まず、実施例 5 の第 26 図～第 28 図に示した方法と同様な方法を用いて、第 39 図に示した構造を形成した。次に、第 40 図に示したように、シリコン酸化膜 69 を形成した後、シリコン酸化膜 45、47、69 を貫通する接続孔を周知の方法を用いて形成し高濃度不純物領域 42 の表面を露出させた。タングステン膜を全面に形成した後、全面ドライエッチングを行って、上記タングステン膜のうち、上記接続孔内に形成された部分を残し、他の部分は除去して、タングステンからなる金属プラグ 68 を形成した。

第 41 図に示したように、厚さ 400 nm のシリコン酸化膜 70 を形成し、周知のホトリソグラフィと異方性ドライエッチングを用いて、上記シリコン酸化膜 70 に開口部を形成した。なお、上記異方性ドライエッチングを行う際に、低温で形成されたシリコンナイトライド膜を、エッチングストップ膜として上記をシリコン酸化膜 70 の下に配置しておく、エッチング裕度が大きくなり、高い精度で接続孔を形成できた。

次に、厚さ 500 nm の銅膜を形成した後、CMP 法を用いて、シリコン酸化膜 70 の表面が露出するまで上記銅膜の表面を研磨して平坦にして、上記開口部内のみに銅膜 71 を残し、銅膜 71 がシリコン酸化膜 70 内に埋め込まれた構造を形成した。なお、上記銅膜の形成方法としては、段差被覆性に優れた CVD 法を用いた。

次に、第 42 図に示したように、厚さ 100 nm のシリコン酸化膜 72 を周知の CVD 法を用いて形成した後、周知のホトリソグラフィと異方性ドライエッチングを用いて、シリコン酸化膜 69、70、72 を貫通し、シリコンプラグ 48 に達するトレンチ 74 を形成した。

以下、第 43 図～第 47 図に示した工程に従って処理を行なったが、この工程は、上記実施例 5 における第 31 図～第 35 図に示した工程と同様なので、詳細な説明は省略した。ただし、本実施例ではプレート電極 73 の表面が平坦化されており、この点が上記実施例 5 と異なっている。

本実施例によれば、キャパシタの側面に形成される周辺回路部の配線層として低抵抗の銅が用いられているので、高速動作が可能である。なお、本実施例をメモリとロジックが混在したオンチップ LSI に適用することによって、キャパシタが形成されている絶縁膜の位置にロジック部の配線層を形成することができる。

実施例 7

本実施例は実施例 5 もしくは実施例 6 における DRAM において、金属配線の膜厚をさらに厚くした例であり、第 48 図～第 56 図を用いて説明する。第 48 図は本実施例による DRAM のメモリセルおよび周辺回路の MISFET 部の断面構造図である。第 48 図に示したように、本実施例では、金属配線 77 はシリコン酸化膜 75、76 内に埋め込まれ、金属配線 77 の上面はキャパシタの上端部より高い。

このような DRAM の製造方法を、第 49 図～第 56 図を用いて説明する。まず、上記実

10

20

30

40

50

施例 6 の第 3 9 図および第 4 0 図と同様に処理して、第 4 9 図に示す構造を形成した。次に、第 5 0 図に示したように、厚さ 3 0 0 n m のシリコン酸化膜 7 5 を形成し、周知ホトリソグラフィとドライエッチングを用いて、シリコン酸化膜 6 9 、 7 5 を貫通するトレンチ 7 8 を形成し、シリコンプラグ 4 8 の上面を露出させた。

以下、第 5 1 図 ~ 第 5 4 図に示した工程に従ってキャパシタを形成したが、この工程は、上記実施例 5 における第 3 1 図 ~ 第 3 4 図に示した工程と同様であるので、詳細な説明は省略する。

次に、第 5 5 図に示したように、厚さ 4 0 0 n m のシリコン酸化膜 7 9 を形成した後、ホトリソグラフィとドライエッチングを用いて、シリコン酸化膜 7 5 、 7 9 に金属プラグ 6 8 に達する開口部を形成した。タングステン、アルミニウムまたは銅等の金属材料膜を全面形成した後、異方性エッチングによる周知のエッチバックを行なって、上記金属膜を、上記開口部内のみに残し、他の部分上からは除去して周辺回路部の金属配線 8 0 を形成した。

最後に、第 5 6 図に示したように、例えば厚さがほぼ 4 0 0 n m のシリコン酸化膜からなる層間絶縁膜 5 5 を形成した後、上記金属配線 8 0 の表面に達するスルーホールを上記層間絶縁膜 5 5 に形成した。さらに、金属配線 5 6 を周知の方法を用いて形成し、半導体集積回路装置が完成した。

本実施例によれば、周辺回路部の金属配線の膜厚を上記実施例 5 、 6 より厚くできるため、周辺回路における配線の抵抗値を下げることができ、動作速度がさらに向上した。

実施例 8

本実施例は、立体構造の王冠型とトレンチ型を組み合わせた構造を有するキャパシタを、D R A M のメモリセルに形成した例であり、第 5 7 図 ~ 第 6 5 図を用いて本実施例を説明する。

第 5 7 図は本実施例による D R A M の、メモリセルおよび周辺回路における M I S F E T 部の断面構造を示す図である。第 5 7 図から明らかなように、周辺回路部に形成された金属配線 8 6 は、シリコン酸化膜 8 5 内に埋め込まれており、その下に形成されたシリコン酸化膜 8 1 の上面は、周辺回路部からメモリセル部に延在して、キャパシタの側部に接している。

次に、第 5 8 図 ~ 第 6 5 図を用いて本実施例の製造方法を説明する。まず、第 5 8 図に示した構造を形成したが、これまでの工程は、上記実施例 5 の第 2 8 図までの工程と同様であるので、説明は省略する。

第 5 9 図に示したように、シリコン酸化膜 8 1 を形成した後、シリコン酸化膜 4 5 、 4 7 、 8 1 を貫通する接続孔を形成して、高濃度不純物領域 4 2 の表面を露出させた。タングステン膜を全面に形成した後、全面異方性エッチングによるエッチバックを行なって、上記タングステン膜を、上記接続孔内のみに残し、他の部分上からは除去して、タングステンからなる金属プラグ 8 2 を形成し、さらに厚さ 4 0 0 n m のシリコン酸化膜 8 9 を全面に形成した。なお、シリコン酸化膜 8 1 の代わりにシリコンナイトライド膜を用いてもよい。

第 6 0 図に示したように、キャパシタの蓄積電極 5 2 が形成される領域のシリコン酸化膜 8 1 、 8 9 に、周知のホトリソグラフィとドライエッチングを用いて、シリコンプラグ 4 8 に達するトレンチを形成し、不純物が高濃度に添加された厚さ 5 0 n m の多結晶シリコン膜 5 3 を、周知の L P C V D 法を用いて形成した。これにより、トレンチの底部において、シリコンプラグ 4 8 は多結晶シリコン膜 6 3 に接続された。

次に、第 6 1 図に示したように、ボロンとリンを含むシリコン酸化膜 9 0 を周知の C V D 法で形成し、所望のアニールを行なった後、全面異方性ドライエッチングによるエッチバックを行なって、上記シリコン酸化膜 9 0 を上記トレンチ内のみに残し、他の部分上からは除去した。さらに、上記シリコン酸化膜 9 0 をエッチングのマスクとして用いて、多結晶シリコン膜 6 3 の露出された部分をドライエッチングして除去した。その結果、キャパシタの蓄積電極 5 2 がトレンチ内に形成された。

次に、第 6 2 図に示したように、上記トレンチ内に残ったシリコン酸化膜 9 0 、 および金

10

20

30

40

50

属プラグ 8 2 上のシリコン酸化膜 8 9 を、フッ酸水溶液を用いたウェットエッチングによって除去し、金属プラグ 8 2 の表面を露出させた。ここでトレンチ内に埋め込んだシリコン酸化膜 9 0 は、ボロンとリンを含んでいるため、シリコン酸化膜 8 9 よりフッ酸水溶液中のエッチング速度が速い。そのため、膜厚が厚いにもかかわらず、トレンチ内の酸化膜 9 0 は完全に除去された。なお、上記ウェットエッチングでのオーバーエッチングを防止するために、シリコン酸化膜 8 9 の下に、低温で形成したシリコンナイトライド等のエッチングストッパを設けることが好ましい。

所定の洗浄を行なった後、第 6 3 図に示したように、五酸化タンタル膜からなるキャパシタ絶縁膜 8 3 を形成した後、厚さがほぼ 5 0 n m ののタングステン膜またはチタンナイトライド膜を形成し、ホトリソグラフィとドライエッチングによって不要部分を除去してプレート電極 8 4 を形成した。さらに厚さ 8 0 0 n m の厚いシリコン酸化膜 8 5 を形成して、表面を平坦化した。

次に実施例 6、第 4 2 図と同様に処理して金属配線 8 6 を形成して、第 6 4 図に示した構造を形成した。

最後に、厚さ 4 0 0 n m 程度のシリコン酸化膜等の層間絶縁膜 5 5 を形成し、周辺回路部の金属配線 8 6 上の層間絶縁膜 8 5 にスルーホールを形成した後、金属配線 5 6 を形成して第 6 5 図に示した半導体集積回路装置が完成した。

本実施例によれば、メモリセル内に形成されたキャパシタの蓄積電極 5 2 が王冠状であるため、内壁と外壁の両者を蓄積電極として利用でき、極めて大きな蓄積容量が得られ、ソフトエラー耐性に優れた高集積の半導体集積回路装置が形成できた。

実施例 9

本実施例は、王冠型とトレンチ型を組み合わせたキャパシタを有する D R A M メモリの他の例である。第 6 6 図～第 7 2 図を用いて本実施例を説明する。

第 6 6 図は本実施例の D R A M のメモリセルおよび周辺回路の M I S F E T 部の断面構造を示した図である。第 6 6 図に示したように、金属配線 5 0 はシリコン酸化膜 4 9 に形成された開口部内に形成されている。メモリセルのキャパシタは、シリコン酸化膜 4 9、9 2 に接している部分がトレンチ型、シリコン酸化膜 5 5 に接している部分が王冠型となっている。従って、金属配線 5 0 が形成されているシリコン酸化膜 4 9 の上面は、メモリセル領域に延在してキャパシタの側部に接している。

次に、第 6 7 図～第 7 2 図を用いて本 D R A M セルの製造方法説明する。

まず、実施例 5 の第 3 0 図までの工程と同様な工程に従って、第 6 7 図に示した構造を形成した。次に、第 6 8 図に示したように、厚さ 4 0 0 n m のシリコン酸化膜 9 2 を形成し、周知の C M P 法を用いて表面を平坦化した後、周知のホトリソグラフィとドライエッチングを用いて、キャパシタの蓄積電極 9 3 が形成される部分のシリコン酸化膜 4 9、9 2 に、シリコンプラグ 4 8 に達するトレンチを形成した。

次に、不純物が高濃度にドーピングされた厚さ 5 0 n m の多結晶シリコン膜 6 3 を、周知の L P C V D 法によって形成した。これにより、シリコンプラグ 4 8 が、トレンチの底部において多結晶シリコン膜 6 3 に接続された。

厚さ 1 μ m のホトレジストを塗布し、周知の全面異方性ドライエッチングを行なって、第 6 9 図に示したように、トレンチ内のみにホトレジスト 6 4 を残し、他の部分上からは除去した。

次に、上記ホトレジスト 6 4 をマスクにして、上記多結晶シリコン膜 6 3 の露出された部分をドライエッチングによって除去し、トレンチの内壁上にキャパシタの蓄積電極 5 2 を形成した。

上記ホトレジスト 6 4 を除去して所定の洗浄を行なった後、フッ酸水溶液を用いて上記シリコン酸化膜 9 2 を厚さ 2 0 0 n m だけエッチした。これにより、第 7 0 図に示したように、上記蓄積電極 5 2 の上部が上方に突出された。

第 7 1 図に示したように、二酸化シリコンより比誘電率が大きい誘電体（本実施例では五酸化タンタルを使用した）からなるキャパシタ絶縁膜 9 3 を形成し、厚さがほぼ 5 0 n m のタングステンまたはチタンナイトライドなどからなるプレート電極 9 4 を周知の方法を

10

20

30

40

50

用いて形成した。なお、キャパシタ絶縁膜 9 3 およびプレート電極 9 4 の形成方法としては、段差被覆性の良い C V D 法を用いた。

最後に、厚さがほぼ 4 0 0 n m のシリコン酸化膜からなる層間絶縁膜 5 5 を形成し、周辺回路部の金属配線 5 0 上の層間絶縁膜 5 5 にスルーホールを形成した後、金属配線 5 6 を形成して第 7 2 図に示した本発明の半導体集積回路装置が完成した。

第 7 2 図から明らかなように、本実施例によれば、メモリセル内に形成されたキャパシタの蓄積電極 5 2 の上部では、内壁のみではなく、外壁にもキャパシタ絶縁膜 9 3 およびプレート電極 9 4 が形成されて、この部分では王冠型キャパシタが形成されている。したがって、トレンチの内壁のみをキャパシタとして用いたトレンチ型キャパシタよりも、大きな蓄積容量が得られ、ソフトエラー耐性に優れた高集積の半導体集積回路装置が形成された。

10

実施例 1 0

第 7 6 図～第 8 8 図を用いて本発明による D R A M の一実施例を説明する。第 7 6 図は本実施例メモリセルおよび周辺回路の M O S F E T 部の断面構造を同一図面上に示した図であり、第 7 7 図は上記メモリセルの平面配置を示す図である。第 7 6 図のメモリセル部分は、第 7 7 図における X - X ' 断面の一部を表わす。

第 7 6 図から明らかなように、メモリセル内の M O S F E T は、ゲート絶縁膜 2 0 3、ゲート電極 2 0 4、ソース・ドレインである高濃度 n 型不純物領域 2 0 6、2 0 7 からなり、周辺回路内の M O S F E T は、ゲート絶縁膜 2 0 3、ゲート電極 2 0 5、ソース・ドレインである高濃度 n 型不純物領域 2 0 8 からなっている。メモリセル内の M O S F E T の高濃度 n 型不純物領域 2 0 6 にはデータ線として配線電極 2 1 0 が接続され、さらにその上方には王冠型キャパシタが設けられている。

20

この王冠型キャパシタは、周辺回路領域の金属配線 2 1 5 が形成されている層間絶縁膜であるシリコン酸化膜 2 1 4、2 1 6 が除去された領域に形成されており、蓄積電極 2 1 7 がシリコンプラグ 2 1 3 を介して高濃度 n 型不純物領域 2 0 7 に接続されている。蓄積電極 2 1 7 の上にはキャパシタ絶縁膜 2 1 8 が形成され、さらにシリコン酸化膜 2 1 4、2 1 6 が除去された領域にキャパシタのプレート電極 2 1 9 が埋め込まれて王冠型のキャパシタが形成されている。

第 7 7 図では、隣接するメモリセルの位置関係を明確にするために、複数個のメモリセルが配置された図を示した。第 7 7 図で、ワード線 2 2 3 は Y 方向に、データ線 2 2 5 は X 方向に、それぞれ配置されており、王冠型のキャパシタ 2 1 7 がこれらワード線 2 2 3 とデータ線 2 2 5 の上部に形成されている。さらにこれらのワード線 2 2 3 とデータ線 2 2 5 の間の隙間の活性領域 2 2 2 上には、上記キャパシタが開口部 2 2 6 を介して接続されている。

30

第 7 8 図～第 8 8 図を用いて本実施例をさらに詳しく説明する。まず、第 7 8 図に示したように、周知選択酸化法 (L O C O S 技術) を用いて、シリコン基板 2 0 1 上にフィールド酸化膜 2 0 2 を形成した後、活性領域上に M O S F E T を形成する。なお、本実施例では n チャネル M O S F E T を形成したが、p チャネル M O S F E T であってもよい。また、ホットキャリアによる素子劣化を低減するため、周知の L D D (L i g h t l y D o p e d D r a i n) 構造を用いることもできる。さらに周知の自己整合コンタクトを用いるために、ゲート電極 2 0 4 の側壁や上部にシリコンナイトライド等のような絶縁膜を形成してもよい。

40

次に、ボロンとリンを含んだシリコン酸化膜 2 0 9 を周知の C V D 法によって形成した後、8 0 0 程度の温度のアニールを行なって、シリコン酸化膜 2 0 9 表面をなだらかにした。なお、シリコン酸化膜 2 0 9 にはボロンやリンを添加したものをいわずノンドープのシリコン酸化膜を用い、他の方法で平坦にしてもよい。また、シリコン酸化膜の表面を平坦にしなくても後の工程に支障はない。

ホトリソグラフィとドライエッチングにより開口部 2 2 4 (第 7 7 図) をシリコン酸化膜 2 0 9 に形成し、データ線 2 2 5 (第 7 7 図) となる厚さ 1 0 0 n m 程度の配線電極 2 1 0 を形成し、ホトリソグラフィとドライエッチングによって、所定の形状にパターニング

50

した。なお、配線電極 210 の材料としてはタングステン等の高融点金属のシリサイド膜と多結晶シリコン膜の複合膜、もしくはタングステン等の高融点金属膜を用いることができる。また、タングステン等の高融点金属を用いる場合はシリコン基板との反応を防止する目的でチタンナイトライド等のバリアメタル膜を下層に設けることが好ましい。また、シリコン酸化膜 209 の下には、不純物拡散防止のためのノンドープのシリコン酸化膜を設けておくことが好ましい。

厚さがほぼ 200 nm の、ボロンとリンを含んだシリコン酸化膜 211 を CVD 法により形成し、800 程度の温度でアニールを行なって表面をなだらかにした。次に、厚さ 100 nm 程度のシリコンナイトライド膜 212 を LPCVD 法により形成し、MOSFET のソースもしくはドレインとなる高濃度不純物領域 207 上のシリコンナイトライド膜 212 およびシリコン酸化膜 209、211 に、周知のホトリソグラフィとドライエッチングによって開口部 226 (第 77 図) を形成し、不純物が高濃度に添加された厚さほぼ 200 nm の多結晶シリコン膜を LPCVD 法により形成し、全面異方性ドライエッチングによるエッチバックを行なって上記多結晶シリコン膜を上記開口部 226 内のみに残し、第 79 図に示したように、シリコンプラグ 213 を形成した。なお、本実施例では、ホトリソグラフィを用いて周辺回路領域上のシリコンナイトライド膜 212 を除去したが、シリコンナイトライド膜 212 を周辺回路領域に残したままでもよい。また、本実施例では高濃度不純物領域 208 上にシリコンプラグ 213 を直接形成したが、周知の多結晶シリコン膜のパッドを用いれば、ゲート電極 204 とシリコンプラグ 213 を自己整合で絶縁することもでき、メモリセル面積の縮小に効果的である。

次に、第 80 図に示したように、厚さがほぼ 200 nm のシリコン酸化膜 214 を、TEOS ガスを用いた周知の CVD 法によってほぼ 400 で形成し、周辺回路部の高濃度不純物領域 208 上のシリコン酸化膜 209、211、214 をエッチングして除去し、コンタクトホールを形成した。厚さがほぼ 200 nm のタングステン膜を、周知のスパッタ法もしくは CVD 法を用いて形成し、周知のホトリソグラフィとドライエッチングによって周辺回路部の金属配線 215 を形成した。ここで、シリコン酸化膜 214 の表面を周知の CMP 法を用いて平坦化してもよい。この場合は上記コンタクトホール内にプラグを形成してもよい。また、本実施例では金属配線 215 の材料にはタングステンを用いたが、この場合は、チタンナイトライド等のバリアメタル膜を下に設けると良い。さらに、以降のキャパシタの製造工程を低温化すれば、アルミニウムなどの低抵抗金属を用いることもできる。

第 81 図に示したように、厚さ 0.3 ~ 1 μ m のシリコン酸化膜 216 を TEOS ガスを用いた CVD 法を用いて、ほぼ 400 で形成し、CMP 法を用いて表面を平坦化した。次に、第 82 図に示したように、周知のホトリソグラフィとドライエッチングを用いて、キャパシタの蓄積電極が形成される部分のシリコン酸化膜 214、216 に、シリコンプラグ 213 に達するトレンチ 227 を形成した。なお、この際、シリコンナイトライド膜 212 を、エッチングストップとしてシリコン酸化膜 214 の下に設けておくことが好ましい。

第 83 図に示したように、不純物が高濃度に添加された厚さ 20 ~ 100 nm の多結晶シリコン膜 228 を、周知の減圧 CVD (LPCVD) 法によって形成した。この際、上記トレンチの底部において、上記シリコンプラグ 213 と多結晶シリコン膜 228 が接続された。次に、厚さ 1 μ m のホトレジスト膜を塗布した後、全面異方性ドライエッチングによるエッチバックを行なって、ホトレジスト膜 229 をトレンチ内のみに残し、他の部分は除去した。なお、上記ドライエッチングを制御して、トレンチ内に残ったホトレジスト膜 229 の上面の位置は、シリコン酸化膜 216 の上面からほぼ 0.2 μ m 下になるようにした。

次に、上記ホトレジスト膜 229 をマスクにして、上記多結晶シリコン膜 228 の露出された部分をドライエッチングして除去し、第 84 図に示したように、トレンチの内壁上にキャパシタの蓄積電極 217 を形成した。

上記ホトレジスト膜 229 を除去し、所定の洗浄を行なった後、フッ酸水溶液を用いて、

10

20

30

40

50

シリコン酸化膜 216 およびその下のシリコン酸化膜 214 をエッチして除去し、第 85 図に示したように、王冠型の蓄積電極 217 の内面および側面を露出させた。この際、ホトリソグラフィを用い、上記シリコン酸化膜 216、214 のうち、メモリセルアレー領域に形成された部分はエッチして除去し、周辺回路領域に形成された部分はエッチされずに残るようにした。なお、上記ウェットエッチングの際に、少なくともメモリセルアレー領域のシリコン酸化膜 214 の下に、シリコンナイトライド膜 212 があるため、その下の部分がオーバーエッチングされる恐れはない。

第 86 図に示したように、五酸化タンタル (Ta_2O_5) 膜など、シリコン酸化膜より比誘電率の大きな誘電体からなるキャパシタ誘電体膜 218 を形成した。キャパシタ誘電体膜 218 の形成方法としては、段差被覆性の良い CVD 法を用いた。さらに、キャパシタ誘電体膜 218 のシリコン酸化膜換算膜厚は、1 ギガビットクラスの大容量 DRAM では 3 nm 以下にすることが好ましい。なお、本実施例では蓄積電極 217 に多結晶シリコン膜を用いたが、タングステンやチタンナイトライド膜の様な高融点金属膜を用いることもでき、その場合は多結晶シリコン膜表面に存在する自然酸化膜の影響を排除することができるので、キャパシタ誘電体膜のシリコン酸化膜換算膜厚を薄くすることができる。また、キャパシタ誘電体膜の材料としてはシリコンナイトライド膜とシリコン酸化膜の複合膜の他、 $SrTiO_3$ 膜や $(Ba, Sr)TiO_3$ 膜 (BST 膜) のような高誘電体膜、さらには PZT 膜のような強誘電体膜を用いることもできる。

厚さがほぼ 300 nm の厚いタングステン膜を全面に形成した後、CMP 法によって研磨して、第 87 図に示したように、上記シリコン酸化膜 213、216 が除去された領域のみに上記タングステン膜を残し、プレート電極 219 を形成した。なお、本実施例では、CMP 法を用いてプレート電極 219 を形成したが、上記タングステン膜 219 を形成した後、ホトレジスト膜を形成し、全面ドライエッチバックを行なってもよい。また、プレート電極 218 の形成方法としては、段差被覆性の良い CVD 法が好ましい。

層間絶縁膜として厚さが約 200 nm のシリコン酸化膜 220 を形成し、周辺回路部の金属配線 215 上のシリコン酸化膜 216、220 を貫通するスルーホールを形成した後、周知の方法を用いて金属配線 221 を形成して、第 88 図に示した本発明の半導体記憶装置が完成した。

上記説明から明かなように、本実施例における半導体記憶装置の製造方法では、半導体基板の主面上に設けられた絶縁膜を平坦化した後、メモリアレー部における絶縁膜の所定部分を選択的に除去し、除去された部分内に上記キャパシタが形成される。

なお、金属配線 221 としてはアルミニウムなどの低抵抗金属が好ましく、第 88 図に示したようメモリセルアレー内配線として用いることができるため、データ線に接続する信号線や、ワード母線として用いることができる。また、金属配線 221 を形成する際に、層間絶縁膜を平坦化するために、周知プラグ技術や CMP 法を適用することもできる。

なお、本実施例における金属配線 215 は、周辺回路部の第 1 層目の配線層であるが、メモリセルのデータ線として用いた配線電極 210 を周辺回路領域の第 1 層目の配線層として用いてもよい。

さらに、本実施例の蓄積電極 217 として用いた多結晶シリコン膜の表面を凹凸形状にして蓄積電極 21 の表面積を増加させ、蓄積容量をさらに大きくすることもできる。

本実施例によれば、プレート電極 219 は、シリコン酸化膜 216、214 が除去された領域に埋め込まれるため、プレート電極 219 を形成するための余分なホトリソグラフィ工程は必要なく、所要マスク枚数の増加なしに蓄積容量の大きな DRAM が得られる。また、本実施例では金属配線 221 は周辺回路部の MOSFET のソースもしくはトレインに接続された信号線であるが、一定の電位を供給するための電源線であってもよく、また、メモリセルアレー領域と周辺回路領域の標高差を緩和するためのダミーパターンとして、フローティングであってもよい。

実施例 11

本実施例は、上記実施例 10 に示した DRAM において、複数の配線層を周辺回路領域に形成した例である。第 89 図は、本実施例の DRAM のメモリセル群およびそれに隣接す

10

20

30

40

50

る周辺回路領域のM O S F E T部の断面図である。

第89図に示したように、周辺回路領域の金属配線215上には、層間絶縁膜として厚さ約0.3 μ mのシリコン酸化膜231が形成され、さらにその上には厚さ約0.3 μ mの金属配線232が形成されている。この金属配線232は、上記シリコン酸化膜231に形成された開口部を介して金属配線215に接続されている。さらに、上記金属配線232の上には、層間絶縁膜として厚さ約0.3 μ mのシリコン酸化膜233が形成され、さらにその上には厚さ約200nmのシリコン酸化膜237が形成されており、このシリコン酸化膜237の上部に形成された金属配線238が、上記シリコン酸化膜233、237を貫通する開口部を介して金属配線232に接続されている。また、メモリセル上の王冠型キャパシタは、シリコン酸化膜214、231、233が除去されて形成された深い凹部内に形成されており、王冠形状の蓄積電極234の高さは約1 μ mと高く、キャパシタのプレート電極236は上記凹部内に埋め込まれて形成されている。

本実施例によれば、0.15平方ミクロンのメモリセル面積でも電荷蓄積用のキャパシタの蓄積容量を約50fFに大きくすることができ、S/N比が高く、ソフトエラー耐性の大きな動作安定性に優れたダイナミックRAM装置が得られた。しかし、本実施例において、さらに配線層の数を増加させて、王冠型の蓄積電極234の高さをさらに高くし、蓄積容量をさらに大きくできることはいうまでもない。

実施例12

第90図は本実施例のDRAMの断面図である。第90図に示したように、王冠型キャパシタのプレート電極241は、蓄積電極217の内側側面のすべておよび外側側面の一部(上部)を覆っている。本実施例のDRAMの製造方法の特徴は、上記実施例10、第85図に示した工程において、メモリセルアレー領域のシリコン酸化膜214、216を除去する際に、シリコン酸化膜219(第90図では239)のエッチングを途中で止め、第90図に示したように、蓄積電極217の外側では、膜厚が薄くなったシリコン酸化膜239が残るようにした点である。製造方法のその他の点は実施例10と同様である。本実施例によれば、シリコン酸化膜をエッチして凹部を形成する際のエッチングストップ膜が不要になるので、シリコン酸化膜214の下のシリコン窒化膜212(実施例10、第76図)は不要である。

実施例13

第92図は本実施例のDRAMの断面図である。本実施例では、王冠型キャパシタのプレート電極219は、シリコン酸化膜216上に延在しているので、プレート電極219に電位を給電するための配線とは、上記シリコン酸化膜216の上において接続することができる。上記プレート電極219はホトリソグラフィとドライエッチングによりパターンニングして形成されるが、この際のパターンのエッジの位置はすべてシリコン酸化膜216上になる。また、プレート電極219は凹部内にすべて埋め込む必要がなく、層間絶縁膜に用いるシリコン酸化膜220をキャパシタが形成されている凹部内に埋め込んで表面が平坦化されている。

本実施例によれば、プレート電極219と給電用の配線を、任意の位置で互いに接続することができ、設計の自由度が増し、チップ面積を縮小することができる。

なお、以上説明した各実施例では金属配線間の層間絶縁膜として、シリコン酸化物より誘電率が大きい膜を用いたが、シリコン酸化膜より誘電率が小さい材料の膜であってもよい。また、上記実施例では王冠型やトレンチ型のキャパシタを有する場合について説明したが、蓄積電極の厚さを厚くして、その上部および側部の表面にキャパシタ絶縁膜とプレート電極を形成した厚膜キャパシタのような立体構造のキャパシタにも応用することができる。

また、上記各実施例は本発明をDRAMに適用した例であるが、メモリセルにキャパシタを有するスタティックRAM、多結晶薄膜トランジスタ(TFT)をメモリセルの負荷素子に用いたスタティックRAM、さらにはキャパシタ絶縁膜に強誘電体を用いたメモリにも本発明が適用できる。また、デジタル回路のや、アナログ回路で一般に用いられているスイッチドキャパシタ、パスコンデンサ、レギュレータに用いる静電容量の大きなキャパ

10

20

30

40

50

シタなどにも応用できる。

さらに、本発明をメモリとロジックが混在したオンチップLSIに適用することによって、キャパシタが形成されている絶縁膜の位置にロジック部の配線層を形成することもできる。さらに、本発明によれば、キャパシタの位置に形成する周辺回路部の配線層に銅のような低抵抗の金属材料を用いることができ、高速動作が可能な半導体記憶装置がえられる。

また、本発明によれば、トレンチの深さを変えることによって、原理的にはどのような大きさの蓄積容量でも実現できる。しかも、基板にトレンチを形成する従来のトレンチ容量型セルと異なり、トレンチが形成される部分の平面積を大きくできるため、トレンチのアスペクト比を大きくする必要がなく、トレンチのみではなくキャパシタの形成が容易である。

10

さらに、キャパシタの蓄積電極は、キャパシタの下に形成された接続プラグを介して、MOSトランジスタの拡散領域と電氣的に接続できるので、従来のトレンチ容量型セルの最大の課題の一つが解決された。また、トレンチのアスペクト比が大きくないため、シリコン酸化膜とシリコン窒化膜以外の絶縁膜をキャパシタ絶縁膜として使用することも容易である。

キャパシタの下部に配線層が設けられているため、最上層に引上げなければならない配線の数的大幅に低減され、その結果、引き上げる部分の配線の設計ルールは非常に緩やかになり、ギガビット級のメモリでも、16メガビットのルールである0.5μm程度の設計ルールで十分である。

20

さらに、層間酸化膜の平坦化を容易に行うことができるため、リソグラフィ技術を用いて微細なパターンを形成するのは容易である。

トレンチの深さを大きくすると、アスペクト比は大きくなるが、本発明ではトレンチが基板の上に形成されるため、トレンチを基板に形成する従来のトレンチ容量型セルに比べて、トレンチが形成される領域の面積をはるかに大きくすることができ、トレンチのアスペクト比は従来よりはるかに小さい。また、キャパシタの蓄積電極を、多結晶シリコンのプラグによって、拡散層と自動的に電氣的接触させることができ、これにより、従来のトレンチ容量型セルの最大の課題が解消された。

また、キャパシタ絶縁膜として、シリコン酸化膜と窒シリコン化膜以外の絶縁膜を使用できるので、高い誘電率を有する誘電体をキャパシタ絶縁膜として使用することができ、容量が大きいにもかかわらず、アスペクト比の小さいトレンチキャパシタが実現される。

30

基板の上方にトレンチが形成されていると、配線を最上層まで引上げるのに必要な距離が増大するが、本発明では配線層がキャパシタの下部に設けられ、最上層まで引上げなければならない配線の数的大幅に低減されしている。その結果、引き上げる部分の配線の設計ルールは非常に緩やかになり、ギガビット級のメモリでも、寸法は16メガビットのルールである0.5μm程度でよい。そのため、配線製造は極めて容易である。

さらには、各層間膜の表面の平坦化が容易なので、リソグラフィによって微細なパターンを容易に形成することができ、焦点裕度が小さい微細なパターンの形成に極めて有利である。

さらに、メモリセルアレー領域と周辺回路領域の間の段差の発生は大幅に緩和され、各領域および両領域をまたがる部分に微細な配線を形成することができるので、ソフトエラー耐性の高い、高信頼で高集積な半導体集積回路装置を形成することができる。

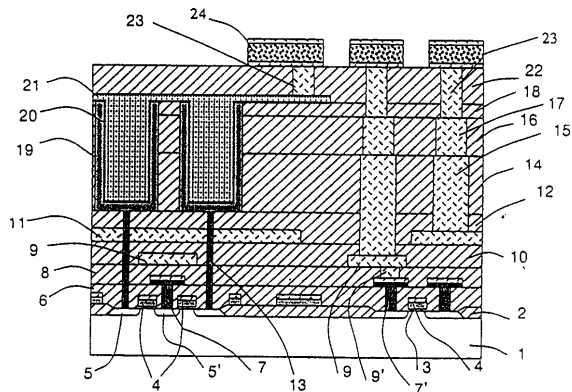
40

また、メモリセル領域と周辺回路領域の間に大きな段差が生じないので、上記両領域にそれぞれ、および両領域間を結ぶ微細配線を容易に形成できる。

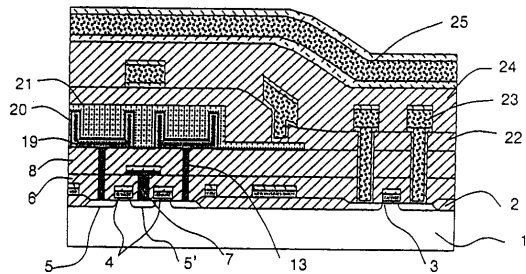
〔産業上の利用可能性〕

以上説明したように、本発明は集積密度が極めて高い大容量のDRAMに好適である。

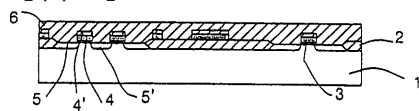
【 図 1 】



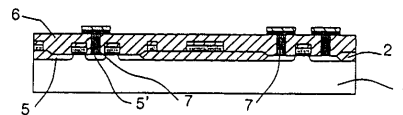
【 図 2 】



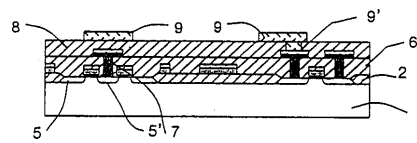
【 図 3 】



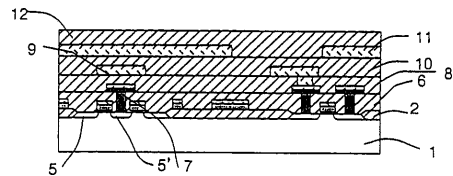
【 図 4 】



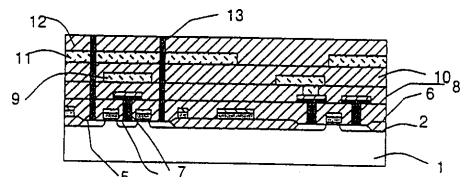
【 図 5 】



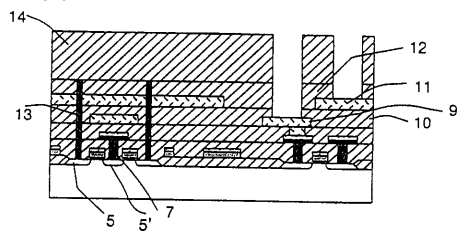
【 図 6 】



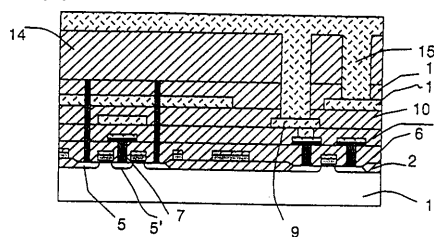
【圖 7】



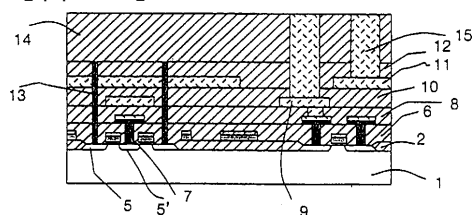
【圖 8】



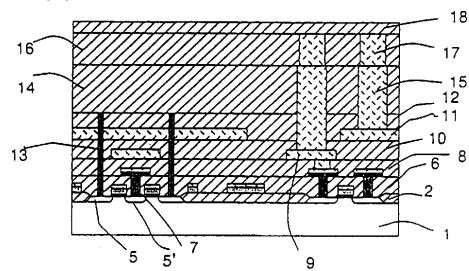
【圖 9】



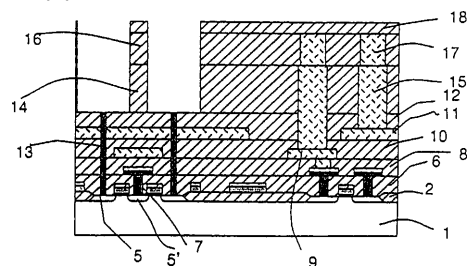
【 図 1 0 】



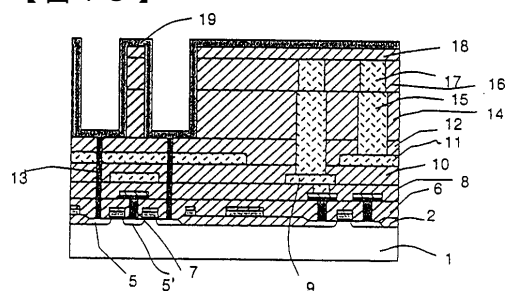
【 図 1 1 】



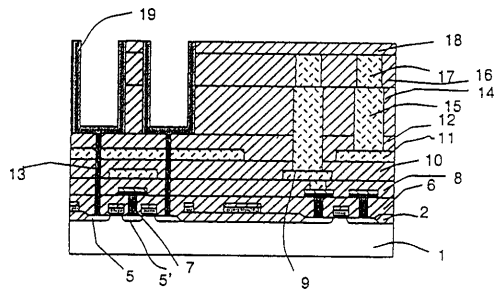
【圖 12】



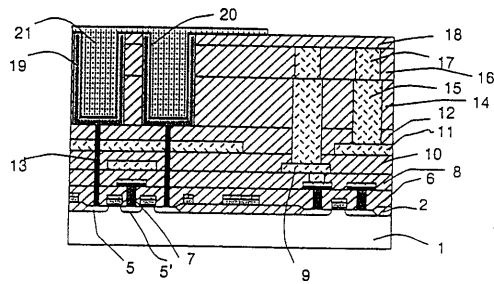
【 図 1 3 】



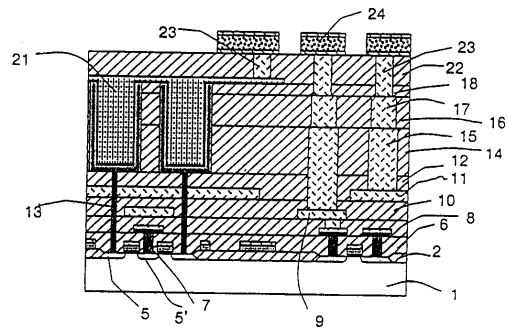
【図14】



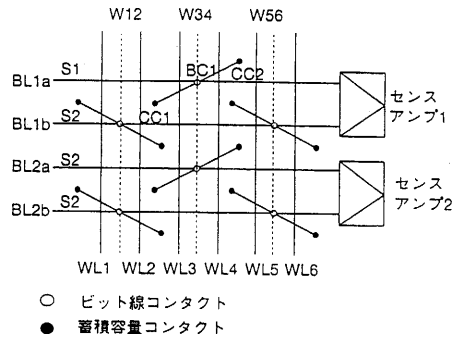
【図15】



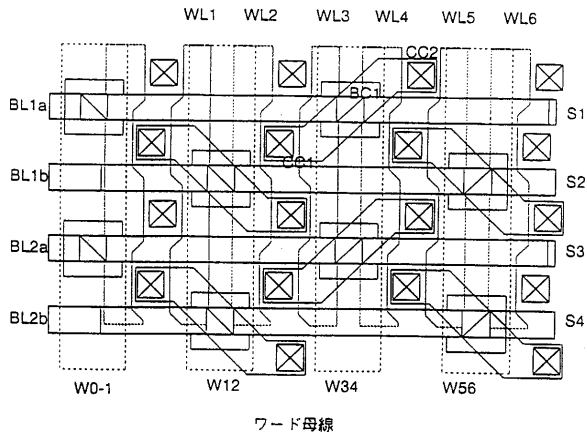
【図16】



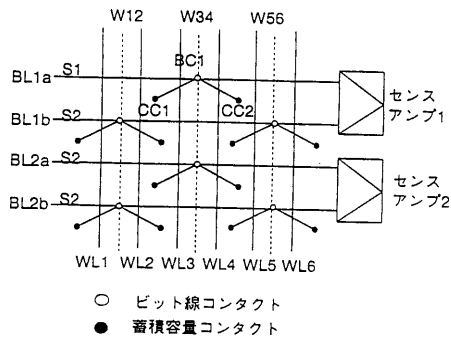
【図17】



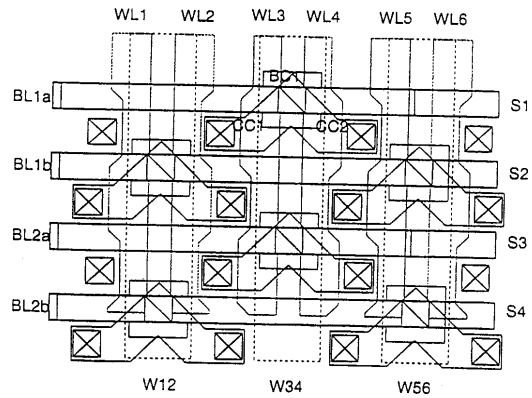
【図18】



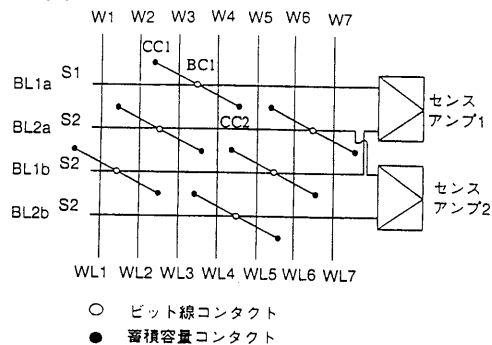
【図19】



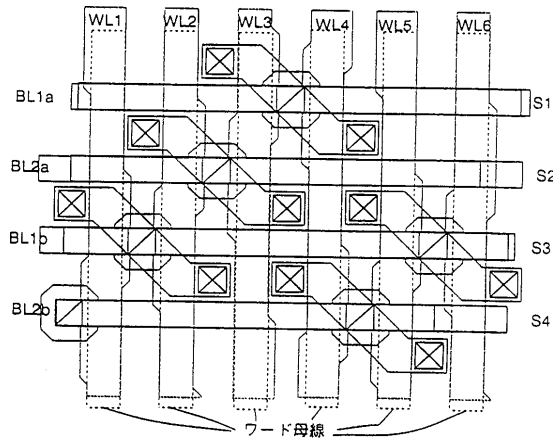
【図20】



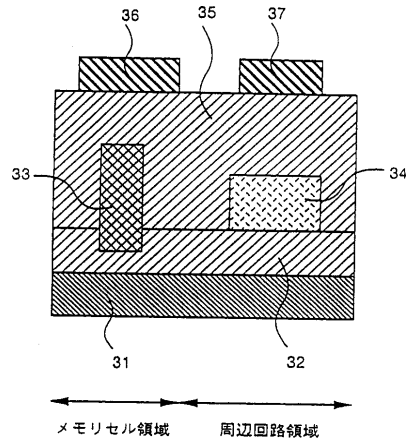
【図21】



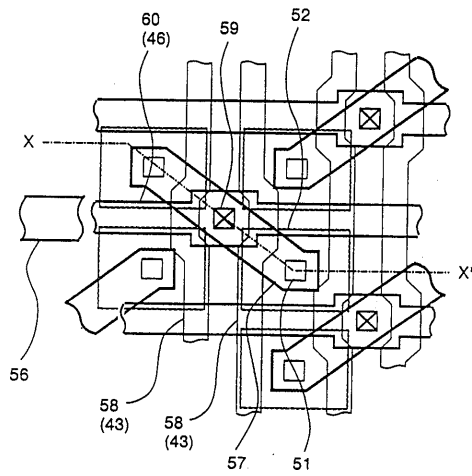
【 図 2 2 】



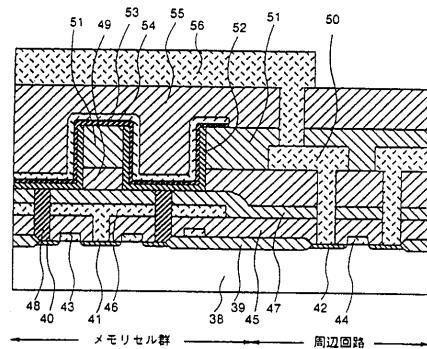
【圖 23】



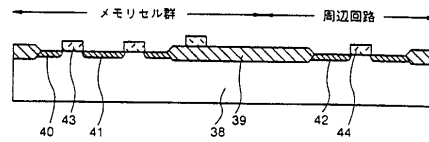
【 図 2 4 】



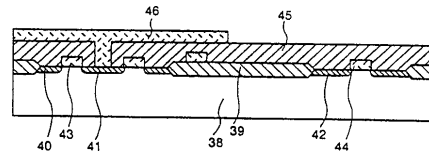
【 図 2 5 】



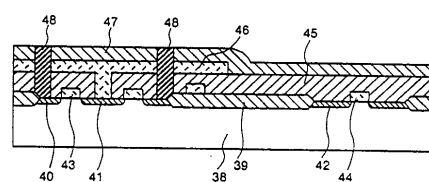
【 図 2 6 】



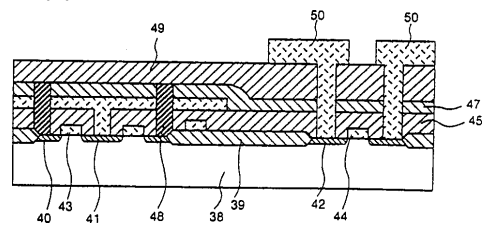
【圖 27】



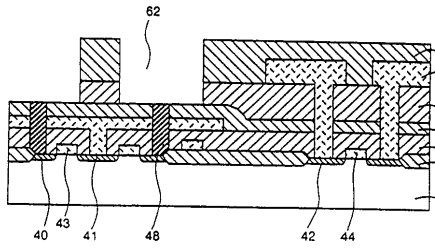
【 図 2 8 】



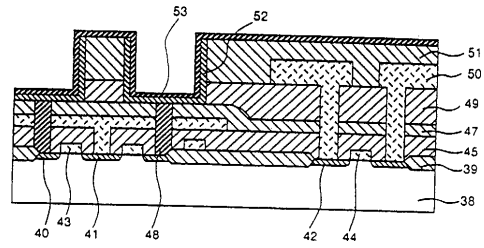
【圖 29】



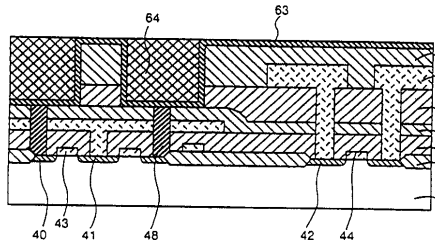
【図 30】



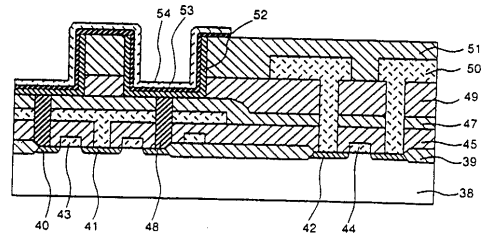
【図 33】



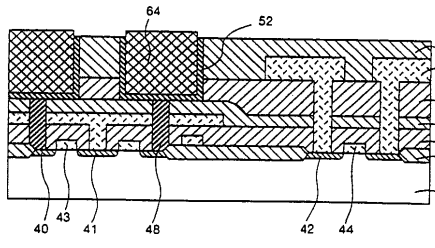
【図 31】



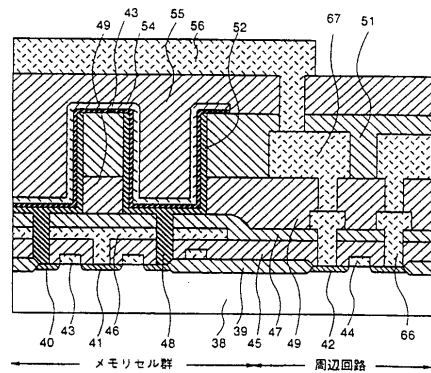
【図 34】



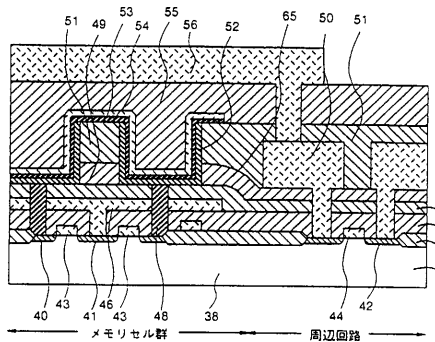
【図 32】



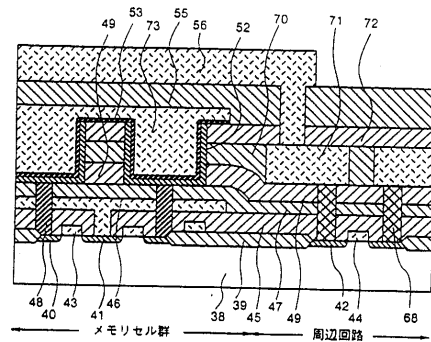
【図 37】



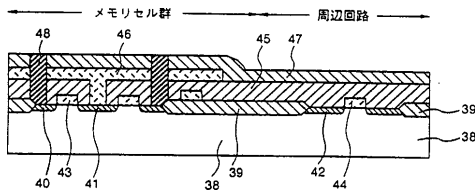
【図 36】



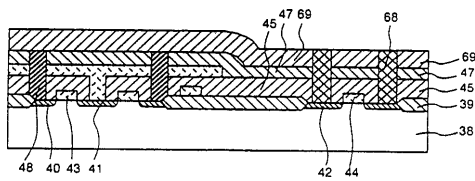
【図 38】



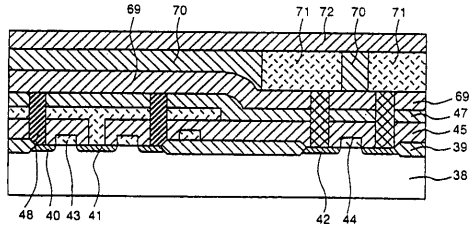
【図 39】



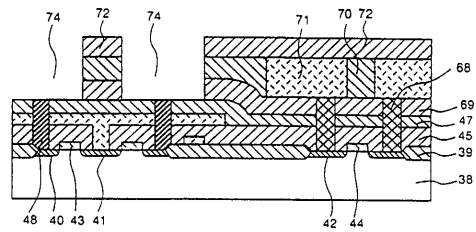
【図 40】



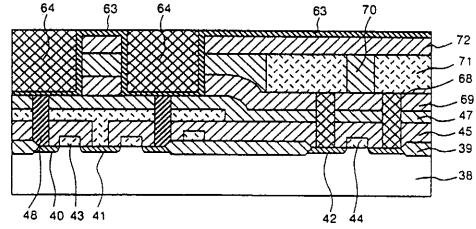
【図 41】



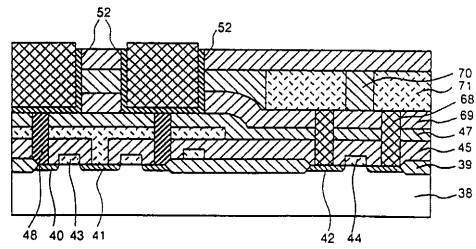
【図 42】



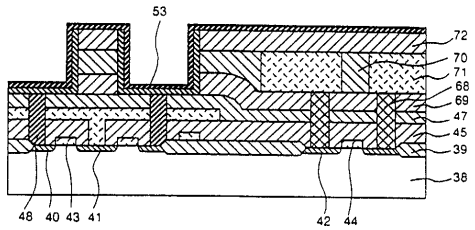
【図 43】



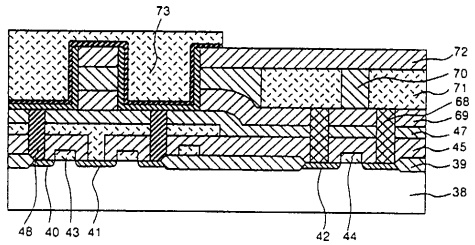
【図 44】



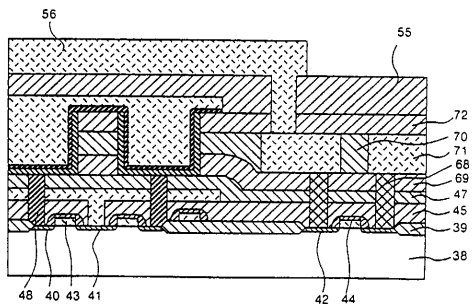
【図 45】



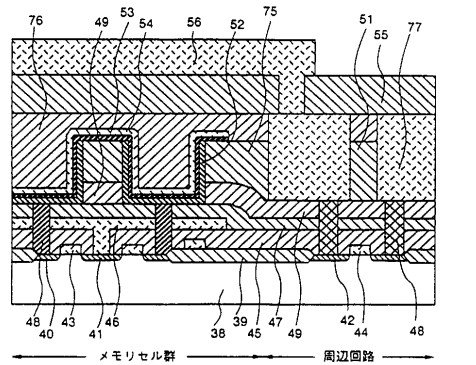
【図 46】



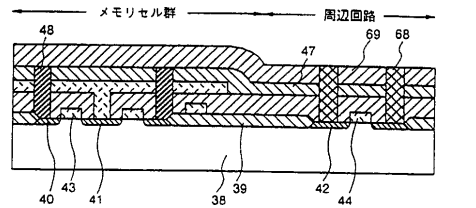
【図 47】



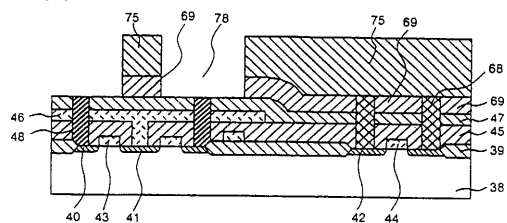
【図 48】



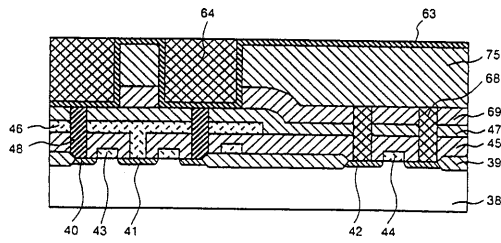
【図 49】



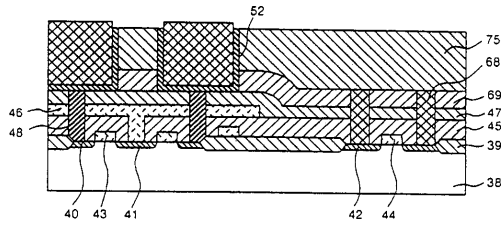
【図 50】



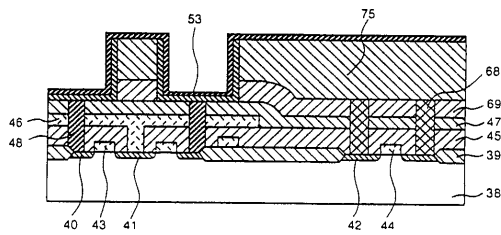
【図 5 1】



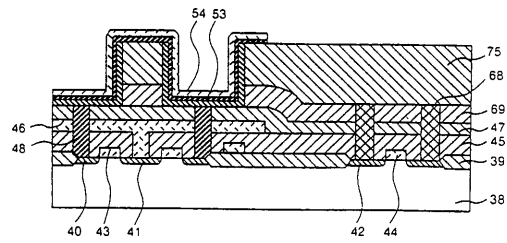
【図 5 2】



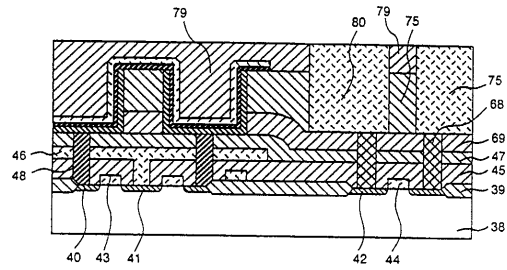
【図 5 3】



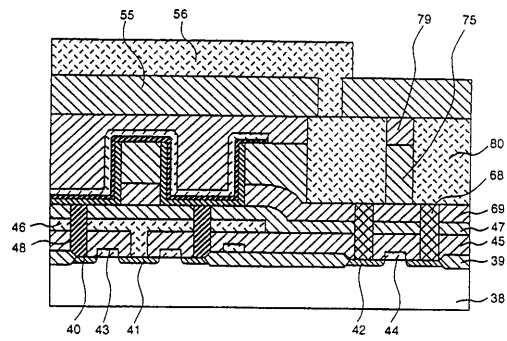
【図 5 4】



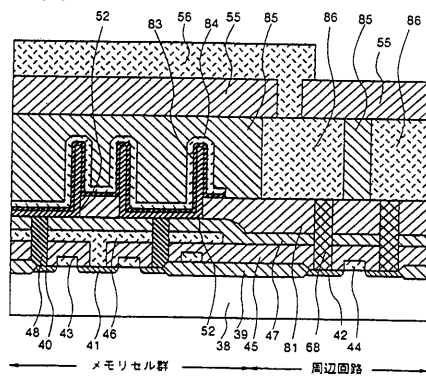
【図 5 5】



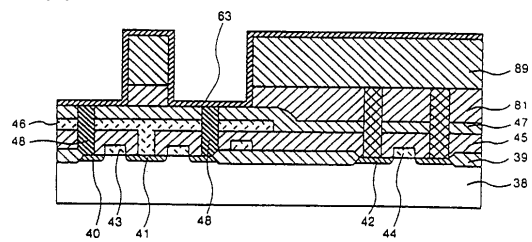
【図 5 6】



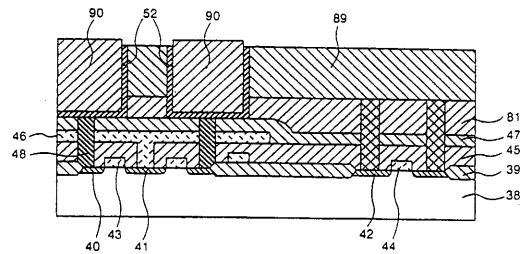
【図 5 7】



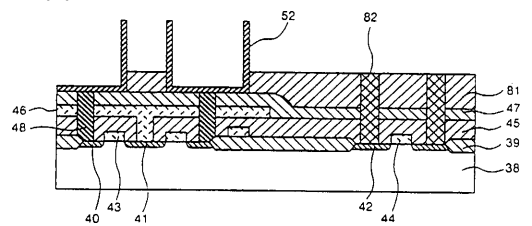
【図 6 0】



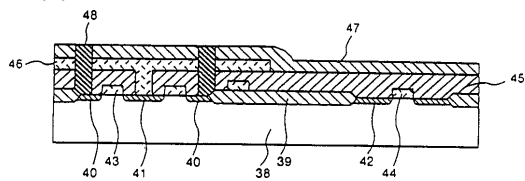
【図 6 1】



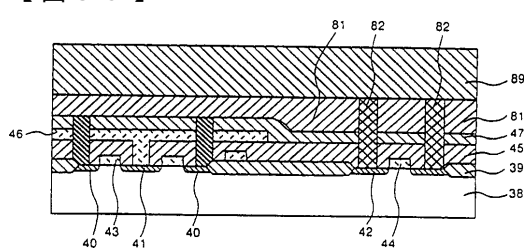
【図 6 2】



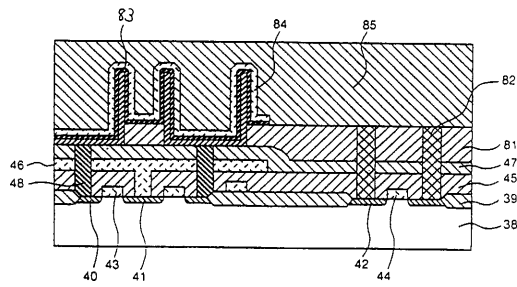
【図 5 8】



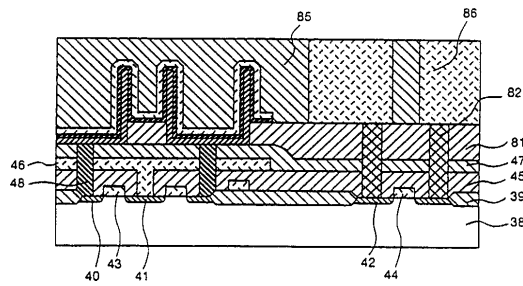
【図 5 9】



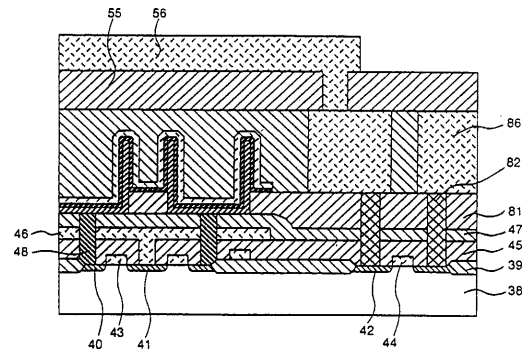
【図 63】



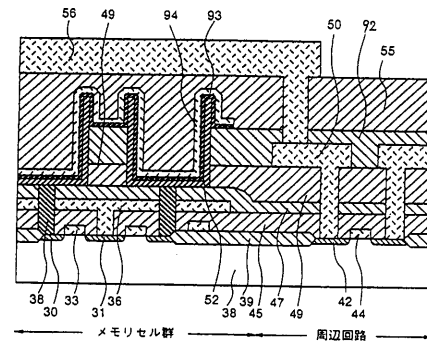
【図 64】



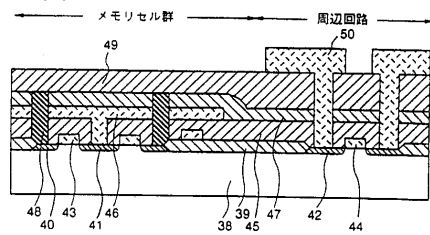
【図 65】



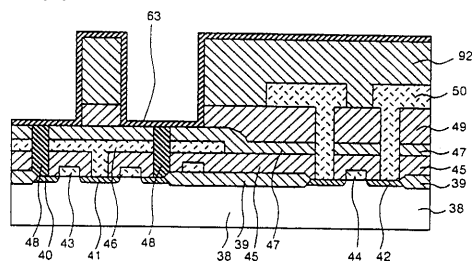
【図 66】



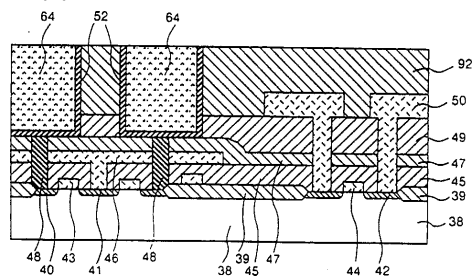
【図 67】



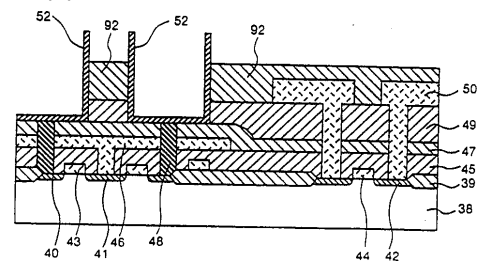
【図 68】



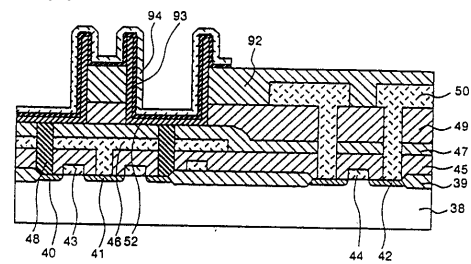
【図 69】



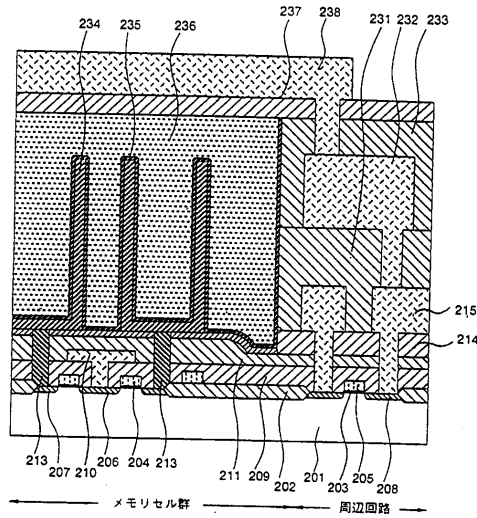
【図 70】



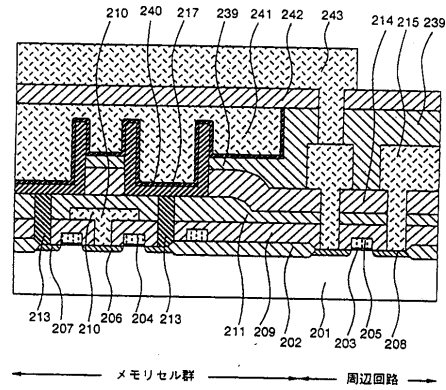
【図 71】



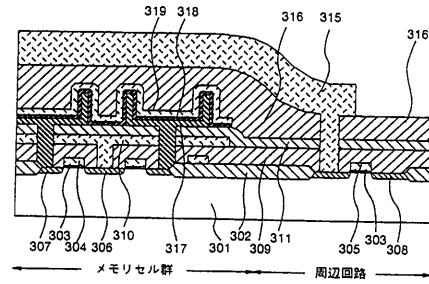
【図 89】



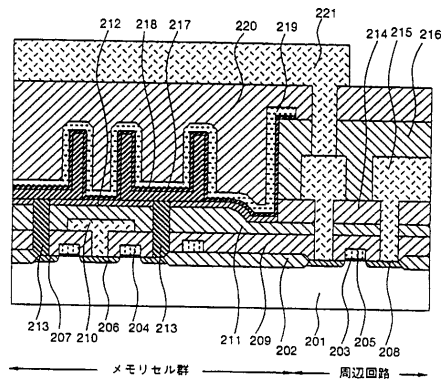
【図 90】



【図 91】



【図 92】



フロントページの続き

- (72)発明者 阪田 健
東京都小平市小川西町4 - 7 - 11 - 401
- (72)発明者 関口 知紀
東京都国分寺市西恋ヶ窪4 - 14 - 6 日立第4 協心寮
- (72)発明者 松岡 秀行
東京都保谷市住吉町6 - 8 - 25

審査官 正山 旭

- (56)参考文献 特開平05 - 291526 (JP, A)
特開平06 - 045553 (JP, A)
特開平06 - 037272 (JP, A)
特開平07 - 007084 (JP, A)
特開平04 - 010651 (JP, A)
特開平03 - 167874 (JP, A)
特開平06 - 302764 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108