

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月30日(30.08.2012)



(10) 国際公開番号
WO 2012/115052 A1

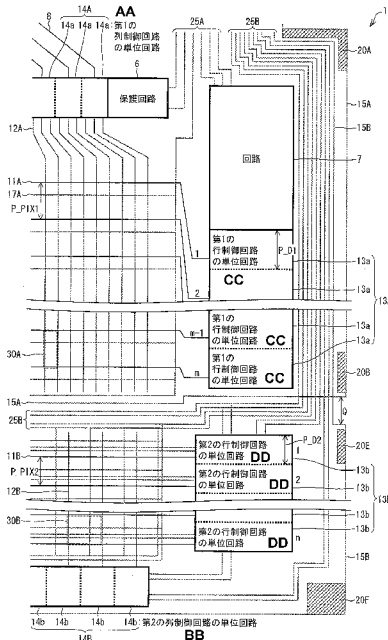
- (51) 国際特許分類:
G09F 9/00 (2006.01) G09G 3/36 (2006.01)
G02F 1/1345 (2006.01) H01L 51/50 (2006.01)
G09F 9/40 (2006.01) H05B 33/06 (2006.01)
G09G 3/20 (2006.01) H05B 33/14 (2006.01)
G09G 3/30 (2006.01)
- (21) 国際出願番号: PCT/JP2012/054003
- (22) 国際出願日: 2012年2月20日(20.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-040636 2011年2月25日(25.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 藤川 陽介
(FUJIKAWA, Yohsuke).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋2丁目北2
番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: DISPLAY PANEL, DISPLAY DEVICE PROVIDED WITH DISPLAY PANEL, AND ELECTRONIC DEVICE PROVIDED WITH DISPLAY PANEL

(54) 発明の名称: 表示パネル、および、該表示パネルを備えた表示装置、ならびに、該表示パネルを備えた電子機器

[図1]



6 PROTECTION CIRCUIT
7 CIRCUIT
AA UNIT CIRCUIT OF FIRST COLUMN CONTROL CIRCUIT
BB UNIT CIRCUIT OF SECOND COLUMN CONTROL CIRCUIT
CC UNIT CIRCUIT OF FIRST ROW CONTROL CIRCUIT
DD UNIT CIRCUIT OF SECOND ROW CONTROL CIRCUIT

(57) Abstract: A display panel (1) according to the present invention, wherein, when the array pitch of a plurality of first row control wires (11A) in a first screen (10A) is set to P_PIX1, and the array pitch of a plurality of unit circuits (13A) in a first row control circuit (13A) is set to P_D1, the relationship P_PIX1 > P_D1 is established. Furthermore, from among the plurality of first row control wires (11A) extracted between the first row control circuit (13A) and the first screen (10A), a wire close to an external terminal (9) serves as a long-distance diagonal wire, and a wire close to a second screen (10B) serves as a short-distance diagonal wire.

(57) 要約: 本発明に係る表示パネル(1)においては、第1の画面(10A)における複数の第1の行制御線(11A)の配列ピッチをP_PIX1とし、第1の行制御回路(13A)の複数の単位回路(13a)の配列ピッチをP_D1とすると、P_PIX1 > P_D1の関係が成立する。さらに、第1の行制御回路(13A)と第1の画面(10A)との間に引き出される複数の第1の行制御線(11A)のうち、外部端子(9)寄りのものは長距離の斜め配線とし、第2の画面(10B)寄りのものは短距離の斜め配線としている。

WO 2012/115052 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

表示パネル、および、該表示パネルを備えた表示装置、ならびに、該表示パネルを備えた電子機器

技術分野

[0001] 各種の駆動回路が基板上にモノリシック化されて形成されている表示パネル、および、該表示パネルを備えた表示装置、ならびに、該表示パネルを備えた電子機器に関する。

背景技術

[0002] 液晶パネルに代表される表示パネルは一般的に実用化されており、様々な電子機器、特に携帯電子機器に搭載されている。近年ではより一層の小型化を図るために、多結晶シリコンを利用した各種の駆動回路を基板上にモノリシックに形成した表示パネルが製品化されている。さらには、多様な回路を1枚の基板上に形成可能であることを利用して、1枚の表示パネルに2つの表示画面を備えた表示パネルも製品化されている。

[0003] 例えば、特許文献1には2つの表示画面を備えた表示パネルが開示されている。このような表示パネルの構成について、図4および図5を参照して説明する。図4および図5は、表示パネルの概略構成を示す斜視図である。

[0004] 図4に図示するように、表示パネル100は、ガラスからなる対向側基板103と素子側基板105とが貼り合せられた構成をしている。この表示パネル100では、該表示パネル100を平面視したとき（すなわち、表示パネル100を上方から見たとき）に、外部端子109と、第1の画面110Aと、第2の画面110Bとがこの順で並んでいる。この際、外部端子109は、第1の画面110Aおよび第2の画面110Bを取り囲む額縁領域（縁部）のうち、第1の画面110Aを介して第2の画面110Bと対向する額縁領域に設けられている。したがって、外部端子109は、額縁領域を構成する四辺のうち、1つの辺にのみ設けられている。このように、額縁領域の

1つの辺のみに外部端子109が配置された構成は「3辺フリー構造」と呼ばれ、電気機器への組み込みの扱いが容易になる利点があることから、近年特に好まれている構成である。

[0005] 表示パネル100では、第1の画面110Aには高解像度（例えば、640RGB×960）の透過型のカラー表示を行い、第2の画面110Bには低解像度（例えば、208×40）の半透過型の白黒表示を行っている。このように、表示パネル100では、第1の画面110Aおよび第2の画面110Bを備えていることから、表示したい内容とその利用場面とに応じた使い分けが可能な構成とされている。

[0006] 図5に示すように、第1の画面110Aは、第1の画面110Aを制御する2つの第1の行制御回路113Aおよび第1の列制御回路114A、ならびに、第1の対向電極102Aを備えている。一方、第2の画面110Bは、第2の画面110Bを制御する第2の行制御回路113Bおよび第2の列制御回路114B、ならびに、第2の対向電極102Bを備えている。ここで、第1の画面110Aと第2の画面110Bとは電氣的に独立しており、必要であれば一方の動作を停止させて消費電力を削減することができる。

[0007] 第1の画面110Aにおいては、個々の表示素子は複数の第1の行制御線111Aと複数の第1の列制御線112Aとの交点付近に形成され、薄膜トランジスタ（図示せず）および画素電極（図示せず）を基本構成物として有している。同様に、第2の画面110Bにおいては、複数の第2の行制御線111Bと複数の第2の列制御線112Bとの交点付近に個々の表示素子は形成され、薄膜トランジスタ（図示せず）および画素電極（図示せず）を基本構成物として有している。ここで、2つの第1の行制御回路113Aは、第1の画面110Aの周囲の額縁領域のうち、複数の第1の列制御線112Aと平行な2つの額縁領域（すなわち、左右の縁部）にそれぞれ配置され、複数の第1の行制御線111A（ゲートバスライン）を左右から制御する。なお、第1の行制御回路113Aは、外部端子109側の端部にバッファ回路または保護回路等の回路107を備えている場合もある。また、第1の列

制御回路 114Aは、外部端子109と第1の画面110Aとの間の額縁領域に配置され、複数の第1の列制御線112A（ソースバスライン）を制御する。なお、第1の列制御回路114Aは、第1の行制御回路113A側の両端部にそれぞれ保護回路6が配置されていてもよい。

[0008] なお、第1の列制御回路114Aは、ドライバIC116からのビデオ信号を、1つの画素を構成する赤色（R）、緑色（G）、および、青色（B）の各副画素の第1の列制御線112Aに振り分ける簡単なRGBスイッチの役割を担う。これによって、ドライバIC116からの出力配線の数減らすことが可能になり、少ないドライバIC116であっても高精細な表示が可能となる。

[0009] 第1の対向電極102Aは、第1のコモン転移用配線115Aおよびコモン転移部120A～120Dを介して素子側基板105の外部端子109に電氣的に接続されている。図5では、第1のコモン転移用配線115Aに接続されているコモン転移部は4箇所（A～D）あり、これらは第1の画面110Aの4隅近傍に形成されている。一方、第2の対向電極102Bは、第2のコモン転移用配線115Bおよびコモン転移部120E～120Hを介して素子側基板105の外部端子109に電氣的に接続されている。図5では、第2のコモン転移用配線115Bに接続されているコモン転移部は4箇所（E～H）あり、これらは第2の画面110Bの4隅近傍に形成されている。

[0010] 各コモン転移部120A～120Dおよび対向電極102A、ならびに、各コモン転位部120E～120Hおよび対向電極102Bは、それぞれシール材104に含有されている導電部材または導電性のペーストを介して電氣的に接続されている。第2の画面110Bの駆動に必要な制御線（電源線およびクロック信号線等を含む）は、表示パネル100の第1の行制御回路113Aを迂回するように表示パネル100の額縁領域を通り抜けて、表示パネル100に設けられた外部端子109に引き出されている。

先行技術文献

特許文献

- [0011] 特許文献1：日本国公開特許公報「特開 2 0 0 1－7 5 5 0 3 号公報（2 0 0 1 年 3 月 2 3 日公開）」

発明の概要

発明が解決しようとする課題

- [0012] 図 5 に示す表示パネル 1 0 0 では、外部端子 1 0 9 と、第 1 の画面 1 1 0 A と、第 2 の画面 1 1 0 B とがこの順で並んでいるため、第 2 の画面 1 1 0 B の制御線は、第 1 の行制御回路 1 1 3 A の傍らを迂回して該外部端子 1 0 9 に引き出されている。このため、表示パネル 1 0 0 における外部端子 1 0 9 側の額縁領域の隅部分に配線レイアウトが集中してしまう。この結果、表示パネル 1 0 0 の外部端子 1 0 9 側の額縁領域が大きくなり、表示パネル 1 0 0 を組み込んだ電子機器の商品性の魅力が乏しくなってしまう。
- [0013] そこで、本発明は上記の課題に鑑みてなされたものであり、その目的は、表示パネルにおける外部端子側の額縁領域の隅部分に配線レイアウトが集中することに起因して、表示パネルにおける外部端子側の額縁領域の隅部分が大きくなることを防ぐことができる表示パネル、および、該表示パネルを備えた表示装置、ならびに、該表示パネルを備えた電子機器を提供することにある。

課題を解決するための手段

- [0014] 本発明の一態様に係る表示パネルは、上記の課題を解決するために、表示領域と、当該表示領域を取り囲む非表示領域である額縁領域とを有する基板を備えた表示パネルであって、上記額縁領域を構成する四辺のうちいずれか 1 つの辺のみに配置されている外部端子と、上記外部端子が形成されている辺と平行に配置された複数の第 1 の行制御線と、該複数の第 1 の行制御線と交差する複数の第 1 の列制御線とを含み、上記表示領域内に設けられている第 1 の画面と、上記複数の第 1 の行制御線よりも少なくかつ上記複数の第 1 の行制御線と平行に配置されている複数の第 2 の行制御線と、該複数の第 2

の行制御線と交差する複数の第2の列制御線とを含み、上記表示領域内において上記第1の画面を介して上記外部端子と対向する位置に設けられている第2の画面と、上記第1の行制御線ごとに設けられかつ上記複数の第1の行制御線と直交する方向に並んで配置されている第1の行単位回路を複数含み、上記外部端子が配置されている上記辺と直交する上記辺に配置されている第1の行制御回路と、上記第2の行制御線ごとに設けられかつ上記複数の第2の行制御線と直交する方向に並んで配置された第2の行単位回路を複数含み、上記第1の行制御回路が配置されている上記辺に配置されている第2の行制御回路と、上記外部端子から上記第2の画面まで上記第1の行制御回路を迂回するように上記額縁領域内を通して延伸している、上記第2の画面を制御するための制御線とをさらに備えており、上記複数の第1の行単位回路の配列ピッチは、上記複数の第1の行制御線の配列ピッチよりも小さく、上記第1の画面における上記第2の画面側の端部と、上記第1の行制御回路における上記第2の行制御回路側の端部とは、略一直線上に並んでいることを特徴としている。

[0015] 上記の構成にすることによって、第1の行制御回路の長さ（列方向の寸法）を小さくすることができる。結果、第1の画面の周囲の額縁領域に空き領域を生み出すことができる。

[0016] さらに、第1の行制御回路における第2の行制御回路側の端部と、第1の画面における第2の画面側の端部とが略一直線上に並ぶように構成している。これによって、第1の行制御回路における外部端子側の端部の位置を、第2の行制御回路側に移動することができる。結果、外部端子側の額縁領域、より具体的には、外部端子側の額縁領域の隅部分に空き領域が生じる。

[0017] したがって、複数の第1の行制御線よりも複数の第1の行単位回路の配列ピッチを小さくすると共に、第1の行制御回路における第2の行制御回路側の端部と第1の画面における第2の画面側の端部とを略一直線上に並べていることによって、表示パネルの隅部分に空き領域を生み出すことができる。この生じた空き領域を利用して、制御線（電源線およびクロック信号線等を

含む)を外部端子まで引き出すことができる。すなわち、外部端子側の額縁領域の隅部分に配線レイアウトが集中してしまうがために、外部端子側の額縁領域を大きくしなくても、第2の画面の制御線を外部端子まで引き出すことができる。

[0018] また、本発明の一態様に係る表示装置は、上述した表示パネルを備えていることを特徴としている。

[0019] 上記の構成によれば、外部端子側の額縁領域の隅部分に配線レイアウトが集中してしまうがために、外部端子側の額縁領域を大きくしなくても、第2の画面を制御するための制御線を外部端子まで引き出すことができる。結果、商品性の高い表示パネルを提供することができる。

[0020] また、本発明の一態様に係る電子機器は、上述した表示パネルを備えていることを特徴としている。

[0021] 上記の構成によれば、外部端子側の額縁領域の隅部分に配線レイアウトが集中してしまうがために、外部端子側の額縁領域を大きくしなくても、第2の画面を制御するための制御線を外部端子まで引き出すことができる。結果、商品性の高い電子機器を提供することができる。

[0022] 本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

発明の効果

[0023] 本発明によれば、外部端子側の額縁領域の隅部分に配線レイアウトが集中してしまうがために、外部端子側の額縁領域を大きくしなくても、第2の画面を制御するための制御線を外部端子まで引き出すことができる。結果、表示パネルを使った表示装置あるいは電子機器の商品性を高めることができる。また、額縁領域が縮小されたことにより、表示パネルを基板上に複数配置することができる結果、表示パネルの製造コストの増加を抑制することができる。

図面の簡単な説明

[0024] [図1]本発明の実施の一形態に係る表示パネルの素子側基板の一部を拡大した図である。

[図2]本発明の実施の一形態に係る表示パネルの概略構成を示す斜視図である。

[図3]第1の行制御回路に係る複数の単位回路の配列ピッチと、各単位回路の幅との定性的な関係を示す図である。

[図4]従来の表示パネルの概略構成を示す斜視図である。

[図5]従来の表示パネルの概略構成を示す斜視図である。

発明を実施するための形態

[0025] 本発明の実施の形態について図面を参照して説明すれば、以下の通りである。

[0026] (1. 表示パネルの構成)

まず、本実施の形態に係る表示パネルについて、図2を参照して説明する。図2は、本実施の形態に係る表示パネル1の概略構成を示す斜視図である。なお、説明の便宜上、以下の説明では、第1の行制御線および第2の行制御線の延伸方向を行方向として説明し、第1の列制御線および第2の列制御線の延伸方向を列方向として説明する。ただし、本実施の形態に係る表示パネル1の使用に際し、上記の第1の行制御線および第2の行制御線が横方向に延伸されていても、縦方向に延伸されていてもよいことは言うまでもない。ところで、以下では、表示パネル1が液晶パネルである場合を想定して説明するが、本実施の形態はこれに限定されるわけではない。

[0027] 図2に示すように、本実施の形態に係る表示パネル1は、従来の表示パネルと同じく、ガラスからなる対向側基板3および素子側基板5それぞれの表面に形成された構成物が互いに向かい合うようにして、シール材4を介して両基板を貼り合せた構成をとる。また、表示パネル1を平面視したとき（すなわち、表示パネル1を上方から見たとき）に、該表示パネル1の外部端子9と、第1の画面10Aと、第2の画面10Bとがこの順で並んでいる。この際、外部端子9は、第1の画面10Aおよび第2の画面10Bを取り囲む

額縁領域（縁部）のうち、第1の画面10Aを介して第2の画面10Bと対向し、行方向に延伸する額縁領域（すなわち、紙面上の上部の縁部）に設けられている。したがって、表示パネル1は、額縁領域を構成する四辺のうち、1つの辺にのみ外部端子9を設けている、いわゆる「3辺フリー構造」である。

[0028] 第1の画面10Aは、第1の画面10Aを制御する2つの第1の行制御回路13Aおよび第1の列制御回路14A、ならびに、第1の対向電極2Aを備えている。第1の対向電極2Aは、第1のコモン転移用配線15Aおよびコモン転移部20A～20Dを介して素子側基板5の外部端子9に電氣的に接続されている。図2では、第1のコモン転移用配線15Aに接続されているコモン転移部は4箇所（A～D）あり、これらは第1の画面10Aの4隅近傍に形成されている。これらのコモン転位部20A～20Dには、対向電極2Aからの電位がコモン転位用配線15Aを介して与えられる。

[0029] 一方、第2の画面10Bは、第2の画面10Bを制御する第2の行制御回路13Bおよび第2の列制御回路14B、ならびに、第2の対向電極2Bを備えている。第2の対向電極2Bは、第2のコモン転移用配線15Bおよびコモン転移部20E～20Hを介して素子側基板5の外部端子9に電氣的に接続されている。図2では、第2のコモン転移用配線15Bに接続されているコモン転移部は4箇所（E～H）あり、これらは第2の画面10Bの4隅近傍に形成されている。これらのコモン転位部20E～20Hには、対向電極2Bからの電位がコモン転位用配線15Bを介して与えられる。

[0030] 各コモン転移部20A～20Dおよび対向電極2A、ならびに、各コモン転位部20E～20Hおよび対向電極2Bは、それぞれシール材4に含有されている導電部材を介して電氣的に接続されている。なお、各コモン転移部20A～20Dおよび対向電極2A、ならびに、各コモン転位部20E～20Hおよび対向電極2Bは、それぞれ導電性ペーストを介して導通させることは可能である。しかしながら、第1の画面10Aと第2の画面10Bとが近接していることからコモン転位部20B、20C、20E、20Hも互い

に近接しているため、導電性ペーストの塗布ミスにより短絡する虞がある。そのため、各コモン転移部20A～20Dおよび対向電極2A、ならびに、各コモン転位部20E～20Hおよび対向電極2Bの導通には、導電部材を用いるのが好ましい。

[0031] ここで、第1の画面10Aと第2の画面10Bとは電氣的に独立しており、必要であれば一方の動作を停止させて消費電力を削減することができる。本実施の形態では、第1の画面10Aには高解像度（例えば、4.23型の540RGB×960）の透過型のカラー表示を行い、第2の画面10Bには低解像度（例えば、2.07型の304×56）の半透過型の白黒表示を行う。つまり、第1の画面の行数（第1の行制御線11Aの数）を m とし、第2の画面の行数（第2の行制御線11Bの数）を n とすると、 $m > n$ の関係にある。したがって、第2の行制御線11Bの数は、第1の行制御線11Aの数よりも少ない。

[0032] （2. 画面の構成）

以下では、表示パネル1の画面構成について、図1を参照して説明する。図1は、本実施の形態に係る表示パネル1の素子側基板5の一部を拡大した図である。

[0033] 図1に示すように、表示パネル1の素子側基板5には、2つの第1の行制御回路13A、第2の行制御回路13B、第1の列制御回路14A、および、第2の列制御回路14B等の駆動回路と、外部端子9とがモノリシックに配置されている。これらの駆動回路および外部端子9は、表示パネル1における表示領域（第1の画面10Aおよび第2の画面10B）の周辺の額縁領域に配されている。ここで、額縁領域とは非表示領域であり、画像が表示されない領域である。

[0034] 表示パネル1の素子側基板5において、第1の画面10Aには、複数の第1の行制御線11Aと、複数の第1の列制御線12Aと、複数の第1の蓄積容量線17Aとが備えられている。複数の第1の行制御線11A（ゲートバスライン）は行方向（紙面水平方向）に延伸しており、複数の第1の列制御

線 1 2 A（ソースバスライン）は列方向（紙面鉛直方向）に延伸している。複数の第 1 の行制御線 1 1 A と複数の第 1 の列制御線 1 2 A とは、マトリクス状に互いに交差して設けられており、1 つの第 1 の行制御線 1 1 A と 1 つの第 1 の列制御線 1 2 A とによって囲まれた領域が 1 つの副画素である。すなわち、図 1 中の部材番号 3 0 A によって囲まれた領域が 1 つの副画素領域である。第 1 の画面 1 0 A は、各画素を構成する副画素をマトリクス状に配した構成を有している。

[0035] ここで、2 つの第 1 の行制御回路 1 3 A は、第 1 の画面 1 0 A の周囲の額縁領域のうち、行方向に延伸する 2 つの額縁領域（すなわち、紙面上の左右の縁部）にそれぞれ配置され、複数の第 1 の行制御線 1 1 A を左右から制御する。したがって、額縁領域を構成する四辺のうち、外部端子 9 が配置されている辺に直交する 2 つの辺に、第 1 の行制御回路 1 3 A は配置されている。一方、第 1 の列制御回路 1 4 A は、外部端子 9 と第 1 の画面 1 0 A との間の額縁領域（すなわち、紙面上の上部の縁部）に配置されている。したがって、額縁領域を構成する四辺のうち、外部端子 9 が配置されている辺に、第 1 の列制御回路 1 4 A は配置されている。該第 1 の列制御回路 1 4 A は、複数の第 1 の列制御線 1 2 A を制御する。なお、複数の第 1 の蓄積容量線 1 7 A は、補助容量を形成するためのものであり、行方向に延伸して設けられ、隣り合う 2 つの第 1 の行制御線 1 1 A の間に配置されている。

[0036] 一方、第 2 の画面 1 0 B には、行方向（紙面水平方向）に延伸する複数の第 2 の行制御線 1 1 B と、列方向（紙面鉛直方向）に延伸する複数の第 2 の列制御線 1 2 B とが備えられている。複数の第 2 の行制御線 1 1 B と複数の第 2 の列制御線 1 2 B とは、マトリクス状に互いに交差して設けられており、1 つの第 2 の行制御線 1 1 B と 1 つの第 2 の列制御線 1 2 B とによって囲まれた領域が 1 つの画素である。すなわち、図 1 中の部材番号 3 0 B によって囲まれた領域が 1 つの画素領域である。第 2 の画面 1 0 B は、上記の画素をマトリクス状に配した構成を有している。

[0037] ここで、第 2 の行制御回路 1 3 B は、第 2 の画面 1 0 B の周囲の額縁領域

のうち、列方向に延伸する2つの額縁領域（すなわち、紙面上の左右の縁部）のいずれかに配置され、複数の第2の行制御線11Bを制御する。したがって、額縁領域を構成する四辺のうち、2つの第1の行制御回路13Aが配置されている二辺のいずれかに、第2の行制御回路13Bは配置されている。一方、第2の列制御回路14Bは、第2の画面10Bの周囲の額縁領域のうち、第2の画面10Bを介して第1の画面10Aと対向し、行方向に延伸する額縁領域（すなわち、紙面上の下部の縁部）に配置されている。したがって、額縁領域を構成する四辺のうち、外部端子9が配置されている辺に対向する辺に、第2の列制御回路14Bは配置されている。該第2の列制御回路14Bは、複数の第2の列制御線12Bを制御する。

[0038] 第1の画面10Aにおける個々の表示素子は、複数の第1の行制御線11Aと複数の第1の列制御線12Aとの交点付近に形成され、薄膜トランジスタ（図示せず）と画素電極（図示せず）と第1の蓄積容量線17Aとを基本構成物として有している。すなわち、副画素ごとに、上記の表示素子が配置されている。

[0039] 各副画素には、各画素電極に対応して赤色（R）、緑色（G）および青色（B）のいずれか1色の図示しないカラーフィルタが配されている。以下、赤色のカラーフィルタ、緑色のカラーフィルタ、および、青色のカラーフィルタを備えた副画素を、それぞれ赤色（R）の副画素、緑色（G）の副画素、青色（B）の副画素と称す。第1の画面10Aでは、RGBの3つの副画素が、行方向あるいは列方向に配列されている。このRGBの3つの副画素からなる副画素群が、カラー表示を行うための最小構成単位の画素（3原色用画素）である。すなわち、1つの画素は、RGBの3つの副画素で構成されている。

[0040] ここで、第1の画面10Aの構成単位である副画素の列方向のピッチ（すなわち、複数の第1の行制御線11Aの配列ピッチ）を P_PIX1 とすると、行方向のピッチ（すなわち、複数の第1の列制御線12Aの配列ピッチ）は P_PIX1 の $1/3$ となる。これは、RGBの3つの副画素が1つの

画素を構成しているためである。

[0041] 一方、第2の画面10Bにおいては、複数の第2の行制御線11Bと複数の第2の列制御線12Bとの交点付近に個々の表示素子が形成され、薄膜トランジスタ（図示せず）と画素電極（図示せず）とを基本構成物として有している。すなわち、画素ごとに、上記の表示素子が配置されている。

[0042] ここで、第2の画面10Bの構成単位である画素の列方向のピッチ（すなわち、複数の第2の行制御線11Bの配列ピッチ）を $P_PI \times 2$ とすると、行方向のピッチ（すなわち、複数の第2の行制御線12Bの配列ピッチ）も $P_PI \times 2$ と同じになる。これは、第2の画面10Bでは白黒表示を行うため、正方画素にしているからである。しかし、必ずしもこれに限定されるわけではなく、画素の縦横のアスペクトは1:1でなくてもよい。したがって、例えば、第2の画面10Bを構成する画素のアスペクト比を1:1とはせず、第1の画面10Aと同様に、第2の画面10Bの構成単位の画素を副画素としてもよい。

[0043] （3. 表示素子の駆動） 上述したように、本実施の形態では、第1の画面10Aの各表示素子は、複数の第1の行制御線11Aと複数の第1の列制御線12Aとの交点付近に形成されている。各表示素子は、薄膜トランジスタ（図示せず）、画素電極（図示せず）、および、蓄積容量線17Aを基本構成物として有しており、第1の対向電極2AがDC印加となるドット反転駆動を行う構成である。一方、第2の画面10Bは、ICドライバから供給された画像データを記憶する画素メモリを各画素に備えた、いわゆる「画素メモリ液晶」を利用した駆動が可能な構成となっている。第2の画面10Bの各表示素子は、複数の第2の行制御線11Bと複数の第2の列制御線12Bとの交点付近に形成されている。各表示素子は、SRAM（図示せず）を有しており、第2の対向電極2BがAC駆動のフレーム反転駆動を行う構成である。したがって第2の画面10Bの各表示素子は、第2の行制御線11Bおよび第2の列制御線12Bの他に、SRAMを駆動するための電源線、液晶に2値の電圧を印加するための電源線、および、複数の薄膜トランジスタ

タ（図示せず）を有している。なお、第2の画面10Bの駆動に係る回路（タイミングジェネレータおよびVCOM回路等）を素子側基板5にモノリシックに内蔵してもよい。

[0044] （4．第1の行制御回路および第1の行制御線の構成）

第1の画面10Aでは、素子側基板5において、2つの第1の行制御回路13Aは、第1の画面10Aの周囲の額縁領域のうち、列方向に延伸する2つの額縁領域（すなわち、紙面上の左右の縁部）にそれぞれモノリシックに配置されている。これらの第1の行制御回路13Aは、 m 本（例えば、解像度540RGB×960の場合は、960本）ある第1の行制御線11Aをそれぞれ左右から駆動している。この構成は高精細な表示の駆動に適しており、クロストーク（シャドウイングとも呼ぶ）の軽減に寄与している。

[0045] 第1の行制御回路13Aからは制御線25A（電源線およびクロック信号線等を含む）が、外部端子9近傍の額縁領域を通して、該外部端子9に引き出されている。なお、図1に示す表示パネル1では、第1の行制御回路13Aの外部端子109側の端部にバッファ回路または保護回路等の回路7を備えている。これらの回路7は必要に応じて設ければよく、必ずしも備えていなくてもよい。

[0046] 第1の行制御回路13Aは、シフトレジスタと出力回路とを備えた単位回路13a（第1の行単位回路）を所定のピッチで列方向に繰り返し配列して構成されている。なお、各単位回路13aは、必要に応じてレベルシフトを備えていてもよい。ここで、本実施の形態においては、複数の第1の行制御線11Aの配列ピッチを P_PIX1 とし、第1の行制御回路13Aの複数の単位回路13aの配列ピッチを P_D1 とすると、 $P_PIX1 > P_D1$ の関係が成立するように複数の第1の行制御線11Aならびに複数の単位回路13aを配列している。

[0047] 複数の単位回路13aの配列ピッチを縮小することによって、第1の行制御回路13Aの長さ（列方向（紙面鉛直方向）の寸法）を小さくすることができる。結果、第1の画面10Aの周囲の額縁領域に空き領域を生み出すこ

とができる。具体的に説明すれば、解像度 $540\text{ RGB} \times 960$ の場合は、 $m = 960$ であり、 $0.5\text{ }\mu\text{m}$ の縮小により $480\text{ }\mu\text{m}$ の空き領域を生み出すことができる。

[0048] ここで、例えば、 P_PIX1 と P_D1 との差が $0.5\text{ }\mu\text{m}$ 程度の僅かな差となるように、複数の単位回路 13a の配列ピッチ (P_D1) を縮小したとする。このような複数の単位回路 13a の配列ピッチの縮小は、複数の単位回路 13a 間の冗長な間隙を利用すれば比較的容易に、かつ、第 1 の行制御回路 13A の幅（行方向（紙面水平方向）の寸法）を大きくすることなく実現することができる。以下に、上記の縮小が可能な理由について、図 3 を用いて説明する。図 3 は、複数の単位回路 13a の配列ピッチと各単位回路 13a の幅との定性的な関係を示す図である。

[0049] 一般的な単位回路は、設計的に許容されている L/S （ライン／スペース）に配列されていることは少なく、薄膜トランジスタの向きであったり、配線の向きであったり、各種構成部材の配置の都合上生じた若干の空き領域を含んでいることが多い。例えば、複数の第 1 の行制御線の配列ピッチ P_PIX1 をピッチ A で配列し、複数の単位回路もピッチ A で配列した結果として、幅 B の単位回路ができた場合を想定する。この場合、図 3 に示すように、複数の単位回路の配列ピッチが $\text{ピッチ A} - \alpha$ となるように該単位回路の配列を修正したとしても、各単位回路の幅は幅 B を維持することができる。このように、図 3 に示した通り、複数の単位回路の配列ピッチと各単位回路の幅とは、互いに離散的な関係となる。

[0050] したがって、複数の単位回路 13a の配列ピッチを縮小しすぎてしまうと、図 3 に示すように、却って各単位回路 13a の幅が大きくなってしまう。したがって、本実施の形態では、各単位回路 13a の幅が、複数の第 1 の行制御線 11A と複数の単位回路 13a とをそれぞれ等しい配列ピッチで配列した場合の、各単位回路 13a の幅と等しく、なおかつ、複数の単位回路 13a の配列ピッチが、複数の第 1 の行制御線 11A の配列ピッチよりも小さいことが好ましい。これによれば、複数の単位回路 13a の配列ピッチを縮

小したとしても、単位回路 13a が潜在的に有している性質から各单位回路 13a の幅は変わらないため、第 1 の行制御回路 13A が設けられている額縁領域が狭くなることはない。すなわち、複数の単位回路 13a の配列ピッチを縮小したとしても、該第 1 の行制御回路 13A が設けられている額縁領域の幅（行方向（紙面水平方向）の寸法）を大きくするために、表示パネル 1 の外形寸法を大きくする必要はない。

[0051] よって、上記の単位回路 13a の幅が不合理に大きくならない結果、第 1 の画面 10A の左右に位置する額縁領域の寸法（すなわち、外部端子 9 が配置されている辺と直交する、第 1 の画面 10A の端部から、該端部と平行する、基板 3 の端部までの最短距離）を a とし、第 2 の画面 10B の左右に位置する額縁領域の寸法（外部端子 9 が配置されている辺と直交する、第 2 の画面 10B の端部から、該端部と平行する、基板 3 の端部までの最短距離）を b とすると、 a が b と略同等（ $a \div b$ ）となる表示パネル 1 が得られる。そのため、該表示パネル 1 の電子機器への組み込みに好都合となる。

[0052] ここで、 $a \div b$ としているのは、第 1 の画面 10A の画素構成（ピッチ，数）と、第 2 の画面 10B の画素構成（ピッチ，数）との組み合わせによっては、必ずしも幾何学的に単純に $a = b$ とはならないことを指したものに過ぎない。したがって、利用者の便宜が損なわれない程度の差異であれば、 $a > b$ であってもよいし、 $a < b$ であってもよく、適宜対応可能である。

[0053] なお、上記の単位回路 13a の幅が大きくなった場合は、意図的に $a > b$ とするとよい。この場合は、表示パネル 1 の横幅（紙面水平方向の寸法）を変えずに、第 2 の画面 10B の対角サイズをより大きくすることができる。したがって、第 2 の画面 10B の対角サイズを重視したい場合に好都合である。なお、電子機器への組み込み、および、電子機器への組み込み時の精度を考慮した上で最適な対角サイズとすることが好ましい。

[0054] さらに、本実施の形態では、第 1 の行制御回路 13A と第 1 の画面 10A との間に引き出される複数の第 1 の行制御線 11A のうち、外部端子 9 寄りの第 1 の行制御線 11A はより長距離の斜め配線となるように配置されてい

る。一方、第2の画面10B寄りの第1の行制御線11Aはより短距離の斜め配線となるように配置されている。すなわち、第2の画面10Bに近い第1の行制御線11Aほど、実質的に水平線（第1の行制御線11Aと平行）になるように配置されている。

[0055] これは言い換えると、複数の単位回路13aの配列ピッチを縮小すると共に、第1の行制御回路13Aにおける第2の行制御回路13B側の端部と、第1の画面10Aにおける第2の画面10B側の端部とが略一直線上に並ぶように構成されている。これにより、第1の行制御回路13Aにおける外部端子9側の端部の位置を、第2の行制御回路13B側に移動することができる。結果、バッファ回路または保護回路等の回路7を含めて第2の画面10B側に移動することができるため、外部端子9側の額縁領域、より具体的には、外部端子9側の額縁領域の隅部分に空き領域が生じる。

[0056] したがって、本実施の形態によれば、複数の第1の行制御線11Aよりも複数の単位回路13aの配列ピッチを小さくすると共に、第1の行制御回路13Aにおける第2の行制御回路13B側の端部と第1の画面10Aにおける第2の画面10B側の端部とを略一直線上に並べていることによって、表示パネル10の隅部分に空き領域を生み出すことができる。この生じた空き領域を利用して、第2の画面10Bの駆動に必要な制御線25B（電源線およびクロック信号線等を含む）を外部端子9まで引き出すことができる。すなわち、外部端子9側の額縁領域の隅部分に配線レイアウトが集中してしまうがために、外部端子9側の額縁領域を大きくしなくても、第2の画面の制御線25Bを外部端子9まで引き出すことができる。

[0057] このように、表示パネル1の外形寸法を小さく抑えることができることから、表示パネル1を使った表示装置あるいは電子機器の商品性を高めることができる。また、額縁領域が縮小されたことによって表示パネル1を基板上に複数配置することができる結果、表示パネル1の製造コストの増加を抑制することができる。

[0058] （5. 第1の列制御回路および第1の列制御線の構成）

第1の画面10Aの第1の列制御回路14Aは、素子側基板5において、外部端子9と第1の画面10Aとの間の額縁領域（すなわち、紙面上の上部の縁部）にモノリシックに配置されている。この第1の列制御回路14Aは、複数本（例えば、解像度540RGB×960の場合は、解像度540×3本）ある第1の列制御線12Aをそれぞれ駆動している。

[0059] 第1の列制御回路14Aは、ビデオ信号線8を介して、表示パネル1に外付けされたドライバICと接続されている。ここで、第1の列制御回路14Aは、スイッチ回路を備えた単位回路14a（第1の列単位回路）を所定のピッチで行方向に繰り返し配列して構成されている。なお、各単位回路14aは、必要に応じてレベルシフタを備えていてもよい。ドライバICからのビデオ信号は、ビデオ信号線8を介して第1の列制御回路14Aの各単位回路14aに送られる。第1の列制御回路14Aは、1本のビデオ信号線8からの入力を、1つの画素を構成する赤色（R）、緑色（G）、および、青色（B）の各副画素の第1の列制御線12A（3本の第1の列制御線12A）に振り分ける簡単なRGBスイッチの役割を担っている。これによって、第1の画面10Aの駆動に必要な第1の列制御線12A（例えば、解像度540RGB×960の場合は、540×3本）と比べて、少ない本数（例えば、解像度540RGB×960の場合は、540本）のビデオ信号線8を有するだけでよい。すなわち、ドライバICからの出力配線の本数を減らすことができ、少ないドライバICであっても高精細な表示が可能となるという効果を奏する。また、ドライバICからの出力配線の本数を減らせることから、表示パネル1の信頼性の向上および実装部材の低減がもたらされる。

[0060] なお、第1の列制御回路14Aからは制御線25A（電源線およびクロック信号線等を含む）が、外部端子9近傍の額縁領域を通して、該外部端子9に引き出されている。そこで、第1の列制御回路14Aにおける第1の行制御回路13A側の両端部に、該第1の列制御回路14Aから引き出される制御線25Aを静電気から保護するため保護回路6をそれぞれ配置していてもよい。ところで、第1の列制御回路14Aから行方向に飛び出す保護回路6

は、第1の行制御回路13Aと干渉してしまう虞があるため、それを回避するために表示パネル1の外形寸法を大きくする処置をとる場合がある。そこで、保護回路6を設ける場合は、表示パネル1の外形寸法を大きくすること避けるために、複数の単位回路14aの配列ピッチを複数の第1の列制御線12Aの配列ピッチよりも若干小さくすることが好ましい。この場合、第1の列制御回路14Aと第1の画面10Aとの間に引き出される複数の第1の列制御線12Aは、扇状の斜め配線となる。

[0061] (6. 第2の行制御回路および第2の行制御線の構成)

第2の画面10Bでは、素子側基板5において、第2の行制御回路13Bは、第2の画面10Bの周囲の額縁領域のうち、列方向に延伸する2つの額縁領域（すなわち、紙面上の左右の縁部）のいずれかにモノリシックに配置されている。この第2の行制御回路13Bは、 n 本（例えば、解像度 304×56 の場合は、56本）ある第2の行制御線11Bをそれぞれ駆動している。この構成は、第2の画面10Bが低解像度であり、かつ、白黒表示の画素メモリ液晶を利用した駆動を行うことから、クロストークに対する考慮は不要である。

[0062] 第2の行制御回路13Bからは制御線25B（電源線およびクロック信号線等を含む）が、第1の行制御回路13Aを迂回するようにして、外部端子9に引き出されている。該第2の行制御回路13Bは、シフトレジスタと出力回路とを備えた単位回路13b（第2の行単位回路）を所定のピッチで列方向に繰り返し配列して構成されている。なお、各単位回路13bは、必要に応じてレベルシフタを備えていてもよい。

[0063] ここで、本実施の形態においては、第2の画面10Bにおける複数の第2の行制御線11Bの配列ピッチを $P_PI \times 2$ とし、第2の行制御回路13Bの複数の単位回路13bの配列ピッチを P_D2 とすると、 $P_PI \times 2 = P_D2$ の関係が成立するように複数の第2の行制御線11Bならびに複数の単位回路13bを配列している。この際、第1の画面10Aと同様に、複数の単位回路13bの配列ピッチを複数の第2の行制御線11Bの配列ピ

ッチよりも小さくすることによって、額縁領域に空き領域を生み出すことができると考えられる。しかしながら、第2の画面10Bの行数（第2の行制御線11Bの数）が少ないため、複数の単位回路13bの配列ピッチを多少縮小したとしても、第2の行制御回路13B全体が占める面積を小さくするほどの空き領域を生み出すことはできない。例えば、解像度304×56の場合は、 $n = 56$ であり、 $0.5\ \mu\text{m}$ 程度縮小したとしても $28\ \mu\text{m}$ の空き領域しか生み出せず、1桁オーダーを上げて $5\ \mu\text{m}$ の縮小を図ったところでも $280\ \mu\text{m}$ の空き領域でしかない。したがって、第2の画面10Bにおいては、複数の単位回路13bの配列ピッチは、複数の第2の行制御線11Bの配列ピッチと等しくすることが好ましい。

[0064] （7. 第2の列制御回路および第2の列制御線の構成）

第2の画面10Bの第2の列制御回路14Bは、素子側基板5において、第2の画面10Bの周囲の額縁領域のうち、第2の画面10Bを介して第1の画面10Aと対向し、行方向に延伸する額縁領域（すなわち、紙面上の下部の額縁領域）にモノリシックに配置されている。この第2の列制御回路14Bは、複数本（例えば、解像度304×56の場合は、304本）ある第2の列制御線12Bをそれぞれ制御している。

[0065] 第2の列制御回路14Bからは制御線25B（電源線およびクロック信号線等を含む）が、第1の画面10Aと第2の画面10Bとの境界領域を通過して、第1の行制御回路13Aを迂回するようにして外部端子9に引き出されている。ここで、制御線25Bには、第2の画面10Bの各表示素子に設けられたSRAMを駆動するための電源線、および、液晶に2値の電圧を印加するための電源線が含まれており、これらの電源線は第2の画面10Bを縦断および横断している。

[0066] ここで、第2の列制御回路14Bは、第2の画面10Bの各表示素子に2値の信号（表示のオン／オフ）を送るためのバイナリドライバとしての役割を担っている。したがって、第2の画面10Bにおいては、液晶を駆動させるための電圧は、上記の液晶に2値の電圧を印加するための電源線からSR

AMを介して供給されている。

[0067] なお、第2の列制御回路14Bは、シフトレジスタと出力回路とを備えた単位回路14bを所定のピッチで行方向に繰り返し配列して構成されている。各単位回路14bは、必要に応じてレベルシフタを備えていてもよい。

[0068] (8. 第1の画面および第2の画面の境界領域の構成)

第1の画面10Aと第2の画面10Bとの間の境界領域は、所定の距離Q(例えば、1mm程度)だけ離間されている。この境界領域に、第1の画面10Aを駆動するための配線(例えば、第1の蓄積容量線17Aおよび第1のコモン転位用配線15A等)を通して紙面上の左右の額縁領域(縁部)間を横断させるとよい。これによって、配線の冗長性を高めたり、第1の画面10Aの表示の均一性を高めたりすることが可能となる。

[0069] また、上記の境界領域には、第2の画面10Bを駆動するための配線を通してよい。例えば、SRAMの駆動に必要な電源線を上記の境界領域に通すことによって、表示パネル1の最外周から表示パネル1の内部に向かって短い距離で引き回すことができる。

[0070] このような構成をとるためには、第1の行制御回路13Aおよび第2の行制御回路13Bの間にも一定量の空き領域が必要である。ここで、上述したように、第1の画面10Aにおける第2の画面10B側の端部と第1の行制御回路13Aにおける第2の行制御回路13B側の端部とが略一直線上に並ぶように配置されている。したがって、本実施の形態では、これと同様に、第2の画面10Bにおける第1の画面10A側の端部と第2の行制御回路13Bにおける第1の行制御回路13A側の端部とが略一直線上に並ぶように配置する。これによって、第1の行制御回路13Aと第2の行制御回路13Bとの離間距離が、第1の画面10Aと第2の画面10Bとの離間距離Qと略同等になる。結果、第1の画面10Aを駆動するための配線、および、第2の画面10Bを駆動するための配線を、第1の画面10Aと第2の画面10Bとの境界領域に確実に通すことが可能となる。

[0071] 以上では、表示パネル1が2つの第1の行制御回路13Aを備えている構

成を示したが、必ずしもこれに限定されるわけではない。したがって、第1の行制御回路13Aは、額縁領域を構成する四辺のうち、外部端子9が配置されている辺に隣り合う2つの辺の少なくともいずれかに配置されていればよい。そして、第2の行制御回路13Bは、額縁領域を構成する四辺のうち、第1の行制御回路13Aが配置されている辺に配置される。

[0072] また、以上では、本発明の実施の形態について、表示パネルとして、表示媒体に液晶を用いた液晶パネルを用いて説明したが、本発明はこれに限定されるものではない。上記の表示媒体としては電気光学特性を有する表示媒体であればよく、例えば、エレクトロルミネッセンス（EL）、プラズマ、または、エレクトロクロミック等でもよい。本発明は、液晶表示装置、EL表示装置、または、電気泳動表示装置等、各種表示媒体を用いた各種表示装置の表示パネルに適用が可能である。すなわち、第1の画面の行数を m とし、第2の画面の行数を n とすると、 $m > n$ の関係にある表示パネルであって、該表示パネルの額縁領域を構成する四辺のうち、1つの辺にのみ外部端子が設けられている表示パネルであれば、本発明に適用できる。

[0073] したがって、本実施の形態に係る表示パネルは、上記の表示装置を表示部として備えた電子機器にも利用可能である。このような電子機器としては、例えば、携帯電話、PDA（Personal Digital Assistant；携帯情報端末）、DVD（Digital Versatile Disk）プレイヤー、モバイルゲーム機器、ノートPC（Personal Computer）、PCモニター、テレビジョン受像機等が挙げられる。

[0074] なお、本実施の形態に係る電子機器には、上記の表示装置そのものも含まれる。すなわち、本実施の形態に係る電子機器（つまり、本実施の形態に係る表示パネルを備えた電子機器）は、液晶表示装置等の表示装置であってもよいし、これら表示装置を表示部として備えた機器であってもよい。

[0075] 本発明は上述した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施の形態についても本発明の技術

的範囲に含まれる。

[0076] 例えば、本発明に係る表示パネルは、上記の４．に記載の構成を少なくとも備えていればよく、上記の５．～８．に記載の構成を必ずしも備えていなくてもよい。したがって、上記の５．～８．に記載の構成は、本発明に係る表示パネルに適宜付加することが可能な構成として捉えられたい。換言すれば、上記の５．～８．に記載の構成は、本発明に係る表示パネルの変形例である。

[0077] 〔実施形態の総括〕

以上のように、本発明の一態様に係る表示パネルにおいては、上記複数の第２の行制御線の配列ピッチは、上記複数の第２の行単位回路の配列ピッチと略同等であることを特徴としている。

[0078] 第１の画面と同様に、複数の第２の行単位回路の配列ピッチを複数の第２の行制御線の配列ピッチよりも小さくすることによって、額縁領域に空き領域を生み出すことができると考えられる。しかしながら、第２の画面の行数（第２の行制御線の数）が少ないため、複数の第２の行単位回路の配列ピッチを多少縮小したとしても、第２の行制御回路全体が占める面積を小さくするほど空き領域を生み出すことはできない。したがって、第２の画面においては、複数の第２の行単位回路の配列ピッチは、複数の第２の行制御線の配列ピッチと等しくすることが好ましい。

[0079] また、本発明の一態様に係る表示パネルにおいては、上記第２の画面における上記第１の画面側の端部と、上記第２の行制御回路における上記第１の行制御回路側の端部とは、略一直線上に並んでいることを特徴としている。

[0080] 上記の構成によれば、第１の行制御回路と第２の行制御回路との離間距離が、第１の画面と第２の画面との離間距離と略同等になる。結果、第２の画面を制御する制御線を第１の画面と第２の画面との境界領域に確実に通すことが可能となる。

[0081] また、本発明の一態様に係る表示パネルにおいては、上記第１の列制御線ごとに設けられかつ上記複数の第１の列制御線に直交する方向に並んで配置

された第1の列単位回路を複数含み、上記外部端子が配置されている上記辺に配置されている第1の列制御回路をさらに備え、上記複数の第1の列単位回路の配列ピッチは、上記複数の第1の列制御線の配列ピッチよりも小さいことを特徴としている。

[0082] 表示パネルの外形寸法を大きくすることを避けるために、複数の第1の列単位回路の配列ピッチを複数の第1の列制御線の配列ピッチよりも若干小さくすることが好ましい。

[0083] また、本発明の一態様に係る表示パネルにおいては、上記外部端子が配置されている上記辺と直交する、上記第1の画面の端部から、該端部と平行する、上記基板の端部までの最短距離が、上記外部端子が配置されている上記辺と直交する、上記第2の画面の端部から、該端部と平行する、上記基板の端部までの最短距離と略同等であることを特徴としている。

[0084] 上記の構成によれば、表示パネルの電子機器への組み込みに好都合となる。

[0085] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内で、いろいろと変更して実施することができるものである。

産業上の利用可能性

[0086] 本発明は、表示媒体として、例えば、エレクトロルミネッセンス（EL）、プラズマ、または、エレクトロクロミック等を用いた表示パネルに適用でき、さらには、本発明に係る表示パネルを備えた液晶表示装置、EL表示装置、または、電気泳動表示装置等の各種表示装置に適用が可能である。また、本発明に係る表示パネルは、上記の表示装置を表示部として備えた電子機器にも利用可能であり、このような電子機器としては、例えば、携帯電話、PDA（Personal Digital Assistant；携帯情報端末）、DVD（Digital Versatile Disk）プレイヤー、モバイルゲーム機器、ノートPC（Personal C

omputer)、PCモニター、テレビジョン受像機等が挙げられる。

符号の説明

- [0087] 1, 100 表示パネル
- 2 A, 102 A 対向電極
- 2 B, 102 B 対向電極
- 3, 103 対向側基板
- 4, 104 シール材
- 5, 105 素子側基板
- 6, 106 保護回路
- 7, 107 回路
- 8, 108 ビデオ信号線
- 9, 109 外部端子
- 10 A, 110 A 第1の画面
- 10 B, 110 B 第2の画面
- 11 A, 111 A 第1の行制御線
- 11 B, 111 B 第2の行制御線
- 12 A, 112 A 第1の列制御線
- 12 B, 112 B 第2の列制御線
- 13 A, 113 A 第1の行制御回路
- 13 a 第1の行制御回路の単位回路
- 13 B, 113 B 第2の行制御回路
- 13 b 第2の行制御回路の単位回路
- 14 A, 114 A 第1の列制御回路
- 14 a 第1の列制御回路の単位回路
- 14 B, 114 B 第2の列制御回路
- 14 b 第2の列制御回路の単位回路
- 15 A, 115 A 第1のコモン転位用配線
- 15 B, 115 B 第2のコモン転位用配線

116 ドライバIC

17A 第1の蓄積容量線

20A~20H, 120A~120H コモン転位部

30A 副画素領域

30B 画素領域

請求の範囲

- [請求項1] 表示領域と、当該表示領域を取り囲む非表示領域である額縁領域とを有する基板を備えた表示パネルであって、
- 上記額縁領域を構成する四辺のうちいずれか1つの辺のみに配置されている外部端子と、
- 上記外部端子が配置されている辺と平行に配置された複数の第1の行制御線と、該複数の第1の行制御線と交差する複数の第1の列制御線とを含み、上記表示領域内に設けられている第1の画面と、
- 上記複数の第1の行制御線よりも少なくかつ上記複数の第1の行制御線と平行に配置されている複数の第2の行制御線と、該複数の第2の行制御線と交差する複数の第2の列制御線とを含み、上記表示領域内において上記第1の画面を介して上記外部端子と対向する位置に設けられている第2の画面と、
- 上記第1の行制御線ごとに設けられかつ上記複数の第1の行制御線と直交する方向に並んで配置されている第1の行単位回路を複数含み、上記外部端子が配置されている上記辺と直交する上記辺に配置されている第1の行制御回路と、
- 上記第2の行制御線ごとに設けられかつ上記複数の第2の行制御線と直交する方向に並んで配置された第2の行単位回路を複数含み、上記第1の行制御回路が配置されている上記辺に配置されている第2の行制御回路と、
- 上記外部端子から上記第2の画面まで上記第1の行制御回路を迂回するように上記額縁領域内を通して延伸している、上記第2の画面を制御するための制御線とをさらに備えており、
- 上記複数の第1の行単位回路の配列ピッチは、上記複数の第1の行制御線の配列ピッチよりも小さく、
- 上記第1の画面における上記第2の画面側の端部と、上記第1の行制御回路における上記第2の行制御回路側の端部とは、略一直線上に

並んでいることを特徴とする表示パネル。

[請求項2] 上記複数の第2の行制御線の配列ピッチは、上記複数の第2の行単位回路の配列ピッチと略同等であることを特徴とする請求項1に記載の表示パネル。

[請求項3] 上記第2の画面における上記第1の画面側の端部と、上記第2の行制御回路における上記第1の行制御回路側の端部とは、略一直線上に並んでいることを特徴とする請求項1または2に記載の表示パネル。

[請求項4] 上記第1の列制御線ごとに設けられかつ上記複数の第1の列制御線に直交する方向に並んで配置された第1の列単位回路を複数含み、上記外部端子が配置されている上記辺に配置されている第1の列制御回路をさらに備え、

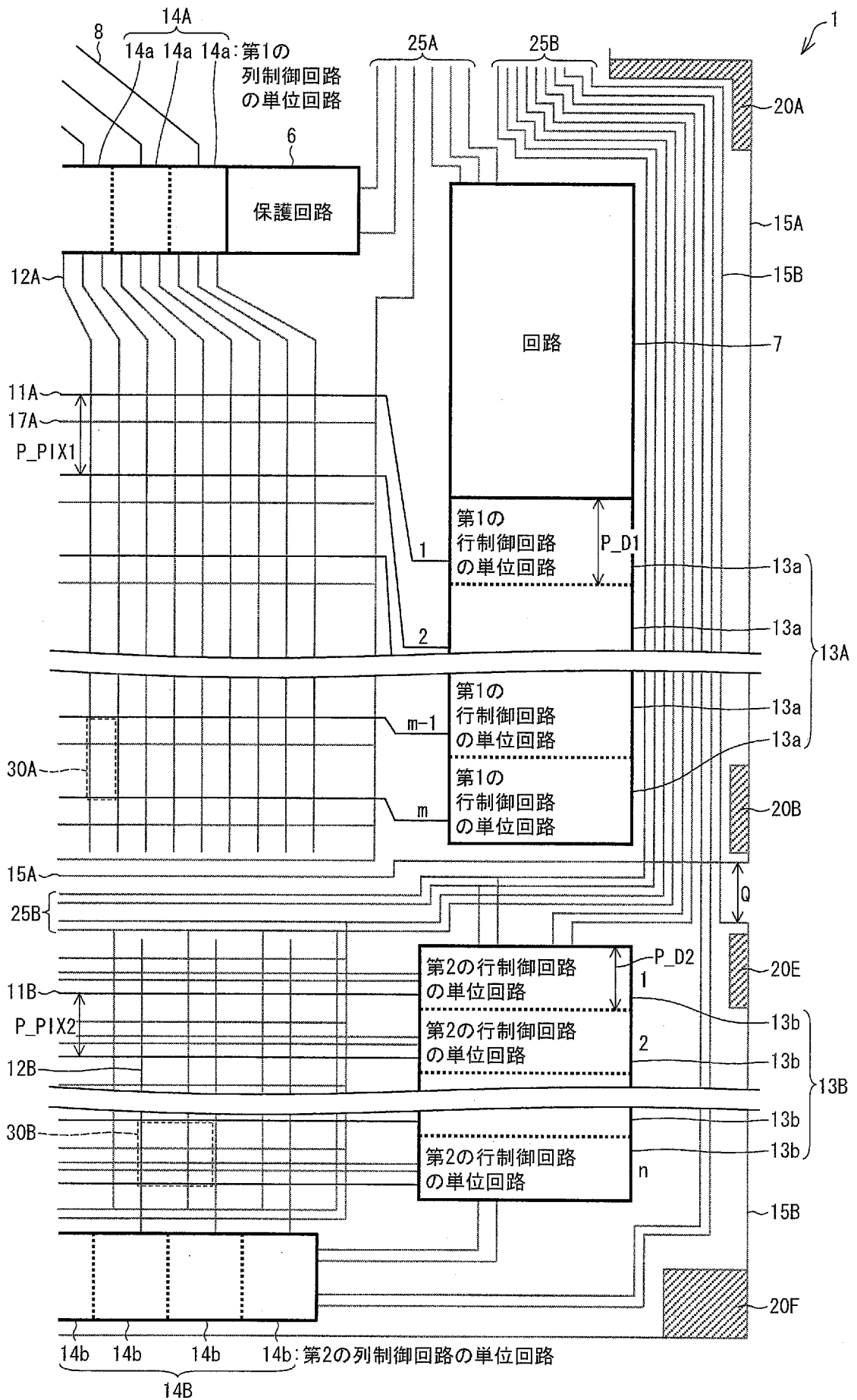
上記複数の第1の列単位回路の配列ピッチは、上記複数の第1の列制御線の配列ピッチよりも小さいことを特徴とする請求項1～3のいずれか1項に記載の表示パネル。

[請求項5] 上記外部端子が配置されている上記辺と直交する、上記第1の画面の端部から、該端部と平行する、上記基板の端部までの最短距離が、上記外部端子が配置されている上記辺と直交する、上記第2の画面の端部から、該端部と平行する、上記基板の端部までの最短距離と略同等であることを特徴とする請求項1～4のいずれか1項に記載の表示パネル。

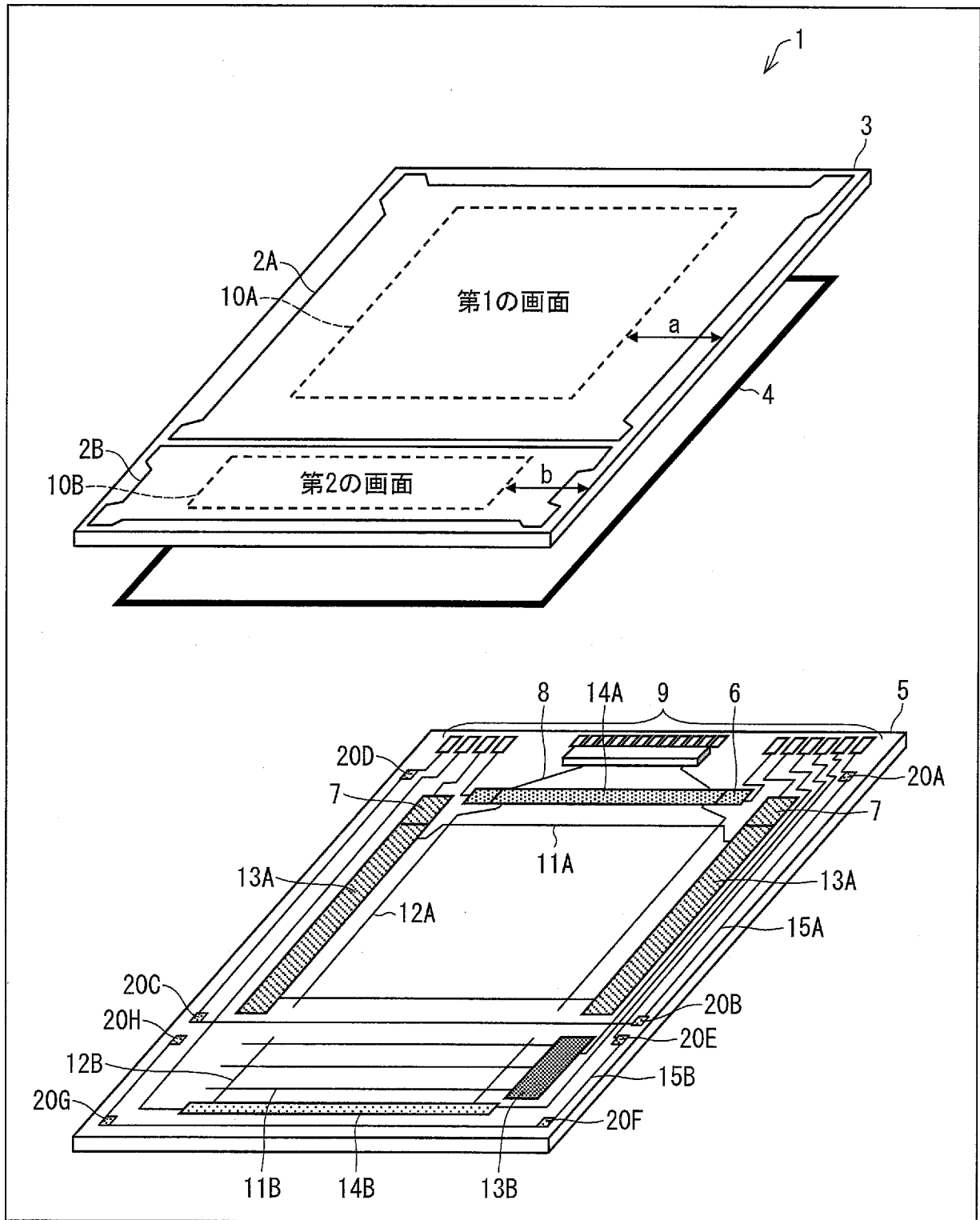
[請求項6] 請求項1～5のいずれか1項に記載の表示パネルを備えていることを特徴とする表示装置。

[請求項7] 請求項1～5のいずれか1項に記載の表示パネルを備えていることを特徴とする電子機器。

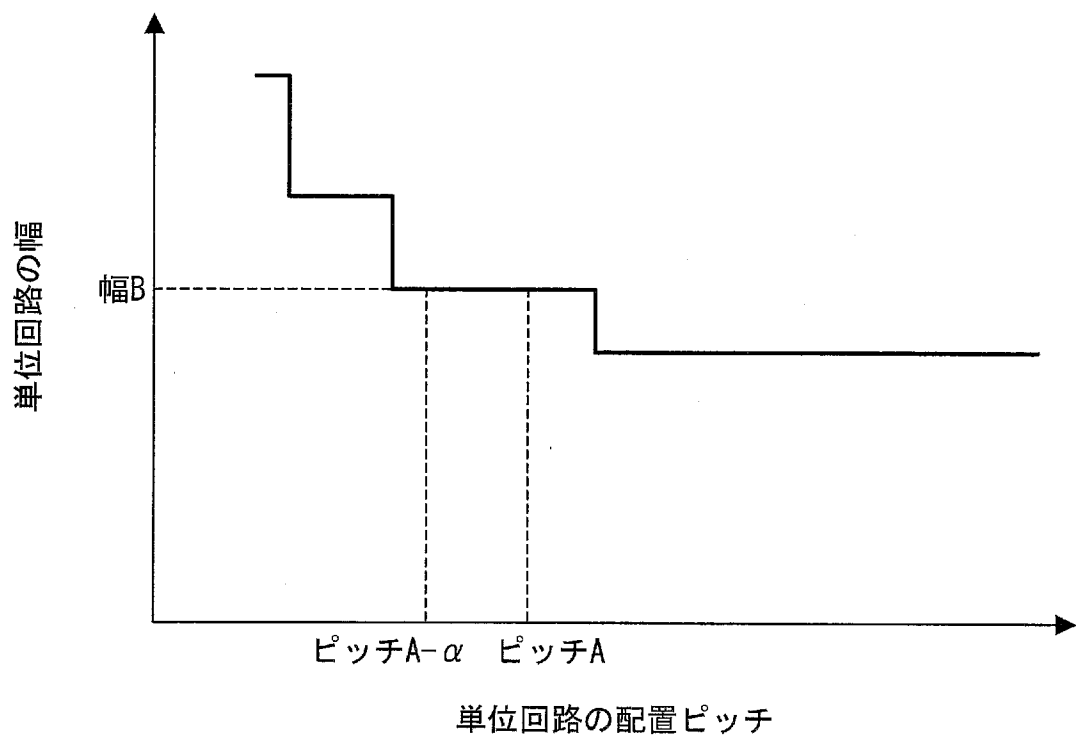
[図1]



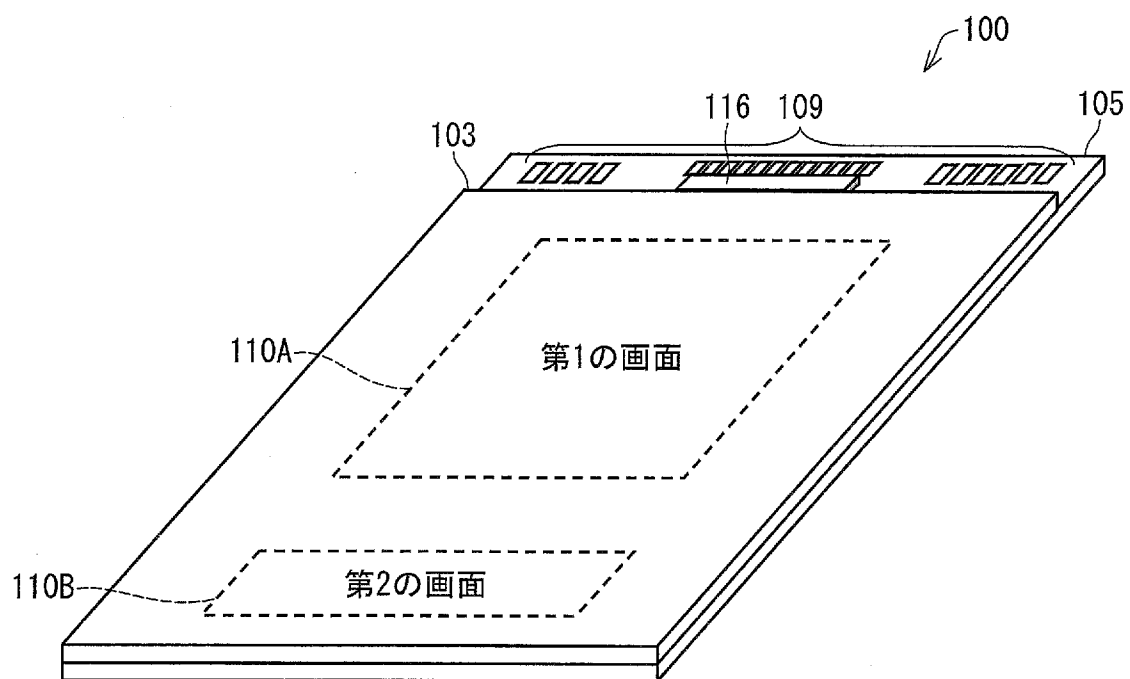
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054003

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/00(2006.01)i, G02F1/1345(2006.01)i, G09F9/40(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, G09G3/36(2006.01)i, H01L51/50(2006.01)i, H05B33/06(2006.01)i, H05B33/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00, G02F1/1345, G09F9/40, G09G3/20, G09G3/30, G09G3/36, H01L51/50, H05B33/06, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/026446 A1 (Sharp Corp.), 08 March 2007 (08.03.2007), entire text; all drawings & US 2009/0231312 A1 & CN 101253446 A	1-7
A	JP 2007-058215 A (Samsung Electronics Co., Ltd.), 08 March 2007 (08.03.2007), entire text; all drawings & US 2007/0046884 A1 & KR 10-2007-0023250 A & CN 1920934 A	1-7
A	JP 2005-182005 A (Semiconductor Energy Laboratory Co., Ltd.), 07 July 2005 (07.07.2005), entire text; all drawings (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 March, 2012 (15.03.12)

Date of mailing of the international search report
27 March, 2012 (27.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054003

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-171727 A (Samsung Electronics Co., Ltd.), 29 June 2006 (29.06.2006), entire text; all drawings & US 2006/0158588 A1 & EP 1672411 A2 & KR 10-2006-0067289 A & CN 1790139 A	1-7
A	JP 2005-173565 A (Toshiba Matsushita Display Technology Co., Ltd.), 30 June 2005 (30.06.2005), entire text; all drawings (Family: none)	1-7
A	JP 2002-148604 A (Matsushita Electric Industrial Co., Ltd.), 22 May 2002 (22.05.2002), entire text; all drawings (Family: none)	1-7
A	JP 2002-006331 A (Sharp Corp.), 09 January 2002 (09.01.2002), entire text; all drawings & US 2001/0055010 A1 & CN 1331465 A	1-7
A	JP 2003-271070 A (Seiko Epson Corp.), 25 September 2003 (25.09.2003), entire text; all drawings & US 2003/0174271 A1 & TW 580602 B & CN 1445584 A	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/00(2006.01)i, G02F1/1345(2006.01)i, G09F9/40(2006.01)i, G09G3/20(2006.01)i,
G09G3/30(2006.01)i, G09G3/36(2006.01)i, H01L51/50(2006.01)i, H05B33/06(2006.01)i,
H05B33/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/00, G02F1/1345, G09F9/40, G09G3/20, G09G3/30, G09G3/36, H01L51/50, H05B33/06, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/026446 A1（シャープ株式会社）2007.03.08, 全文、全図 & US 2009/0231312 A1 & CN 101253446 A	1-7
A	JP 2007-058215 A（三星電子株式会社）2007.03.08, 全文、全図 & US 2007/0046884 A1 & KR 10-2007-0023250 A & CN 1920934 A	1-7

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 3 . 2 0 1 2

国際調査報告の発送日

2 7 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田井 伸幸

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 I

3 9 0 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-182005 A (株式会社半導体エネルギー研究所) 2005. 07. 07, 全文、全図 (ファミリーなし)	1-7
A	JP 2006-171727 A (三星電子株式会社) 2006. 06. 29, 全文、全図 & US 2006/0158588 A1 & EP 1672411 A2 & KR 10-2006-0067289 A & CN 1790139 A	1-7
A	JP 2005-173565 A (東芝松下ディスプレイテクノロジー株式会社) 2005. 06. 30, 全文、全図 (ファミリーなし)	1-7
A	JP 2002-148604 A (松下電器産業株式会社) 2002. 05. 22, 全文、全図 (ファミリーなし)	1-7
A	JP 2002-006331 A (シャープ株式会社) 2002. 01. 09, 全文、全図 & US 2001/0055010 A1 & CN 1331465 A	1-7
A	JP 2003-271070 A (セイコーエプソン株式会社) 2003. 09. 25, 全文、全図 & US 2003/0174271 A1 & TW 580602 B & CN 1445584 A	1-7