

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5051980号  
(P5051980)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int.Cl.	F I	
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	V
HO 1 L 29/808 (2006.01)	HO 1 L 29/80	H
HO 1 L 21/338 (2006.01)	HO 1 L 29/78	6 5 2 K
HO 1 L 21/337 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 29/778 (2006.01)	HO 1 L 29/78	6 5 3 A
請求項の数 11 (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2005-104512 (P2005-104512)	(73) 特許権者	000154325
(22) 出願日	平成17年3月31日 (2005.3.31)		住友電工デバイス・イノベーション株式会社
(65) 公開番号	特開2006-286910 (P2006-286910A)		神奈川県横浜市栄区金井町1番地
(43) 公開日	平成18年10月19日 (2006.10.19)	(74) 代理人	100087480
審査請求日	平成20年3月17日 (2008.3.17)		弁理士 片山 修平
		(72) 発明者	川崎 健
			山梨県中巨摩郡昭和町大字紙漉阿原1000番地 ユーディナデバイス株式会社内
		(72) 発明者	中田 健
			山梨県中巨摩郡昭和町大字紙漉阿原1000番地 ユーディナデバイス株式会社内
		(72) 発明者	八重樫 誠司
			山梨県中巨摩郡昭和町大字紙漉阿原1000番地 ユーディナデバイス株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

S i C基板またはS i基板である基板と、  
 該基板上に形成されたS i Cドリフト層と、  
 該S i Cドリフト層上に形成された、チャネル層と前記チャネル層上に形成され前記チャネル層よりバンドギャップの大きいキャップ層とを含むG a N系半導体層と、  
 該G a N系半導体層上に直接形成されたソース電極並びにゲート電極と、  
 前記ソース電極および前記ゲート電極が前記G a N系半導体層にそれぞれ接する領域の直下の領域と、前記G a N系半導体層にそれぞれ接する領域の間の領域の直下の領域と、  
 を含むように、前記S i Cドリフト層の一部に形成されたp型S i C領域と、  
 前記S i Cドリフト層の前記G a N系半導体層と相対する面に接続されたドレイン電極と、を具備する半導体装置。

【請求項2】

前記G a N系半導体層は、G a N、A l NおよびI n Nの少なくとも1つからなる結晶層または混晶層を含む請求項1記載の半導体装置。

【請求項3】

前記p型S i C領域は、前記G a N系半導体層と接している請求項1または2記載の半導体装置。

【請求項4】

前記S i Cドリフト層が1 μ m以上の膜厚を有する請求項1から3のいずれか一項記載

の半導体装置。

【請求項 5】

S i C 基板または S i 基板である基板と、

該基板上に形成され、p 型 S i C 層を含み、少なくとも p 型 S i C 層より深い開口部を有する S i C ドリフト層と、

前記開口部を有する前記 S i C ドリフト層上に形成された、チャンネル層と前記チャンネル層上に形成され前記チャンネル層よりバンドギャップの大きいキャップ層とを含む G a N 系半導体層と、

該 G a N 系半導体層上に直接形成されたソース電極若しくはエミッタ電極並びにゲート電極と、

10

前記 S i C ドリフト層の前記 G a N 系半導体層と相対する面に接続されたドレイン電極またはコレクタ電極と、を具備する半導体装置。

【請求項 6】

前記 G a N 系半導体層は、G a N、A l N および I n N の少なくとも 1 つからなる結晶層または混晶層を含む請求項 5 記載の半導体装置。

【請求項 7】

前記 p 型 S i C 層は、前記 G a N 系半導体層と接している請求項 5 または 6 記載の半導体装置。

【請求項 8】

前記 S i C ドリフト層が 1 μ m 以上の膜厚を有する請求項 5 から 7 のいずれか一項記載の半導体装置。

20

【請求項 9】

S i C 基板または S i 基板である基板と、

該基板上に形成された S i C ドリフト層と、

該 S i C ドリフト層上に形成され、チャンネル層を含む G a N 系半導体層と、

前記 G a N 系半導体層が有する開口部の前記チャンネル層の側面に形成され、チャンネル層よりバンドギャップの大きいキャップ層と、

前記チャンネル層の前記開口部の側面に前記キャップ層を介し形成されたゲート電極と、

前記 G a N 系半導体層上に形成されたソース電極またはエミッタ電極と、

前記 S i C ドリフト層の前記 G a N 系半導体層と相対する面に接続されたドレイン電極またはコレクタ電極と、を具備し、

30

前記 G a N 系半導体層が有する前記開口部は、少なくとも前記チャンネル層より深い半導体装置。

【請求項 10】

前記 G a N 系半導体層は、G a N、A l N および I n N の少なくとも 1 つからなる結晶層または混晶層を含む請求項 9 記載の半導体装置。

【請求項 11】

前記 S i C ドリフト層が 1 μ m 以上の膜厚を有する請求項 9 または 10 記載の半導体装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は半導体装置およびその製造方法、特に、縦型構造を有する電力制御用トランジスタに関する。

【背景技術】

【0002】

電力制御用トランジスタは家電、電鉄、電気自動車、電力など幅広い分野で用いられている。電力制御用トランジスタには、高電力が印加されても絶縁破壊しない高耐圧が要求される。また、低損失を実現するため、オン抵抗の小さいことが要求される。そこで、近年電力制御用トランジスタとして縦型構造を有するトランジスタが注目されている。

50

## 【 0 0 0 3 】

例えば、図 1 は S i 系の縦型 M O S F E T の断面図(従来技術 1)を示す。n 型の S i C 基板 1 0 上に n 型の S i C バッファ層 1 2、n 型の S i C チャネル層 1 4 が積層されている。チャネル層 1 4 上にはゲート酸化膜 5 4、ゲート電極 6 2 が設けられている。ゲート電極 6 2 の両側にソース電極 6 0 が設けられている。ソース電極 6 0 下には N 型領域 5 2 と N 型領域を囲む p 型領域 5 0 が形成されている。基板の裏面にはドレイン電極 6 4 が設けられている。

## 【 0 0 0 4 】

また、特許文献 1 の図 1 には G a N 系半導体を用いた縦型 F E T (従来技術 2) が開示されている。基板上にアンドープ G a N 層、n 型 G a N ドレイン層、n 型 G a N チャネル層、n 型 G a N ソース層が積層されている。所定領域にドレイン層まで到達する開口部が設けられ、開口部側面に絶縁膜が設けられている。チャネル層には絶縁膜を介しゲート電極が設けられ、ソース層、ドレイン層にそれぞれ接続するソース電極、ドレイン電極が設けられている。

10

【特許文献 1】特開 2 0 0 4 - 1 6 5 5 2 0 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 5 】

しかしながら、従来技術 1 においては、S i C チャネル層 1 4 とは数十 c m V / s の移動度しか実現できない。その結果、数十 m / c m <sup>2</sup> のオン抵抗しか実現できない。一方、従来技術 2 においては、ドレイン層のドレイン電極が接続しており高耐圧が実現できない。高耐圧化するためにドレイン電極を基板の裏面に設ける場合、その基板には G a N 層と格子整合する G a N 基板が考えられる。しかし、これは高価で大口径化が難しい。また、G a N 層と格子整合しない基板では G a N 層を厚膜化できないため、高耐圧化が困難である。

20

## 【 0 0 0 6 】

本発明は、耐圧が高く、オン抵抗が低い半導体装置を提供することを目的とする。

【課題を解決するための手段】

## 【 0 0 0 7 】

本発明は、S i C 基板または S i 基板である基板と、該基板上に形成された S i C ドリフト層と、該 S i C ドリフト層上に形成された、チャネル層と前記チャネル層上に形成され前記チャネル層よりバンドギャップの大きいキャップ層とを含む G a N 系半導体層と、該 G a N 系半導体層上に直接形成されたソース電極並びにゲート電極と、前記ソース電極および前記ゲート電極が前記 G a N 系半導体層にそれぞれ接する領域の直下の領域と、前記 G a N 系半導体層にそれぞれ接する領域の間の領域の直下の領域と、を含むように、前記 S i C ドリフト層の一部に形成された p 型 S i C 領域と、前記 S i C ドリフト層の前記 G a N 系半導体層と相対する面に接続されたドレイン電極と、を具備する半導体装置である。本発明によれば、S i C ドリフト層を有することによりドリフト層の厚膜化が可能となる。そのため、耐圧が高くできる。さらに、チャネル移動度の高い G a N 系半導体層をチャネル層として用いることによりオン抵抗が低い半導体装置を提供することができる。

30

40

## 【 0 0 0 8 】

本発明は、前記 G a N 系半導体層は、G a N、A l N および I n N の少なくとも 1 つからなる結晶層または混晶層を含む半導体装置とすることができる。また、本発明は、前記 p 型 S i C 領域は、前記 G a N 系半導体層と接している半導体装置とすることができる。さらに、本発明は、前記 S i C ドリフト層が 1 μ m 以上の膜厚を有する半導体装置とすることができる。

## 【 0 0 0 9 】

本発明は、S i C 基板または S i 基板である基板と、該基板上に形成され、p 型 S i C 層を含み、少なくとも p 型 S i C 層より深い開口部を有する S i C ドリフト層と、前記開口部を有する前記 S i C ドリフト層上に形成された、チャネル層と前記チャネル層上に形

50

成され前記チャンネル層よりバンドギャップの大きいキャップ層とを含むGaN系半導体層と、該GaN系半導体層上に形成されたソース電極若しくはエミッタ電極並びにゲート電極と、前記SiCドリフト層の前記GaN系半導体層と相対する面に接続されたドレイン電極またはコレクタ電極と、を具備する半導体装置である。本発明によれば、SiCドリフト層を有することによりドリフト層の厚膜化が可能となる。そのため、耐圧が高くできる。さらに、チャンネル移動度の高いGaN系半導体層をチャンネル層として用いることによりオン抵抗が低い半導体装置を提供することができる。

【0010】

本発明は、前記GaN系半導体層は、GaN、AlNおよびInNの少なくとも1つからなる結晶層または混晶層を含む半導体装置とすることができる。また、本発明は、前記p型SiC層は、前記GaN系半導体層と接している半導体装置とすることができる。さらに、本発明は、前記SiCドリフト層が1μm以上の膜厚を有する半導体装置とすることができる。

10

【0011】

本発明は、SiC基板またはSi基板である基板と、該基板上に形成されたSiCドリフト層と、該SiCドリフト層上に形成され、チャンネル層を含むGaN系半導体層と、前記GaN系半導体層が有する開口部の前記チャンネル層の側面に形成され、チャンネル層よりバンドギャップの大きいキャップ層と、前記チャンネル層の前記開口部の側面に前記キャップ層を介し形成されたゲート電極と、前記GaN系半導体層上に形成されたソース電極またはエミッタ電極と、前記SiCドリフト層の前記GaN系半導体層と相対する面に接続されたドレイン電極またはコレクタ電極と、を具備し、前記GaN系半導体層が有する前記開口部は、少なくとも前記チャンネル層より深い半導体装置である。本発明によれば、SiCドリフト層を有することによりドリフト層の厚膜化が可能となる。そのため、耐圧が高くできる。さらに、チャンネル移動度の高いGaN系半導体層をチャンネル層として用いることによりオン抵抗が低い半導体装置を提供することができる。

20

【0012】

本発明は、前記GaN系半導体層は、GaN、AlNおよびInNの少なくとも1つからなる単結晶層または混晶層を含む半導体装置とすることができる。また、本発明は、前記SiCドリフト層が1μm以上の膜厚を有する半導体装置とすることができる。

【発明の効果】

30

【0017】

本発明によれば、SiCドリフト層を有することによりドリフト層の厚膜化が可能となる。そのため、耐圧が高くできる。さらに、チャンネル移動度の高いGaN系半導体層をチャンネル層として用いることによりオン抵抗が低い半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0018】

SiCは破壊電界が高く高耐圧化のため好ましい材料ではあるが、従来技術1では高移動度の実現できず、低オン抵抗が実現できない。これは、SiCチャンネル層14とゲート酸化膜54界面の界面準位密度が高いためである。

SiCはSiなどの元素半導体と異なり、Si原子だけでなくC原子が存在するため熱酸化によって1~2原子オーダで酸化シリコン膜を形成するのは困難である。このため良質な酸化シリコン膜は期待できない。よって、SiCと酸化シリコン膜の界面準位密度を高移動度の反転層を形成するのに必要とされる $1 \times 10^{11} \text{ cm}^{-2}$ 以下まで低減するのは難しい。

40

【0019】

そこで、以下に、SiCドリフト層上と、SiCドリフト層上に形成されたGaN系半導体層を具備することにより高耐圧を有し低オン抵抗を有する実施例について説明する。

【実施例1】

【0020】

図2に実施例1に係るトランジスタの断面図を示す。実施例1は縦型FET(HEMT

50

)の例である。n型のSiC基板10の(0001)面上にn型SiCバッファ層12、n型SiCドリフト層14が形成され、さらにGaN系半導体層28として、n型AlGaN層20、GaNチャンネル層22およびAlGaNキャップ層24が成膜されている。キャップ層24上にソース電極60が形成され、ゲート電極62はキャップ層24上に埋め込まれ形成されている。ソース電極60およびゲート電極62の下のドリフト層14内にはp型SiC領域16が設けられ、ゲート電極下のドリフト層14内にはさらに高ドーピングp型SiC領域18が設けられている。基板10の裏面にドレイン電極64が形成されている。すなわち、ドレイン電極64はドリフト層14のGaN系半導体層28と対する面に接続されている。以上により実施例1に係るトランジスタが完成する。

#### 【0021】

図3から図7は、実施例1に係るトランジスタの製造方法を示す断面図である。図3において、基板厚として400 $\mu\text{m}$ を有するn型キャリア濃度が $1.0 \times 10^{19} \text{cm}^{-3}$ のSiC基板10上に、200nmの膜厚を有するn型キャリア濃度が $1.0 \times 10^{19} \text{cm}^{-3}$ のSiCバッファ層12、10 $\mu\text{m}$ の膜厚を有するn型キャリア濃度が $1.0 \times 10^{16} \text{cm}^{-3}$ のSiCドリフト層14をCVD法を用いて形成する。

#### 【0022】

図4において、ソース電極60およびゲート電極62を形成する領域の下部に例えばAlをイオン注入し、厚さ200nm、p型キャリア濃度が $1.0 \times 10^{16} \text{cm}^{-3}$ のp型SiC領域16を形成する。

#### 【0023】

図5において、さらにゲート電極62を形成する領域の下部に例えばAlをイオン注入し、厚さ100nm、p型キャリア濃度が $1.0 \times 10^{19} \text{cm}^{-3}$ の高濃度P型SiC領域18を形成する。

#### 【0024】

図6において、ドリフト層14上に、GaN系半導体層28として、20nmの膜厚を有するn型キャリア濃度が $1.0 \times 10^{18} \text{cm}^{-3}$ のAlGaN(AlN混晶比0.09)層20、500nmの膜厚を有する不純物を添加しないGaNチャンネル層22、20nmの膜厚を有する不純物を添加しないAlGaN(AlN混晶比0.25)キャップ層24を例えばMOCVD法を用い形成する。

#### 【0025】

図7において、キャップ層24の所定領域を $\text{Cl}_2$ ガスを用い10nmドライエッチングリセスを形成する。キャップ層24上の所定箇所に例えばTi/Alのソース電極60を形成し、リセスに例えばNi/Auのゲート電極62を形成する。

#### 【0026】

SiC基板10を100 $\mu\text{m}$ まで研磨した後、基板10の裏面にドレイン電極64を例えばNi/Alで形成する。すなわち、ドリフト層14のGaN系半導体層28と対する面に接続されたドレイン電極64を形成する。以上により実施例1に係るトランジスタが完成する(図2)。

#### 【0027】

実施例1においては、ソース電極60から横方向にチャンネル層22を通りp型SiC領域16の間を通り縦方向に流れドレイン電極64に至る電子がゲート電極62に制御されトランジスタ動作をする。ドリフト層14としてSiCを用いている。SiCはSiに比べ約10倍の絶縁耐圧を有し厚膜に成長することが可能である。このため、SiCドリフト層の膜厚を厚くすることにより、ドレイン耐圧の高いトランジスタが得られる。実施例1では10 $\mu\text{m}$ としているが、1 $\mu\text{m}$ 以上であればドレイン耐圧を高くする効果があり、100 $\mu\text{m}$ 以下であれば実用的に使用することができる。SiC基板やSi基板とGaN系半導体層を3 $\mu\text{m}$ 以上形成することは困難である。格子整合しないからである。特にウェーハが大口径化すると、GaN系半導体層を厚くすることはますます難しくなる。本発明においては、ドリフト層をSiCとすることにより、ウェーハが大口径化した場合であっても、ドリフト層を1 $\mu\text{m}$ 以上や3 $\mu\text{m}$ 以上に厚膜化することができる。これにより、

10

20

30

40

50

ドレイン耐圧の高いトランジスタが得られる。

【0028】

さらに、チャンネル層22であるGaNはSiに比べ移動度が高く、オン抵抗を小さくすることができる。また、従来技術1のようにチャンネル層22とキャップ層24の界面に発生する界面準位は非常に小さく、しかも界面の電子は2DEGを形成するため、非常に高い移動度を実現することができる。

【0029】

p型SiC領域16は、ソース電極60から直接ドレイン電極64に電子が流れることを防止する障壁の機能を有している。また、p型SiC領域16がGaN系半導体層28と接することにより、p型SiC領域16をチャンネル層22近くに配置することができ、ピンチオフ特性をさらに高めている。さらに、ゲート電極62下に高濃度p型SiC領域18を有することにより、よりピンチオフ特性を改善することができる。

【0030】

AlGaN層20は必須ではないが、SiC膜上にGaN膜を直接成長することが難しいためSiC膜上に成膜が容易なAlGaN層20を設けることが好ましい。

【0031】

以上のように、実施例1によれば、SiCドリフト層を設けることにより高耐圧を実現し、GaN系半導体層28であるチャンネル層22を電子が走行することによりオン抵抗の小さい半導体装置を提供することができる。

【実施例2】

【0032】

実施例2に係るトランジスタの断面図を図8に示す。実施例2は縦型FET(HEMT)の例である。n型のSiC基板10の(0001)面上にn型SiCバッファ層12、n型SiCドリフト層14が形成され、さらにGaN系半導体層38として、n型AlGaNドレイン層30、p型GaNチャンネル層32(p型GaN系半導体層)およびAlGaNソース層34が成膜されている。表面よりn型AlGaNドレイン層30に至る開口部37が形成されている。すなわち、少なくともp型チャンネル層32より深い開口部を有する。

【0033】

開口部37を覆うようにAlNキャップ層36が形成され、キャップ層36上にゲート電極66が形成され、キャップ層34上すなわちGaN系半導体層38上にソース電極が形成されている。すなわち、開口部37のチャンネル層32の側面に、チャンネル層32よりバンドギャップの大きいキャップ層36を具備し、ゲート電極66が、チャンネル層32の開口部37の側面にキャップ層36を介し形成されている。基板10の裏面にドレイン電極64が形成されている。すなわち、ドレイン電極はドリフト層14のGaN系半導体層38と相対する面に接続されている。

【0034】

図9から図12は、実施例2に係るトランジスタの製造方法を示す断面図である。図9において、実施例1と同様に基板10上にSiCバッファ層12およびSiCドリフト層14をCVD法を用い形成する。

【0035】

図10において、ドリフト層14上に、GaN系半導体層38として、100nmの膜厚を有するn型キャリア濃度が $10 \times 10^{16} \text{ cm}^{-3}$ のAlGaN(A1N混晶比0.09)ドレイン層30、100nmの膜厚を有するp型キャリア濃度が $10 \times 10^{16} \text{ cm}^{-3}$ のGaNチャンネル層32、100nmの膜厚を有するn型キャリア濃度が $10 \times 10^{19} \text{ cm}^{-3}$  AlGaN(A1N混晶比0.25)ソース層34を例えばMOCVD法を用い形成する。

【0036】

図11において、 $\text{Cl}_2$ ガスを用いたドライエッチングでAlGaNドレイン層30に至る深さ250nmの開口部37を形成する。すなわち、少なくともチャンネル層32を除

10

20

30

40

50

去する開口部 37 を形成する。このとき、開口部 37 の側面は基板表面に対し約  $60^\circ$  の傾斜を有する。

【0037】

図 12 において、開口部 37 を覆うように AlN キャップ層 36 を  $10\text{ nm}$  形成する。すなわち、チャンネル層 32 の側面にチャンネル層 32 よりバンドギャップの大きいキャップ層 36 を形成する。

【0038】

所定領域のキャップ層 36 を除去した後、ソース層 34 上にソース電極 60 を例えば Ti/Al を用い形成する。開口部 37 のキャップ層 36 上にゲート電極 66 を例えば Pt/Au を用い形成する。すなわち、ゲート電極 66 をチャンネル層 32 の開口部 37 の側面にキャップ層 36 を介し形成する。基板 10 を基板厚  $100\ \mu\text{m}$  まで研磨し背面に例えば Ni/Al を用いドレイン電極を形成する。すなわち、ドリフト層 14 の GaN 系半導体層 28 と相対する面に接続されたドレイン電極 64 を形成する。以上により実施例 2 に係るトランジスタが完成する(図 8)。

10

【0039】

実施例 2 においては、電子が、ソース電極 60 からソース層 34、チャンネル層 32 のキャップ層 36 界面、ドレイン層 30 を通りドリフト層 14 に縦方向に流れドレイン電極 64 に至る電子がゲート電極 62 に制御されトランジスタ動作をする。実施例 2 においては、実施例 1 と同様の SiC ドリフト層 14 を有するため高耐圧を実現できる。ドリフト層 14 の厚さは、 $1\ \mu\text{m}$  以上であればドレイン耐圧を高くする効果があり、 $100\ \mu\text{m}$  以下であれば実用的に使用することができる。さらに、電子が移動度の高い GaN チャンネル層 32 のキャップ層 36 界面を走行し、オン抵抗を低減することができる。

20

【実施例 3】

【0040】

実施例 3 に係るトランジスタの断面図を図 13 に示す。実施例 3 は縦型 FET (HEMT) の例である。n 型の SiC 基板 10 の (0001) 面上に、n 型 SiC バッファ層 12、n 型 SiC ドリフト層 14、ドリフト層内の p 型 SiC 層 15 が形成されている。ドリフト層 14 には少なくとも p 型 SiC 層 15 より深い開口部が形成されている。さらに GaN 系半導体層 48 として、n 型 AlGaNDレイン層 40、p 型 GaN チャンネル層 42 および AlGaNDソース層 44 が成膜されている。結果として、GaN 系半導体層 48 には開口部 47 が形成される。

30

【0041】

ソース層 44 上にソース電極 60 が形成され、ゲート電極 62 はソース層 24 上に埋め込まれ形成されている。基板 10 の裏面にドレイン電極 64 が形成されている。すなわち、ドレイン電極はドリフト層 14 の GaN 系半導体層 28 と相対する面に接続されている。

【0042】

図 14 から図 17 は、実施例 3 に係るトランジスタの製造方法を示す断面図である。図 13 において、実施例 1 と同様に、基板 10 上に SiC バッファ層 12 および SiC ドリフト層 14 を CVD 法を用い形成する。さらに膜厚  $100\ \text{nm}$  を有する p 型キャリア濃度が  $10 \times 10^{16}\ \text{cm}^{-3}$  の p 型 SiC 層 15 を CVD 法を用い形成する。

40

【0043】

図 15 において、 $\text{Cl}_2$  ガスを用いたドライエッチングでドリフト層 14 に  $250\ \text{nm}$  の深さを有する開口部を形成する。すなわち、少なくとも p 型 SiC 層 15 を除去する開口部を形成する。このとき、開口部 37 の側面は基板表面に対し約  $60^\circ$  の傾斜を有する。

【0044】

図 16 において、開口部を有するドリフト層 14 上に、GaN 系半導体層 48 として、 $20\ \text{nm}$  の膜厚を有する n 型キャリア濃度が  $10 \times 10^{16}\ \text{cm}^{-3}$  の AlGaND (AlN 混晶比 0.09) ドレイン層 40、 $500\ \text{nm}$  の膜厚を有する不純物を添加しない Ga

50

Nチャンネル層42、20nmの膜厚を有する不純物を添加しないAlGaN(AlN混晶比0.25)キャップ層44を例えばMOCVD法を用い形成する。

【0045】

図17において、キャップ層24の所定領域をCl<sub>2</sub>ガスを用い10nmドライエッチングリセスを形成する。キャップ層44上の所定箇所に例えばTi/Alのソース電極60を形成し、リセスに例えばNi/Auのゲート電極62を形成する。

【0046】

SiC基板10を100μmまで研磨した後、基板10の裏面にドレイン電極64を例えばNi/Alで形成する。すなわち、ドリフト層14のGaN系半導体層48と対する面に接続されたドレイン電極64を形成する。以上により実施例1に係るトランジスタが完成する。

【0047】

p型SiC層15は、ソース電極60から直接ドレイン電極64に電子が流れることを防止する障壁の機能を有している。また、p型SiC層15がGaN系半導体層48と接することにより、ピンチオフ特性を向上させている。

【0048】

実施例3においては、実施例1および実施例2と同様のSiCドリフト層14を有するため高耐圧を実現できる。ドリフト層14の厚さは、1μm以上であればドレイン耐圧を高くする効果があり、100μm以下であれば実用的に使用することができる。さらに、チャンネル層42がGaN系半導体層であるため高い移動度を実現することができ、オン抵抗を低減することができる。

【実施例4】

【0049】

実施例4に係るトランジスタの断面図を図18に示す。実施例4はIGBT(Insulated Gate Bipolar Transistor)の例である。p型のSiC基板80の(0001)面上にp型SiCバッファ層82、n型SiCドリフト層84が形成され、さらにGaN系半導体層92として、n型GaN層コレクタ層86、GaNチャンネル層88およびGaNエミッタ層90が形成されている。表面よりコレクタ層86に至る開口部102が形成されている。

【0050】

開口部102を覆うようにAlNキャップ層94が形成され、キャップ層94上にゲート電極98が形成され、エミッタ層90上すなわちGaN系半導体層92上にエミッタ電極96が形成されている。すなわち、開口部102のチャンネル層88の側面に、チャンネル層88よりバンドギャップの大きいキャップ層94を具備し、ゲート電極98が、チャンネル層88の開口部102の側面にキャップ層94を介し形成されている。基板80の裏面にコレクタ電極100が形成されている。すなわち、コレクタ電極100はドリフト層84のGaN系半導体層92と対する面に接続されている。

【0051】

実施例4においては、実施例1から実施例3と同様のSiCドリフト層84を有するためコレクタ耐圧の高いIGBTを実現できる。ドリフト層84の厚さは、1μm以上であればコレクタ耐圧を高くする効果があり、100μm以下であれば実用的に使用することができる。さらに、コレクタ層86、チャンネル層88、エミッタ層90がGaN系半導体層であるため高い移動度を実現することができ、オン抵抗を低減することができる。

【0052】

実施例1から実施例4においてはドレイン電極64、コレクタ電極100を基板10、80の裏面に形成しているが、ドリフト層14、84のGaN系半導体層28、38、48、92のと対する面に接続されていればよい。例えばドリフト層14、84と基板10、80の間にn型のSiCコンタクト層を設け、表面側からコンタクト層に接続されるドレイン電極またはコレクタ層を形成することもできる。基板は、SiC基板以外にもSi基板を使用することができる。SiC基板またはSi基板を用いることにより結晶性の

10

20

30

40

50



良いSiC層が形成できる。

【0053】

チャンネル層は、GaN系半導体層として、例えば、GaN、AlNおよびInNの少なくとも1つからなる結晶層若しくは混晶層を用いることができる。これにより低オン抵抗のトランジスタを実現できる。さらにキャップ層として、チャンネル層よりバンドギャップの大きいGaN系半導体層を用いることにより、さらに低オン抵抗を実現することができる。

【図面の簡単な説明】

【0054】

【図1】図1は従来技術1の断面図である。

10

【図2】図2は実施例1の断面図である。

【図3】図3は実施例1の製造工程を示す断面図(その1)である。

【図4】図4は実施例1の製造工程を示す断面図(その2)である。

【図5】図5は実施例1の製造工程を示す断面図(その3)である。

【図6】図6は実施例1の製造工程を示す断面図(その4)である。

【図7】図7は実施例1の製造工程を示す断面図(その5)である。

【図8】図8は実施例2の断面図である。

【図9】図9は実施例2の製造工程を示す断面図(その1)である。

【図10】図10は実施例2の製造工程を示す断面図(その2)である。

【図11】図11は実施例2の製造工程を示す断面図(その3)である。

20

【図12】図12は実施例2の製造工程を示す断面図(その4)である。

【図13】図13は実施例3の断面図である。

【図14】図14は実施例3の製造工程を示す断面図(その1)である。

【図15】図15は実施例3の製造工程を示す断面図(その2)である。

【図16】図16は実施例3の製造工程を示す断面図(その3)である。

【図17】図17は実施例3の製造工程を示す断面図(その4)である。

【図18】図18は実施例4の断面図である。

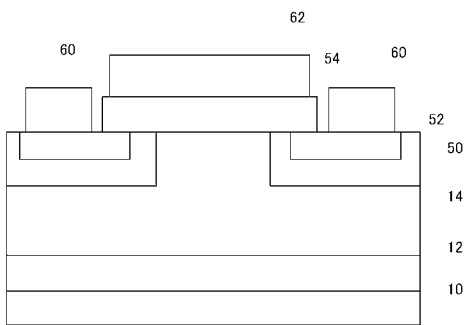
【符号の説明】

【0055】

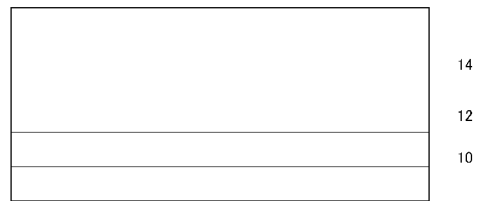
10、80	基板	30
12、82	SiCバッファ層	
14、84	SiCドリフト層(SiCチャンネル層)	
15	p型SiC層	
16	p型SiC領域	
18	高濃度p型SiC領域	
20、40	AlGaN層	
22、42	GaNチャンネル層	
24、44	AlGaNキャップ層	
28、38、48、92	GaN系半導体層	
30	AlGaNドレイン層	40
32	GaNチャンネル層	
34	AlGaNソース層	
36	キャップ層	
37、47、102	開口部	
60	ソース電極	
62、66、98	ゲート電極	
64	ドレイン電極	
86	GaNコレクタ層	
88	GaNチャンネル層	
90	GaNエミッタ層	50

- 9 4            キャップ層
- 9 6            エミッタ電極
- 1 0 0        コレクタ電極

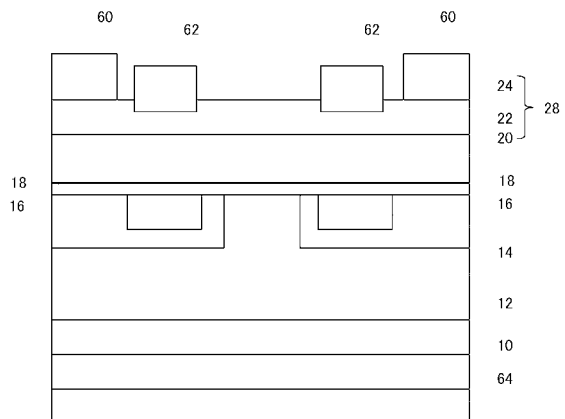
【図 1】



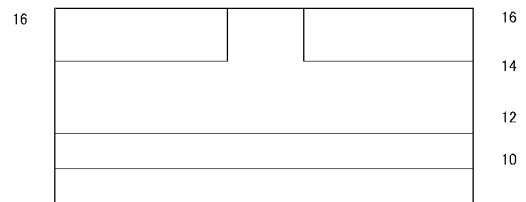
【図 3】



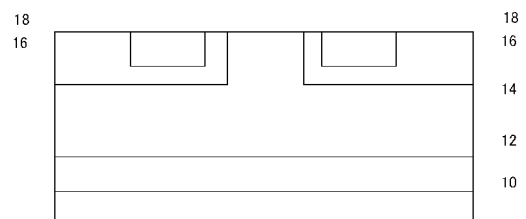
【図 2】



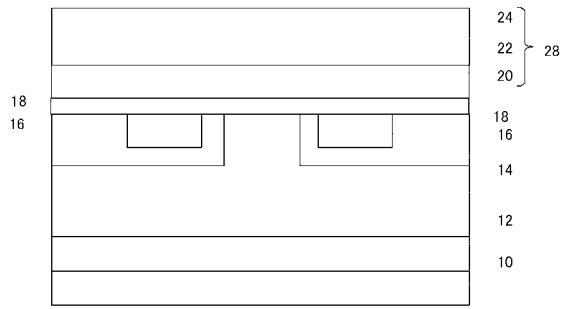
【図 4】



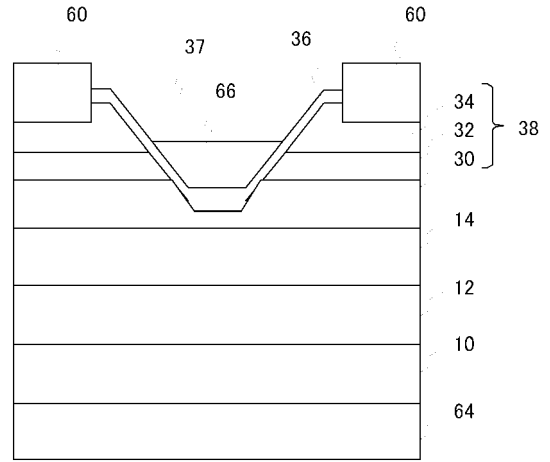
【図 5】



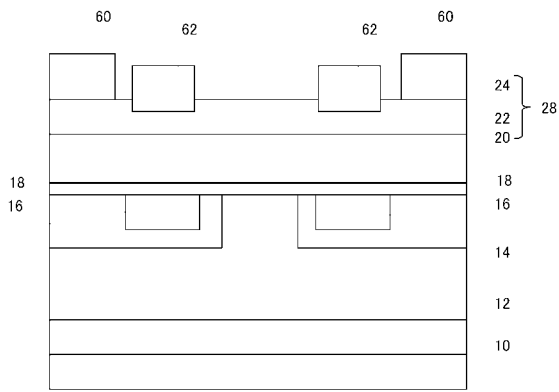
【図 6】



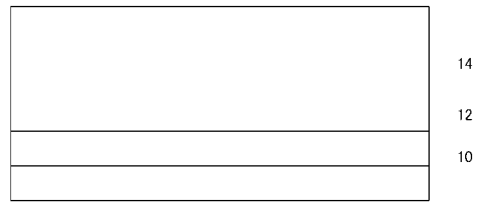
【図 8】



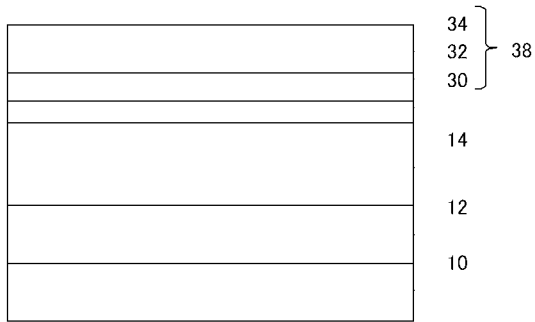
【図 7】



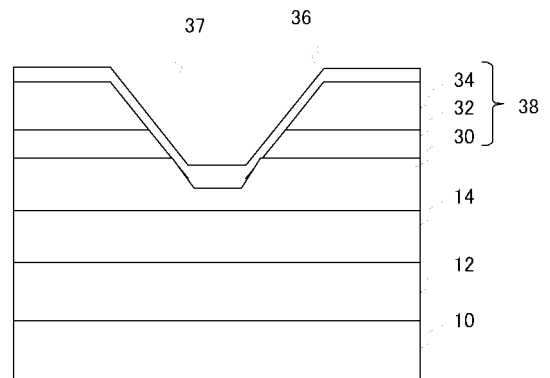
【図 9】



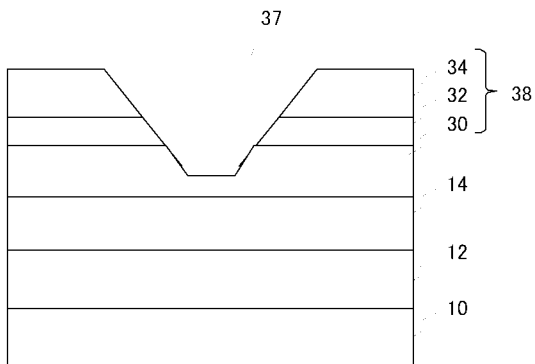
【図 10】



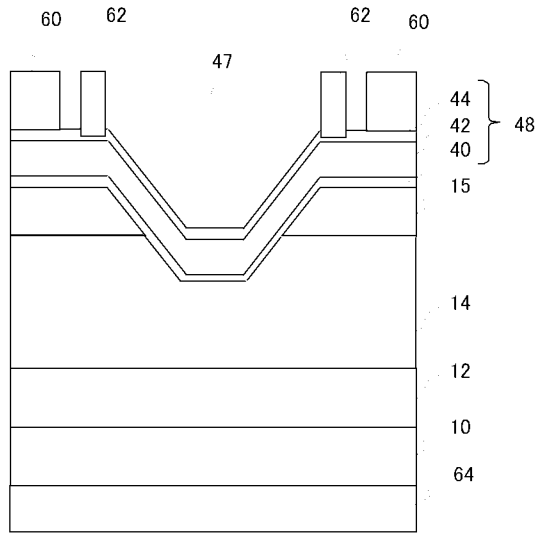
【図 12】



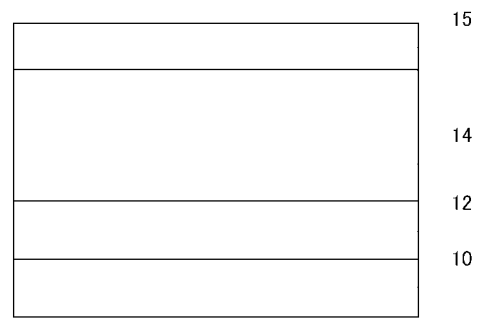
【図 11】



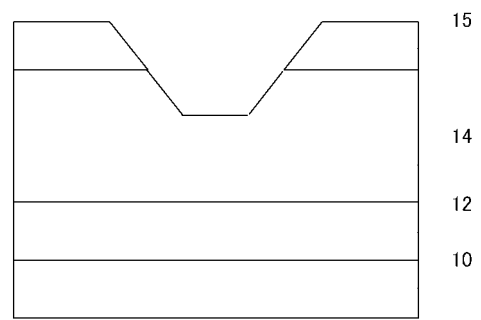
【図 13】



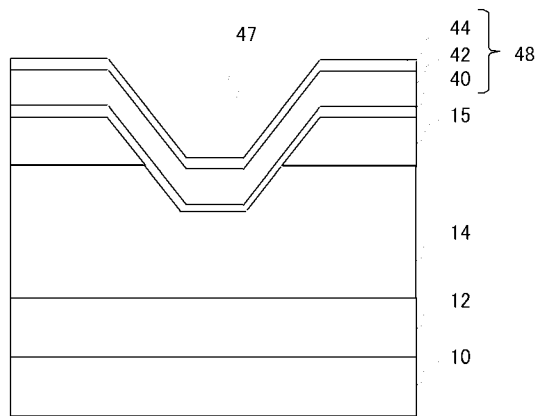
【図 14】



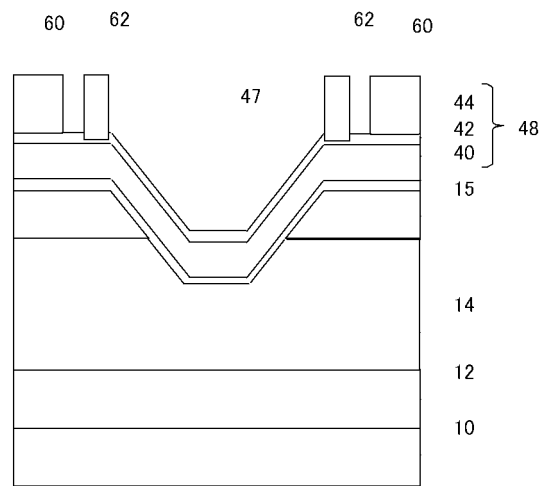
【図 15】



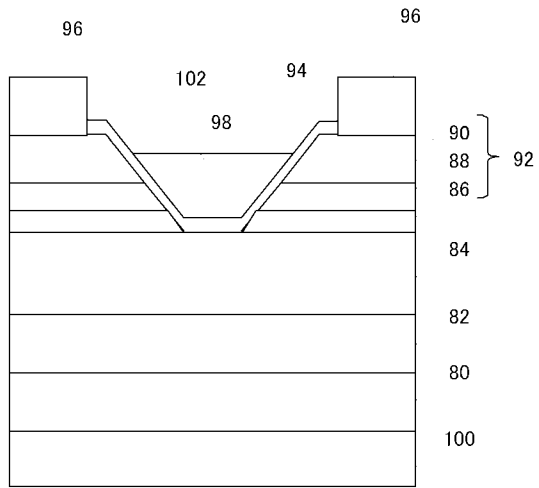
【図 16】



【図 17】



【 図 18 】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 (2006.01) H 0 1 L 29/78 6 5 5 A  
H 0 1 L 29/12 (2006.01)  
H 0 1 L 29/739 (2006.01)

審査官 行武 哲太郎

(56)参考文献 特開2003-273358(JP,A)  
特開2003-229566(JP,A)  
特開2003-69041(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8 - 2 9 / 8 1 2  
H 0 1 L 2 9 / 7 7 8  
H 0 1 L 2 1 / 3 3 7 - 2 1 / 3 3 8