

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-174961

(P2017-174961A)

(43) 公開日 平成29年9月28日(2017.9.28)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 3 A	4 M 1 O 4
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 J	
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 6 5 8 B	
	H O 1 L 29/78 6 5 2 F	
	H O 1 L 29/50 M	
審査請求 未請求 請求項の数 2 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2016-59071 (P2016-59071)
 (22) 出願日 平成28年3月23日 (2016.3.23)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 110000110
 特許業務法人快友国際特許事務所
 (72) 発明者 西村 信也
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 (72) 発明者 渡辺 行彦
 愛知県長久手市横道41番地の1 株式会社豊田中央研究所内

最終頁に続く

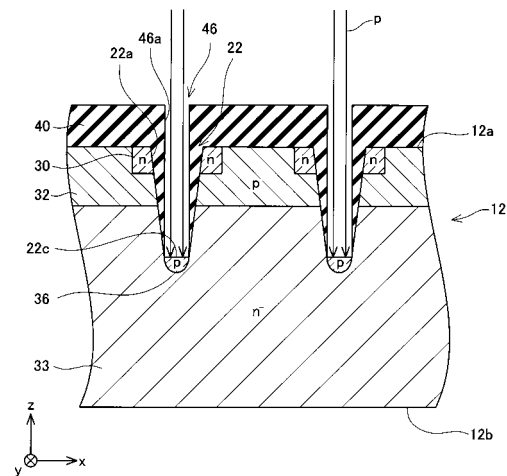
(54) 【発明の名称】 スイッチング素子の製造方法

(57) 【要約】

【課題】 トレンチの下端部における電界集中を効果的に抑制する。

【解決手段】 トレンチ型のゲート電極を有するスイッチング素子の製造方法。半導体基板に傾斜している側面を有する第1トレンチを形成する。次に、第1トレンチを保護層で埋める。次に、保護層に第1トレンチに沿って第2トレンチを形成する。ここで、第2トレンチが第1トレンチの底面に達し、第1トレンチの側面に保護層が残存し、第2トレンチの側面の傾斜角度が第1トレンチの側面の傾斜角度よりも小さくなるように第2トレンチを形成する。次に、第2トレンチの底面にp型不純物を注入する。次に、第1トレンチ内から保護層を除去する。次に、第1トレンチ内に、ゲート絶縁層とゲート電極を形成する。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

トレンチ型のゲート電極を有するスイッチング素子の製造方法であって、
半導体基板に、上端部の幅が底部の幅よりも広くなる向きに傾斜している短手方向の側面を有する第 1 トレンチを形成する工程と、

前記第 1 トレンチを、保護層で埋める工程と、

前記保護層に前記第 1 トレンチに沿って第 2 トレンチを形成する工程であって、前記第 2 トレンチが前記第 1 トレンチの底面に達し、前記第 1 トレンチの前記側面に前記保護層が残存し、前記第 2 トレンチの短手方向の側面の傾斜角度が前記第 1 トレンチの前記側面の傾斜角度よりも小さくなるように前記第 2 トレンチを形成する工程と、

前記第 2 トレンチの底面に p 型不純物を注入する工程と、

前記 p 型不純物の注入後に前記第 1 トレンチ内から前記保護層を除去する工程と、

前記保護層の除去後に、前記第 1 トレンチ内に、ゲート絶縁層と、前記ゲート絶縁層によって前記半導体基板から絶縁されているゲート電極を形成する工程、

を有する製造方法。

【請求項 2】

前記第 1 トレンチが、上端部の幅が底部の幅よりも広くなる向きに傾斜している長手方向の側面を有し、

前記第 2 トレンチが、前記第 1 トレンチの長手方向の前記側面が露出するように形成され、

前記第 2 トレンチの底面に p 型不純物を注入する前記工程において、p 型不純物が前記第 1 トレンチの長手方向の前記側面に注入される、

請求項 1 の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書では、スイッチング素子の製造方法を開示する。

【0002】

特許文献 1 に、トレンチ型のゲート電極を有するスイッチング素子が開示されている。このスイッチング素子では、トレンチの底面に露出する範囲に、p 型の底部領域が形成されている。底部領域によって、トレンチの底面近傍における電界集中が抑制される。

【0003】

特許文献 1 のスイッチング素子の製造方法では、半導体基板にトレンチを形成する。次に、トレンチ内に保護膜を設けることなく、トレンチの底面に p 型不純物を注入する。これによって、p 型の底部領域を形成する。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007-242852 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体基板にトレンチを形成する際に、上端部の幅が底部の幅よりも広くなる向きにトレンチの側面を傾斜させる場合がある。このようにトレンチの側面を傾斜させることで、トレンチ内にゲート絶縁層とゲート電極を安定して形成することが可能となる。トレンチの側面が傾斜している場合に、特許文献 1 のように保護膜を設けることなくトレンチの底面に p 型不純物を注入すると、トレンチの側面にも p 型不純物が注入される。トレンチの短手方向の側面近傍の半導体領域は、スイッチング素子がオンするときにチャネルが形成される半導体領域である。トレンチの短手方向の側面に p 型不純物が注入されると、ゲート閾値の上昇、チャネル抵抗の増大等の問題が生じる。

【0006】

図13に示すように、トレンチの側面を保護膜110で覆った状態でトレンチの底面にp型不純物を注入することも考えられる。しかしながら、この構成では、底面の両端部120b（側面近傍の部分）が保護膜110によって覆われているため、両端部120bにp型不純物が注入され難い。このため、p型不純物が主に底面の中央部120aに注入される。その後、熱処理等によってp型不純物を拡散させたとしても、底部領域の幅をトレンチの底面の幅に対して十分に広げることが困難な場合がある。この場合、底部領域によって両端部120bが十分に保護されず、両端部120bの周辺で電界集中が生じる。

【課題を解決するための手段】

【0007】

10

本明細書が開示する製造方法では、トレンチ型のゲート電極を有するスイッチング素子を製造する。この製造方法は、第1トレンチ形成工程と、保護層形成工程と、第2トレンチ形成工程と、p型不純物注入工程と、保護層除去工程と、ゲート電極形成工程を有する。前記第1トレンチ形成工程では、半導体基板に、上端部の幅が底部の幅よりも広くなる向きに傾斜している短手方向の側面を有する第1トレンチを形成する。前記保護層形成工程では、前記第1トレンチを保護層で埋める。前記第2トレンチ形成工程では、前記保護層に前記第1トレンチに沿って第2トレンチを形成する。ここで、前記第2トレンチが前記第1トレンチの底面に達し、前記第1トレンチの前記側面に前記保護層が残存し、前記第2トレンチの短手方向の側面の傾斜角度が前記第1トレンチの前記側面の傾斜角度よりも小さくなるように前記第2トレンチを形成する。前記p型不純物注入工程では、前記第2トレンチの底面にp型不純物を注入する。前記保護層除去工程では、前記p型不純物の注入後に前記第1トレンチ内から前記保護層を除去する。前記ゲート電極形成工程では、前記保護層の除去後に、前記第1トレンチ内に、ゲート絶縁層と、前記ゲート絶縁層によって前記半導体基板から絶縁されているゲート電極を形成する。

20

【0008】

この製造方法では、第1トレンチを形成した後に、第1トレンチを保護層で埋める。次に、保護層に第2トレンチを形成する。ここでは、第1トレンチの側面に保護層が残存するように第2トレンチを形成する。また、第2トレンチの側面の傾斜角度が第1トレンチの側面の傾斜角度よりも小さくなるように第2トレンチを形成する。第2トレンチの側面は、上端部の幅が底部の幅よりも広くなる向きに傾斜していてもよいし、半導体基板の表面に対して垂直（すなわち、傾斜角度がゼロ）であってもよい。このように第1トレンチと第2トレンチの側面の傾斜角度が調整されるので、第1トレンチの側面に残存する保護層の厚みが、第1トレンチの底部で薄く、上端部に向かうにしたがって厚くなる。このため、第1トレンチの底面の両端部を覆う保護層の厚みが薄い。その後、第2トレンチの底面にp型不純物が注入されると、第1トレンチの底面の広い範囲にp型不純物が注入される。したがって、この方法によれば、幅が広い底部領域を形成することができる。また、第2トレンチの側面の傾斜角度（すなわち、第1トレンチの側面を覆う保護層の表面の傾斜角度）が小さいので、第1トレンチの側面へのp型不純物の注入を効果的に抑制することができる。したがって、この方法によれば、ゲート閾値の上昇、チャネル抵抗の増大等の問題を抑止することができる。その後、第1トレンチ内から保護層が除去され、第1トレンチ内にゲート絶縁層とゲート電極が形成される。第1トレンチの側面が傾斜しているので、第1トレンチ内にゲート絶縁層とゲート電極を好適に形成することができる。

30

40

【図面の簡単な説明】

【0009】

【図1】MOSFET10の平面図。

【図2】図1のII-II線におけるMOSFET10の縦断面図。

【図3】図1のIII-III線におけるMOSFET10の縦断面図。

【図4】加工前の半導体基板12の縦断面図。

【図5】トレンチ22形成後の半導体基板12の縦断面図。

【図6】絶縁層40形成後の半導体基板12の縦断面図。

50

【図 7】レジスト層 4 2 形成後の半導体基板 1 2 の縦断面図。

【図 8】レジスト層 4 2 形成後の半導体基板 1 2 の縦断面図。

【図 9】トレンチ 4 6 形成後の半導体基板 1 2 の縦断面図。

【図 1 0】トレンチ 4 6 形成後の半導体基板 1 2 の縦断面図。

【図 1 1】イオン注入工程を示す半導体基板 1 2 の縦断面図。

【図 1 2】イオン注入工程を示す半導体基板 1 2 の縦断面図。

【図 1 3】厚みが均一な保護膜 1 1 0 を用いるイオン注入工程を示す縦断面図。

【発明を実施するための形態】

【実施例】

【0 0 1 0】

10

図 1 ～ 3 は、実施例の M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) 1 0 を示している。図 2、3 に示すように、M O S F E T 1 0 は、半導体基板 1 2 と、電極、絶縁層等を備えている。なお、図 1 では、図の見易さのため、半導体基板 1 2 の上面 1 2 a 上の電極、絶縁層の図示を省略している。以下では、半導体基板 1 2 の上面 1 2 a と平行な一方向を x 方向といい、上面 1 2 a に平行で x 方向に直交する方向を y 方向といい、半導体基板 1 2 の厚み方向を z 方向という。半導体基板 1 2 は、S i C によって構成されている。

【0 0 1 1】

半導体基板 1 2 の上面 1 2 a には、複数のトレンチ 2 2 が設けられている。図 1 に示すように、各トレンチ 2 2 は、y 方向に直線状に長く伸びている。複数のトレンチ 2 2 は、x 方向に間隔を開けて配列されている。図 2 に示すように、各トレンチ 2 2 の短手方向 (x 方向) の端部に位置する側面 2 2 a は、トレンチ 2 2 の x 方向の幅が底部から上端部に向かうにしたがって広くなるように傾斜している。図 3 は、トレンチ 2 2 の長手方向 (y 方向) の端部の断面構造を示している。なお、図 3 は、トレンチ 2 2 の長手方向の一方の端部を示しているが、他方の端部も図 3 と同じ断面構造を有している。図 3 に示すように、各トレンチ 2 2 の長手方向 (y 方向) の端部に位置する側面 2 2 b は、トレンチ 2 2 の y 方向の幅が底部から上端部に向かうにしたがって広くなるように傾斜している。図 2、3 に示すように、各トレンチ 2 2 の内面は、ゲート絶縁層 2 4 によって覆われている。ゲート絶縁層 2 4 は、底部絶縁層 2 4 a と側面絶縁層 2 4 b を有している。底部絶縁層 2 4 a は、トレンチ 2 2 の底面 2 2 c を覆っている。側面絶縁層 2 4 b は、トレンチ 2 2 の側面を覆っている。底部絶縁層 2 4 a の厚みは、側面絶縁層 2 4 b の厚みよりも厚い。各トレンチ 2 2 内には、ゲート電極 2 6 が配置されている。各ゲート電極 2 6 は、ゲート絶縁層 2 4 によって半導体基板 1 2 から絶縁されている。各ゲート電極 2 6 の上面は、層間絶縁膜 2 8 によって覆われている。

20

30

【0 0 1 2】

図 2、3 に示すように、半導体基板 1 2 の上面 1 2 a には、上部電極 7 0 が配置されている。上部電極 7 0 は、層間絶縁膜 2 8 が設けられていない部分で半導体基板 1 2 の上面 1 2 a に接している。上部電極 7 0 は、層間絶縁膜 2 8 によってゲート電極 2 6 から絶縁されている。半導体基板 1 2 の下面 1 2 b には、下部電極 7 2 が配置されている。下部電極 7 2 は、半導体基板 1 2 の下面 1 2 b に接している。

40

【0 0 1 3】

図 1 ～ 3 に示すように、半導体基板 1 2 の内部には、複数のソース領域 3 0、ボディ領域 3 2、ドリフト領域 3 3、ドレイン領域 3 4、複数の底部領域 3 6 及び複数の接続領域 3 8 が設けられている。

【0 0 1 4】

各ソース領域 3 0 は、n 型領域である。図 2 に示すように、各ソース領域 3 0 は、半導体基板 1 2 の上面 1 2 a に露出する位置に配置されており、上部電極 7 0 にオーミック接触している。また、各ソース領域 3 0 は、トレンチ 2 2 の上端部において側面絶縁層 2 4 b に接している。

【0 0 1 5】

50

ボディ領域 32 は、p 型領域である。図 2 に示すように、ボディ領域 32 は、各ソース領域 30 に接している。ボディ領域 32 は、2 つのソース領域 30 に挟まれた範囲から各ソース領域の下側まで伸びている。2 つのソース領域 30 に挟まれた範囲では、ボディ領域 32 内の p 型不純物濃度が高い。ボディ領域 32 は、2 つのソース領域 30 に挟まれた範囲で、上部電極 70 にオーミック接触している。ソース領域 30 の下側では、ボディ領域 32 内の p 型不純物濃度が低い。ボディ領域 32 は、ソース領域 30 の下側で、側面絶縁層 24b に接している。また、図 3 に示すように、ボディ領域 32 は、各トレンチ 22 の長手方向の側面 22b に接する位置にも形成されている。ボディ領域 32 の下端は、ゲート電極 26 の下端よりも上側に配置されている。

【0016】

ドリフト領域 33 は、n 型不純物濃度が低い n 型領域である。ドリフト領域 33 は、ボディ領域 32 の下側に配置されており、ボディ領域 32 によってソース領域 30 から分離されている。図 2 に示すように、ドリフト領域 33 は、ボディ領域 32 の下側で側面絶縁層 24b に接している。

【0017】

ドレイン領域 34 は、ドリフト領域 33 よりも n 型不純物濃度が高い n 型領域である。ドレイン領域 34 は、ドリフト領域 33 の下側に配置されている。ドレイン領域 34 は、半導体基板 12 の下面 12b に露出している。ドレイン領域 34 は、下部電極 72 にオーミック接触している。

【0018】

各底部領域 36 は、p 型領域である。各底部領域 36 は、対応するトレンチ 22 の底面 22c に露出する範囲に配置されている。各底部領域 36 は、対応するトレンチ 22 の底面 22c において、底部絶縁層 24a に接している。図 3 に示すように、各底部領域 36 は、対応するトレンチ 22 の底面に沿って y 方向に長く伸びている。各底部領域 36 は、対応するトレンチ 22 の底面全域で底部絶縁層 24a に接している。図 2 に示すように、各底部領域 36 の周囲は、ドリフト領域 33 に囲まれている。図 2 に示す断面においては、各底部領域 36 は、ドリフト領域 33 によってボディ領域 32 から分離されている。また、各底部領域 36 は、ドリフト領域 33 によって互いから分離されている。

【0019】

図 1、3 に示すように、各接続領域 38 は、対応するトレンチ 22 の y 方向の側面 22b に沿って設けられている。各接続領域 38 は、p 型不純物濃度が低い p 型領域である。図 3 に示すように、各接続領域 38 の下端は、対応する底部領域 36 に接続されている。各接続領域 38 の上端は、ボディ領域 32 に接続されている。上述したように、ボディ領域 32 は、上部電極 70 に接続されている。したがって、各底部領域 36 は、接続領域 38 とボディ領域 32 を介して上部電極 70 に接続されている。

【0020】

MOSFET 10 の使用時には、MOSFET 10 と負荷（例えば、モータ）と電源が直列に接続される。MOSFET 10 と負荷の直列回路に対して、電源電圧が印加される。MOSFET 10 のドレイン（下部電極 72）がソース（上部電極 70）よりも高電位となる向きで、電源電圧が印加される。

【0021】

MOSFET 10 のゲート電位（ゲート電極 26 の電位）が、ゲート閾値よりも高い電位に制御されると、側面絶縁層 24b に隣接する範囲でボディ領域 32 が n 型に反転し、その範囲にチャンネルが形成される。このため、上部電極 70 から、ソース領域 30、チャンネル、ドリフト領域 33 及びドレイン領域 34 を介して下部電極 72 へ電子が流れる。すなわち、MOSFET 10 がオンし、下部電極 72 から上部電極 70 へ電流が流れる。

【0022】

ゲート電位をゲート閾値以下の電位に引き下げると、チャンネルが消失し、MOSFET 10 がオフする。すると、下部電極 72 の電位が上昇し、ドレイン領域 34 及びドリフト領域 33 の電位が上昇する。このため、ボディ領域 32 とドリフト領域 33 との界面の p

10

20

30

40

50

n 接合に逆電圧が印加され、ボディ領域 3 2 からドリフト領域 3 3 に空乏層が広がる。

【0023】

また、ドリフト領域 3 3 の電位が上昇すると、ドリフト領域 3 3 と底部領域 3 6 の間の容量結合によって底部領域 3 6 の電位が上昇しようとする。しかしながら、底部領域 3 6 の電位が上昇しようとする、底部領域 3 6 から接続領域 3 8 とボディ領域 3 2 を介して上部電極 7 0 へホールが流れる。このため、底部領域 3 6 の電位は、ほとんど上昇せず、上部電極 7 0 の電位に近い電位に維持される。したがって、底部領域 3 6 とドリフト領域 3 3 との界面の p n 接合にも逆電圧が印加され、底部領域 3 6 からドリフト領域 3 3 に空乏層が広がる。

【0024】

このように、ボディ領域 3 2 と底部領域 3 6 の両方からドリフト領域 3 3 に空乏層が広がる。ドリフト領域 3 3 が空乏化されることで、ドリフト領域 3 3 によって電圧が保持される。ボディ領域 3 2 からだけでなく底部領域 3 6 からでもドリフト領域 3 3 に空乏層が広がるので、ドリフト領域 3 3 が短時間で空乏化される。さらに、底部領域 3 6 から伸びる空乏層によって各トレンチ 2 2 の下端部が保護される。このため、各トレンチ 2 2 の下端部に電界が集中し難い。特に、本実施例の MOSFET 1 0 では、底部領域 3 6 がトレンチ 2 2 の底面 2 2 c 全体に露出するように幅広に形成されている。このため、トレンチ 2 2 の下端のコーナー部（すなわち、底面 2 2 c と側面 2 2 a の境界のコーナー部）の電界集中を効果的に抑制することができる。したがって、この MOSFET 1 0 は高い耐圧を有する。

【0025】

ゲート電位が再度、ゲート閾値より高い電位に引き上げられると、ボディ領域 3 2 にチャンネルが形成され、MOSFET 1 0 がオンする。このため、下部電極 7 2、ドレイン領域 3 4 及びドリフト領域 3 3 の電位が低下する。すると、ドリフト領域 3 3 と底部領域 3 6 の間の容量結合によって底部領域 3 6 の電位が低下しようとする。しかしながら、底部領域 3 6 の電位が低下しようとする、上部電極 7 0 からボディ領域 3 2 と接続領域 3 8 を介して底部領域 3 6 へホールが供給される。このため、底部領域 3 6 の電位は、ほとんど低下せず、上部電極 7 0 の電位に近い電位に維持される。このため、ドリフト領域 3 3 の電位の低下に伴って、底部領域 3 6 とドリフト領域 3 3 との界面の p n 接合に印加される逆電圧が小さくなる。その結果、底部領域 3 6 からドリフト領域 3 3 に広がっていた空乏層が、底部領域 3 6 側に収縮して消滅する。このように、底部領域 3 6 にホールが供給されることで、空乏層が短時間で消滅する。したがって、この MOSFET 1 0 では、オンしてから短時間でオン抵抗が低下する。このため、この MOSFET 1 0 は低損失で動作することができる。

【0026】

以上に説明したように、この MOSFET 1 0 では、底部領域 3 6 の幅が広いので、トレンチ 2 2 の下端部における電界集中を効果的に抑制することができる。また、この MOSFET 1 0 は、接続領域 3 8 を有しているので、オンしてから短時間でオン抵抗を低下させることができる。

【0027】

次に、MOSFET 1 0 の製造方法について説明する。まず、図 4 に示す MOSFET 1 0 の形成前の半導体基板 1 2 を準備する。この半導体基板 1 2 は、ドリフト領域 3 3、ボディ領域 3 2 及びソース領域 3 0 を有している。ボディ領域 3 2 及びソース領域 3 0 は、イオン注入によって形成されたものであってもよいし、エピタキシャル成長によって形成されたものであってもよいし、これらを組み合わせて形成されたものであってもよい。

【0028】

次に、図 5 に示すように、半導体基板 1 2 の上面 1 2 a に開口部 4 1 a を有するレジスト層 4 1 を形成する。次に、レジスト層 4 1 を介して半導体基板 1 2 の上面 1 2 a に対してドライエッチング（例えば、反応性イオンエッチング）を行う。これによって、半導体基板 1 2 の上面 1 2 a にトレンチ 2 2 を形成する。トレンチ 2 2 は、ソース領域 3 0 とボ

10

20

30

40

50

ディ領域 3 2 を貫通してドリフト領域 3 3 に達するように形成する。ここでは、ドライエッチングの条件を調整することで、トレンチ 2 2 の側面（すなわち、短手方向の側面 2 2 a と長手方向の側面 2 2 b）が傾斜するようにトレンチ 2 2 を形成する。より詳細には、側面 2 2 a、2 2 b を、底部から上端部に向かうにしたがってトレンチ 2 2 の幅が広くなるように傾斜させる。ここでは、側面 2 2 a、2 2 b の傾斜角度 θ （半導体基板 1 2 の上面 1 2 a の法線に対する角度）を約 5° に調節する。レジスト層 4 1 は、トレンチ 2 2 の形成後に除去される。

【0029】

次に、図 6 に示すように、LP-CVD (Low Pressure Chemical Vapor Deposition) によって、トレンチ 2 2 の内部と半導体基板 1 2 の上面 1 2 a に絶縁層 4 0（酸化シリコン層）を成長させる。ここでは、トレンチ 2 2 内に隙間なく絶縁層 4 0 を成長させることで、保護層 4 0 によってトレンチ 2 2 を埋める。

【0030】

次に、図 7、8 に示すように、絶縁層 4 0 上に開口部 4 4 を有するレジスト層 4 2 を形成する。ここでは、トレンチ 2 2 の上部に開口部 4 4 を配置する。図 7 に示すように、x 方向においては、開口部 4 4 の幅をトレンチ 2 2 の底面 2 2 c の幅と略等しい幅とし、開口部 4 4 をトレンチ 2 2 の底面 2 2 c の上部に配置する。したがって、側面 2 2 a の上部には、開口部 4 4 が配置されておらず、レジスト層 4 2 が存在している。図 8 に示すように、y 方向においては、開口部 4 4 の幅をトレンチ 2 2 の幅よりも広くする。したがって、側面 2 2 b の上部には、開口部 4 4 が配置されており、レジスト層 4 2 が存在しない。

【0031】

次に、図 9、10 に示すように、ドライエッチング（例えば、反応性イオンエッチング）によって、開口部 4 4 内の絶縁層 4 0 をエッチングする。ここでは、開口部 4 4 内において半導体基板 1 2 が露出するまでエッチングを行う。これによって、トレンチ 2 2 の内部に、トレンチ 2 2 に沿って y 方向に長く伸びるトレンチ 4 6 を形成する。

【0032】

ここでは、図 9 に示すように、ドライエッチングの条件を調整することで、トレンチ 4 6 の短手方向（x 方向）の側面 4 6 a の傾斜角度を、トレンチ 2 2 の側面 2 2 a の傾斜角度（本実施例では、 5° ）よりも小さくなるように調節する。例えば、トレンチ 4 6 の側面 4 6 a の傾斜角度を略 0° （すなわち、半導体基板 1 2 の上面 1 2 a に対して略垂直）とすることができる。トレンチ 4 6 は、トレンチ 2 2 の底面 2 2 c に達するように形成される。したがって、トレンチ 4 6 内に底面 2 2 c が露出する。トレンチ 4 6 の幅が底面 2 2 c の幅と略等しいので、底面 2 2 c の略全体がトレンチ 4 6 内に露出する。また、トレンチ 2 2 の側面 2 2 a には、絶縁層 4 0 が残存する。トレンチ 2 2 の側面 2 2 a の略全体が、残存した絶縁層 4 0 によって覆われている。トレンチ 4 6 の側面 4 6 a の傾斜角度がトレンチ 2 2 の側面 2 2 a の傾斜角度よりも小さいので、側面 2 2 a を覆っている絶縁層 4 0 の厚みは、トレンチ 2 2 の底部から上端部に向かうにしたがって厚くなる。

【0033】

また、図 10 に示すように、トレンチ 2 2 の長手方向の側面 2 2 b の上部では、絶縁層 4 0 が除去される。このため、側面 2 2 b が露出する。レジスト層 4 2 は、トレンチ 4 6 の形成後に除去される。

【0034】

次に、図 11、12 に示すように、絶縁層 4 0 の上側から半導体基板 1 2 に p 型不純物を注入する。p 型不純物は、トレンチ 4 6 内に露出している範囲の半導体基板 1 2 の表面に注入される。

【0035】

図 11、12 に示すように、トレンチ 4 6 内にはトレンチ 2 2 の底面 2 2 c の略全体が露出しているので、底面 2 2 c の略全体に p 型不純物が注入される。これによって、底部領域 3 6 が形成される。底面 2 2 c の略全体に p 型不純物が注入されるので、底部領域 3 6 を底面 2 2 c に露出する範囲全体に形成することができる。すなわち、底面 2 2 c と同

10

20

30

40

50

等かそれよりも広い幅を有する底部領域 36 を形成することができる。

【0036】

また、図 11 に示すように、トレンチ 22 の短手方向の側面 22a は、絶縁層 40 に覆われている。絶縁層 40 によって、側面 22a への p 型不純物の注入が抑制される。特に、トレンチ 46 の側面 46a の傾斜角度が小さく、p 型不純物の注入方向と側面 46a とが略平行であるので、側面 46a に p 型不純物が注入され難い。このため、トレンチ 22 の側面 22a への p 型不純物の注入が効果的に抑制される。また、絶縁層 40 の厚みが上側ほど厚くなっているので、ソース領域 30 及びボディ領域 32 の範囲で絶縁層 40 の厚みが厚い。したがって、ソース領域 30 及びボディ領域 32 の範囲の側面 22a への p 型不純物の注入が特に効果的に抑制される。側面 22a からボディ領域 32 に p 型不純物が注入されると、ゲート閾値の上昇、チャンネル抵抗の増大等の問題が生じる。この方法では、ボディ領域 32 に p 型不純物が注入され難いので、これらの問題を抑制することができる。

【0037】

また、図 12 に示すように、トレンチ 22 の長手方向の側面 22b は、絶縁層 40 に覆われていない。したがって、側面 22b に p 型不純物が注入される。これによって、ボディ領域 32 と底部領域 36 を接続する接続領域 38 が形成される。すなわち、この方法によれば、一度の p 型不純物の注入で、底部領域 36 と接続領域 38 を形成することができる。

【0038】

p 型不純物注入が完了したら、熱処理により、注入した p 型不純物を活性化させる。次に、絶縁層 40 を除去する。

【0039】

次に、トレンチ 22 内に、図 2、3 に示すゲート絶縁層 24 を形成する。ゲート絶縁層 24 の形成工程では、まず、CVD によってトレンチ 22 内に絶縁層を隙間なく形成する。トレンチの側面が垂直に近い場合には、トレンチの上端部でその下部よりも早く絶縁層が成長し、トレンチの上端部が絶縁層によって塞がれる場合がある。この場合には、絶縁層内に空孔が形成され、MOSFET の信頼性に悪影響を与える。これに対し、本実施例では、トレンチ 22 の側面 22a が傾斜しているので、トレンチ 22 内に絶縁層を隙間なく充填することができる。次に、形成した絶縁層を表面側からエッチングし、トレンチ 22 の底部にのみ絶縁層を残存させる。残存した絶縁層によって、底部絶縁層 24a が構成される。次に、底部絶縁層 24a よりも上側に位置するトレンチ 22 の側面 22a、22b を酸化させることで、側面絶縁層 24b を形成する。以上の工程によって、ゲート絶縁層 24 が完成する。

【0040】

次に、ゲート電極 26 を形成する。底部絶縁層 24a の上部のトレンチ 22 内に、CVD によって隙間なく電極を充填することで、ゲート電極 26 を形成する。トレンチ 22 の側面 22a (すなわち、側面絶縁層 24b の表面) が傾斜しているので、底部絶縁層 24a の上部のトレンチ 22 内に隙間なくゲート電極 26 を充填することができる。

【0041】

次に、半導体基板 12 の上面 12a に、層間絶縁膜 28 及び上部電極 70 を形成する。次に、半導体基板 12 の下面 12b に n 型不純物を注入して、ドレイン領域 34 を形成する。次に、半導体基板 12 の下面 12b に下部電極 72 を形成する。以上の工程によって、図 1～3 に示す MOSFET 10 が完成する。

【0042】

なお、上述した実施例では、トレンチ 46 の短手方向の幅がトレンチ 22 の底面 22c の幅と等しかった。しかしながら、トレンチ 46 の短手方向の幅が、底面 22c の幅よりも若干広くてもよいし、底面 22c の幅よりも若干狭くてもよい。トレンチ 46 の短手方向の幅が底面 22c の幅よりも広いと、トレンチ 22 の下端部近傍の側面 22a に p 型不純物が注入される。トレンチ 22 の下端部近傍の側面 22a にはドリフト領域 33 が設け

られている。トレンチ 2 2 の下端部近傍のドリフト領域 3 3 に p 型不純物が注入されても、特に問題はない。また、トレンチ 4 6 の短手方向の幅が底面 2 2 c の幅よりも狭いと、底面 2 2 c に p 型不純物が注入される範囲が狭くなる。しかしながら、このような構成でも、図 1 3 のように保護膜 1 1 0 の厚みが均一である場合に比べれば、底面 2 2 c の広い範囲に p 型不純物を注入することができる。

【0043】

また、上述した実施例では、M O S F E T について説明したが、I G B T の製造工程において本明細書に開示の技術を適用してもよい。上述した実施例において、n 型のドレイン領域 3 4 に代えて p 型のコレクタ領域を形成することで、I G B T を得ることができる。

10

【0044】

上述した実施例の構成要素と請求項の構成要素との関係について説明する。実施例のトレンチ 2 2 は、請求項の第 1 トレンチの一例である。実施例のトレンチ 4 6 は、請求項の第 2 トレンチの一例である。実施例の絶縁層 4 0 は、請求項の保護層の一例である。

【0045】

本明細書が開示する技術要素について、以下に列記する。なお、以下の各技術要素は、それぞれ独立して有用なものである。

【0046】

本明細書が開示する一例の構成では、第 1 トレンチが、上端部の幅が底部の幅よりも広くなる向きに傾斜している長手方向の側面を有する。第 2 トレンチが、第 1 トレンチの長手方向の側面が露出するように形成される。第 2 トレンチの底面に p 型不純物を注入する工程において、p 型不純物が第 1 トレンチの長手方向の側面に注入される。

20

【0047】

この構成によれば、第 1 トレンチの長手方向の側面近傍の半導体領域に、底部領域を半導体基板の表面近傍の領域に接続する p 型領域を形成することができる。これによって、底部領域の電位を特定の電位に固定することが可能となる。

【0048】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

30

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの 1 つの目的を達成すること自体で技術有用性を持つものである。

【符号の説明】

【0049】

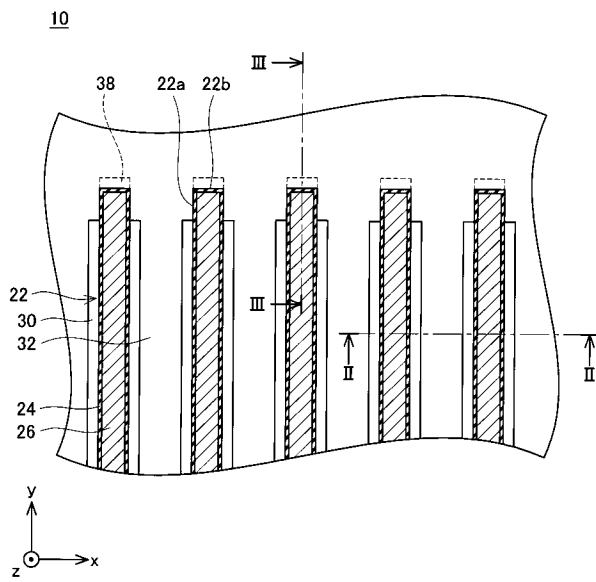
1 0 : M O S F E T
1 2 : 半導体基板
2 2 : トレンチ
2 2 a : 側面
2 2 b : 側面
2 2 c : 底面
2 4 : ゲート絶縁層
2 6 : ゲート電極
2 8 : 層間絶縁膜
3 0 : ソース領域
3 2 : ボディ領域
3 3 : ドリフト領域
3 4 : ドレイン領域
3 6 : 底部領域

40

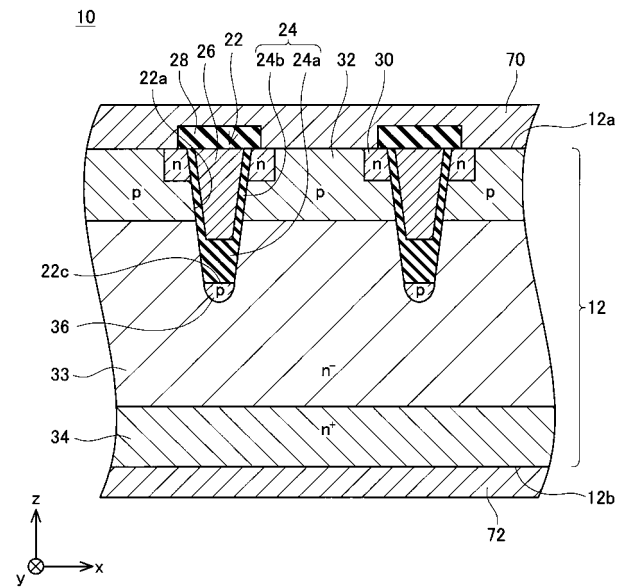
50

- 38 : 接続領域
- 40 : 絶縁層
- 41 : レジスト層
- 42 : レジスト層
- 46 : トレンチ
- 46a : 側面
- 70 : 上部電極
- 72 : 下部電極

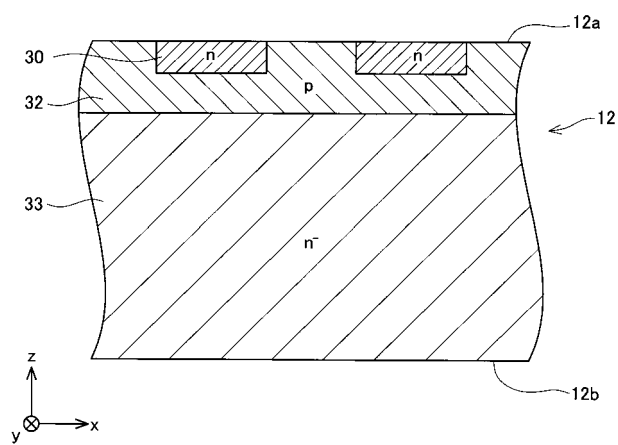
【図 1】



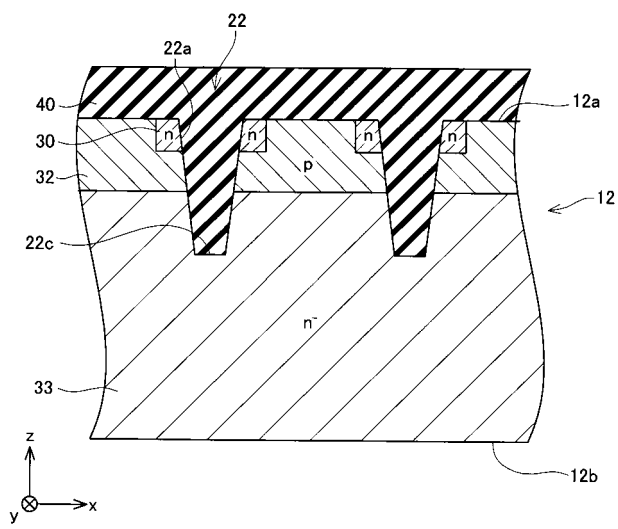
【図 2】



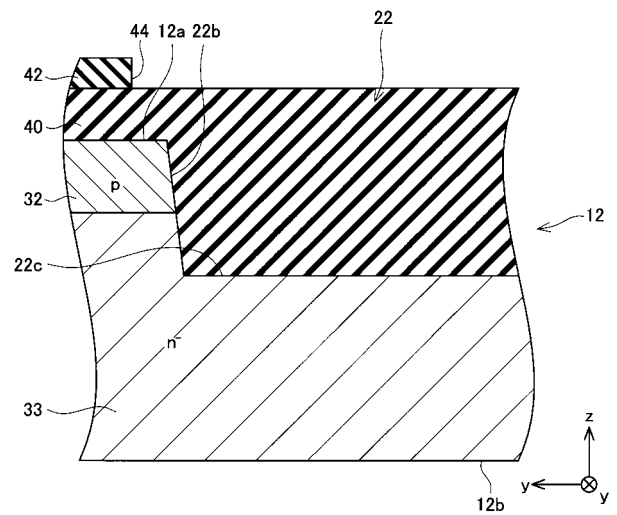
【図 4】



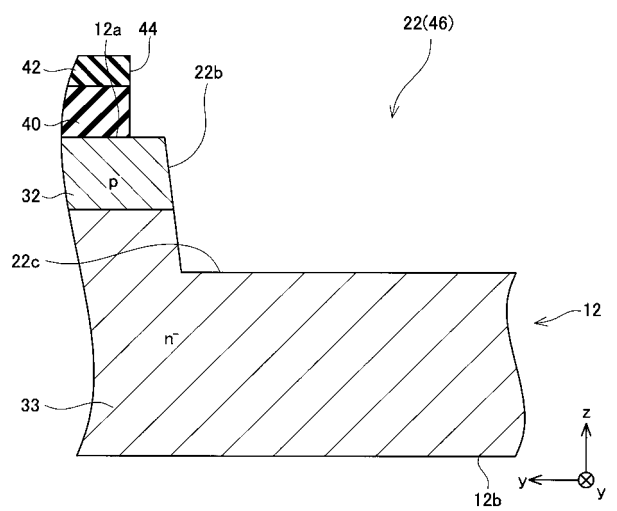
【 図 6 】



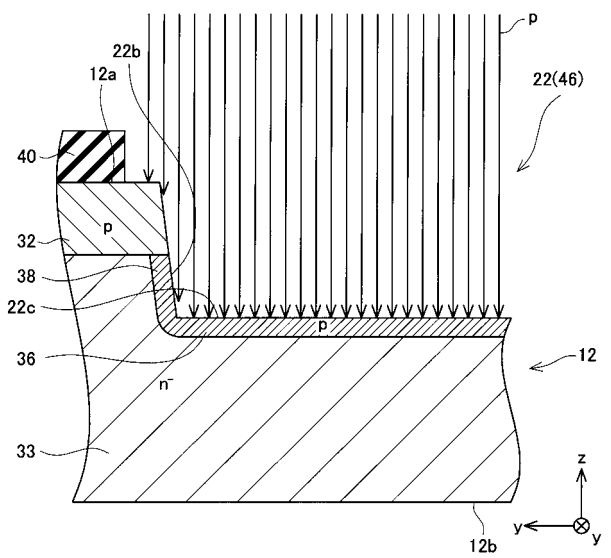
【图 8】



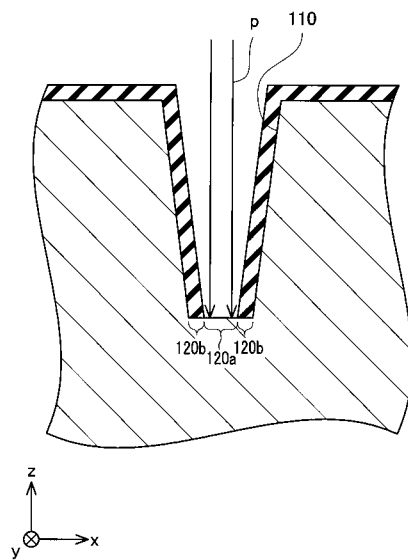
【 図 1 0 】



【图 1 2】



【图 1 3】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78 6 5 2 K	

(72)発明者 浦上 泰
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内
Fターム(参考) 4M104 AA03 CC01 CC05 EE03 EE15 FF02 FF27 GG09