



(12) 发明专利

(10) 授权公告号 CN 103728552 B

(45) 授权公告日 2016.06.22

(21) 申请号 201210387087.3

CN 101165694 A, 2008.04.23, 全文.

(22) 申请日 2012.10.12

US 2009/0100304 A1, 2009.04.16, 全文.

(73) 专利权人 苏州捷泰科信息技术有限公司
地址 215021 江苏省苏州市苏州工业园区星湖街 218 号纳米科技园 A4 楼 505 室

王仁平等. 用 Calibre 工具对 FFT 芯片进行物理验证. 《电子科技》. 2008, 第 21 卷 (第 3 期), 16-20.

审查员 陈维维

(72) 发明人 蔡文斌 刘侯 刘虹越 王术
王旭光

(74) 专利代理机构 广州华进联合专利商标代理有限公司 44224

代理人 陈振

(51) Int. Cl.

G01R 31/317(2006.01)

(56) 对比文件

US 6745358 B1, 2004.06.01, 全文.

CN 101153892 A, 2008.04.02, 全文.

WO 2008/045900 A1, 2008.04.17, 全文.

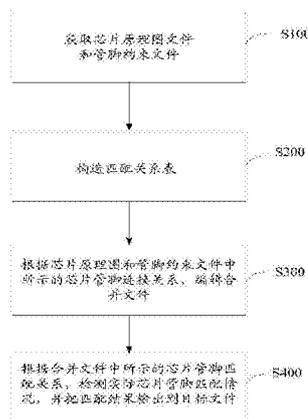
权利要求书3页 说明书7页 附图6页

(54) 发明名称

芯片管脚连接关系检测方法及系统

(57) 摘要

本发明公开了一种芯片管脚连接关系检测方法及系统。该方法包括以下步骤：获取芯片原理图文件和管脚约束文件；构造匹配关系表；根据芯片原理图和管脚约束文件中所示的芯片管脚连接关系，编辑同时包含了芯片原理图中所示的芯片管脚信息和管脚约束文件所示的芯片管脚信息的合并文件；根据合并文件中所示的芯片管脚匹配关系，检测实际芯片管脚匹配情况，并把匹配结果输出到目标文件。本发明由计算机代替人力检测芯片原理图中物理管脚和电信号的对应连接关系，不仅节省了大量的时间，还避免了重复工作可能引入的操作失误。如果有新的管脚匹配关系，只要扩展其对应匹配关系表即可，实现了芯片管脚连接关系检测的自动化。



1. 一种芯片管脚连接关系检测方法,其特征在于,包括以下步骤:

步骤A、获取芯片原理图文件和管脚约束文件;

步骤B、构造匹配关系表;

步骤C、根据所述芯片原理图文件和所述管脚约束文件中所示的芯片管脚连接关系,编辑同时包含了所述芯片原理图文件中所示的芯片管脚信息和所述管脚约束文件所示的芯片管脚信息的合并文件;

步骤D、根据所述匹配关系表和所述合并文件,检测实际芯片管脚匹配情况,并把匹配结果输出到目标文件;

其中,所述匹配关系表为:根据Nand Flash名称表、Nand Flash管脚编号和内部管脚名对应关系表、内部管脚名和第三方管脚名对应关系表构造的检测数组。

2. 根据权利要求1所述的芯片管脚连接关系检测方法,其特征在于,在所述步骤C中,所述的编辑同时包含了所述芯片原理图文件中所示的芯片管脚信息和所述管脚约束文件所示的芯片管脚信息的合并文件,同时包括以下步骤:

步骤C1、顺序读取所述管脚约束文件的一行;

步骤C2、判断所读取的数据是否为文件结束符,若是,则执行步骤C7;若否,则顺序执行步骤C3;

步骤C3、判断所读取的数据是否为有用数据,若是,则执行步骤C4;若否,则返回执行步骤C1;

步骤C4、记录所述有用数据;

步骤C5、判断所记录的有用数据与所述芯片原理图文件中的相对应的有用数据是否匹配,若是,则执行步骤C6;若否,则返回执行步骤C1;

步骤C6、记录匹配行中相应的有用数据,返回执行步骤C1;

步骤C7、输出记录所述有用数据的合并文件。

3. 根据权利要求2所述的芯片管脚连接关系检测方法,其特征在于,在所述步骤C6中,在所述记录匹配行中相应的有用数据之前,还包括如下步骤:

去除所述有用数据的首尾空格。

4. 根据权利要求2或3所述的芯片管脚连接关系检测方法,其特征在于,所述有用数据,即用于限定管脚连接关系的数据。

5. 根据权利要求1所述的芯片管脚连接关系检测方法,其特征在于,在所述步骤D中,所述检测实际芯片管脚匹配具体包括如下步骤:

D1、顺序读取所述合并文件中的一行;

D2、判断所读取的数据是否为文件结束符,若是,则执行步骤D3,若否,则执行步骤D4;

D3、判断已经成功匹配的数据数目是否满足所述匹配关系表中的匹配关系条数,若是,则执行步骤D11,若否,则执行步骤D12;

D4、判断所述芯片管脚输出的信号及其信号名是否符合要求,若是,则执行步骤D5;若否,则返回执行步骤D1;

D5、判断所述芯片管脚顺序是否满足相应匹配关系,若是,则执行步骤D6,若否,则执行步骤D7;

D6、在所读取的行后标识对应的管脚名,执行步骤D8;

D7、在行后标识匹配失败标记,并返回执行步骤D1;

D8、判断所述芯片原理图文件和所述管脚约束文件中的信号名是否满足所述匹配关系,若是,则执行步骤D9;若否,则执行步骤D10;

D9、则在行后标识匹配成功标记,并把匹配成功的数据的数目参数加1,并返回执行步骤D1;

D10、则在行后标识匹配失败标记,并返回执行步骤D1;

D11、输出匹配成功数据;

D12、输出匹配失败数据及不匹配的数据数目。

6.一种芯片管脚连接关系检测系统,其特征在于,包括获取模块、合并模块和分析模块,其中:

所述获取模块,用于获取芯片原理图文件和管脚约束文件;

所述合并模块,用于按照所述芯片原理图文件和所述管脚约束文件中所示的芯片管脚连接关系检测所述芯片原理图文件和所述管脚约束文件中的芯片管脚对象,编写代码合并所述对象,并生成合并文件;

所述分析模块,用于分析所述合并文件中的所述芯片管脚连接关系,根据芯片管脚的匹配关系表检测实际芯片管脚匹配情况,并把匹配结果输出到目标文件;

其中,所述匹配关系表为:根据Nand Flash名称表、Nand Flash管脚编号和内部管脚名对应关系表、内部管脚名和第三方管脚名对应关系表构造的检测数组。

7.根据权利要求6所述的芯片管脚连接关系检测系统,其特征在于,所述获取模块包括第一获取子模块和第二获取子模块,其中:

所述第一获取子模块,用于获取所述芯片原理图文件;

所述第二获取子模块,用于获取所述管脚约束文件。

8.根据权利要求6所述的芯片管脚连接关系检测系统,其特征在于,所述合并模块包括第一读取子模块、第一判断子模块、第二判断子模块、第一记录子模块、第三判断子模块、第二记录子模块和第一输出子模块;

所述第一读取子模块,用于读取所述管脚约束文件的一行;

所述第一判断子模块,用于判断所读取的数据是否为文件结束符;

所述第二判断子模块,用于判断所读取的数据是否为有用数据;

所述第一记录子模块,用于当所读取的数据为有用数据时,记录所述有用数据;

所述第三判断子模块,用于判断所记录的有用数据与所述芯片原理图文件中的相应数据是否匹配;

所述第二记录子模块,用于当所记录的有用数据与所述芯片原理图文件中的相应数据匹配时,记录匹配行中相应的有用数据;

所述第一输出子模块,用于当所读取的数据为文件结束符时,输出记录所述有用数据的合并文件。

9.根据权利要求6所述的芯片管脚连接关系检测系统,其特征在于,所述分析模块包括第二读取子模块、第四判断子模块、第五判断子模块、第六判断子模块、第七判断子模块、第一标识子模块、第二标识子模块、第三标识子模块、第四标识子模块、第八判断子模块、第二输出子模块和第三输出子模块,其中:

所述第二读取子模块,用于读取合并文件中的一行;

所述第四判断子模块,用于判断所读取的数据是否为文件结束符;

所述第五判断子模块,用于判断已经成功匹配的数据数目是否满足所述匹配关系表中的匹配关系条数;

所述第六判断子模块,用于判断所述芯片管脚输出的信号及信号名是否符合匹配关系;

所述第七判断子模块,用于判断所述芯片管脚顺序是否满足相应规则;

所述第一标识子模块,用于当所述芯片管脚输出的信号名符合匹配关系时,在所读取的行后标识对应的管脚名;

所述第二标识子模块,用于当所述芯片管脚输出的信号名符合不匹配关系时,在行后标识匹配失败标记;

所述第八判断子模块,用于判断所述芯片原理图文件和所述管脚约束文件中的信号名是否满足所述匹配关系;

所述第三标识子模块,用于当所述芯片原理图文件和所述管脚约束文件中的信号名满足所述匹配关系时,在行后标识匹配成功标记,并把匹配成功的数据的数目参数加1;

所述第四标识子模块,用于当所述芯片原理图文件和所述管脚约束文件中的信号名不满足所述匹配关系时,在行后标识匹配失败标记;

所述第二输出子模块,用于当所读取的数据是文件结束符时,输出匹配成功数据;

所述第三输出子模块,用于当所读取的数据不是文件结束符时,输出匹配失败数据及不匹配的数据数目。

芯片管脚连接关系检测方法及系统

技术领域

[0001] 本发明涉及检测方法领域,特别是涉及一种芯片管脚连接关系检测方法及系统。

背景技术

[0002] 为确保计算机系统的正常运行,当集成电路芯片制造完成后,就必须要对芯片物理管脚和信号连接关系是否和设计的芯片原理图一致进行检测。在现有技术中,对芯片物理管脚和信号连接关系是否和设计的芯片原理图一致性的检测需要人为进行,由于芯片管脚数量非常巨大,在检测过程中,对于芯片管脚的连接属性及管脚约束等大量的信息,需要耗费大量的时间,而且还不能保证检测的正确性。当芯片的原理图进行修改后,需要重新进行芯片管脚正确性的检测,而修改可能会频繁出现,特别是对基于现场可编程门阵列(Field-Programmable Gate Array,缩写为FPGA)的应用设计,人工重复工作中更容易引入操作失误。

发明内容

[0003] 基于此,有必要针对当集成电路芯片制造完成后,对芯片物理管脚和信号连接关系是否和设计的芯片原理图一致人为进行检测工作量大的问题,提供一种芯片管脚连接关系检测方法和系统。

[0004] 一种芯片管脚连接关系检测方法,包括以下步骤:

[0005] 步骤A、获取芯片原理图文件和管脚约束文件;

[0006] 步骤B、构造匹配关系表;

[0007] 步骤C、根据所述芯片原理图和管脚约束文件中所示的芯片管脚连接关系,编辑同时包含了所述芯片原理图中所示的芯片管脚信息和管脚约束文件所示的芯片管脚信息的合并文件;

[0008] 步骤D、根据所述合并文件中所示的芯片管脚匹配关系,检测实际芯片管脚匹配情况,并把匹配结果输出到目标文件。

[0009] 根据权利要求1所述的芯片管脚连接关系检测方法,其特征在于,在所述步骤B中,所述的构造匹配关系表包括以下步骤:

[0010] 根据Nand Flash名称表、Nand Flash管脚编号和内部管脚名对应关系表、内部管脚名和第三方管脚名对应关系表构造检测数组。

[0011] 在其中一个实施例中,在所述步骤C中,所述的编辑芯片管脚是否匹配的合并文件,包括以下步骤:

[0012] 步骤C1、顺序读取管脚约束文件的一行;

[0013] 步骤C2、判断所读取的数据是否为文件结束符,若是,则执行步骤C7;若否,则顺序执行步骤C3;

[0014] 步骤C3、判断所读取的数据是否为有用数据,若是,则执行步骤C4;若否,则返回执行步骤C1;

- [0015] 步骤C4、记录所述有用数据；
- [0016] 步骤C5、判断所记录的有用数据与原理图文件中的相对应的有用数据是否匹配，若是，则执行步骤C6；若否，则返回执行步骤C1；
- [0017] 步骤C6、记录匹配行中相应的有用数据，返回执行步骤C1；
- [0018] 步骤C7、输出记录所述有用数据的合并文件。
- [0019] 在其中一个实施例中，在所述步骤C6中，在所述记录匹配行中相应的有用数据之前，还包括如下步骤：
- [0020] 去除所述有用数据的首尾空格。
- [0021] 在其中一个实施例中，所述有用数据，即用于限定管脚连接关系的数据。
- [0022] 在其中一个实施例中，在所述步骤D中，所述检测实际芯片管脚匹配具体包括如下步骤：
- [0023] D1、顺序读取合并文件中的一行；
- [0024] D2、判断所读取的数据是否为文件结束符，若是，则执行步骤D3，若否，则执行步骤D4；
- [0025] D3、判断已经成功匹配的数据数目是否满足所述匹配关系表中的匹配关系条数，若是，则执行步骤D11，若否，则执行步骤D12；
- [0026] D4、判断所述芯片管脚输出的信号及其信号名是否符合要求，若是，则执行步骤D5；若否，则返回执行步骤D1；
- [0027] D5、判断所述芯片管脚顺序是否满足相应规则，若是则执行步骤D6，若否，则执行步骤D7；
- [0028] D6、在所读取的行后标识对应的管脚名，执行步骤D8；
- [0029] D7、在行后标识匹配失败标记，并返回执行步骤D1；
- [0030] D8、判断所述检测原理图和管脚约束文件中的信号名是否满足所述匹配关系，若是，则执行步骤D9；若否，则执行步骤D10；
- [0031] D9、则在行后标识匹配成功标记，并把匹配成功的数据的数目参数加1，并返回执行步骤D1；
- [0032] D10、则在行后标识匹配失败标记，并返回执行步骤D1；
- [0033] D11、输出匹配成功数据；
- [0034] D12、输出匹配失败数据及不匹配的数据数目。
- [0035] 为实现本发明目的，还提供了一种芯片管脚连接关系检测系统，其特征在于，包括获取模块、合并模块和分析模块，其中：
- [0036] 所述获取模块，用于获取芯片原理图文件和管脚约束文件；
- [0037] 所述合并模块，用于按照连接关系检测上两个文件中的芯片管脚对象，编写代码合并所述对象，并生成合并文件；
- [0038] 所述分析模块，用于分析所述合并文件中的所述芯片管脚对应关系，根据所述芯片管脚的匹配关系检测实际芯片管脚匹配情况，并把匹配结果输出到目标文件。
- [0039] 在其中一个实施例中，所述获取模块包括第一获取子模块和第二获取子模块，其中：
- [0040] 所述第一获取子模块，用于获取芯片原理图；

- [0041] 所述第二获取子模块,用于获取管脚约束文件。
- [0042] 在其中一个实施例中,所述合并模块包括第一读取子模块、第一判断子模块、第二判断子模块、第一记录子模块、第三判断子模块、第二记录子模块和第一输出子模块
- [0043] 所述第一读取子模块,用于读取管脚约束文件的一行;
- [0044] 所述第一判断子模块,用于判断所读取的数据是否为文件结束符;
- [0045] 所述第二判断子模块,用于判断所读取的数据是否为有用数据;
- [0046] 所述第一记录子模块,用于当所读取的数据为有用数据时,记录所述有用数据;
- [0047] 所述第三判断子模块,用于判断所记录的有用数据与原理图文件中的相应数据是否匹配;
- [0048] 所述第二记录子模块,用于当所记录的有用数据与原理图文件中的相应数据匹配时,记录匹配行中相应的有用数据;
- [0049] 所述第一输出子模块,用于当所读取的数据为文件结束符时,输出记录所述有用数据的合并文件。
- [0050] 在其中一个实施例中,所述分析模块包括第二读取子模块、第四判断子模块、第五判断子模块、第六判断子模块、第七判断子模块、第一标识子模块、第二标识子模块、第三标识子模块、第四标识子模块、第八判断子模块、第二输出子模块和第三输出子模块,其中:
- [0051] 所述第二读取子模块,用于读取合并文件中的一行;
- [0052] 所述第四判断子模块,用于判断所读取的数据是否为文件结束符;
- [0053] 所述第五判断子模块,用于判断已经成功匹配的数据数目是否满足所述匹配关系表中的匹配关系条数;
- [0054] 所述第六判断子模块,用于判断所述芯片管脚输出的信号及信号名是否符合匹配关系;
- [0055] 所述第七判断子模块,用于判断所述芯片管脚顺序是否满足相应规则;
- [0056] 所述第一标识子模块,用于当所述芯片管脚输出的信号名符合匹配关系时,在所读取的行后标识对应的管脚名;
- [0057] 所述第二标识子模块,用于当所述芯片管脚输出的信号名符合不匹配关系时,在行后标识匹配失败标记;
- [0058] 所述第八判断子模块,用于判断所述检测原理图和管脚约束文件中的信号名是否满足所述匹配关系;
- [0059] 所述第三标识子模块,用于当所述检测原理图和管脚约束文件中的信号名满足所述匹配关系时,在行后标识匹配成功标记,并把匹配成功的数据的数目参数加1;
- [0060] 所述第四标识子模块,用于当所述检测原理图和管脚约束文件中的信号名不满足所述匹配关系时,在行后标识匹配失败标记;
- [0061] 所述第二输出子模块,用于当所读取的数据是文件结束符时,输出匹配成功数据;
- [0062] 所述第三输出子模块,用于当所读取的数据不是文件结束符时,输出匹配失败数据及不匹配的数据数目。本发明的有益效果:本发明所述的芯片管脚连接关系检测方法及系统,由计算机代替人力检测芯片原理图中物理管脚和电信号的对应连接关系,不仅节省了大量的时间,还避免了大量重复工作的低效性和重复工作可能引入的操作失误。如果有新的管脚匹配关系,只要扩展其对应匹配关系表即可,实现了芯片管脚连接关系检测的自

动化。

附图说明

[0063] 图1为本发明的芯片管脚连接关系检测方法的一个实施例的流程图；

[0064] 图2为本发明的芯片管脚连接关系检测方法中编辑合并文件的一个实施例的流程图；

[0065] 图3为本发明的芯片管脚连接关系检测方法中检测实际芯片管脚匹配情况的一个实施例的流程图；

[0066] 图4为本发明的芯片管脚连接关系检测方法的一个实施例的合并文件中的一段数据；

[0067] 图5为本发明的芯片管脚连接关系检测方法一个实施例的输出成功数据的部分数据列表；

[0068] 图6为本发明的芯片管脚连接关系检测方法的一个实施例的输出失败数据的部分数据列表；

[0069] 图7为本发明的芯片管脚连接关系检测系统的一个实施例的模块框图。

具体实施方式

[0070] 下面结合说明书附图,对本发明芯片管脚连接关系检测方法及系统的具体实施方式进行说明。

[0071] 如图1所示,一种芯片管脚连接关系检测方法,包括以下步骤:

[0072] 步骤S 100、获取芯片原理图文件和管脚约束文件;

[0073] 步骤S200、构造匹配关系表;

[0074] 步骤S300、根据所述芯片原理图和管脚约束文件中所示的芯片管脚连接关系,编辑同时包含了所述芯片原理图中所示的芯片管脚信息和管脚约束文件所示的芯片管脚信息的合并文件;

[0075] 步骤S400、根据所述合并文件中所示的芯片管脚匹配关系,检测实际芯片管脚匹配情况,并把匹配结果输出到目标文件。

[0076] 作为一种可实施方式,在所述步骤S100中,获取芯片原理图可以由Cadence SPB软件设计来获得;获取管脚约束文件可以由ISE软件来创建,也可以由人工来编辑。

[0077] 在所述步骤S200中,所述构造匹配关系表的方法为:根据Nand Flash名称表、Nand Flash芯片管脚编号和内部芯片管脚名对应关系表、内部芯片管脚名和第三方管脚名对应关系表构造三个检测数组,即匹配关系表。

[0078] 其中,所述Nand Flash名称表是指公司内部所用的Nand Flash芯片名。所述Nand Flash芯片管脚编号是指生产厂家给芯片管脚所指定的编号,内部管脚名是指公司内部按一定规则给各管脚所起的名字(各公司所用规则并不一样)。所述第三方管脚名是指合作方按管脚编号按一定规则给各管脚所起的名字,按这种命名方法可以用一定平台对原理图进行正确性检测,所以本发明实施例需要把自身的命名规则跟它进行匹配。

[0079] 较佳地,所述NAND flash是一种长寿命的非易失性存储器,在本实施例中,所述Nand Flash闪存作为一种存储工具使用。

[0080] 如图2所示,作为一种可实施方式,在所述步骤S300中,所述编辑同时包含了所述芯片原理图中所示的芯片管脚信息和管脚约束文件所示的芯片管脚信息的合并文件,具体包括以下步骤:

[0081] 步骤S301、顺序读取管脚约束文件的一行;

[0082] 步骤S302、判断所读取的数据是否为文件结束符,若是,则执行步骤S307;若否,则顺序执行步骤S303;

[0083] 步骤S303、判断所读取的数据是否为有用数据,若是,则执行步骤S304;若否,则返回执行步骤S301;

[0084] 步骤S304、记录所述有用数据;

[0085] 步骤S305、判断所记录的有用数据与原理图文件中的相对应的有用数据是否匹配,若是,则执行步骤S306;若否,则返回执行步骤S301;

[0086] 步骤S306、记录匹配行中相应的有用数据,返回执行步骤S301;

[0087] 步骤S307、输出记录所述有用数据的合并文件。

[0088] 较佳地,所述合并文件的文件名为merge.txt,为文本格式文件。

[0089] 作为一种可实施方式,在所述步骤S306中,在所述记录匹配行中相应的有用数据之前,还包括如下步骤:

[0090] 去除所述有用数据的首尾空格。

[0091] 较佳地,所述有用数据,即用于限定管脚连接关系的数据。

[0092] 如图4所示,为所述合并文件中的一段数据。

[0093] 如图3所示,作为一种可实施方式,在所述步骤S400中,所述检测实际芯片管脚匹配具体包括如下步骤:

[0094] S401、顺序读取合并文件中的一行;

[0095] S402、判断所读取的数据是否为文件结束符,若是,则执行步骤S403,若否,则执行步骤S404;

[0096] S403、判断已经成功匹配的数据数目是否满足所述匹配关系表中的匹配关系条数(即判断已经成功匹配的数据数目是否与预设匹配规则的数目一致),若是,则执行步骤S411,若否,则执行步骤S412;

[0097] 在上述步骤S403中,在执行判断已经成功匹配的数据数目是否跟预设匹配规则的数目一致时,需要根据已经成功匹配的数据数目与所有预设的匹配规则中的相关数据都要匹配一遍,否则就出错。

[0098] S404、判断所述芯片管脚输出的信号及其信号名是否符合要求,若是,则执行步骤S405;若否,则返回执行步骤S401;

[0099] S405、判断所述芯片管脚顺序是否满足相应匹配规则,若是则执行步骤S406,若否,则执行步骤S407;

[0100] S406、在所读取的行后标识对应的管脚名,执行步骤S408;

[0101] S407、在行后标识匹配失败标记ERROR,并返回执行步骤S401;

[0102] S408、判断所述检测原理图和管脚约束文件中的信号名是否满足所述匹配关系,若是,则执行步骤S409;若否,则执行步骤S410;

[0103] S409、则在行后标识匹配成功标记OK,并把匹配成功的数据的数目参数加1,并返

回执行步骤S401；

[0104] 较佳地,设置匹配成功的数据的数目参数为count,此时,count++。

[0105] S410、则在行后标识匹配失败标记ERROR,并返回执行步骤S401。

[0106] S411、输出匹配成功数据；

[0107] S412、输出匹配失败数据及不匹配的数据数目。

[0108] 较佳地,在步骤S403之后,判断所读取的数据数目满足预设匹配关系之后,会输出显示匹配信息的目标文件“target.txt”,如果所读取的数据数目满足预设匹配关系,则输出匹配成功的数据,所输出的数据部分数据列表如图5所示。

[0109] 较佳地,如果所读取的数据数目不满足预设匹配关系,则返回所述目标文件“target.txt”中进行搜索,搜索标识“ERROR”的所在行的具体行号,然后再对具体问题进行分析找出失败的原因。所输出的失败数据部分数据列表如图6所示。

[0110] 根据图6所示的失败数据,其中,第179行到182行匹配失败,原因是芯片上该物理管脚所连接的信号不是所要求的信号,也就是说原理图和管脚约束文件中的信号名不匹配。此方法不但实现了自动检测芯片管脚连接关系的正确性,而且对错误的芯片管脚进行定位,便于找出错误的原因,节省了时间,并且提高了效率。

[0111] 如图7所示,为实现本发明目的,还提供了一种芯片管脚连接关系检测系统,其特征在于,包括获取模块U1、合并模块U2和分析模块U3,其中:

[0112] 所述获取模块U1,用于获取芯片原理图文件和管脚约束文件;

[0113] 所述合并模块U2,用于按照连接关系检测上两个文件中的芯片管脚对象,编写代码合并所述对象,并生成合并文件;

[0114] 所述分析模块U3,用于分析所述合并文件中的所述芯片管脚对应关系,根据所述芯片管脚的匹配关系检测实际芯片管脚匹配情况,并把匹配结果输出到目标文件。

[0115] 作为一种可实施方式,所述获取模块U1包括第一获取子模块U11和第二获取子模块U12,其中:

[0116] 所述第一获取子模块U11,用于获取芯片原理图;

[0117] 所述第二获取子模块U12,用于获取管脚约束文件。

[0118] 作为一种可实施方式,所述合并模块U2包括第一读取子模块U21、第一判断子模块U22、第二判断子模块U23、第一记录子模块U24、第三判断子模块U25、第二记录子模块U26和第一输出子模块U27,其中:

[0119] 所述第一读取子模块U21,用于读取管脚约束文件的一行;

[0120] 所述第一判断子模块U22,用于判断所读取的数据是否为文件结束符;

[0121] 所述第二判断子模块U23,用于判断所读取的数据是否为有用数据;

[0122] 所述第一记录子模块U24,用于当所读取的数据是有用数据时,记录所述有用数据;

[0123] 所述第三判断子模块U25,用于判断所记录的有用数据与原理图文件中的相应数据是否匹配;

[0124] 所述第二记录子模块U26,用于当所记录的有用数据与原理图文件中的相应数据匹配时,记录匹配行中相应的有用数据;

[0125] 所述第一输出子模块U27,用于输出记录所述有用数据的合并文件。

[0126] 作为一种可实施方式,所述分析模块U3包括第二读取子模块U31、第四判断子模块U32、第五判断子模块U33、第六判断子模块U34、第七判断子模块U35、第一标识子模块U36、第二标识子模块U37、第三标识子模块U38、第四标识子模块U39、第八判断子模块U310、第二输出子模块U311和第三输出子模块U312,其中:

[0127] 所述第二读取子模块U31,用于读取合并文件中的一行;

[0128] 所述第四判断子模块U32,用于判断所读取的数据是否为文件结束符;

[0129] 所述第五判断子模块U33,用于判断已经成功匹配的数据数目是否满足所述匹配关系表中的匹配关系条数;

[0130] 所述第六判断子模块U34,用于判断所述芯片管脚输出的信号及信号名是否符合匹配关系;

[0131] 所述第七判断子模块U35,用于判断所述芯片管脚顺序是否满足相应规则;

[0132] 所述第一标识子模块U36,用于当所述芯片管脚输出的信号名符合匹配关系时,在所读取的行后标识对应的管脚名;

[0133] 所述第二标识子模块U37,用于当所述芯片管脚输出的信号名符合不匹配关系时,在行后标识匹配失败标记;

[0134] 所述第八判断子模块U310,用于判断所述检测原理图和管脚约束文件中的信号名是否满足所述匹配关系;

[0135] 所述第三标识子模块U38,用于当所述检测原理图和管脚约束文件中的信号名满足所述匹配关系时,在行后标识匹配成功标记,并把匹配成功的数据的数目参数加1;

[0136] 所述第四标识子模块U39,用于当所述检测原理图和管脚约束文件中的信号名不满足所述匹配关系时,在行后标识匹配失败标记;

[0137] 所述第二输出子模块U311,用于当所读取的数据是文件结束符时,输出匹配成功数据;

[0138] 所述第三输出子模块U312,用于当所读取的数据不是文件结束符时,输出匹配失败数据及不匹配的数据数目。

[0139] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

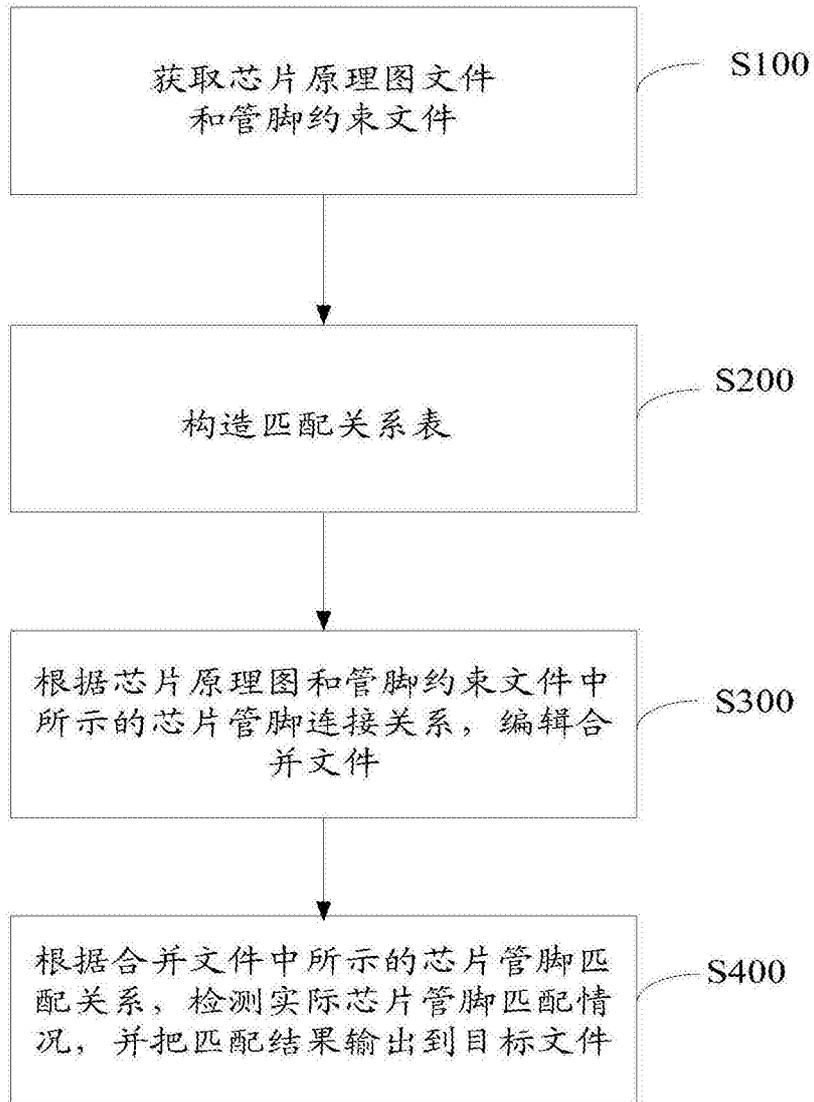


图1

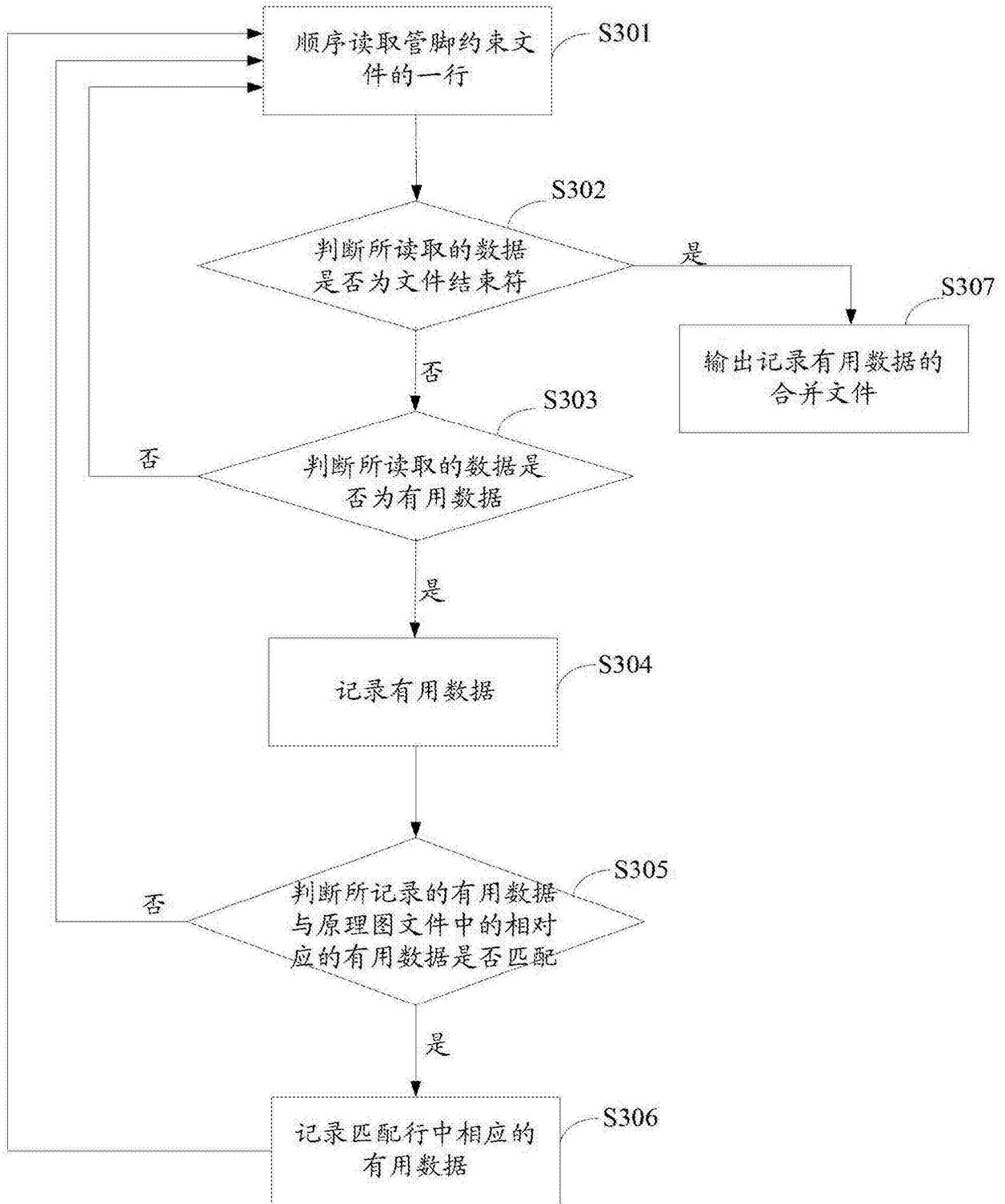


图2

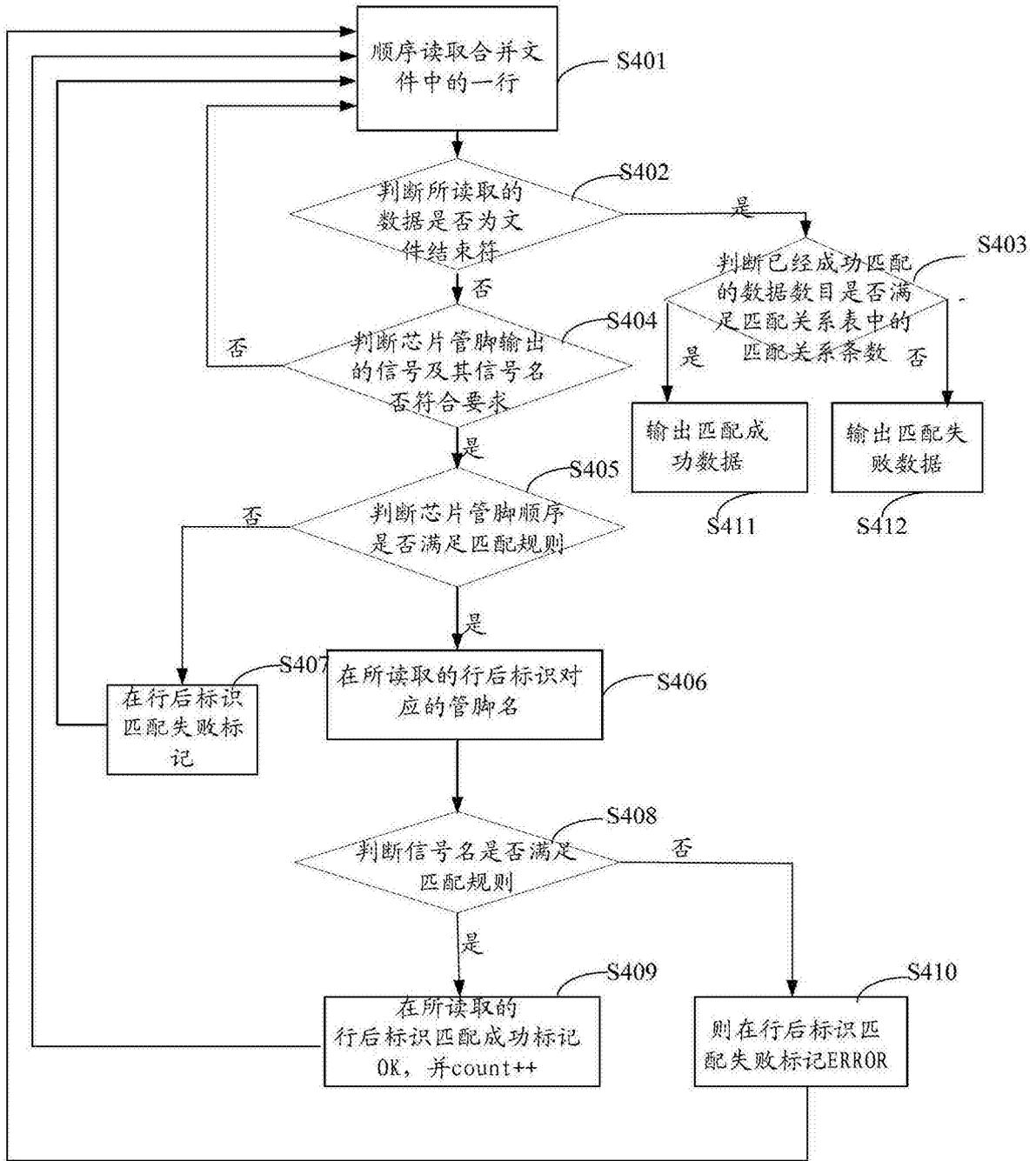


图3

```

21 CPLD_DATA[14] L24 CPLD_FPGA_DATA14 U8.P5
22 CPLD_DATA[15] M23 CPLD_FPGA_DATA15 U8.M6
23 CPLD_CTRL[0] AA23 CPLD_FPGA_CTRL0 U8.M2
24 CPLD_CTRL[1] AG23 CPLD_FPGA_CTRL1 U8.P2
25 CPLD_CTRL[2] AB23 CPLD_FPGA_CTRL2 U8.M3
26 CPLD_CTRL[3] F28 CPLD_FPGA_CTRL3 U8.N3
27 C00_DQS_0 K26 FA1_B1_DQS U12.P5 U11.P5
28 C00_DQS_1 F33 FA1_B2_DQS U13.P5 U14.P5
29 C01_DQS_0 N28 FA1_B3_DQS U12.N5 U11.N5
30 C01_DQS_1 N33 FA1_B4_DQS U13.N5 U14.N5
31 C02_DQS_0 N32 FA2_B1_DQS U21.P5 U22.P5
32 C02_DQS_1 L29 FA2_B2_DQS U24.P5 U23.P5
33 C03_DQS_0 V30 FA2_B3_DQS U21.N5 U22.N5
34 C03_DQS_1 V34 FA2_B4_DQS U24.N5 U23.N5
35 C04_DQS_0 AD30 FA3_B1_DQS U31.P5 U32.P5
36 C04_DQS_1 AE33 FA3_B2_DQS U34.P5 U33.P5
37 C05_DQS_0 AG27 FA3_B3_DQS U31.N5 U32.N5
38 C05_DQS_1 AF30 FA3_B4_DQS U34.N5 U33.N5
39 C06_DQS_0 B20 FA4_B1_DQS U41.P5 U42.P5
40 C06_DQS_1 F21 FA4_B2_DQS U44.P5 U43.P5

```

图4

```

1 C00_DQS_0 K26 FA1_B1_DQS U12.P5 U11.P5 DQS1 OK
2 C00_DQS_1 F33 FA1_B2_DQS U13.P5 U14.P5 DQS1 OK
3 C01_DQS_0 N28 FA1_B3_DQS U12.N5 U11.N5 DQS2 OK
4 C01_DQS_1 N33 FA1_B4_DQS U13.N5 U14.N5 DQS2 OK
5 C02_DQS_0 N32 FA2_B1_DQS U21.P5 U22.P5 DQS1 OK
6 C02_DQS_1 L29 FA2_B2_DQS U24.P5 U23.P5 DQS1 OK
7 C03_DQS_0 V30 FA2_B3_DQS U21.N5 U22.N5 DQS2 OK
8 C03_DQS_1 V34 FA2_B4_DQS U24.N5 U23.N5 DQS2 OK
9 C04_DQS_0 AD30 FA3_B1_DQS U31.P5 U32.P5 DQS1 OK
10 C04_DQS_1 AE33 FA3_B2_DQS U34.P5 U33.P5 DQS1 OK
11 C05_DQS_0 AG27 FA3_B3_DQS U31.N5 U32.N5 DQS2 OK
12 C05_DQS_1 AF30 FA3_B4_DQS U34.N5 U33.N5 DQS2 OK
13 C06_DQS_0 B20 FA4_B1_DQS U41.P5 U42.P5 DQS1 OK
14 C06_DQS_1 F21 FA4_B2_DQS U44.P5 U43.P5 DQS1 OK
15 C09_DQS_0 C28 FA5_B3_DQS U52.N5 U51.N5 DQS2 OK
16 C09_DQS_1 C29 FA5_B4_DQS U53.N5 U54.N5 DQS2 OK
17 C08_DQS_0 J25 FA5_B1_DQS U52.P5 U51.P5 DQS1 OK
18 C08_DQS_1 U23 FA5_B2_DQS U53.P5 U54.P5 DQS1 OK
19 C11_DQS_0 AN27 FA6_B3_DQS U62.N5 U61.N5 DQS2 OK
20 C11_DQS_1 AK27 FA6_B4_DQS U64.N5 U63.N5 DQS2 OK

```

图5

```

171 C04_CE_N[3] AJ29 FA3_B2_CE2 U34.K7 R320.2 CE#1 OK
172 C05_CLE AJ30 FA3_CLE2 U31.L5 U34.L5 U32.L5 U33.L5 CLE2 OK
173 C05_ALE AK33 FA3_ALE2 U31.J4 U34.J4 U32.J4 U33.J4 ALE2 OK
174 C05_WR_N AK32 FA3_W/R2 U31.L6 U34.L6 U32.L6 U33.L6 RE#2/WR#2 OK
175 C05_CE_N[0] AL31 FA3_B3_CE1 U31.K6 R323.2 CE#2 OK
176 C05_CE_N[1] AK31 FA3_B3_CE2 U32.K6 R324.2 CE#2 OK
177 C05_CE_N[2] AM33 FA3_B4_CE1 U33.K6 R325.2 CE#2 OK
178 C05_CE_N[3] AL33 FA3_B4_CE2 U34.K6 R326.2 CE#2 OK
179 C05_CLK_0 AD25 FA3_B4_CLK U34.N7 U33.N7 WE#2/CLK2 ERROR
180 C05_CLK_1 AD26 FA3_B3_CLK U31.N7 U32.N7 WE#2/CLK2 ERROR
181 C05_DQ_0[0] AE27 FA3_B3_DQ1 U31.M2 U32.M2 DQ21 ERROR
182 C05_DQ_0[1] AD27 FA3_B3_DQ0 U31.J2 U32.J2 DQ20 ERROR
183 C05_DQ_0[2] AH33 FA3_B3_DQ2 U31.J3 U32.J3 DQ22 OK
184 C05_DQ_0[3] AH32 FA3_B3_DQ3 U31.M3 U32.M3 DQ23 OK
185 C05_DQ_0[4] AE28 FA3_B3_DQ4 U31.M8 U32.M8 DQ24 OK
186 C05_DQ_0[5] AE29 FA3_B3_DQ5 U31.J8 U32.J8 DQ25 OK
187 C05_DQ_0[6] AJ34 FA3_B3_DQ6 U31.M9 U32.M9 DQ26 OK
188 C05_DQ_0[7] AH34 FA3_B3_DQ7 U31.J9 U32.J9 DQ27 OK
189 C05_DQ_1[0] AF28 FA3_B4_DQ0 U34.J2 U33.J2 DQ20 OK
190 C05_DQ_1[1] AF29 FA3_B4_DQ1 U34.M2 U33.M2 DQ21 OK

```

图6

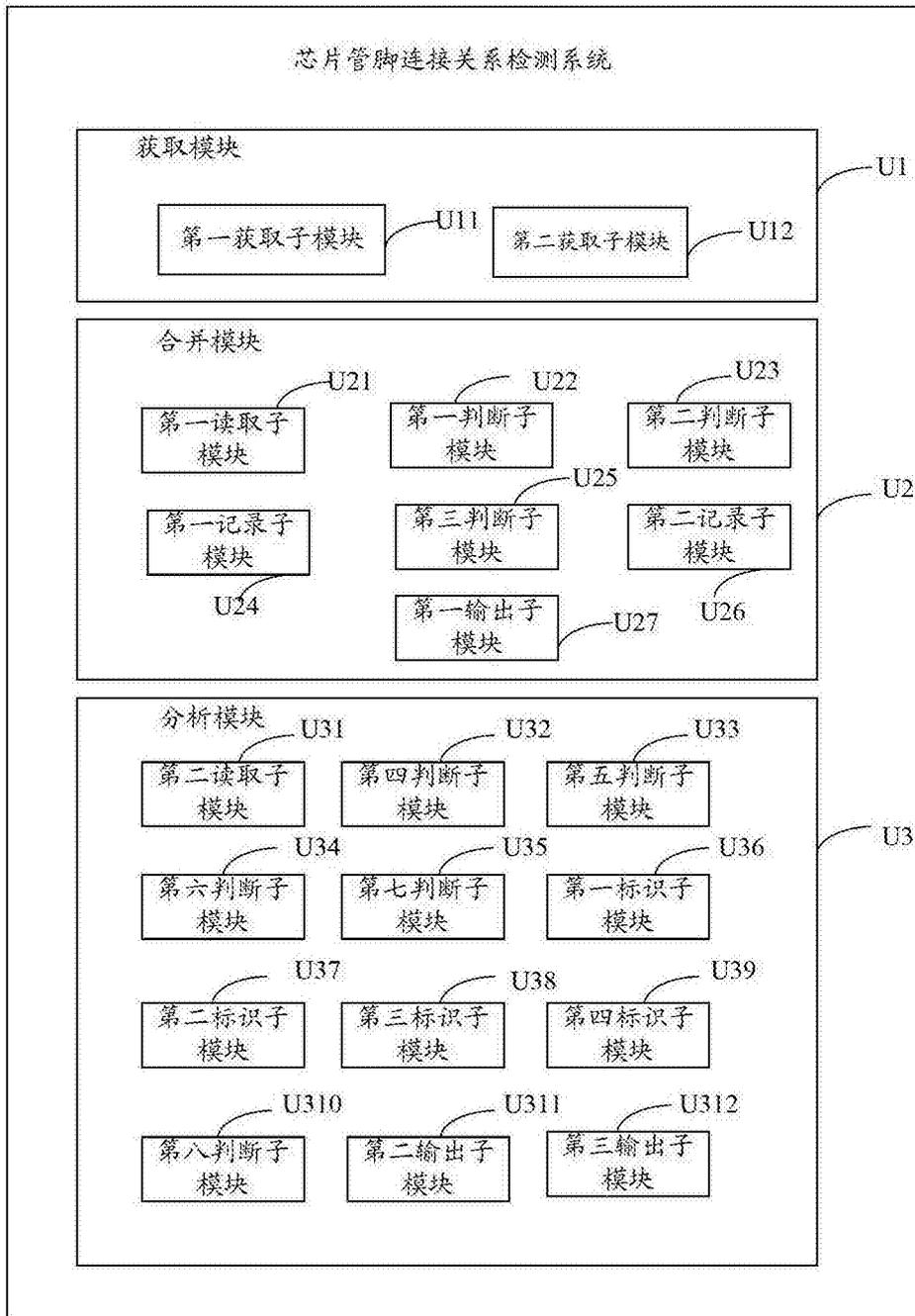


图7