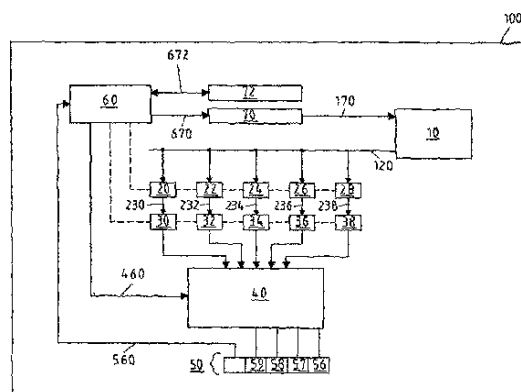




【特許請求の範囲】

【請求項 1】

少なくとも 1 つの特定の計算を実行するため少なくとも 1 つのマイクロプロセッサおよび少なくとも 1 つの補助演算ユニットを有し、前記補助演算ユニットが多数のレジスタを介してマイクロプロセッサへ結合され、前記レジスタの中の第 1 のレジスタがデータ転送を制御するために設けられ、第 2 のレジスタがコマンドを伝送するために設けられるデータ処理デバイスであって、レジスタが、少なくとも 1 つの周辺メモリ、たとえば、

- 少なくとも 1 つの RAM (ランダム・アクセス・メモリ)、
- 少なくとも 1 つの ROM (読み出し専用メモリ)、または
- 少なくとも 1 つの EEPROM (電氣的に消去可能およびプログラム可能な読み出し専用メモリ)

からロードされる、データ処理デバイス。

【請求項 2】

テンポラリレジスタの少なくとも 1 つのセットがメモリへ割り当てられ、前記テンポラリレジスタのセットが、前記補助演算ユニットに割り当てられたメイン・レジスタの少なくとも 1 つのセットへ接続されかつアクティブ計算のためにレジスタを記憶する、請求項 1 に記載のデータ処理デバイス。

【請求項 3】

メモリが、ロードされるデータの開始アドレスを指す少なくとも 1 つのアドレス・レジスタに従って動作し、アドレス・レジスタが少なくとも 1 つの制御論理回路へ接続される、請求項 1 または 2 に記載のデータ処理デバイス。

【請求項 4】

少なくとも 1 つの制御レジスタが演算ユニットへ割り当てられ、前記制御レジスタが制御論理回路へ接続される、請求項 3 に記載のデータ処理デバイス。

【請求項 5】

順次にロードされるレジスタ・セットを表示する少なくとも 1 つのカウンティング・レジスタが、制御論理回路へ割り当てられる、請求項 3 または 4 に記載のデータ処理デバイス。

【請求項 6】

少なくとも 1 つの選択回路が、前記マイクロプロセッサへ割り当てられたレジスタの少なくとも 1 つのセットと組み合わせて、前記テンポラリレジスタのセットと、前記メイン・レジスタのセットとの間に接続される、請求項 1 から 5 のいずれか一項に記載のデータ処理デバイス。

【請求項 7】

前記選択回路が、前記制御レジスタの少なくとも 1 つのビット位置に従って動作する、請求項 6 に記載のデータ処理デバイス。

【請求項 8】

請求項 1 から 7 のいずれか一項に記載のデータ処理デバイスの少なくとも 1 つを有する、携帯データキャリア。

【請求項 9】

請求項 1 から 7 のいずれか一項に記載の集積データ処理デバイスの少なくとも 1 つを含む、半導体チップ。

【請求項 10】

少なくとも 1 つのマイクロプロセッサおよび少なくとも 1 つの補助演算ユニットを有する少なくとも 1 つのデータ処理デバイスによって少なくとも 1 つの特定の計算を実行する方法であって、

- (i) 前記マイクロプロセッサによって少なくとも 1 つのアドレス・レジスタおよび少なくとも 1 つのカウンティング・レジスタを初期化し、
- (i i) 少なくとも 1 つの制御ビットのアサーションによって前記計算を開始し、
- (i i i) 少なくとも 1 つの周辺メモリからテンポラリレジスタの少なくとも 1 つのセ

10

20

30

40

50

ットへ開始アドレスで始まるデータをコピーまたはロードし、

(i v) 前記メモリがアクセスされる度に、前記アドレス・レジスタを増分し、

(v) 前記テンポラリレジスタのセットが完了したかどうかをチェックし、

(v . a) もし前記テンポラリレジスタのセットが完了していれば、ステップ (v i) へ進み、

(v . b) もし前記テンポラリレジスタのセットが完了していなければ、ステップ (i i i) へ進み、

(v i) 前記補助演算ユニットがアクティブであるかどうかをチェックし、

(v i . a) もし前記補助演算ユニットがアクティブであれば、ステップ (v i) へ進み、

(v i . b) もし前記補助演算ユニットがアクティブでなければ、ステップ (v i i) へ進み、

(v i i) 前記テンポラリレジスタのセットからメイン・レジスタの少なくとも1つのセットへデータをコピーまたは転送し、

(v i i i) 前記カウンティング・レジスタを減分し、

(i x) 前記補助演算ユニットにおいて計算を開始し、

(x) 前記カウンティング・レジスタが0へ減分されたかどうかをチェックし、

(x . a) もし前記カウンティング・レジスタが0へ減分されていれば、ステップ (x i) へ進み、

(x . b) もし前記カウンティング・レジスタが0へ減分されていなければ、ステップ (i i i) へ進み、

(x i) 終了する、

方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、少なくとも1つのマイクロプロセッサおよび少なくとも1つの補助演算ユニットを有するデータ処理デバイス、およびこのようなタイプの少なくとも1つのデータ処理デバイスによって少なくとも1つの特定の計算を実行する方法に関する。

【背景技術】

【0002】

そのようなデータ処理デバイス、特に、単一の半導体チップに組み込まれたデータ処理デバイスは、たとえば、フィリップス社によって製造された集積回路 P 8 3 C 8 5 2 のデータ・シートから知られている。

【0003】

この集積回路は、特に、携帯カード形式のデータキャリア、たとえば、小切手カード形式のデータキャリアに埋め込まれ、たとえば、非対称暗号化方法を使用してデータを暗号化するか、そのようなデータを解読するように働く。そのような場合、特に、データ・ブロックは、或る定数を法とするキー・インデックスを使用して指数化される。前記定数は、最も安全な暗号化を達成できるように多数のディジットを有する。

【0004】

それに必要な演算ステップは、原理的にマイクロプロセッサによって実行されてよい。しかし、これは非常に長い時間を必要とするので、マイクロプロセッサに加えて、暗号化に必要な演算ステップに対して最適に設計された特殊演算ユニットがチップの中へ集積される。マイクロプロセッサと補助演算ユニットとの間の接続は、この状況では、データ転送を制御する特殊レジスタおよび少なくとも1つのデータ記憶メディアを介して達成される。マイクロプロセッサおよび補助演算ユニットの双方は、これらにアクセスすることができる。

【0005】

マイクロプロセッサおよび補助演算ユニットを有するこれらの既知の集積回路の欠点は

10

20

30

40

50

、処理ステップまたは処理サイクルが補助演算ユニットによって実行された後、マイクロプロセッサは、少なくとも一部分が新しいオペランドのために新しい値をレジスタへ再ロードしなければならないことである。次の処理サイクルは、その新しいオペランドを使用して開始される。これは、かなりの時間損失を生じ、全体としてのデータ処理デバイスは、特に、長いキー・インデックスの場合、データの暗号化またはデータの解読に多くの時間を必要とする。

【0006】

1つの処理サイクルが完了した直後に、できるだけ時間の損失を生じないで、演算ユニットが直ちに新しいデータについて次の処理サイクルを開始できるように、欧州特許第0822482A2号の開示によれば、データ転送を制御し、コマンドを伝送するため、少なくとも2セットのレジスタが設けられる。

10

【0007】

この状況では、これらレジスタの出力は、更なるレジスタの内容によって切り替えられ、各々の場合に、1セットのレジスタのみがアクティブにされる。しかし、演算ユニットが処理サイクルを完了したとき、書き込まれたデータが利用可能であって、次の処理サイクルが即時に開始されるように、新しいデータがマイクロプロセッサによって非アクティブのレジスタへ任意の時点で書き込まれてもよい。このようにして、暗号化および解読プロセスは相当にスピードアップされる。

【0008】

欧州特許第0822482A2号の開示によれば、演算ユニットCの初期化は、複数の並列レジスタ・セットR1、R2、R3、R4、R5、および選択回路Sによってスピードアップされる。この方法では、1つの計算の間に、次の計算のためにレジスタがロードされる（欧州特許第0822482A2号に従って構成されたデータ処理デバイスDのブロック図である図1を参照。デバイスDの中では、演算ユニットCはレジスタR1、R2、R3、R4、R5の3つのセットa、b、cによって制御される。参照符号Kは制御レジスタを示す）。

20

【0009】

それぞれのアクティブ・レジスタは、演算ユニットに入力値を供給し、計算の間に変更されてはならない。したがって、このレジスタ・セットの変更は、他のレジスタを使用する次の計算の間、または2つの計算の間の時間でのみ可能である。

30

【0010】

欧州特許第0822482A2号を実施するときの欠点は、各々の補助レジスタ・セットが、レジスタ・セットのサイズに従ったチップ表面積を必要とすることである。最新の暗号化アルゴリズムは、多くの場合、多数の小さな高速演算から構成され、高速計算を可能とするために多数のレジスタ・セットが必要である。

【0011】

更に、従来技術によれば、マイクロプロセッサは、対応する制御ビットをアサートすることによって、個々の計算を開始する必要がある。これは更なる遅延を引き起こす。

【発明の開示】

【発明が解決しようとする課題】

40

【0012】

前述した欠点および短所に基づき、また概説した従来技術を考慮して、本発明の目的は、前述したタイプ（従来技術の欧州特許第0822482A2号を参照）のデータ処理デバイス、およびマイクロプロセッサの介入なしに多数の計算を順次に行う前述したタイプの方法を開発することである。

【課題を解決するための手段】

【0013】

この目的は、請求項1で示された特徴を有するデータ処理デバイス、および請求項10で示された特徴を有する方法によって達成される。本発明の有利な実施形態および便宜的な更なる発展は、従属クレームで示される。

50

【 0 0 1 4 】

本発明の教示によれば、データ転送およびコマンド伝送を制御するレジスタが、少なくとも1つの周辺メモリ、たとえば、少なくとも1つのRAM（ランダム・アクセス・メモリ）、少なくとも1つのROM（読み出し専用メモリ）、または少なくとも1つのEEPROM（電氣的に消去可能およびプログラム可能な読み出し専用メモリ）からロードされる。したがって、本発明は、補助演算ユニットを有するマイクロプロセッサのために、いわば入力データ・セットの自動ローディングを提案する。

【 0 0 1 5 】

特に発明的な更なる発展によれば、少なくとも1つの制御論理回路へ接続された少なくとも1つの補助アドレス・レジスタがメモリへ割り当てられる。このアドレス・レジスタは、レジスタのローディングに関して、ロードされるデータの開始アドレスのポインタとして働く。同じく制御論理回路へ接続された少なくとも1つのカウンティング・レジスタは、好ましくは、順次にロードされるレジスタ・セットを表示する。

10

【 0 0 1 6 】

特に周辺メモリからの再ローディングは、一般的に、マイクロプロセッサを介するレジスタのローディングよりも速いので、本発明によれば、計算の間に時間を損失することなく、多数の演算を順次に実行することができる。これは、本発明によれば、アドレッシングされたメモリからデータをフェッチまたはロードすることによって、計算の前および間に入力レジスタがロードされる事実に対応する。

【 0 0 1 7 】

全体の計算（ $\times$ 個の個々の計算）について、アドレス・レジスタおよびカウンティング・レジスタのみが初期化されるので、従来技術の複数のレジスタ・セットを使用する解決法と比較して、マイクロプロセッサのコード・サイズは非常に小さくなる。レジスタ・データは、たとえば、マイクロプロセッサのプログラム・コードの中に生のデータとして保存されてよい。

20

【 0 0 1 8 】

少なくとも1つのマイクロプロセッサおよび少なくとも1つの補助演算ユニットを有する上述のデータ処理デバイスは、特定の計算を実行するように使用される。この実行は、本発明に従った次の方法ステップで有効にされる。

【 0 0 1 9 】

まず、2つの補助レジスタ、即ち、アドレス・レジスタおよびカウンティング・レジスタがマイクロプロセッサによって初期化され、制御ビットのアサーションによって計算が開始されてもよい。レジスタによって表示された開始アドレスからスタートして、データが周辺メモリからテンポラリレジスタ・セットの中へロードされる。メモリがアクセスされる度に、アドレス・レジスタが1だけ増分される。

30

【 0 0 2 0 】

もしテンポラリレジスタ・セットが満杯になれば（完了）、このテンポラリレジスタ・セットはメイン・レジスタ・セットの中へ転送され、カウンティング・レジスタが1だけ減らされ、補助演算ユニットが実際の計算を開始する。この計算の間に、メモリからテンポラリレジスタ・セットへ次のレジスタ・セットが保存される。

40

【 0 0 2 1 】

一度、現在の計算が終了すると、テンポラリレジスタ・セットがメイン・レジスタ・セットへ保存され、カウンティング・レジスタが1だけ減らされ、マイクロプロセッサは全く介入することなく次の計算が直ちに開始される。このプロセスは、カウンティング・レジスタが0へ減分されるまで反復される。

【 0 0 2 2 】

本発明の好ましい更なる発展によれば、テンポラリレジスタ・セットとメイン・レジスタ・セットとの間に少なくとも1つの選択回路が接続されてもよく、ここで説明される本発明が、マイクロプロセッサへ割り当てられたレジスタの複数のセットを含む発展と困難なしに組み合わせられてもよい。アクティブ計算のためにレジスタが記憶されるメイン・

50

レジスタ・セットを使用することによって、アクティブ・レジスタ・セットは、後続の計算のために、計算が開始した後に変更されてよい。

【0023】

各々のアドレス可能メモリは、ロードされるレジスタ・データの源として有利に使用されてよい（しかし、他の回路ブロック、たとえば、マイクロプロセッサによってメモリがアクセスされる場合の衝突に注意しなければならない）。少なくとも1つのMMS（メモリ管理システム）または少なくとも1つのMMU（メモリ管理ユニット）は、メモリへの並列アクセスを調整することができる。更に、それらとは無関係に、またはそれらと組み合わせて、本発明に重要なオプションが、汎用アドレス・ポインタから生じる。汎用アドレス・ポインタによって、複数のメモリ・ブロックへのアクセスが行われてよい。この補助特殊機能は、本発明に従った上述のアドレス・レジスタに特に適している。 10

【0024】

本発明は、更に、上述のタイプの少なくとも1つのデータ処理デバイスを含む携帯データキャリアに関する。

【0025】

本発明は、最後に、前述したタイプの少なくとも1つの集積データ処理デバイスを含む半導体チップに関する。

【0026】

前述したように、本発明の教示を有利に具体化および発展させる様々な可能な方法が存在する。この点に関して、請求項1の従属クレームを参照されたい。本発明は、図面以示される実施形態の例を参照して説明される。しかし、本発明は図面に限定されるものではない。 20

【発明を実施するための最良の形態】

【0027】

図2～図5において、同一または類似の実施形態、要素、または特徴は、同一の参照符号を付けられている。

【0028】

図2は、特定の計算のためにマイクロプロセッサ90および補助特殊演算ユニット40を有するデータ処理デバイス100の実施形態の第1の例を示す。上記特定の計算は、もしマイクロプロセッサ90によって実行されるならば、非常に時間を消費するであろう。 30

【0029】

演算ユニット40は、多数のレジスタを介してマイクロプロセッサ90と結合される。原理的に、第1のレジスタ群はデータ転送を制御するために設けられ、第2のレジスタ群はコマンドを伝送するために設けられる。更に、演算ユニット40は制御レジスタ50に関連づけられ、制御レジスタ50は制御論理回路60へ接続される。

【0030】

実施形態の第1の例に従ったデータ処理デバイス100の特徴は、特に、レジスタがEEPROM（電氣的に消去可能およびプログラム可能な読み出し専用メモリ）の形態をした周辺メモリ10からロードされてもよいことであり、それによって補助演算ユニット40を有するマイクロプロセッサ90に、入力データ・セットの自動ローディングを提供する。 40

【0031】

図2から更に明らかなように、制御論理回路60へ接続された（670）補助アドレス・レジスタ70が周辺メモリ10へ割り当てられる。アドレス・レジスタ70は、レジスタのローディングに関して、ロードされるデータの開始アドレスへのポインタとして働き、メモリ10はアドレス・レジスタ70に従って動作する（参照符号170）。更に、制御論理回路60へ同じように接続された（672）カウンティング・レジスタ72は、順次にロードされるレジスタ・セットを表示し、計算の数を定義する。

【0032】

レジスタをもっと正確に説明すると、5つのテンポラリレジスタ20、22、24、2 50

6、28のセットがメモリ10へ割り当てられる。これらのレジスタは、それぞれ5つのメイン・レジスタ30、32、34、36、38のセットへ接続される(230、232、234、236、238)。5つのメイン・レジスタのセットは、演算ユニット40へ割り当てられ、アクティブな計算のためにレジスタを記憶するように意図される。

【0033】

メモリ10からの再ローディングは、一般的に、マイクロプロセッサ90を介するレジスタのローディングよりも速いから、データ処理デバイス100では、実施形態の第1の例に従って、計算の間に時間を損失することなく、多数の演算が順次に行われ得る。全体の計算(x個の個々の計算)について、アドレス・レジスタ70およびカウンティング・レジスタ72だけが初期化されるので、マイクロプロセッサ90のコード・サイズは相対的に小さい。レジスタ・データは、マイクロプロセッサ90のプログラム・コードの中で、たとえば生のデータとして保存されてよい。

10

【0034】

詳細に説明すると、上述のデータ処理デバイス100は、特定の計算の実行中に、図3で示される次の方法ステップに従って動作する。

(i)最初に、2つの補助レジスタ、即ち、アドレス・レジスタ70およびカウンティング・レジスタ72がマイクロプロセッサ90によって初期化される。

(ii)次に、計算は制御ビットのアサーションによって開始される。

(iii)レジスタによって表示された開始アドレスから始まって、データは、周辺メモリ10から内部データ・バス120を介してテンポラリレジスタ20、22、24、26、28のセットへロードされる。

20

(iv)ここで、アドレス・レジスタ70は、メモリ10がアクセスされる度に1だけ増分される。

(v.a)もしテンポラリレジスタ20、22、24、26、28のセットが満杯になり(完了)、また

(vi.b)もし演算ユニット40が非アクティブであれば、

(vii)テンポラリレジスタ20、22、24、26、28のセットは、メイン・レジスタ30、32、34、36、38のセットへ転送されて、

(viii)次に、カウンティング・レジスタ72が1だけ減らされ、

(ix)補助演算ユニット40が実際の計算を開始する。この計算の間に、次のレジスタ・セットが、メモリ10からテンポラリレジスタ20、22、24、26、28のセットへ保存される。一度、現在の計算が終了すると、テンポラリレジスタ20、22、24、26、28のセットがメイン・レジスタ30、32、34、36、38のセットへ保存され、カウンティング・レジスタ72が1だけ減らされ、マイクロプロセッサ90は全く介入することなく、次の計算が直ちに始まる。

30

(x)このプロセスは、カウンティング・レジスタ72が0へ減分されるまで反復される。

(xi)次に、プロセスは終了する。

【0035】

図4に従ったデータ処理デバイス100'の実施形態の第2の例は、選択回路74がテンポラリレジスタ20、22、24、26、28のセットとメイン・レジスタ30、32、34、36、38のセットとの間に接続される点で、図2に従ったデータ処理デバイス100の実施形態の第1の例とは実質的に異なる。選択回路74は、制御レジスタ50のビット位置51、52、53、54に従って動作する。

40

【0036】

したがって、図2で示されたデータ処理デバイス100の実施形態の第1の例は、それぞれ5つのレジスタ80、82、84、86、88を含む3つのセットa、b、cを有する少なくとも1つの入力マルチプレクサで拡張されるか結合されてよい。ここで、これらのレジスタ・セット80a、80b、80c、82a、82b、82c、84a、84b、84c、86a、86b、86c、88a、88b、88cは、マイクロプロセッサ9

50

0 からデータ・バス 980 を介してデータを引き出す。しかし、概略的に示されたレジスタによって演算ユニット 40 を制御するため、5 つのテンポラリレジスタ 20、22、24、26、28 のセットは、メモリ 10 からデータ・バス 120 を介して特定のデータを引き出す。

【0037】

全てのレジスタの出力は選択回路 74 へ導かれる。選択回路 74 は、レジスタのこれらのセットの 1 つの出力を選択し、5 つのメイン・レジスタ 30、32、34、36、38 のセットを介して、それらの出力を演算ユニット 40 へ与える。ここで、選択は、内部データ・バス 120 を介してメモリ 10 からデータを供給されるテンポラリレジスタ・セット 20、22、24、26、28 へ適用されるビット位置 51 によって制御されるか、内部データ・バス 980 を介してマイクロプロセッサ 90 からデータを供給されるレジスタ・セット 80a、80b、80c、82a、82b、82c、84a、84b、84c、86a、86b、86c、88a、88b、88c へ適用され、1 つの場合だけに存在する制御レジスタ 50 の 3 つのビット位置 52、53、54 によって制御される。

10

【0038】

全てのレジスタの入力は、実質的にデータ転送のみに意図される内部データ・バスへ接続され、書き込みのためマイクロプロセッサ 90 によって個別に選択されてもよい。ここで、図を明瞭にするため選択線は省略されている。

【0039】

レジスタ 80a、80b、80c、82a、82b、82c、84a、84b、84c、86a、86b、86c、88a、88b、88c の各々は、内部バスからのみデータの 1 バイトを受け取り、それを選択回路 40 へのみ出力する。制御レジスタ 50 はビットごとに読み書きされ得、ビット位置 51、52、53、54、55 は内部データ・バスからのみデータを受け入れ、出力を介して選択回路 74 (ビット位置 51、52、53、54) および演算ユニット 40 (ビット位置 55) を制御する。ビット位置 56、57、58、59 は、演算ユニット 40 とマイクロプロセッサ 90 との間の更なる通信のために設けられる。

20

【0040】

最後に、図 5 は、実施形態の第 1 の例 (図 2 に従ったデータ処理デバイス 100) および実施形態の第 2 の例 (図 4 に従ったデータ処理デバイス 100') の組み合わせ形態の本発明に従った全体データ処理デバイス 100、100' の概略ブロック図である。

30

【0041】

全体データ処理デバイス 100、100' は、特に、特定の計算のためにマイクロプロセッサ 90 および補助特殊演算ユニット 40 を含む。上記特定の計算は、もしマイクロプロセッサ 90 によって実行されるならば、非常に時間を消費する。

【0042】

更に、全体データ処理デバイス 100、100' は、第 1 の書き込み / 読み出しメモリ 76 および第 2 の書き込み / 読み出しメモリ 78 と一緒に揮発性メモリ 16 を設けられる。マイクロプロセッサ 90 は、前述した内部バス 980 (図 4 を参照) を介して、実質的に直接 2 つの書き込み / 読み出しメモリ 76 および 78 へ結合される。更に、

40

- マイクロプロセッサ 90 は、更なるアドレス・レジスタ 14 を介して揮発性メモリ 16 へ結合され、
- 周辺メモリ 10 は、更なるレジスタ 12 を介して演算ユニット 40 へ結合される。

【0043】

図 5 で概略的に示される更なるレジスタ 12 による補助演算ユニット 40 の制御は、図 2、図 3、および図 4 に関連した説明で、より明瞭かつ詳細に説明されるが、この時点では、補助演算ユニット 40 の機能および演算ユニット 40 のオペランドおよび演算ユニット 40 からの結果の伝送を制御する制御信号は、実質的に更なるレジスタ 12 を介して伝送されることを簡単に述べておく。

【0044】

50

オペランド自身はオペランド・レジスタ 42、44、46 を介して演算ユニット 40 へ伝送され、演算ユニット 40 から来る結果は、結果レジスタ 48 を介して、特に更なる内部バス 62 を介して伝送される。オペランドを表すデータは、メモリ・レジスタ 18 を介して揮発性メモリ 16 から、および第 2 の書き込み / 読み出しメモリ 78 から内部バス 62 へ供給される。

【0045】

更に、演算ユニット 40 で実行された計算の結果は、バス 62 を介して第 2 の書き込み / 読み出しメモリ 78 へ供給される。補助演算ユニット 40 およびマイクロプロセッサ 90 は、第 2 の書き込み / 読み出しメモリ 78 へのアクセスを有するから（それぞれ、バス 62 およびデータ・バス 980 を介して）、この第 2 の書き込み / 読み出しメモリ 78 を介して、演算ユニット 40 とマイクロプロセッサ 90 との間でデータが交換される。 10

【0046】

内部バス 62 は、前述したように、実質的にデータの伝送だけに使用される。演算ユニット 40 は、更に、数バイトの長さを有するオペランドの演算を実行するように意図されているので、データ・バス 62 は、比較的大きなデータ幅、たとえば 4 バイトとして設計される。この状況において、第 1 の書き込み / 読み出しメモリ 76 が適切な構成または内部直列 / 並列変換によって 4 バイトを並列に出力し、1 バイト長の幾つかのワードが直列に受け取られて並列に出力されるものと仮定されてもよい。対応する配置は揮発性メモリ 16 の出力にあるメモリ・レジスタ 18 の形態で表示され、メモリ・レジスタ 18 は直列に供給された 4 バイトを並列にして、バス 62 を介して渡す。 20

【0047】

3 つのオペランド・レジスタ 42、44、46 の設計は、補助演算ユニット 40 が処理できるワード長に依存して、オペランド・レジスタ 42、44、46 が 4 バイトを並列に受け取り、それらバイトを並列に出力するか、任意的に 4 バイトよりも小さな部分で出力するようになっていてもよい。また、演算ユニット 40 の構造に依存して、演算結果の結果レジスタ 48 は直列または並列に数バイトを受け取って、各々の場合に、内部バス 62 を介して 4 バイトを並列に伝送してもよい。

【0048】

メモリのアドレッシングは当業者に周知であるから、揮発性メモリ 16 および第 1 の書き込み / 読み出しメモリ 76 のために補助演算ユニット 40 からアドレスを伝送することは、図面を明瞭にするため図 5 では説明されない。 30

【0049】

最後に、本発明に関して注意すべきは、レジスタの各々のセットに存在する 5 つのレジスタ（図 2 および図 4 を参照）は、たとえば、次の目的に使用されてよいことである。

- 演算ユニット 40 を制御する演算コードを含むため、
- 第 1 オペランドの開始アドレスを記述するため、
- 第 2 オペランドの開始アドレスを含むため、
- 更なるオペランドのアドレスを含むため。更なるオペランドは、演算ユニット 40 で実行される演算に応じて、演算ユニット 40 の中で、様々な様式で処理される。たとえば、このアドレスによって記述されるオペランドは、モジュロ演算のモジュラスを構成する 40
- 演算ユニット 40 の演算結果のアドレスを含むため、
- 第 1 オペランドの長さを記述するため、および / または
- 第 2 オペランドの長さを記述するため。

【0050】

図 2（実施形態の第 1 の例）、図 4（実施形態の第 2 の例）、および図 5（実施形態の第 1 の例および第 2 の例の単純な組み合わせ）に従って説明された配置は、演算ユニット 40 の計算パワーを最適に使用可能にさせる。なぜなら、レジスタの最初のセットを使用して計算を実行している間、マイクロプロセッサ 90 は更なるセットのレジスタに新しい値をロードしてもよく、演算ユニット 40 がオペランドのセットを完全に処理して結果を 50

出力したとき、マイクロプロセッサ 90 は制御レジスタ 50 のビット位置 51、52、53、54 の内容を 1 ステップで変更してもよく、新しいオペランドのアドレスが即時に有効となってもよく、これらのオペランドを使用する計算は待ち時間を有して直ちに開始してもよいからである。開始アドレスおよびオペランド長によってオペランド・アドレスを記述することは、オペランドのアドレッシングを非常に簡単かつ迅速にし、またレジスタを節約する。

【図面の簡単な説明】

【0051】

【図 1】演算ユニットがレジスタの 3 つのセットによって制御される従来技術に従ったデータ処理デバイスの概略ブロック図である。

10

【図 2】本発明に従ったデータ処理デバイスの実施形態の第 1 の例の概略ブロック図である。

【図 3】特定の計算を実行する図 2 のデータ処理デバイスに関連づけられた方法のフローチャートである。

【図 4】演算ユニットがレジスタの 3 つのセットによって制御される本発明に従ったデータ処理デバイスの実施形態の第 2 の例の概略ブロック図である。

【図 5】図 2 の実施形態の第 1 の例および図 4 の実施形態の第 2 の例を単純に組み合わせた形態の本発明に従った全体データ処理デバイスの概略ブロック図である。

【符号の説明】

【0052】

20

100 データ処理デバイス（実施形態の第 1 の例、図 2）

100' データ処理デバイス（実施形態の第 2 の例、図 4）

10 メモリ、具体的には、周辺メモリ

12 更なるレジスタ

14 更なるアドレス・レジスタ

16 揮発性メモリ

18 メモリ・レジスタ

20 第 1 のテンポラリレジスタ

22 第 2 のテンポラリレジスタ

24 第 3 のテンポラリレジスタ

26 第 4 のテンポラリレジスタ

28 第 5 のテンポラリレジスタ

30 第 1 のメイン・レジスタ

32 第 2 のメイン・レジスタ

34 第 3 のメイン・レジスタ

36 第 4 のメイン・レジスタ

38 第 5 のメイン・レジスタ

40 （補助）演算ユニット

42 第 1 のオペランド・レジスタ

44 第 2 のオペランド・レジスタ

46 第 3 のオペランド・レジスタ

48 結果レジスタ

50 制御レジスタ

51 制御レジスタ 50 の第 1 のビット位置

52 制御レジスタ 50 の第 2 のビット位置

53 制御レジスタ 50 の第 3 のビット位置

54 制御レジスタ 50 の第 4 のビット位置

55 制御レジスタ 50 の第 5 のビット位置

56 制御レジスタ 50 の第 6 のビット位置

57 制御レジスタ 50 の第 7 のビット位置

30

40

50

5 8	制御レジスタ 5 0 の第 8 のビット位置	
5 9	制御レジスタ 5 0 の第 9 のビット位置	
6 0	制御論理回路	
6 2	内部（オペランド）バス	
7 0	アドレス・レジスタ	
7 2	カウンティング・レジスタ	
7 4	選択回路	
7 6	第 1 の書き込み / 読み出しメモリ	
7 8	第 2 の書き込み / 読み出しメモリ	
8 0	マイクロプロセッサ 9 0 へ割り当てられた第 1 のレジスタ	10
8 2	マイクロプロセッサ 9 0 へ割り当てられた第 2 のレジスタ	
8 4	マイクロプロセッサ 9 0 へ割り当てられた第 3 のレジスタ	
8 6	マイクロプロセッサ 9 0 へ割り当てられた第 4 のレジスタ	
8 8	マイクロプロセッサ 9 0 へ割り当てられた第 5 のレジスタ	
9 0	マイクロプロセッサ	
1 2 0	メモリ 1 0 からテンポラリレジスタ 2 0、2 2、2 4、2 6、2 8 へのデータ・バス	
1 7 0	メモリ 1 0 に対するアドレス・レジスタ 7 0 の作用	
2 3 0	第 1 のテンポラリレジスタ 2 0 と第 1 のメイン・レジスタ 3 0 との間の接続	
2 3 2	第 2 のテンポラリレジスタ 2 2 と第 2 のメイン・レジスタ 3 2 との間の接続	20
2 3 4	第 3 のテンポラリレジスタ 2 4 と第 3 のメイン・レジスタ 3 4 との間の接続	
2 3 6	第 4 のテンポラリレジスタ 2 6 と第 4 のメイン・レジスタ 3 6 との間の接続	
2 3 8	第 5 のテンポラリレジスタ 2 8 と第 5 のメイン・レジスタ 3 8 との間の接続	
4 6 0	演算ユニット 4 0 と制御論理回路 6 0 との間の接続	
5 6 0	制御レジスタ 5 0 と制御論理回路 6 0 との間の接続	
6 7 0	制御論理回路 6 0 とアドレス・レジスタ 7 0 との間の接続	
6 7 2	制御論理回路 6 0 とカウンティング・レジスタ 7 2 との間の接続	
9 8 0	マイクロプロセッサ 9 0 からレジスタ 8 0、8 2、8 4、8 6、8 8 への内部データ・バス	
C	従来技術に従った演算ユニット	30
D	従来技術に従ったデータ処理デバイス	
K	従来技術に従った制御レジスタ	
R 1	従来技術に従った第 1 のレジスタ	
R 2	従来技術に従った第 2 のレジスタ	
R 3	従来技術に従った第 3 のレジスタ	
R 4	従来技術に従った第 4 のレジスタ	
R 5	従来技術に従った第 5 のレジスタ	
S	従来技術に従った選択回路	

【図 1】

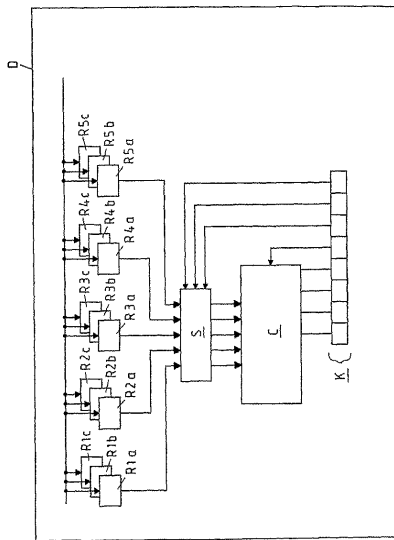


FIG.1

【図 2】

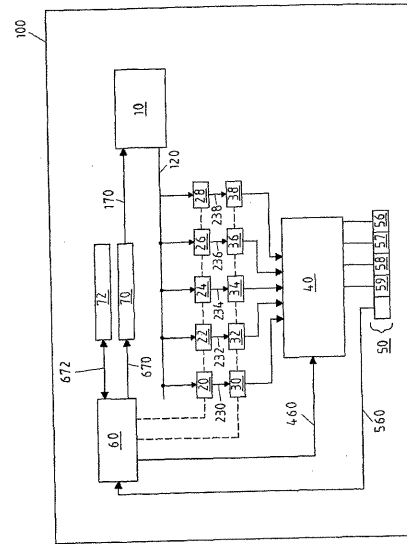


FIG.2

【図 3】

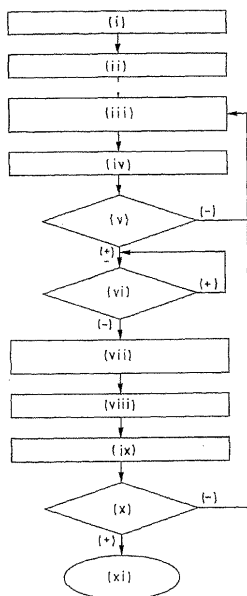


FIG.3

【図 4】

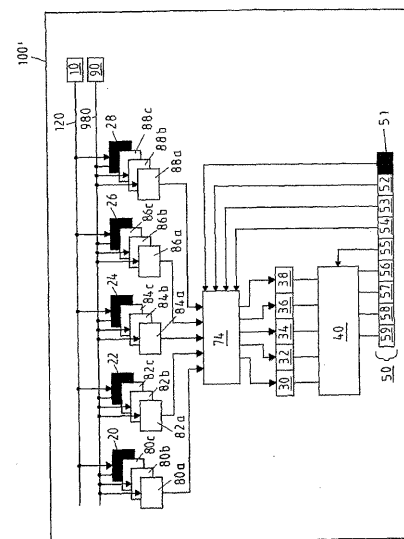


FIG.4

【図 5】

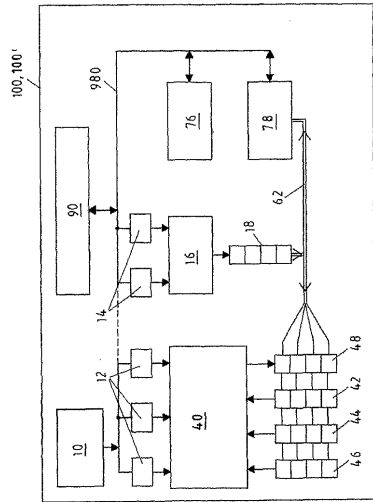


FIG.5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		IB 03/05436
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F9/38 G06F9/302		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 97/34226 A (MITEL CORP) 18 September 1997 (1997-09-18) page 5, line 1 - line 4; figure 1	1,2
A	page 11, line 3 - page 12, line 20; figures 4,6 -----	6
A	WO 98/12630 A (ELECTRONICS FOR IMAGING INC) 26 March 1998 (1998-03-26) the whole document -----	1,3,4
A	EP 0 822 482 A (PHILIPS PATENTVERWALTUNG ; PHILIPS ELECTRONICS NV (NL)) 4 February 1998 (1998-02-04) the whole document -----	1,2
☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 13 October 2004		Date of mailing of the international search report 21 01. 2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Moraiti, M

INTERNATIONAL SEARCH REPORT

IB 03/05436

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9734226	A	18-09-1997	US 5960209 A	28-09-1999
			CA 2248711 A1	18-09-1997
			WO 9734226 A1	18-09-1997
			DE 69719221 D1	27-03-2003
			DE 69719221 T2	18-12-2003
			EP 0976037 A1	02-02-2000

WO 9812630	A	26-03-1998	US 5835788 A	10-11-1998
			AU 714338 B2	23-12-1999
			AU 3814697 A	14-04-1998
			BR 9711505 A	18-01-2000
			CA 2265694 A1	26-03-1998
			EP 1012706 A1	28-06-2000
			JP 2001502082 T	13-02-2001
			NZ 334674 A	29-09-2000
			WO 9812630 A1	26-03-1998

EP 0822482	A	04-02-1998	DE 19630861 A1	05-02-1998
			DE 59710434 D1	21-08-2003
			EP 0822482 A2	04-02-1998
			JP 10091593 A	10-04-1998
			US 5889622 A	30-03-1999

INTERNATIONAL SEARCH REPORT

PCT/IB 03/05436

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-9

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-9

Receiving data from a peripheral memory

2. claim: 10

Method of performing a calculation

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(74)代理人 100118876

弁理士 岡澤 順生

(72)発明者 トマス、ベーリング

ドイツ連邦共和国アーヘン、パイスハウスシュトラッセ、2、ケアオブ、フィリップス、インテレ
クチュアル、プロパティ、アンド、スタンダーズ、ゲーエムベーハー

(72)発明者 ラルフ、マルツァーン

ドイツ連邦共和国アーヘン、パイスハウスシュトラッセ、2、ケアオブ、フィリップス、インテレ
クチュアル、プロパティ、アンド、スタンダーズ、ゲーエムベーハー

Fターム(参考) 5B013 AA01 AA02 AA11 DD03 DD05

5B035 AA00 BB09 CA11