



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월08일  
(11) 등록번호 10-1294691  
(24) 등록일자 2013년08월02일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0060874

(22) 출원일자 2006년06월30일

심사청구일자 2011년06월29일

(65) 공개번호 10-2008-0002202

(43) 공개일자 2008년01월04일

(56) 선행기술조사문헌

KR1020050068886 A

KR1020050119889 A

전체 청구항 수 : 총 6 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

양준영

경기도 부천시 원미구 상동로 57, 2407동 1303호  
(상동, 행복한마을)

(74) 대리인

특허법인네이트

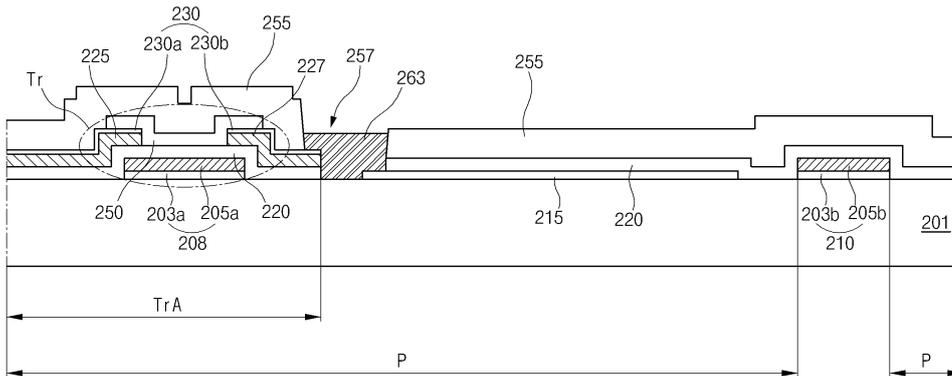
심사관 : 신창우

(54) 발명의 명칭 액정표시장치용 어레이 기관 및 그 제조방법

(57) 요약

본 발명은 화소영역의 정의된 기관 상에 일방향으로 연장하는 이중층 구조의 게이트 배선과, 상기 게이트 배선에 서 분기한 게이트 전극과; 상기 기관상의 화소영역에 형성된 화소전극과; 상기 게이트 배선 및 게이트 전극과 상기 화소전극 위로 형성된 게이트 절연막과; 상기 게이트 절연막 상부로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 전극 상부에서 서로 이격하며 형성된 소스 및 드레인 전극과; 상기 소스 및 드레인 전극 각각의 상부에 형성된 오믹콘택층과; 상기 오믹콘택층 상부와, 상기 소스 및 드레인 전극의 이격영역에 형성된 액티브층과; 상기 액티브층 위로 전면에 상기 드레인 전극 상부의 오믹콘택층과 상기 화소전극 일부를 동시에 노출시키는 콘택홀을 갖는 보호층과; 상기 콘택홀 내부에 상기 드레인 전극과 상기 화소전극을 전기적으로 연결시키며 형성된 메탈패턴을 포함하는 액정표시장치용 어레이 기관 및 그 제조 방법을 제공한다.

대표도 - 도5h



## 특허청구의 범위

### 청구항 1

화소영역이 정의된 기판 상에 제 1 마스크 공정을 진행하여 일방향으로 연장하는 이중층 구조의 게이트 배선 및 게이트 전극과 상기 화소영역 내에 단일층의 화소전극을 형성하는 단계와;

상기 게이트 배선 및 게이트 전극과 화소전극 위로 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 제 2 마스크 공정을 진행하여 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선과, 상기 게이트 전극 상부에서 서로 이격하는 소스 및 드레인 전극을 형성하고, 동시에 상기 소스 및 드레인 전극 상부로 오믹콘택층을 형성하는 단계와;

상기 오믹콘택층 상부 및 상기 소스 및 드레인 전극의 이격영역에 제 3 마스크 공정을 진행하여 액티브층을 형성하는 단계와;

상기 액티브층 위로 전면에 제 4 마스크 공정을 진행하여 상기 드레인 전극 상부의 오믹콘택층과 상기 화소전극을 동시에 노출시키는 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 콘택홀을 갖는 보호층 위로 액상의 금속물질을 도포함으로써 메탈층을 형성하는 단계와;

상기 메탈층을 드라이 에칭함으로써 상기 콘택홀 내부에 상기 드레인 전극과 화소전극을 연결시키는 메탈패턴을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 마스크 공정을 진행하여 이중층 구조의 게이트 배선 및 게이트 전극과 상기 화소영역 내에 화소전극을 형성하는 단계는,

상기 기판 상에 투명 도전성 물질 및 제 1 금속물질을 순차 증착하여 투명 도전성 물질층과 제 1 금속층을 형성하는 단계와;

상기 제 1 금속층 상부로 제 1 두께의 제 1 포토레지스트 패턴과, 상기 제 1 두께보다 두꺼운 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 1, 2 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층과 투명 도전성 물질층을 식각하여 이중층 구조의 상기 게이트 배선 및 게이트 전극을 형성하고 상기 화소영역 내에 이중층 구조의 화소패턴을 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계와;

상기 제 2 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층을 식각하는 단계와;

상기 제 2 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조방법.

### 청구항 3

제 1 항에 있어서,

상기 게이트 절연막 위로 데이터 배선과, 상기 게이트 전극 상부에서 서로 이격하는 소스 및 드레인 전극을 형성하고, 동시에 상기 소스 및 드레인 전극 상부로 오믹콘택층을 형성하는 단계는,

상기 화소전극과 중첩하며 상기 데이터 배선과 나란하게 소정간격 이격하는 공통배선을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조방법.

**청구항 4**

제 1 항에 있어서,

상기 드레인 전극은 상기 소스 전극과 마주하는 끝단 이외의 끝단이 상기 화소전극과 이격하도록 형성하는 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

**청구항 5**

제 4 항에 있어서,

상기 콘택홀은 상기 드레인 전극과 화소전극의 이격영역에 형성된 게이트 절연막이 제거되어 상기 기판의 표면을 노출시키며 형성된 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

**청구항 6**

제 1 항에 있어서,

상기 메탈층은 액상의 나노 파티클(nano particle)을 베이스로 한 은(Ag) 메탈인 것이 특징인 액정표시장치용 어레이 기판의 제조방법.

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0017] 본 발명은 액정표시장치에 관한 것이며, 특히 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.
- [0018] 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.
- [0019] 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on),오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- [0020] 일반적으로, 액정표시장치는 박막트랜지스터 및 화소전극을 형성하는 어레이 기판 제조 공정과 컬러필터 및 공통 전극을 형성하는 컬러필터 기판 제조 공정을 통해 각각 어레이 기판 및 컬러필터 기판을 형성하고, 이들 두 기판 사이에 액정을 개재하는 셀 공정을 거쳐 완성된다.
- [0021] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 설명하면, 도시한 바와 같이, 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 투명한 기판(12)의 상면으로 종횡 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막트랜지스터(T)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- [0022] 또한, 상기 어레이 기판과 마주보는 상부의 컬러필터 기판(20)은 투명기판(22)의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 적, 녹, 청색 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.
- [0023] 그리고, 도면상에 도시되지는 않았지만, 이들 두 기판(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링제(sealant) 등으로 봉함(封函)된 상태에서 각 기판(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기판(10, 20)의 적어도 하나의 외측면에는 편광판이 구비되어 있다.
- [0024] 또한, 어레이 기판의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- [0025] 도 2는 전술한 액정표시장치의 어레이 기판 내의 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도시한 것이다.
- [0026] 도면에 나타나지 않았지만, 기판(59) 상에서 다수의 게이트 배선(미도시)과 데이터 배선(미도시)이 교차하여 정의되는 다수의 화소영역(P) 내에는 게이트 전극(60)이 형성되어 있으며, 상기 게이트 전극(60) 상부로 전면에 게이트 절연막(68)이 형성되어 있으며, 그 위에 순차적으로 섬형태의 액티브층(70a)과 오믹콘택층(70b)으로 구성된 반도체층(70)이 형성되어 있다.
- [0027] 상기 오믹 콘택층(70b) 위로는 소스 전극(76)과, 게이트 전극(60)을 중심으로 상기 소스 전극(76)으로부터 소정 간격 이격하여 마주 대하고 있는 드레인 전극(78)이 형성되어 있다. 이때, 반도체층(70)을 하나의 마스크 공정을 통해 패터닝하고, 이후 금속층을 형성 후, 또 다른 마스크 공정을 통해 소스 및 드레인 전극(76, 78)을 형성함으로써 상기 소스 및 드레인 전극(76, 78)의 각 끝단부가 상기 반도체층(70)의 에지부를 충분히 가리도록 연장되어 형성되어 있는 것이 특징이다.
- [0028] 또한, 상기 소스 및 드레인 전극(76, 78)과 노출된 액티브층(70a) 위로 전면에 상기 드레인 전극(78)을 노출시키는 드레인 콘택홀(80)을 포함하는 보호층(86)이 형성되어 있으며, 상기 보호층(86) 상부에는 각 화소영역(P)별로 독립되며, 상기 드레인 콘택홀(80)을 통해 상기 드레인 전극(78)과 접촉하는 화소전극(88)이 형성되어 있다.
- [0029] 이때, 전술한 액정표시장치용 어레이 기판의 배선 및 전극 패턴은 감광성 물질인 포토레지스트를 이용한 사진식각 공정에 의해 이루어진다.

- [0030] 사진식각 공정에서는 금속물질층, 절연물질층 또는 반도체 물질층 상부에 포토레지스트를 도포하는 단계와, 일정패턴을 가지는 마스크를 배치하여 노광하는 단계와, 노광 처리된 포토레지스트층을 현상하여 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 하여 상기 금속물질층, 절연물질층 또는 반도체 물질층을 식각하여 배선 및 전극, 콘택홀 또는 반도체층을 형성하는 공정을 거치게 된다.
- [0031] 상기 사진식각 공정은 마스크 수에 따라 공정수가 결정되기 때문에, 이하 마스크 공정으로 칭하기로 한다.
- [0032] 전술한 단면 구조를 갖는 액정표시장치용 어레이 기관의 제조 공정에 대해 설명하면, 기관(59) 상에 제 1 금속 물질을 증착한 후, 제 1 마스크 공정에 의해 게이트 전극(60)과 게이트 배선(미도시)을 형성하고, 다음, 제 1 절연물질, 순수 비정질 실리콘(a-Si), 불순물 비정질 실리콘(n+ a-Si)을 연속적으로 증착한 후, 제 1 절연물질은 게이트 절연막(68)으로 이용하고, 순수 비정질 실리콘층, 불순물 비정질 실리콘층은 제 2 마스크 공정에 의해 게이트 전극(60)을 덮는 위치에 액티브층(70a), 오믹 콘택층(70b)으로 각각 형성하여 반도체층(70)을 구성한다.
- [0033] 다음, 제 2 금속물질을 증착한 후, 제 3 마스크 공정에 의해 데이터 배선(73)과 상기 반도체층(70) 상부에서 서로 일정간격 이격되는 소스 및 드레인 전극(76, 78)을 형성한다. 이 단계에서는, 소스 및 드레인 전극(76, 78)을 마스크로 하여, 이격된 구간의 오믹콘택층(70b)을 제거하고, 그 하부층인 액티브층(70a)을 노출시켜 채널을 형성한다. 상기 게이트 전극(60), 반도체층(70), 소스 및 드레인 전극(76, 78)은 박막트랜지스터(Tr)를 이룬다.
- [0034] 다음, 제 2 절연물질을 증착한 후, 제 4 마스크 공정에 의해 드레인 전극(78)의 일부를 노출시키는 드레인 콘택홀(80)을 가지는 보호층(86)을 형성한 후, 상기 보호층(86) 위로 투명 도전성 물질을 증착하고, 제 5 마스크 공정에 의해 패터닝함으로써 화소전극(88)을 형성한다.
- [0035] 이와 같이, 기존의 액정표시장치용 어레이 공정에서는 통상 5 마스크 공정에 의해 어레이 기관을 제작하고 있다.
- [0036] 하지만, 마스크 공정에서는 증착, 노광, 현상, 식각 공정별로 장비들이 필요하고, 물리적, 화학적 공정이 반복됨에 따라 공정 비용이 높고, 공정 중 다른 소자에 손상을 줄 확률이 높으므로, 공정 효율이 떨어지는 단점이 있다.
- [0037] 이러한 문제를 해결하고자 종래의 4마스크 공정에 의해 제조된 액정표시장치용 어레이 기관의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도인 도 3에 도시한 바와 같이, 기관(101)상에 게이트 전극(105) 및 게이트 배선(미도시)을 형성 후, 그 상부로 게이트 절연물질층과 비정질 실리콘 물질층과 불순물 비정질 물질층 그리고 금속물질층을 연속하여 형성하고 이를 회절노광을 이용하여 패터닝함으로써 순수 비정질 실리콘의 액티브층과 불순물 비정질 실리콘의 오믹콘택층(120b)으로 이루어진 반도체층(120)과, 소스 및 드레인 전극(130, 135)과 데이터 배선(127)을 하나의 마스크 공정에 의해 형성함으로써 총 4회의 마스크 공정을 통해 액정표시장치용 어레이 기관(101)을 제조하는 방법에 제안되었다.
- [0038] 하지만, 전술한 4마스크 공정에 의해 제조된 액정표시장치는 하나의 마스크 공정을 줄이기 위해 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 금속층을 순차적으로 적층하고, 포토레지스트를 도포한 후, 회절노광을 통해, 소스 및 드레인 전극(130, 135)과 액티브층(120a)과 오믹콘택층(120b)으로 구성된 반도체층(120)을 하나의 마스크 공정에 의해 형성함으로써 원치 않는 구조, 즉, 상기 소스 및 드레인 전극(130, 135) 양끝단의 외측으로 연장하여, 상기 소스 및 드레인 전극(130, 135) 외부로 노출되는 채널을 형성하는 액티브층(120) 이외의 액티브층(121)을 노출시키는 구조를 형성함으로써, 상기 소스 및 드레인 전극(130, 135)의 끝단 외부로 노출된 액티브층(121)이, 이러한 구조를 갖는 어레이 기관(101)을 이용하여 완성된 액정표시장치(미도시)의 구동 시, 하부에 구비된 백라이트(미도시) 등으로부터 입사된 빛, 또는 외부로부터 들어온 빛에 의해 여기(excite)되어 박막트랜지스터의 스위칭 또는 데이터 신호를 입력하는 데이터 배선(127)에 영향을 미쳐 화면상에 얼룩을 유발시키는 웨이비 노이즈(wavy noise) 문제가 발생하게 된다.

**발명이 이루고자 하는 기술적 과제**

- [0039] 상기 문제점을 해결하기 위해서, 본 발명에서는 4마스크 공정으로 진행함으로써 5마스크 공정 진행대비 비용 절감 및 제조 공정을 단순화하는 것을 그 목적으로 한다.
- [0040] 또한, 소스 및 드레인 전극의 끝단 외부로 액티브층이 노출되지 않으며 더욱이 데이터 배선 하부에는 반도체 패

턴이 형성되지 않도록 함으로써 광전류(photo current)에 의한 웨이비 노이즈(wavy noise)를 방지하는 것을 또 다른 목적으로 한다.

**발명의 구성 및 작용**

[0041] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은 화소영역이 정의된 기판 상에 제 1 마스크 공정을 진행하여 일방향으로 연장하는 이중층 구조의 게이트 배선 및 게이트 전극과 상기 화소영역 내에 단일층의 화소전극을 형성하는 단계와; 상기 게이트 배선 및 게이트 전극과 화소전극 위로 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 제 2 마스크 공정을 진행하여 상기 게이트 배선과 교차하여 상기 화소영역을 정의하는 데이터 배선과, 상기 게이트 전극 상부에서 서로 이격하는 소스 및 드레인 전극을 형성하고, 동시에 상기 소스 및 드레인 전극 상부로 오믹콘택층을 형성하는 단계와; 상기 오믹콘택층 상부 및 상기 소스 및 드레인 전극의 이격영역에 제 3 마스크 공정을 진행하여 액티브층을 형성하는 단계와; 상기 액티브층 위로 전면에 제 4 마스크 공정을 진행하여 상기 드레인 전극 상부의 오믹콘택층과 상기 화소전극을 동시에 노출시키는 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 콘택홀을 갖는 보호층 위로 액상의 금속물질을 도포함으로써 메탈층을 형성하는 단계와; 상기 메탈층을 드라이 에칭함으로써 상기 콘택홀 내부에 상기 드레인 전극과 화소전극을 연결시키는 메탈패턴을 형성하는 단계를 포함한다.

[0042] 이때, 상기 제 1 마스크 공정을 진행하여 이중층 구조의 게이트 배선 및 게이트 전극과 상기 화소영역 내에 화소전극을 형성하는 단계는, 상기 기판 상에 투명 도전성 물질 및 제 1 금속물질을 순차 증착하여 투명 도전성 물질층과 제 1 금속층을 형성하는 단계와; 상기 제 1 금속층 상부로 제 1 두께의 제 1 포토레지스트 패턴과, 상기 제 1 두께보다 두꺼운 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1, 2 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층과 투명 도전성 물질층을 식각하여 이중층 구조의 상기 게이트 배선 및 게이트 전극을 형성하고 상기 화소영역 내에 이중층 구조의 화소패턴을 형성하는 단계와; 상기 제 2 포토레지스트 패턴을 제거하는 단계와; 상기 제 1 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층을 식각하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0043] 또한, 상기 게이트 절연막 위로 데이터 배선과, 상기 게이트 전극 상부에서 서로 이격하는 소스 및 드레인 전극을 형성하고, 동시에 상기 소스 및 드레인 전극 상부로 오믹콘택층을 형성하는 단계는, 상기 화소전극과 중첩하며 상기 데이터 배선과 나란하게 소정간격 이격하는 공통배선을 형성하는 단계를 더욱 포함한다.

[0044] 또한, 상기 드레인 전극은 상기 소스 전극과 마주하는 끝단 이외의 끝단이 상기 화소전극과 이격하도록 형성하는 것이 특징이며, 상기 콘택홀은 상기 드레인 전극과 화소전극의 이격영역에 형성된 게이트 절연막이 제거되어 상기 기판의 표면을 노출시키며 형성된 것이 특징이다.

[0045] 또한, 상기 메탈층은 액상의 나노 파티클(nano particle)을 베이스로 한 은(Ag) 메탈인 것이 특징이다.

[0046] 본 발명에 따른 액정표시장치용 어레이 기판은, 화소영역의 정의된 기판 상에 일방향으로 연장하는 이중층 구조의 게이트 배선과, 상기 게이트 배선에서 분기한 게이트 전극과; 상기 기판상의 화소영역에 형성된 화소전극과; 상기 게이트 배선 및 게이트 전극과 상기 화소전극 위로 형성된 게이트 절연막과; 상기 게이트 절연막 상부로 상기 게이트 배선과 교차하여 상기 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 전극 상부에서 서로 이격하며 형성된 소스 및 드레인 전극과; 상기 소스 및 드레인 전극 각각의 상부에 형성된 오믹콘택층과; 상기 오믹콘택층 상부와, 상기 소스 및 드레인 전극의 이격영역에 형성된 액티브층과; 상기 액티브층 위로 전면에서 상기 드레인 전극 상부의 오믹콘택층과 상기 화소전극 일부를 동시에 노출시키는 콘택홀을 갖는 보호층과; 상기 콘택홀 내부에 상기 드레인 전극과 상기 화소전극을 전기적으로 연결시키며 형성된 메탈패턴을 포함한다.

[0047] 이때, 상기 이중층 구조의 게이트 배선 및 게이트 전극은 그 하부층은 상기 화소전극을 이루는 물질과 동일한 물질로 이루어진 것이 특징이다.

[0048] 또한, 상기 드레인 전극과 상기 화소전극은 서로 이격하며 형성된 것이 특징이며 이때, 상기 콘택홀은 상기 드레인 전극과 상기 화소전극의 이격영역에 대응하여 형성됨으로써 상기 이격영역에 있어서는 기판을 노출시키는 것을 특징으로 한다.

[0049] 또한, 상기 메탈패턴은 은(Ag) 메탈로 이루어지며, 상기 소스 및 드레인 전극 상부에 형성된 오믹콘택층은, 상기 소스 및 드레인 전극과 동일한 형태를 갖는 것이 특징이다.

- [0050] 또한, 상기 데이터 배선 상부에는 이와 동일한 형태를 가지며 상기 오믹콘택층과 동일한 물질로 이루어진 불순물 비정질 패틴이 더욱 형성된 것이 특징이다.
- [0051] 또한, 상기 게이트 절연막 상부에는 상기 데이터 배선과 이격하여 이와 나란하게 연장하며 상기 화소전극과 중첩하는 공통배선이 더욱 형성된 것이 특징이다.
- [0052] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- [0053] 도 4a 내지 도 4d는 본 발명 따른 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역(P)에 대한 제조 공정 단계(마스크 공정)별 평면도이며, 도 5a 내지 도 5h는 도 4a 내지 도 4d를 절단선 V-V를 따라 절단한 부분(스위칭 영역)에 대한 제조 공정 단면도이다.
- [0054] 이때, 설명의 편의를 위해 각 화소영역(P) 내의 스위칭 소자인 박막트랜지스터가 형성되는 부분을 스위칭 영역(TrA)이라 정의한다.
- [0055] 우선, 도 4a와 도 5a에 도시한 바와 같이, 투명한 절연 기판(201)상에 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면 증착하여 투명 도전성 물질층(203)을 형성한다.
- [0056] 다음, 상기 투명 도전성 물질층(203) 위로 저저항 특성을 갖는 제 1 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo), 크롬(Cr) 중 하나의 물질을 증착함으로써 제 1 금속층(205)을 형성한다.
- [0057] 이후, 상기 제 1 금속층(205) 위로 포토레지스트를 도포하여 포토레지스트층(281)을 형성한다. 이때, 본 발명에서는 상기 포토레지스트층(281)을 이루는 포토레지스트는 빛을 받은 부분이 현상 시 제거되는 특성을 갖는 포지티브 타입(positive type)을 사용하는 것을 일례로 설명한다. 하지만 빛을 받은 부분이 현상 시 남게 되는 네가티브 타입(negative type)의 포토레지스트로써 상기 포토레지스트층을 형성할 경우도 본 발명에 사용된 회절 노광 또는 하프톤 노광용 노광 마스크 내의 투과영역과 차단영역의 위치를 바꾼 형태의 마스크를 이용하면 동일한 결과를 얻을 수 있다.
- [0058] 다음, 상기 포토레지스트층(281)이 형성된 기판(201)의 상부에 빛의 투과영역(TA)과 차단영역(BA) 그리고, 다수의 슬릿형태로 구성되거나 또는 상기 투과영역(TA) 대비 빛의 투과를 감소시키는 다중의 코팅막을 더욱 구비하여 통과하는 빛량을 조절할 수 있는 형태로 구성된 반투과영역(HTA)을 포함하는 노광 마스크(291)를 위치시키고, 이를 통한 노광을 실시한다.
- [0059] 이 경우, 상기 노광 마스크(291)의 반투과영역(HTA)에 의해 투과되는 빛량이 상기 투과영역(TA)의 빛량 보다는 줄어들게 되어 상기 부분에 대응되는 포토레지스트층(281)의 경우, 빛과 완전히 반응하지 못하게 됨으로써 현상을 하게 되면, 상기 투과영역(네가티브 타입의 경우) 또는 차단영역(포지티브 타입의 경우)에 대응되는 부분 대비 얇은 두께의 포토레지스트 패틴이 형성되게 되며, 이러한 노광 기법을 회절노광 또는 하프톤 노광이라 한다.
- [0060] 본 발명의 경우, 게이트 배선이 형성되어야 할 부분과 상기 화소영역(P) 내에서 게이트 전극이 형성되어야 할 부분에 대응해서는 상기 노광 마스크(291)의 차단영역(BA)이, 또한 상기 화소영역(P) 내에서 화소전극이 형성되어야 할 부분에 대응해서는 반투과영역(HTA)이, 그리고 그 이외의 영역에 대응해서는 투과영역(TA)이 대응되도록 상기 노광 마스크(291)를 위치시킨 후, 노광을 실시한다.
- [0061] 다음, 도 4a와 도 5b에 도시한 바와 같이, 상기 노광된 포토레지스트층(도 5a의 281)을 현상액에 노출시키는 현상 공정을 진행하면 제 1 두께(t1)를 갖는 제 1 포토레지스트 패틴(281a)과 상기 제 1 두께(t1)보다 얇은 제 2 두께(t2)를 갖는 제 2 포토레지스트 패틴(281b)이 형성된다.
- [0062] 이후, 상기 제 1 및 제 2 포토레지스트 패틴(281a, 281b) 외부로 노출된 제 1 금속층(도 5a의 203)과 그 하부의 투명 도전성 물질층(도 5a의 205)을 일괄 또는 연속하여 식각함으로써 상기 기판(201) 상에 제 1 투명 도전성 패틴(203a)과 제 1 금속패틴(205a)의 이중층 구조를 갖는 게이트 전극(208)과 이와 연결되며 제 2 투명 도전성 패틴(203b)과 제 2 금속패틴(205b)의 이중층 구조를 갖는 게이트 배선(210)을 형성하고, 동시에 각 화소영역(P)에 대응해서는 제 3 투명 도전성 패틴(203c)과 제 3 금속패틴(205c)의 이중층 구조의 화소패틴(212)을 형성한다.
- [0063] 다음, 도 4a와 도 5c에 도시한 바와 같이, 애싱(ashing)을 진행함으로써 상기 제 2 포토레지스트 패틴

(도 5b의 281b)을 제거함으로써 상기 화소패턴(도 5b의 212)을 노출시킨다.

[0064] 이후, 상기 노출된 화소패턴(도 5b의 212)에 대해 식각을 진행하여 그 상부층을 이루는 제 3 금속패턴(도 5b의 205c)을 식각하여 제거함으로써 투명한 도전성 물질의 단일층 구조를 갖는 화소패턴(도 5b의 212)을 형성한다. 이때 상기 각 화소영역(P) 내의 투명 도전성 물질로 이루어진 상기 화소패턴(도 5b의 212)은 화소전극(215)을 이루게 된다(제 1 마스크 공정).

[0065] 다음, 도 4b와 도 5d에 도시한 바와 같이, 애싱(ashing) 또는 스트립(strip)을 진행함으로써 상기 게이트 배선(210)과 게이트 전극(208) 상부에 남아있는 제 1 포토레지스트 패턴(도 5d의 281a)을 제거한다.

[0066] 이후, 상기 노출된 게이트 배선(210) 및 게이트 전극(208)과 화소전극(215) 위로 전면에 무기절연물질 예를들면 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiNx)을 증착함으로써 게이트 절연막(220)을 전면에 형성한다. 이후 연속하여 상기 게이트 절연막(220) 위로 제 2 금속물질 예를들면 몰리브덴(Mo) 또는 크롬(Cr)을 증착하여 제 2 금속층(미도시)을 형성하고, 그 상부로 불순물 비정질 실리콘을 연속하여 증착함으로써 불순물 비정질 실리콘층(미도시)을 형성한다.

[0067] 다음, 상기 불순물 비정질 실리콘층(미도시)과 제 2 금속층(미도시)을, 포토레지스트의 도포, 노광 마스크를 이용한 노광 및 현상 그리고 식각(현 단계에서는 드라이 에칭)의 일련의 단위공정을 포함하는 제 2 마스크 공정을 진행함으로써 상기 스위칭 영역(TrA)에 상기 게이트 전극(208) 상부에서 서로 이격하는 소스 및 드레인 전극(225, 227)을 형성하고, 동시에 상기 소스 전극(225)과 연결되며 상기 게이트 배선(210)과 교차하여 상기 화소영역(P)을 정의하는 데이터 배선(미도시)을 형성한다. 이때, 상기 서로 이격하는 소스 및 드레인 전극(225, 227) 상부에는 상기 소스 및 드레인 전극(225, 227)과 동일한 형태로 불순물 비정질 실리콘으로 이루어진 오믹콘택층(230a, 230b)이 형성되며, 상기 데이터 배선(도 4b의 240) 상부에도 상기 불순물 실리콘 패턴(미도시)이 형성된다.

[0068] 또한, 동일한 공정에 의해 상기 데이터 배선(도 4b의 240)과 나란하게 소정간격 이격하여 연장하는 공통배선(도 4b의 243) 또한 형성한다. 이때, 상기 공통배선(도 4b의 243)은 하부의 화소전극(215)과 일부 중첩함으로써 상기 중첩하는 화소전극 일부를 제 1 스토리지 전극(미도시) 그 상부의 게이트 절연막(220)을 유전체층 그리고 그 상부의 상기 공통배선 일부를 제 2 스토리지 전극(미도시)으로 하여 스토리지 커패시터(StgC)를 형성하게 된다.

[0069] 한편, 상기 소스 및 드레인 전극(225, 227)과 그 상부에 형성되는 오믹콘택층(230a, 230b)은 동시에 이방성의 드라이 에칭에 의해 식각되어 형성되는 바, 동일한 패턴 형태로써 형성되는 것이 특징이며, 동일한 이유로서 상기 데이터 배선(도 4b의 240) 상부에 형성된 불순물 비정질 실리콘 패턴(미도시) 또한 그 하부에 위치한 데이터 배선(도 4b의 240)과 동일한 형태를 가지며 형성되게 되며 상기 공통배선(도 4b의 243) 또한 상기 데이터 배선(도 4b의 240)과 동일한 단면 구조를 갖게된다.

[0070] 또한 이 단계에서의 본 발명의 특징적인 부분으로써 상기 드레인 전극(227)은 상기 화소전극(215)과 중첩하지 않도록 형성한다는 것이다. 그 이유에 대해서는 추후 설명한다.

[0071] 다음, 도 4c와 도 5e에 도시한 바와 같이, 상기 오믹콘택층(230a, 230b)과 불순물 비정질 실리콘 패턴(미도시) 위로 전면에 순수 비정질 실리콘을 증착하고 제 3 마스크 공정을 진행하여 패터닝함으로써 상기 각 스위칭 영역(TrA)의 상기 소스 및 드레인 전극(225, 227)의 이격 영역을 포함하여 상기 소스 및 드레인 전극(225, 227)상부의 서로 이격하는 오믹콘택층(230a, 230b)과 접촉하는 아일랜드 형태로 순수 비정질 실리콘의 액티브층(250)을 형성한다. 이때, 상기 스위칭 영역(TrA)에 있어 하부로부터 적층된 게이트 전극(208), 게이트 절연막(220), 소스 및 드레인 전극(225, 227), 오믹콘택층(230a, 230b) 및 액티브층(250)은 스위칭 소자인 박막트랜지스터(Tr)를 이루게 된다.

[0072] 다음, 도 4d와 도 5f에 도시한 바와 같이, 상기 액티브층(250) 위로 전면에 유기절연물질 예를들어 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포하거나 또는 무기절연물질 예를들면 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiNx)을 두께가 증착함으로써 보호층(255)을 형성한다. 이 경우, 상기 유기절연물질을 도포하여 상기 보호층을 형성하는 경우 통상 1 $\mu$ m 내지 2 $\mu$ m 정도의 두께를 가지며 형성되는 바, 상기 스위칭 영역(TrA)의 타영역 대비 돌출 형성된 박막트랜지스터(Tr)의 높이보다 더 큰 두께를 가지므로 단차에 영향을 받지 않고 그 표면이 평탄하게 형성되게 되므로 본 발명의 특징이 있는 추후 공정진행에 문제되지 않는다.

[0073] 한편, 무기절연물질을 증착하여 상기 보호층(255)을 형성하는 경우(본 발명의 실시예에서는 무기절연물

질을 증착하여 보호층을 형성한 것을 일례로 함)는 종래의 2000Å 내지 3000Å의 두께보다는 더 두껍게 바람직하게는 5000Å 이상의 두께를 갖도록 형성해야 한다. 그 이유에 대해서는 추후 공정에서 설명한다.

[0074] 다음, 상기 비교적 종래대비 두꺼운 두께 즉 5000Å 이상의 두께를 가지며 형성된 보호층(255)을 제 4 마스크 공정을 진행하여 패터닝함으로써 상기 드레인 전극(227) 상부의 오믹콘택층(230b) 및 상기 드레인 전극(227)의 일끝단 측면과 이와 가장 근접하여 형성된 화소전극(215) 일끝단을 동시에 노출시키는 콘택홀(257)을 형성한다. 이 경우, 상기 콘택홀(257) 내에서 상기 드레인 전극(227)과 대응되지 않는 부분에는 게이트 절연막(220)이 존재하므로 상기 게이트 절연막(220)까지도 함께 제거함으로써 상기 콘택홀(257) 내부에서는 오믹콘택층(230b)과 드레인 전극(227) 측면과 기판(201) 면과 화소전극(215)이 노출되도록 상기 콘택홀(257)을 형성한다.

[0075] 다음, 도 4d와 도 5g에 도시한 바와 같이, 액상의 특성을 가져 도포가 가능한 금속물질 예를 들어 나노 파티클(nano particle)을 베이스로 한 은(Ag) 메탈을 상기 콘택홀(257)을 갖는 보호층(255) 전면에 도포하고 이를 소성시킴으로써 메탈층(260)을 형성한다. 이때, 상기 도포에 의해 상기 메탈층(260)을 형성함으로써 상기 콘택홀(257)을 채우며, 상기 콘택홀(257) 부분에 대해서는 타영역 즉 보호층 상부에 형성된 제 3 두께(t3) 대비 두꺼운 제 4 두께(t4)를 가지며 상기 메탈층(260)이 형성되게 된다.

[0076] 다음, 도 4d와 도 5h에 도시한 바와 같이, 상기 메탈층(도 5g의 260)에 대해 플라즈마를 이용한 드라이 에칭을 실시한다. 상기 드라이 에칭의 경우 전면적으로 동일한 수준으로 진행되는 바, 상기 메탈층(도 5g의 260)을 그 표면으로부터 시간이 경과함에 따라 동일한 두께로 식각되므로 그 진행시간을 적절히 조절함으로써 상기 보호층(255) 상에 형성된 메탈층(도 5g의 260)은 완전히 제거시키고 상기 콘택홀(257) 내부에 대해서는 여전히 메탈층(도 5g의 260)이 남아있는 시점에서 상기 드라이 에칭을 끝냄으로써 상기 콘택홀(257) 내부에만 상기 메탈층(도 5g의 260) 더욱 정확하게 메탈 패턴(263)을 형성할 수 있다.

[0077] 이 경우, 상기 메탈 패턴(263)은 상기 오믹콘택층(230b) 및 드레인 전극(227) 측면과 상기 화소전극(210)을 전기적으로 연결시키게 된다.

[0078] 본 발명의 경우, 상기 소스 및 드레인 전극(225, 227)을 형성하는 단계에서 상기 드레인 전극(227)과 화소전극(215)이 중첩하지 않도록 형성한 이유는 상기 콘택홀(257) 내부에서 기판(201)면이 노출되도록 함으로써 상기 콘택홀(257)의 깊이를 크게 하기 위함이며, 상기 보호층(255)을 형성하는 단계에서 종래대비 상기 보호층(250)의 두께를 두껍게 형성하는 이유 또한 상기 콘택홀(257)의 깊이를 깊게 형성하기 위함이다.

[0079] 그리고, 상기 콘택홀(257)의 깊이를 깊게 형성하는 이유는 본 발명의 특성상 액상의 메탈을 도포하여 메탈층(도 5g의 260)을 형성하고 이를 드라이 에칭에 의해 제거하게 되는데 상기 콘택홀(257) 깊이가 깊게 형성되지 않으면, 상기 콘택홀(257) 내부에 형성된 메탈층(도 5g의 260) 과 보호층(255) 상부에 형성된 은(Ag) 메탈층(도 5g의 260)의 두께(도 5g의 t3, t4)가 별 차이가 나지 않아 드라이 에칭의 식각 오차에 의해 상기 콘택홀(257) 내부에서도 상기 메탈층(도 5g의 260)이 모두 식각될 수 있기 때문이다.

[0080] 따라서 이러한 드라이 에칭에 의한 식각 두께 차이의 오차범위 이상의 두께차( $t_4 - t_3 >$  드라이 에칭의 오차에 따른 두께 변화)를 갖는 메탈층(도 5g의 260)을 형성하기 위해 상기 콘택홀(257)을 되도록 깊게 형성하는 것이 바람직하기 때문이다.

[0081]

### 발명의 효과

[0082] 이와 같이, 본 발명에 따른 4 마스크의 액정표시장치용 어레이 기판 제조방법에 의해 5마스크 공정에 의해 완성하는 제조 방법대비 사용되는 마스크 수를 줄임으로써, 공정 효율을 높일 있고, 공정 단순화로 인하여 액정표시장치용 어레이 기판의 제조 비용을 절감하는 효과가 있다.

[0083] 또한, 액티브층과, 소스 및 드레인 전극을 포함하는 데이터 배선을 서로 다른 마스크 공정을 통해 이원화하여 형성함으로써 상기 소스 및 드레인 전극 외부로 노출된 액티브층에 기인한 웨이비 노이즈(wavy noise) 등의 화질불량을 방지할 수 있는 효과가 있다.

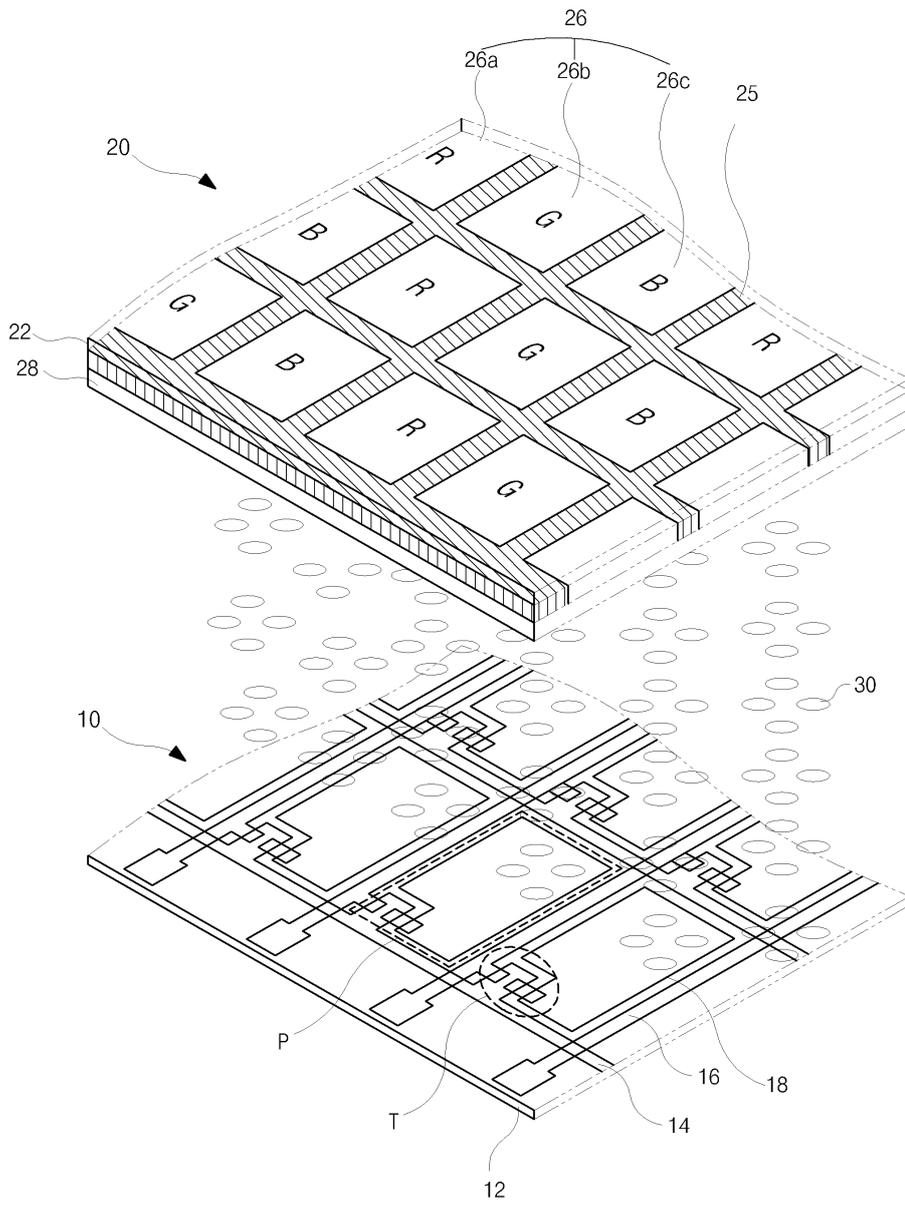
### 도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치의 분해사시도.

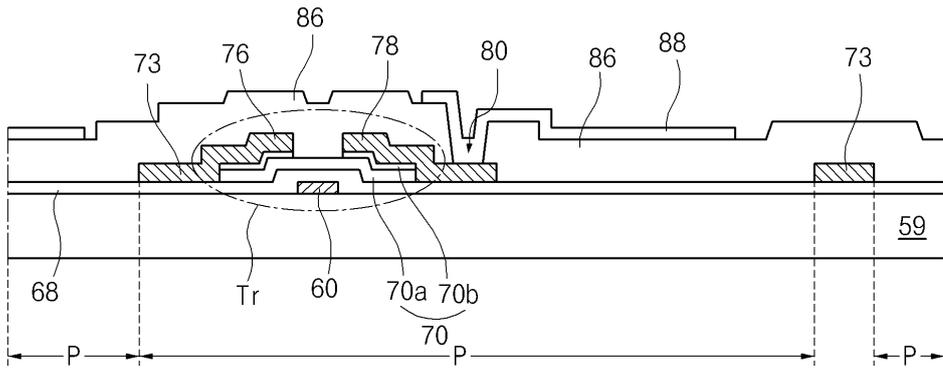


도면

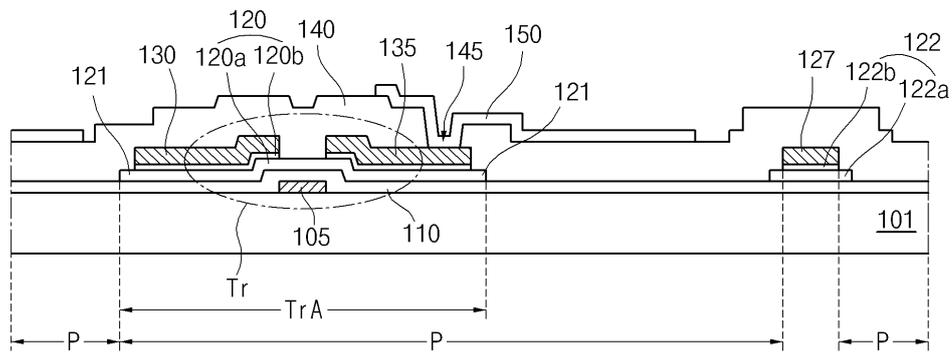
도면1



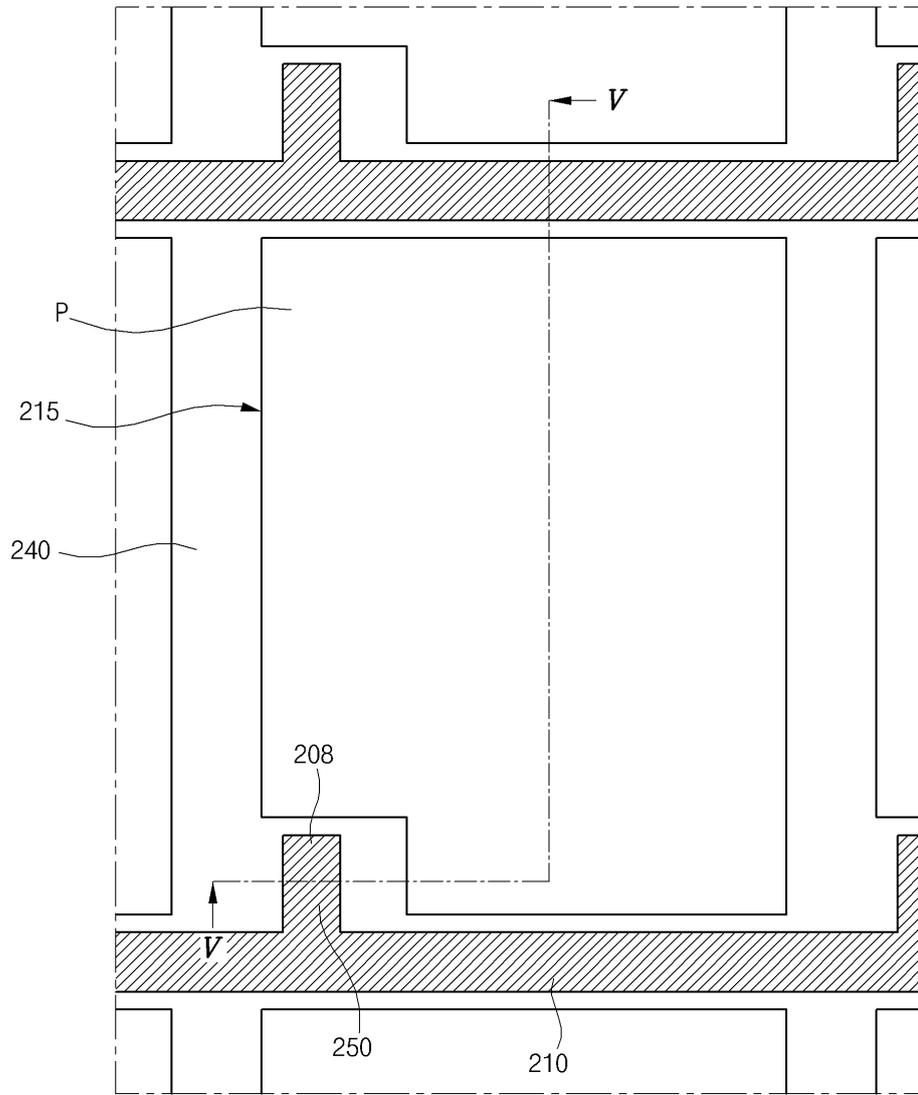
도면2



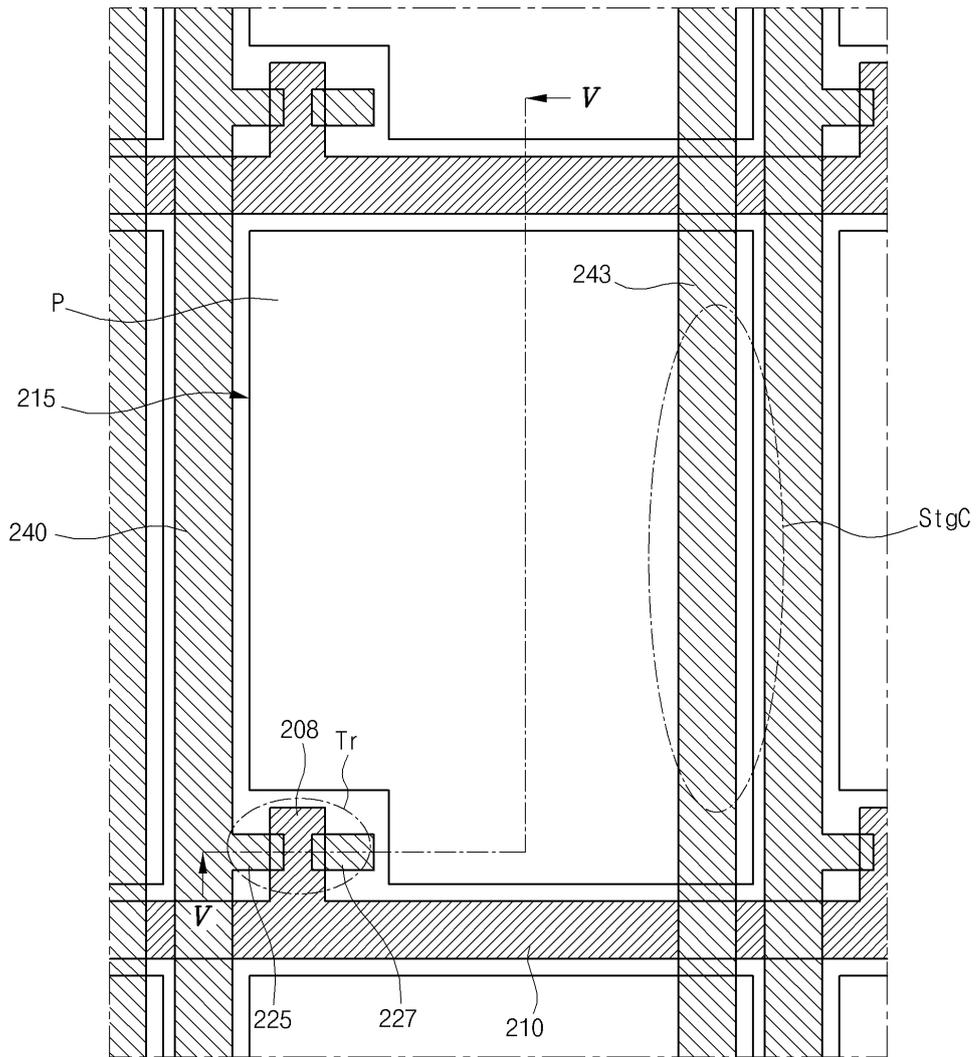
도면3



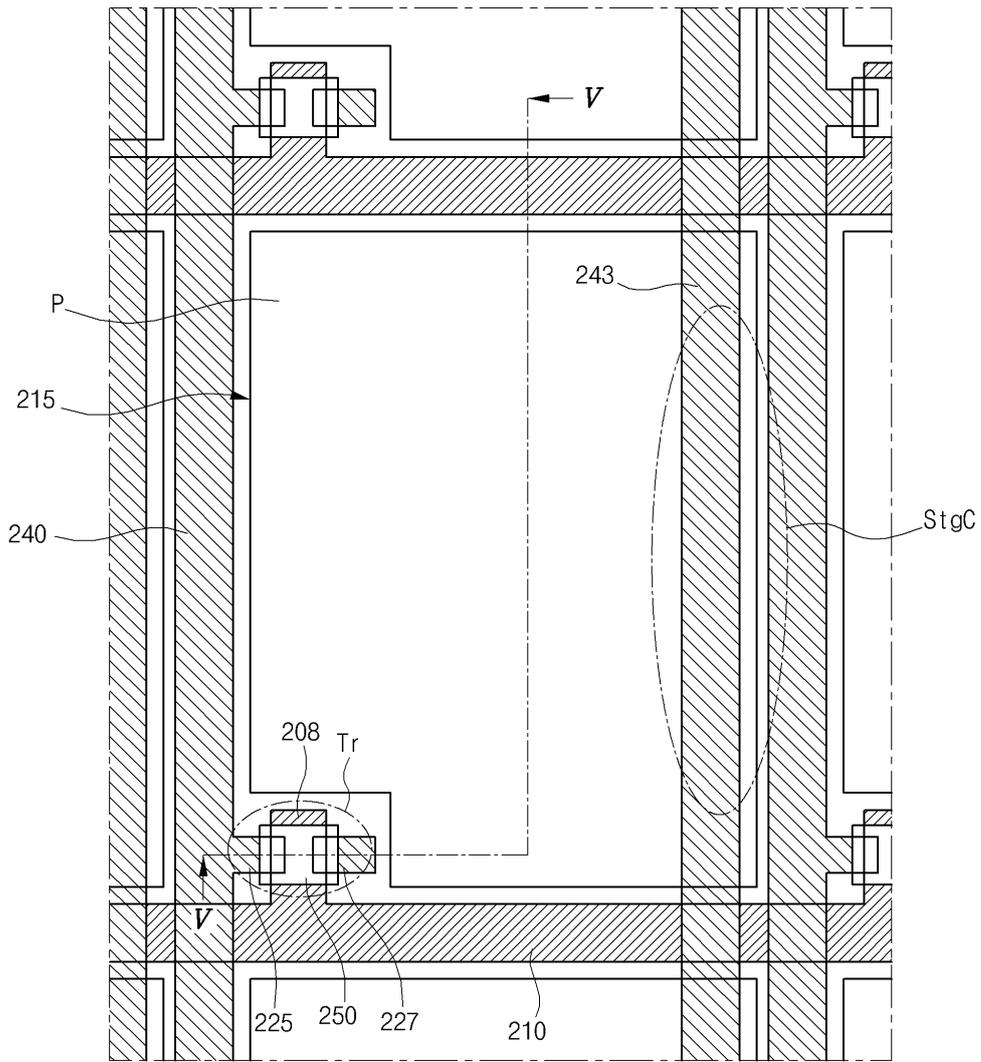
도면4a



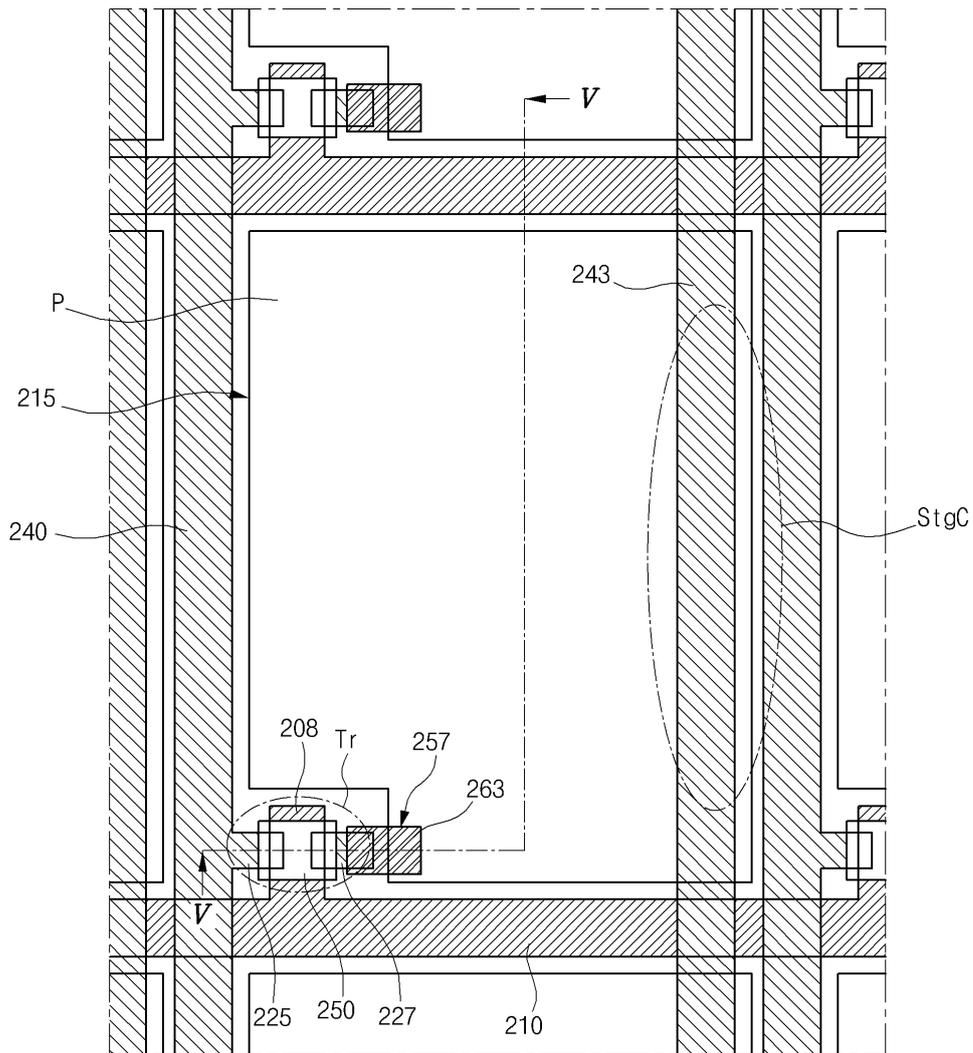
도면4b



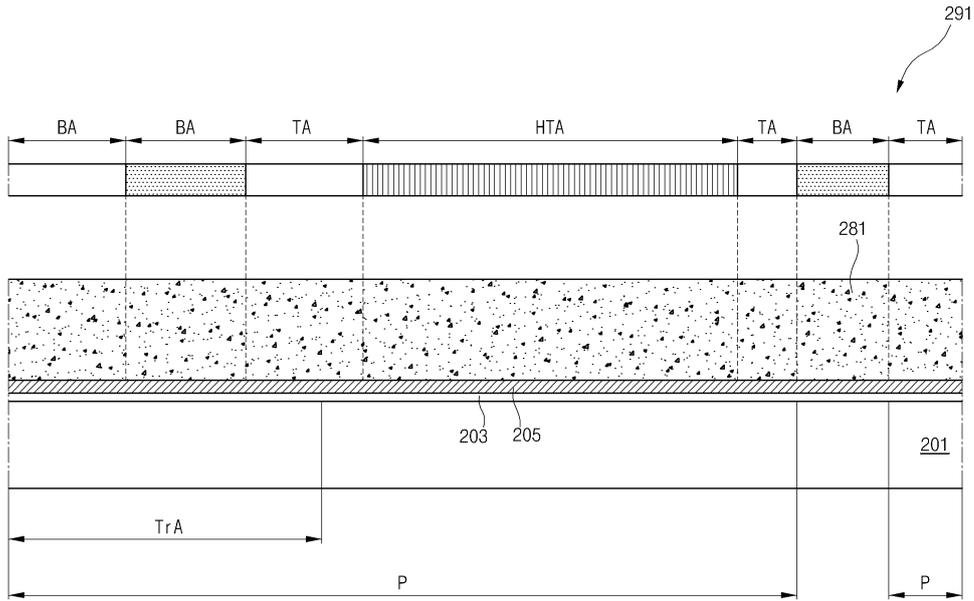
도면4c



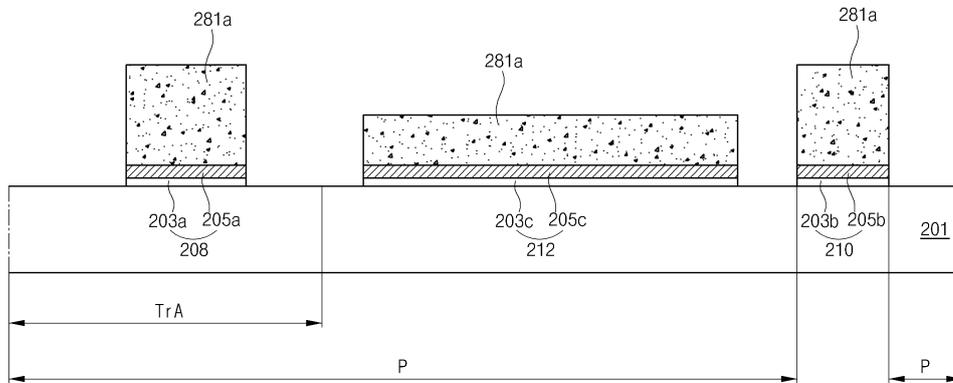
도면4d



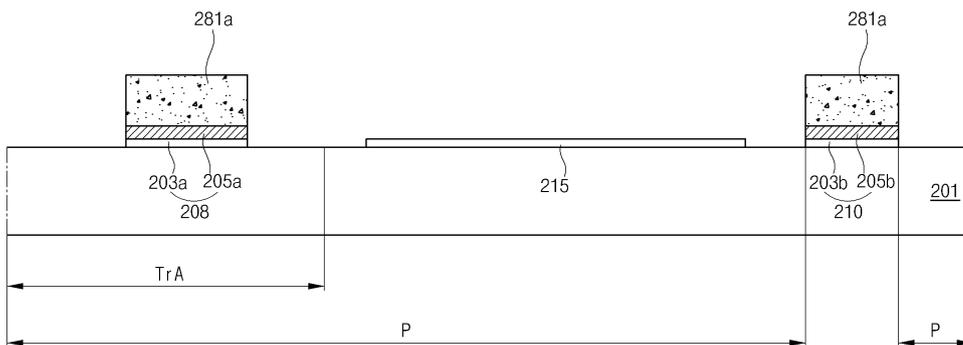
도면5a



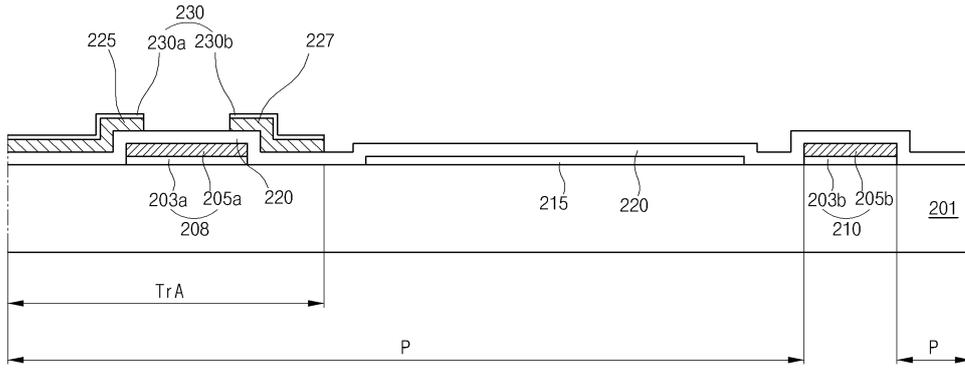
도면5b



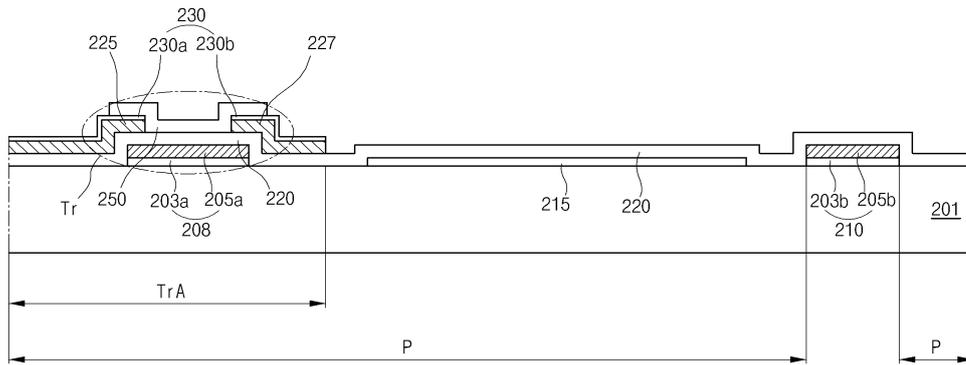
도면5c



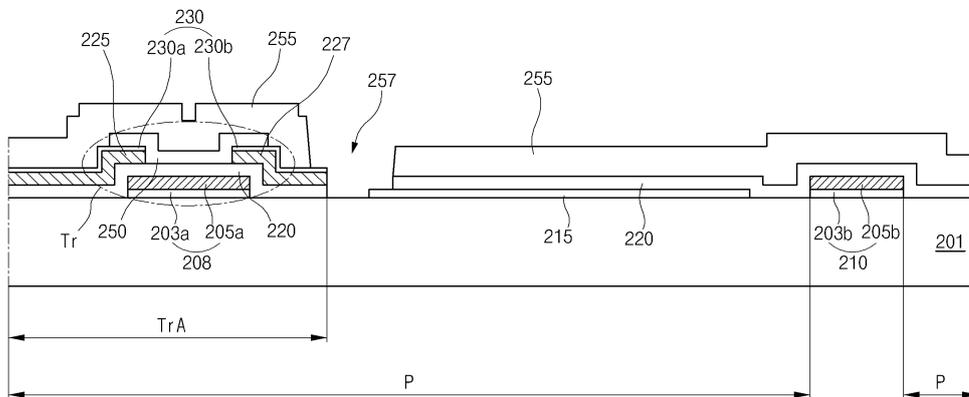
도면5d



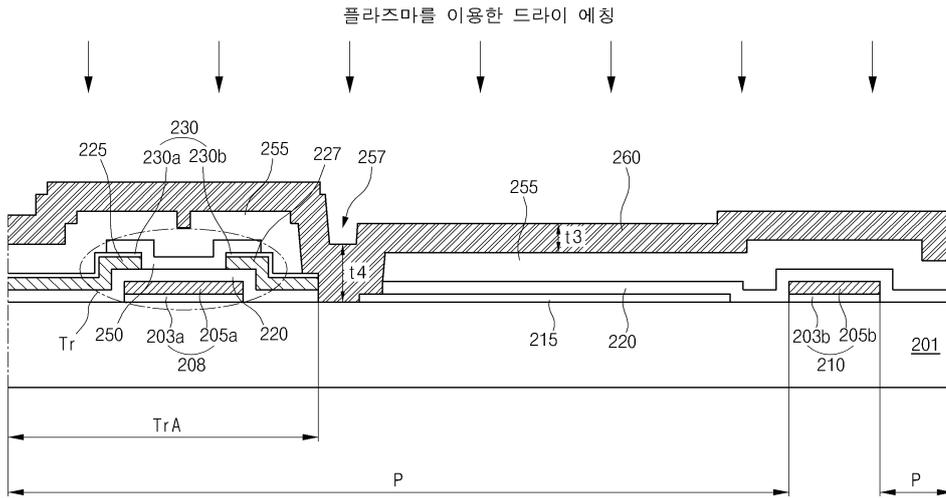
도면5e



도면5f



도면5g



도면5h

