

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5886492号
(P5886492)

(45) 発行日 平成28年3月16日(2016.3.16)

(24) 登録日 平成28年2月19日(2016.2.19)

(51) Int.Cl.

H03K 19/177 (2006.01)

F 1

H03K 19/177

請求項の数 4 (全 59 頁)

(21) 出願番号 特願2012-19578 (P2012-19578)
 (22) 出願日 平成24年2月1日 (2012.2.1)
 (65) 公開番号 特開2012-186797 (P2012-186797A)
 (43) 公開日 平成24年9月27日 (2012.9.27)
 審査請求日 平成26年11月17日 (2014.11.17)
 (31) 優先権主張番号 特願2011-31790 (P2011-31790)
 (32) 優先日 平成23年2月17日 (2011.2.17)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 白井 孝治

最終頁に続く

(54) 【発明の名称】プログラマブルLSI

(57) 【特許請求の範囲】

【請求項1】

複数のロジックエレメントと、メモリエレメントと、を有し、
 前記メモリエレメントは、コンフィギュレーションデータを記憶する機能を有し、
 前記複数のロジックエレメントそれぞれは、コンフィギュレーションメモリを有し、
 前記メモリエレメントに記憶された前記コンフィギュレーションデータの少なくとも一部は、前記コンフィギュレーションメモリに入力されて記憶され、

前記複数のロジックエレメントそれぞれは、前記コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、演算処理を行い、且つ、他のロジックエレメントとの電気的接続を制御し、

前記メモリエレメントは、記憶素子を有し、
 前記記憶素子は、第1のトランジスタと、第2のトランジスタと、容量素子とを有し、
 前記第1のトランジスタのチャネル形成領域は、酸化物半導体層に設けられ、
 前記第2のトランジスタのチャネル形成領域は、シリコンに設けられ、
 前記第1のトランジスタのソース及びドレインの一方は、前記第2のトランジスタのゲートと電気的に接続され、

前記容量素子の一対の電極のうちの一方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第1のトランジスタがオフになることによって、前記容量素子の一対の電極のうちの一方は、フローティングとなり、

10

20

前記第1のトランジスタのチャネル形成領域は、非単結晶であって、c軸配向し、水素濃度が $1 \times 10^{-7} / \text{cm}^3$ 以下であり、且つ、ナトリウム濃度が $5 \times 10^{-6} / \text{cm}^3$ 以下であることを特徴とするプログラマブルLSI。

【請求項2】

複数のロジックエレメントと、メモリエレメントと、を有し、

前記メモリエレメントは、コンフィギュレーションデータを記憶する機能を有し、

前記複数のロジックエレメントそれぞれは、コンフィギュレーションメモリを有し、

前記メモリエレメントに記憶された前記コンフィギュレーションデータの少なくとも一部は、前記コンフィギュレーションメモリに入力されて記憶され、

前記複数のロジックエレメントそれぞれは、前記コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、演算処理を行い、且つ、他のロジックエレメントとの電気的接続を制御し、

前記メモリエレメントは、記憶素子を有し、

前記記憶素子は、第1のトランジスタと、第2のトランジスタと、容量素子とを有し、

前記第1のトランジスタのチャネル形成領域は、酸化物半導体層に設けられ、

前記第2のトランジスタのチャネル形成領域は、シリコンに設けられ、

前記第1のトランジスタのソース及びドレインの一方は、前記第2のトランジスタのゲートと電気的に接続され、

前記容量素子の一対の電極のうちの一方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第1のトランジスタがオフになることによって、前記容量素子の一対の電極のうちの一方は、フローティングとなり、

前記複数のロジックエレメントが有するトランジスタの少なくとも一部と重なるように、前記第1のトランジスタが設けられることを特徴とするプログラマブルLSI。

【請求項3】

複数のロジックエレメントと、メモリエレメントと、を有し、

前記メモリエレメントは、コンフィギュレーションデータを記憶する機能を有し、

前記複数のロジックエレメントそれぞれは、コンフィギュレーションメモリを有し、

前記メモリエレメントに記憶された前記コンフィギュレーションデータの少なくとも一部は、前記コンフィギュレーションメモリに入力されて記憶され、

前記複数のロジックエレメントそれぞれは、前記コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、演算処理を行い、且つ、他のロジックエレメントとの電気的接続を制御し、

前記メモリエレメントは、記憶素子を有し、

前記記憶素子は、第1のトランジスタと、容量素子とを有し、

前記第1のトランジスタのチャネル形成領域は、酸化物半導体層に設けられ、

前記容量素子の一対の電極のうちの一方は、前記第1のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第1のトランジスタがオフになることによって、前記容量素子の一対の電極のうちの一方は、フローティングとなり、

前記複数のロジックエレメントが有するトランジスタの少なくとも一部と重なるように、前記第1のトランジスタが設けられることを特徴とするプログラマブルLSI。

【請求項4】

請求項2又は請求項3において、

前記第1のトランジスタのチャネル形成領域は、非単結晶であって、c軸配向し、水素濃度が $1 \times 10^{-7} / \text{cm}^3$ 以下であり、且つ、ナトリウム濃度が $5 \times 10^{-6} / \text{cm}^3$ 以下であることを特徴とするプログラマブルLSI。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

半導体装置に関する。特に、プログラマブルLSIやプログラマブルLSIを用いた半導体装置に関する。また、半導体装置を用いた電子機器に関する。

【背景技術】

【0002】

プログラマブルLSIは、従来のASIC(Application Specific Integrated Circuit)やゲートアレイなどに比べて、開発期間の短縮や設計仕様の変更に対する柔軟性などの利点を有しており、半導体装置への利用が進んでいる。

【0003】

プログラマブルLSIは、例えば、複数のロジックエレメントと、ロジックエレメント間の配線と、で構成される。各ロジックエレメントの機能を変更することで、プログラマブルLSIの機能は変更することができる。ロジックエレメントは、例えば、ルックアップテーブルなどを用いて構成されている。ルックアップテーブルは、入力信号に対して、設定データに応じた演算処理を行い出力信号とする。ここで、設定データは、各ロジックエレメントに対応して設けられた記憶素子に記憶される。つまり、当該記憶素子に記憶されたデータに応じて、ルックアップテーブルは異なる演算処理を行うことができる。そのため、ロジックエレメントの機能は、当該記憶素子に特定の設定データを記憶させることで特定することができる。

【0004】

当該ルックアップテーブルの設定データなどをコンフィギュレーションデータと呼ぶ。また、各ロジックエレメントに対応して設けられ、コンフィギュレーションデータを記憶する記憶素子をコンフィギュレーションメモリと呼ぶ。更に、コンフィギュレーションデータをコンフィギュレーションメモリに記憶させることをコンフィギュレーションと呼ぶ。特に、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータを書き換える(更新)することを再コンフィギュレーションと呼ぶ。プログラマブルLSIをユーザーの目的に応じた回路構成に変更することは、所望のコンフィギュレーションデータを作成(プログラム)し、コンフィギュレーションを行うことで実現できる。

【0005】

プログラマブルLSIは、一般には、プログラマブルLSIを有する半導体装置の動作を停止した状態でコンフィギュレーションを行う(静的コンフィギュレーション)。一方、プログラマブルLSIの特徴をより活かすため、半導体装置の動作中にコンフィギュレーションを行う(動的コンフィギュレーション)ことが注目されている。

【0006】

動的コンフィギュレーションの方法として、特許文献1では、コンフィギュレーションメモリとは別に、DRAM(Dynamic Random Access Memory)を設け、コンフィギュレーションメモリに書き込むためのコンフィギュレーションデータを当該DRAMに格納する。また、コンフィギュレーションメモリはSRAM(Static Random Access Memory)で構成している。コンフィギュレーションデータをDRAMから読み出し、コンフィギュレーションメモリであるSRAMに書き込むことで、短時間でコンフィギュレーションを行うプログラマブルLSIを提案している。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平10-285014号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1のプログラマブルLSIの構成では、コンフィギュレーションデータをDRAMに格納するため、DRAMの定期的なリフレッシュ動作が必要になり、プログラマブ

10

20

30

40

50

ル L S I の消費電力の増大を招く。また、D R A M は揮発性メモリのため、プログラマブル L S I への電源電圧の供給を開始するたびに、D R A M へのデータ格納が必要になる。したがって、プログラマブル L S I への電源電圧の供給を停止した後もプログラマブル L S I においてコンフィギュレーションデータを保持するためには、D R A M の他に更に不揮発性メモリが必要になる。そして、プログラマブル L S I への電源電圧の供給開始のたびに、当該不揮発性メモリから D R A M への大規模なデータ転送などの手順が必要になり、コンフィギュレーションに長い時間がかかる。そのため、プログラマブル L S I が所定の機能を発揮可能な状態となる（以下、起動するともいう）までの時間が長い。

【 0 0 0 9 】

そこで、低消費電力で、且つ、動的コンフィギュレーションにも対応できる高速なコンフィギュレーションを可能とし、起動するための時間が短いプログラマブル L S I を提供することを課題の一つとする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明のプログラマブル L S I の一態様は、複数のロジックエレメントと、複数のロジックエレメントに入力するためのコンフィギュレーションデータを記憶するメモリエレメントと、を有し、複数のロジックエレメントそれぞれは、コンフィギュレーションメモリを有し、メモリエレメントに記憶されたコンフィギュレーションデータの少なくとも一部は、コンフィギュレーションメモリに入力されて記憶される。複数のロジックエレメントそれぞれは、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、異なる演算処理を行い、且つ、ロジックエレメント間の電気的接続を変更する。

【 0 0 1 1 】

本発明のプログラマブル L S I の一態様は、複数のロジックエレメントと、複数のロジックエレメントに入力するためのコンフィギュレーションデータを記憶するメモリエレメントと、を有し、複数のロジックエレメントはそれぞれ、コンフィギュレーションメモリと、ルックアップテーブルと、選択回路と、を有する。メモリエレメントに記憶されたコンフィギュレーションデータの少なくとも一部は、コンフィギュレーションメモリに入力されて記憶される。複数のロジックエレメントそれぞれにおいて、ルックアップテーブルは、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、異なる演算処理を行う。また、選択回路は、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、ロジックエレメント間の電気的接続を変更する。

【 0 0 1 2 】

本発明のプログラマブル L S I の一態様は、複数のロジックエレメントと、複数のロジックエレメントに入力するためのコンフィギュレーションデータを記憶するメモリエレメントと、を有し、複数のロジックエレメントはそれぞれ、コンフィギュレーションメモリと、ルックアップテーブルと、選択回路と、レジスタとを有する。メモリエレメントに記憶されたコンフィギュレーションデータの少なくとも一部は、コンフィギュレーションメモリに入力されて記憶される。複数のロジックエレメントそれぞれにおいて、ルックアップテーブルは、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、異なる演算処理を行う。また、選択回路は、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータに応じて、ロジックエレメント間の電気的接続を変更する。レジスタは、ルックアップテーブルの出力信号とクロック信号とが入力され、当該出力信号に対応する信号をクロック信号に同期して出力する。

【 0 0 1 3 】

（メモリエレメントの具体例）

メモリエレメントは不揮発性の記憶素子を用いて構成される。すなわち、電源電圧の供給が停止した後も一定期間に渡って記憶されたデータ（コンフィギュレーションデータ）を保持可能な記憶素子を用いて、メモリエレメントを構成する。不揮発性の記憶素子とし

10

20

30

40

50

ては、電荷蓄積型の記憶素子、または抵抗変化（相変化）型の記憶素子などが適用可能である。

【0014】

また、不揮発性の記憶素子として、スイッチング素子と、当該スイッチング素子がオフ状態となることによってフローティングとなるノードと、を有し、当該ノードにデータ（コンフィギュレーションデータ）に対応する信号電位を保持する構成の記憶素子を用いることができる。このとき、スイッチング素子としてエンハンスマント型（ノーマリオフ型）であってオフ電流が極めて小さいトランジスタを用い、記憶素子に電源電圧が供給されない間、当該トランジスタのゲートに接地電位が入力される構成とすることによって、記憶素子に電源電圧が供給されない間、当該トランジスタをオフ状態とすることができます。こうして、当該ノードの電位（信号電位）を長期間に渡って保持することが可能となり、メモリエレメントを実質的に不揮発性メモリとして機能させることができる。10

【0015】

オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体でなる層や基板中にチャネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。

【0016】

例えば、メモリエレメントは、チャネルが酸化物半導体層に形成されるトランジスタと、当該トランジスタがオフ状態となることによってフローティングとなるノードと、を有する記憶素子を用いて構成することができる。当該ノードにデータ（コンフィギュレーションデータ）に対応する信号電位が保持される。20

【0017】

以下に、チャネルが酸化物半導体層に形成されるトランジスタと、当該トランジスタがオフ状態となることによってフローティングとなるノードと、を有する記憶素子を用いたメモリエレメントの具体的な構成の一態様を示す。

【0018】

（メモリエレメントの有する記憶素子の具体例）

メモリエレメントは、以下の（記憶素子の構成1-1）、（記憶素子の構成1-2）、（記憶素子の構成2-1）、（記憶素子の構成2-2）または（記憶素子の構成3）の記憶素子を複数有する構成とすることができます。30

【0019】

（記憶素子の構成1-1）

第1のトランジスタと、第2のトランジスタと、容量素子とを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、第1のトランジスタのゲートは第1の配線と電気的に接続され、第1のトランジスタのソース及びドレインの一方は第2の配線と電気的に接続され、第1のトランジスタのソース及びドレインの他方は、第2のトランジスタのゲートと電気的に接続され、第2のトランジスタのソース及びドレインの一方は、第3の配線と電気的に接続され、第2のトランジスタのソース及びドレインの他方は、第4の配線と電気的に接続され、容量素子の一対の電極のうちの一方は、第2のトランジスタのゲートと電気的に接続され、容量素子の一対の電極のうちの他方は、第5の配線と電気的に接続される。40

【0020】

上記（記憶素子の構成1-1）を別の表現で表すと以下のとおりになる。

【0021】

第1のトランジスタと、第2のトランジスタと、容量素子とを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってオン状態を選択された第1のトランジスタを介して、データ（コンフィギュレーションデータ）に対応する信号電位（第2の配線に入力される信号電位）を第2のトランジスタのゲート及び容量素子の一対の電極のうちの一方に入力する50

。ゲートに入力される制御信号（第1の配線に入力される制御信号）によって第1のトランジスタをオフ状態とすることによって、第2のトランジスタのゲート及び容量素子の一対の電極のうちの一方に当該信号電位を保持する。こうして、データの書き込みを行う。また、第2のトランジスタのソースの電位（第3の配線の電位）と、容量素子の一対の電極のうちの他方の電位（第5の配線の電位）とを、当該信号電位に応じて第2のトランジスタのソースとドレイン間の状態が異なるような電位としてデータの読み出しを行う。ここで、トランジスタのソースとドレイン間の状態とは、非導通状態であるか導通状態であるかを示すものとする。第2のトランジスタのソースとドレイン間の状態を検出することによって、記憶素子に保持されたデータを読み出す。

【0022】

10

なお、第5の配線の電位を制御することによって、記憶素子に保持されたデータに関わらず、第2のトランジスタをオン状態、つまり、第2のトランジスタのソースとドレイン間を導通状態とすることもできる。また、第5の配線の電位を制御することによって、記憶素子に保持されたデータに関わらず、第2のトランジスタをオフ状態、つまり、第2のトランジスタのソースとドレイン間を非導通状態とすることもできる。

【0023】

上記（記憶素子の構成1-1）において、第1の配線を書き込みワード線、第5の配線を読み出しワード線、第2の配線をデータ線、第4の配線をビット線とも呼ぶ。

【0024】

20

ここで、チャネルが酸化物半導体層に形成されるトランジスタがオフ状態となることによってフローティングとなるノードは、第2のトランジスタのゲート、または容量素子の一対の電極のうちの一方とすることができる。

【0025】

なお、上記（記憶素子の構成1-1）において、第2の配線と第4の配線は共有することもできる。第2の配線と第4の配線を共有した構成が、以下の（記憶素子の構成1-2）である。

【0026】

（記憶素子の構成1-2）

第1のトランジスタと、第2のトランジスタと、容量素子とを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、第1のトランジスタのゲートは第1の配線と電気的に接続され、第1のトランジスタのソース及びドレインの一方は第2の配線と電気的に接続され、第1のトランジスタのソース及びドレインの他方は、第2のトランジスタのゲートと電気的に接続され、第2のトランジスタのソース及びドレインの一方は、第3の配線と電気的に接続され、第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、容量素子の一対の電極のうちの一方は、第2のトランジスタのゲートと電気的に接続され、容量素子の一対の電極のうちの他方は、第4の配線と電気的に接続される。

30

【0027】

上記（記憶素子の構成1-2）を別の表現で表すと以下のとおりになる。

【0028】

40

第1のトランジスタと、第2のトランジスタと、容量素子とを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってオン状態を選択された第1のトランジスタを介して、データ（コンフィギュレーションデータ）に対応する信号電位（第2の配線に入力される信号電位）を第2のトランジスタのゲート及び容量素子の一対の電極のうちの一方に入力する。ゲートに入力される制御信号（第1の配線に入力される制御信号）によって第1のトランジスタをオフ状態とすることによって、第2のトランジスタのゲート及び容量素子の一対の電極のうちの一方に当該信号電位を保持する。こうして、データの書き込みを行う。また、第2のトランジスタのソースの電位（第3の配線の電位）と、容量素子の一対の電極のうちの他方の電位（第4の配線の電位）とを、当該信号電位に応じて第2のトランジ

50

スタのソースとドレイン間の状態が異なるような電位としてデータの読み出しを行う。ここで、トランジスタのソースとドレイン間の状態とは、非導通状態であるか導通状態であるかを示すものとする。第2のトランジスタのソースとドレイン間の状態を検出することによって、記憶素子に保持されたデータを読み出す。

【0029】

なお、第4の配線の電位を制御することによって、記憶素子に保持されたデータに関わらず、第2のトランジスタをオン状態、つまり、第2のトランジスタのソースとドレイン間を導通状態とすることもできる。また、第4の配線の電位を制御することによって、記憶素子に保持されたデータに関わらず、第2のトランジスタをオフ状態、つまり、第2のトランジスタのソースとドレイン間を非導通状態とすることもできる。

10

【0030】

上記（記憶素子の構成1-2）において、第1の配線を書き込みワード線、第4の配線を読み出しワード線、第2の配線をビット線とも呼ぶ。

【0031】

ここで、チャネルが酸化物半導体層に形成されるトランジスタがオフ状態となることによってフローティングとなるノードは、第2のトランジスタのゲート、または容量素子の一対の電極のうちの一方とすることができる。

【0032】

（記憶素子の構成2-1）

第1のトランジスタと、第2のトランジスタと、第3のトランジスタとを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、第1のトランジスタのゲートは第1の配線と電気的に接続され、第1のトランジスタのソース及びドレインの一方は第2の配線と電気的に接続され、第1のトランジスタのソース及びドレインの他方は、第2のトランジスタのゲートと電気的に接続され、第2のトランジスタのソース及びドレインの一方は、第3の配線と電気的に接続され、第2のトランジスタのソース及びドレインの他方は、第3のトランジスタのソースとドレイン間を介して第4の配線と電気的に接続され、第3のトランジスタのゲートは第5の配線と電気的に接続される。

20

【0033】

上記（記憶素子の構成2-1）を別の表現で表すと以下のとおりになる。

【0034】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタとを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってオン状態を選択された第1のトランジスタを介して、データ（コンフィギュレーションデータ）に対応する信号電位（第2の配線に入力される信号電位）を第2のトランジスタのゲートに入力する。ゲートに入力される制御信号（第1の配線に入力される制御信号）によって第1のトランジスタをオフ状態とすることによって、第2のトランジスタのゲートに当該信号電位を保持する。こうして、データの書き込みを行う。また、第2のトランジスタのソースの電位（第3の配線の電位）を、当該信号電位に応じて第2のトランジスタのソースとドレイン間の状態が異なるような電位とし、更にゲートに入力される制御信号（第5の配線に入力される制御信号）によって第3のトランジスタをオン状態として、データの読み出しを行う。ここで、トランジスタのソースとドレイン間の状態とは、非導通状態であるか導通状態であるかを示すものとする。第2のトランジスタのソースとドレイン間の状態を検出することによって、記憶素子に保持されたデータを読み出す。

30

【0035】

なお、第3の配線は、一定の電位（例えば、接地電位等の低電源電位）が入力される構成とすることができる。

【0036】

上記（記憶素子の構成2-1）において、第1の配線を書き込みワード線、第5の配線を読み出しワード線、第2の配線をデータ線、第4の配線をビット線とも呼ぶ。

40

50

【0037】

ここで、チャネルが酸化物半導体層に形成されるトランジスタがオフ状態となることによってフローティングとなるノードは、第2のトランジスタのゲートとすることができます。

【0038】

なお、上記（記憶素子の構成2-1）において、第2の配線と第4の配線は共有することもできる。第2の配線と第4の配線を共有した構成が、以下の（記憶素子の構成2-2）である。

【0039】

（記憶素子の構成2-2）

10

第1のトランジスタと、第2のトランジスタと、第3のトランジスタとを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、第1のトランジスタのゲートは第1の配線と電気的に接続され、第1のトランジスタのソース及びドレインの一方は第2の配線と電気的に接続され、第1のトランジスタのソース及びドレインの他方は、第2のトランジスタのゲートと電気的に接続され、第2のトランジスタのソース及びドレインの一方は、第3の配線と電気的に接続され、第2のトランジスタのソース及びドレインの他方は、第3のトランジスタのソースとドレイン間を介して第2の配線と電気的に接続され、第3のトランジスタのゲートは第4の配線と電気的に接続される。

【0040】

上記（記憶素子の構成2-2）を別の表現で表すと以下のとおりになる。

20

【0041】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタとを有し、第1のトランジスタはチャネルが酸化物半導体層に形成され、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってオン状態を選択された第1のトランジスタを介して、データ（コンフィギュレーションデータ）に対応する信号電位（第2の配線に入力される信号電位）を第2のトランジスタのゲートに入力する。ゲートに入力される制御信号（第1の配線に入力される制御信号）によって第1のトランジスタをオフ状態とすることによって、第2のトランジスタのゲートに当該信号電位を保持する。こうして、データの書き込みを行う。また、第2のトランジスタのソースの電位（第3の配線の電位）を、当該信号電位に応じて第2のトランジスタのソースとドレイン間の状態が異なるような電位とし、更にゲートに入力される制御信号（第4の配線に入力される制御信号）によって第3のトランジスタをオン状態として、データの読み出しを行う。ここで、トランジスタのソースとドレイン間の状態とは、非導通状態であるか導通状態であるかを示すものとする。第2のトランジスタのソースとドレイン間の状態を検出することによって、記憶素子に保持されたデータを読み出す。

30

【0042】

なお、第3の配線は、一定の電位（例えば、接地電位等の低電源電位）が入力される構成とすることができます。

【0043】

上記（記憶素子の構成2-2）において、第1の配線を書き込みワード線、第4の配線を読み出しワード線、第2の配線をピット線とも呼ぶ。

40

【0044】

ここで、チャネルが酸化物半導体層に形成されるトランジスタがオフ状態となることによってフローティングとなるノードは、第2のトランジスタのゲートとすることができます。

【0045】

（記憶素子の構成3）

トランジスタと、容量素子とを有し、トランジスタはチャネルが酸化物半導体層に形成され、トランジスタのゲートは第1の配線と電気的に接続され、トランジスタのソース及びドレインの一方は第2の配線と電気的に接続され、トランジスタのソース及びドレイン

50

の他方は、容量素子の一対の電極のうちの一方と電気的に接続される。

【0046】

上記（記憶素子の構成3）において、容量素子の一対の電極のうちの他方は、第3の配線と電気的に接続される構成とすることができます。第3の配線は、一定の電位（例えば、接地電位等の低電源電位）が入力される構成とすることができます。

【0047】

上記（記憶素子の構成3）を別の表現で表すと以下のとおりになる。

【0048】

トランジスタと、容量素子とを有し、トランジスタはチャネルが酸化物半導体層に形成され、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってオン状態を選択されたトランジスタを介して、データ（コンフィギュレーションデータ）に対応する信号電位（第2の配線に入力される信号電位）を容量素子の一対の電極のうちの一方に入力する。その後、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってトランジスタをオフ状態とすることによって、容量素子に当該信号電位を保持する。こうして、データの書き込みを行う。そして、ゲートに入力される制御信号（第1の配線に入力される制御信号）によってトランジスタをオン状態として、第2の配線から容量素子の一対の電極のうちの一方に保持されていた信号電位（当該信号電位に対応する電荷量ということもできる）を検出することによって、記憶素子に保持されたデータを読み出す。

【0049】

上記（記憶素子の構成3）において、第1の配線をワード線、第2の配線をビット線とも呼ぶ。

【0050】

ここで、チャネルが酸化物半導体層に形成されるトランジスタがオフ状態となることによってフローティングとなるノードは、容量素子の一対の電極のうちの一方とすることができます。

【0051】

以上が、メモリエレメントが有する記憶素子のバリエーションの説明である。

【0052】

（メモリエレメントの構成のバリエーション）

メモリエレメントは、上記記憶素子をマトリクス状に複数配置したメモリセルアレイを有する構成とすることができます。このとき、メモリセルアレイにおいて、同じ行に配置された記憶素子間で配線（例えば、ワード線、書き込みワード線、読み出しワード線等）を共有し、同じ列に配置された記憶素子間で配線（例えば、ビット線、データ線等）を共有することができる。

【0053】

メモリエレメントは、デコーダ（行デコーダ、列デコーダ）を有する構成とすることができます。デコーダによって、メモリセルアレイ中の任意の記憶素子を選択することができる。選択された記憶素子において、データの書き込みやの読み出しが行われる。

【0054】

メモリエレメントは、センスアンプを有する構成とすることができます。センスアンプは、ビット線の電位が入力される構成とすることができます。センスアンプによって、記憶素子から読み出された信号を増幅することができる。センスアンプとしては、ラッチ型のセンスアンプとすることができます。また、その他のセンスアンプを用いてもよい。例えば、インバータや、バッファを用いても良いし、オペアンプ型のセンスアンプを用いてもよい。

【0055】

メモリエレメントは、プリチャージ回路を有する構成とすることができます。プリチャージ回路は、ビット線の電位をプリチャージする機能を有する。

【0056】

10

20

30

40

50

また、メモリエレメントは、ページバッファ等の一時記憶回路を有してもよい。メモリエレメントに入力されたデータは、一時記憶回路に書き込まれ、保持された後、メモリセルアレイ中の任意の記憶素子に書き込まれる構成とすることができる。

【0057】

以上が、メモリエレメントのバリエーションの説明である。

【0058】

(プログラマブルLSIの構成要素のバリエーション)

コンフィギュレーションメモリは、ラッチ回路を有する記憶素子を用いて構成されてもよい。コンフィギュレーションメモリは、容量素子を有する記憶素子を用いて構成されてもよい。

10

【0059】

コンフィギュレーションメモリとしてラッチ回路を有する記憶素子を用いる場合に、当該記憶素子をメモリエレメントのセンスアンプの代わりとしてもよい。

【発明の効果】

【0060】

メモリエレメントは、チャネルが酸化物半導体層に形成されたトランジスタがオフ状態となることによって所定のノードがフローティングとなり、当該ノードにデータに対応する信号電位が保持される記憶素子を用いて構成される。チャネルが酸化物半導体層に形成されたトランジスタのオフ電流は極めて低い。そのため、当該信号電位が当該トランジスタのリークによって変動するのを抑制することができる。こうして、メモリエレメントの各記憶素子は、メモリエレメントへの電源電圧の供給が停止した後も長期間に渡って、データ(コンフィギュレーションデータ)に対応する信号電位を保持し続けることが可能となる。つまり、メモリエレメントを不揮発性メモリのように機能させることができる。

20

【0061】

このようなメモリエレメントと、複数のロジックエレメントとを有するプログラマブルLSIでは、メモリエレメントの定期的なリフレッシュ動作が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることができ、消費電力を低減することができる。また、プログラマブルLSIへの電源電圧の供給開始のたびにメモリエレメントへのデータの書き込みを行う必要がない。したがって、コンフィギュレーションにかかる時間を短くすることができる。そのため、プログラマブルLSIが所定の機能を発揮可能な状態となる(起動する)までの時間を短くすることができる。

30

【0062】

こうして、動的コンフィギュレーションにも対応できる高速なコンフィギュレーションを可能とし、低消費電力で、起動時間が高速なプログラマブルLSIを提供することができる。

【図面の簡単な説明】

【0063】

【図1】プログラマブルLSIのプロック図、及び記憶素子の回路図。

【図2】メモリエレメントのプロック図。

【図3】メモリセルアレイの回路図。

40

【図4】メモリセルアレイの回路図。

【図5】メモリセルアレイの回路図。

【図6】メモリセルアレイの回路図。

【図7】プリチャージ回路の回路図。

【図8】センスアンプ回路の回路図。

【図9】センスアンプ回路の回路図。

【図10】コンフィギュレーションメモリが有する記憶素子の回路図。

【図11】ルックアップテーブルの回路図。

【図12】選択回路の回路図。

【図13】記憶素子の作製工程を示す図。

50

【図14】記憶素子の作製工程を示す図。

【図15】記憶素子の作製工程を示す図。

【図16】記憶素子の構成を示す断面図。

【図17】酸化物半導体層にチャネルが形成されるトランジスタの構成を示す断面図。

【図18】携帯用の電子機器のブロック図。

【図19】電子書籍のブロック図。

【発明を実施するための形態】

【0064】

以下では、実施の形態及び実施例について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。

10

【0065】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0066】

「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

20

【0067】

回路図上は独立している構成要素どうしが電気的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

【0068】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0069】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0070】

「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものである。

40

【0071】

(実施の形態1)

プログラマブルLSIの一態様について説明する。

【0072】

図1(A)に、プログラマブルLSIの構成を模式的に示す。プログラマブルLSIは、ロジックエレメント310を複数と、メモリエレメント300と、を有する。図1(A)では、ロジックエレメント310を3つ代表的に示した。ロジックエレメントの数は、任意の個数とすることができます。また、プログラマブルLSIは、ロジックエレメント310を複数と、メモリエレメント300と、の組を更に複数有していてもよい。また、ブ

50

ログラマブル L S I は、更に、マルチプライヤ（乗算器）や、R A M ブロックや、P L L ブロックや、I / O エレメントを有していてもよい。マルチプライヤ（乗算器）は、複数のデータの乗算を高速で行う機能を有する。R A M ブロックは、メモリとして任意のデータを記憶する機能を有する。P L L ブロックは、クロック信号をプログラマブル L S I 内部の回路に供給する機能を有する。I / O エレメントは、プログラマブル L S I と外部回路との信号の受け渡しを制御する機能を有する。

【 0 0 7 3 】

ロジックエレメント 3 1 0 は、コンフィギュレーションメモリ 3 1 1 と、ルックアップテーブル 3 1 2 と、選択回路 3 1 4 と、レジスタ 3 1 3 を有する。なお、更に、別のレジスタを有していてもよいし、マルチプレクサを有していてもよいし、スイッチを有していてもよい。

【 0 0 7 4 】

コンフィギュレーションメモリ 3 1 1 としては、公知の記憶素子を用いることができる。

【 0 0 7 5 】

ロジックエレメント 3 1 0 において、ルックアップテーブル 3 1 2 は、コンフィギュレーションメモリ 3 1 1 に記憶されたコンフィギュレーションデータに応じて、異なる演算処理を行う。

【 0 0 7 6 】

ロジックエレメント 3 1 0 において、選択回路 3 1 4 は、コンフィギュレーションメモリ 3 1 1 に記憶されたコンフィギュレーションデータに応じて、他のロジックエレメント 3 1 0 との電気的接続を変更する。例えば、選択回路 3 1 4 は、プログラマブル L S I に設けられた配線リソースにおける電気的接続関係を変更する。こうして、ロジックエレメント 3 1 0 同士の電気的接続関係や、ロジックエレメント 3 1 0 とその他回路（マルチプライヤ（乗算器）や、R A M ブロックや、P L L ブロックや、I / O エレメント等）との電気的接続関係を変更する。

【 0 0 7 7 】

ロジックエレメント 3 1 0 において、レジスタ 3 1 3 は、ルックアップテーブル 3 1 2 の出力信号とクロック信号（C L K）とが入力され、当該出力信号に対応する信号をクロック信号（C L K）に同期して出力する。レジスタ 3 1 3 の出力信号や、ルックアップテーブル 3 1 2 の出力信号を、ロジックエレメント 3 1 0 の出力信号として、選択回路 3 1 4 によって選択された電気的接続に応じて所定のロジックエレメント 3 1 0 等へ出力する。ここで、ロジックエレメント 3 1 0 において、レジスタ 3 1 3 の出力信号、またはルックアップテーブル 3 1 2 の出力信号を選択するマルチプレクサ等を設けてもよい。

【 0 0 7 8 】

なお、図 1 (A) では、1 つのロジックエレメント 3 1 0 内において、コンフィギュレーションメモリ 3 1 1 が1カ所にまとまって配置される構成を模式的に示したがこれに限定されない。コンフィギュレーションメモリ 3 1 1 は、複数に分散され、ルックアップテーブル 3 1 2 や選択回路 3 1 4 等にそれぞれ設けていてもよい。

【 0 0 7 9 】

なお、図 1 (A) に示したロジックエレメント 3 1 0 の構成において、レジスタ 3 1 3 を省略することもできる。また、レジスタ 3 1 3 を有するロジックエレメント 3 1 0 と、レジスタ 3 1 3 を省略したロジックエレメント 3 1 0 の両方が混在するプログラマブル L S I であってもよい。レジスタ 3 1 3 を省略したロジックエレメント 3 1 0 では、ルックアップテーブル 3 1 2 の出力を、ロジックエレメント 3 1 0 の出力とすることができる。

【 0 0 8 0 】

（メモリエレメント 3 0 0 の構成）

メモリエレメント 3 0 0 は、チャネルが酸化物半導体層に形成されるトランジスタと、当該トランジスタがオフ状態となることによってフローティングとなるノードと、を有する記憶素子を複数用いて構成する。当該記憶素子の一態様を、図 1 (B) 乃至図 1 (D)

10

20

30

40

50

に示す。

【0081】

(記憶素子の構成1)

図1(B)に示す記憶素子100aは、トランジスタ101と、トランジスタ102と、容量素子103とを有する。トランジスタ101はチャネルが酸化物半導体層に形成される。なお、図1(B)では、トランジスタ101のチャネルが酸化物半導体層に形成されていることを示すため、「OS」の符号を付している。トランジスタ101のゲートは端子Wと電気的に接続され、トランジスタ101のソース及びドレインの一方は端子Dと電気的に接続される。トランジスタ101のソース及びドレインの他方は、トランジスタ102のゲートと電気的に接続される。トランジスタ102のソース及びドレインの一方は、端子Sと電気的に接続される。トランジスタ102のソース及びドレインの他方は、端子Bと電気的に接続される。容量素子103の一対の電極のうちの一方は、トランジスタ102のゲートと電気的に接続される。容量素子103の一対の電極のうちの他方は、端子Cと電気的に接続される。ここで、各端子は、配線や電極と電気的に接続される構成とすることができます。

【0082】

端子Wに電気的に接続される配線を書き込みワード線、端子Cに電気的に接続される配線を読み出しワード線、端子Dに電気的に接続される配線をデータ線、端子Bに電気的に接続される配線をビット線とも呼ぶ。なお、データ線とビット線は共有することもできる。ここで、データ線とビット線とを共有して同じ配線とした場合に、当該配線はビット線と呼ぶこととする。

【0083】

ここで、チャネルが酸化物半導体層に形成されるトランジスタ101がオフ状態となることによってフローティングとなるノードは、トランジスタ102のゲート、または容量素子103の一対の電極のうちの一方とすることができます。

【0084】

(記憶素子100aの駆動方法)

図1(B)に示した記憶素子100aの駆動方法について説明する。

【0085】

まず、記憶素子100aにデータを書き込む動作について説明する。ゲートに入力される制御信号(端子Wに入力される制御信号)によってオン状態を選択されたトランジスタ101を介して、データ(コンフィギュレーションデータ)に対応する信号電位(端子Dに入力される信号電位)をトランジスタ102のゲート、及び容量素子103の一対の電極のうちの一方に入力する。その後、ゲートに入力される制御信号(端子Wに入力される制御信号)によってトランジスタ101をオフ状態とすることによって、トランジスタ102のゲート、及び容量素子103の一対の電極のうちの一方に当該信号電位を保持する。こうして、記憶素子100aにデータを書き込むことができる。

【0086】

ここで、酸化物半導体層にチャネルが形成されるトランジスタ101はオフ電流が著しく小さい。ここで、トランジスタ101をエンハンスマント型(ノーマリオフ型)トランジスタとし、記憶素子100aに電源電圧が供給されない間、当該トランジスタのゲートに接地電位が入力される構成とすることによって、記憶素子100aに電源電圧が供給されない間、当該トランジスタをオフ状態とすることができます。こうして、記憶素子100aに電源電圧が供給されない間も、トランジスタ102のゲート、及び容量素子103の一対の電極のうちの一方の電位(信号電位)は長期間にわたって保持される。よって、電源電圧の供給を停止した後も記憶素子100aはデータを保持することができる。

【0087】

次いで、記憶素子100aからデータを読み出す動作について説明する。トランジスタ102のソース(端子S)、及び容量素子103の一対の電極のうちの他方(端子C)の電位を、当該信号電位に応じてトランジスタ102のソースとドレイン間の状態が異なる

のような電位とする。ここで、トランジスタ102のソースとドレイン間の状態とは、非導通状態であるか導通状態であるかを示すものとする。トランジスタ102のソースとドレイン間の状態を検出することによって、記憶素子100aに保持されたデータを読み出す。

【0088】

なお、端子Cの電位を制御することによって、記憶素子100aに保持されたデータに関わらず、トランジスタ102をオン状態、つまり、トランジスタ102のソースとドレイン間を導通状態とすることもできる。また、端子Cの電位を制御することによって、記憶素子100aに保持されたデータに関わらず、トランジスタ102をオフ状態、つまり、トランジスタ102のソースとドレイン間を非導通状態とすることもできる。

10

【0089】

以上が、記憶素子100aの駆動方法についての説明である。

【0090】

メモリエレメント300が有する複数の記憶素子100aそれぞれにおいて、上記のようにデータの書き込み及び読み出しを行うことによって、メモリエレメント300は複数のデータ（コンフィギュレーションデータ）の書き込み及び読み出しを行うことができる。

【0091】

（記憶素子の構成2）

上記（記憶素子の構成1）とは異なる構成の記憶素子について説明する。

20

【0092】

図1（C）に示す記憶素子100bは、トランジスタ101と、トランジスタ102と、トランジスタ141とを有する。トランジスタ101はチャネルが酸化物半導体層に形成される。なお、図1（C）では、トランジスタ101のチャネルが酸化物半導体層に形成されていることを示すため、「OS」の符号を付している。トランジスタ101のゲートは端子Wと電気的に接続される。トランジスタ101のソース及びドレインの一方は端子Dと電気的に接続される。トランジスタ101のソース及びドレインの他方は、トランジスタ102のゲートと電気的に接続される。トランジスタ102のソース及びドレインの一方は、端子Sと電気的に接続される。トランジスタ102のソース及びドレインの他方は、トランジスタ141のソースとドレイン間を介して端子Bと電気的に接続され、トランジスタ141のゲートは端子Xと電気的に接続される。ここで、各端子は、配線や電極と電気的に接続される構成とすることができます。

30

【0093】

端子Wに電気的に接続される配線を書き込みワード線、端子Xに電気的に接続される配線を読み出しワード線、端子Dに電気的に接続される配線をデータ線、端子Bに電気的に接続される配線をビット線とも呼ぶ。なお、データ線とビット線は共有することもできる。ここで、データ線とビット線とを共有して同じ配線とした場合に、当該配線はビット線と呼ぶことにする。

【0094】

ここで、チャネルが酸化物半導体層に形成されるトランジスタ101がオフ状態となることによってフローティングとなるノードは、トランジスタ102のゲートとすることができます。

40

【0095】

（記憶素子100bの駆動方法）

図1（C）に示した記憶素子100bの駆動方法について説明する。

【0096】

まず、記憶素子100bにデータを書き込む動作について説明する。ゲートに入力される制御信号（端子Wに入力される制御信号）によってオン状態を選択されたトランジスタ101を介して、データ（コンフィギュレーションデータ）に対応する信号電位（端子Dに入力される信号電位）をトランジスタ102のゲートに入力する。その後、ゲートに入

50

力される制御信号（端子Wに入力される制御信号）によってトランジスタ101をオフ状態とすることによって、トランジスタ102のゲートに当該信号電位を保持する。こうして、記憶素子100bにデータを書き込むことができる。

【0097】

ここで、酸化物半導体層にチャネルが形成されるトランジスタ101はオフ電流が著しく小さい。ここで、トランジスタ101をエンハンスマント型（ノーマリオフ型）トランジスタとし、記憶素子100bに電源電圧が供給されない間、当該トランジスタのゲートに接地電位が入力される構成とすることによって、記憶素子100bに電源電圧が供給されない間、当該トランジスタをオフ状態とすることができます。こうして、記憶素子100bに電源電圧が供給されない間も、トランジスタ102のゲートの電位（信号電位）は長期間にわたって保持される。よって、電源電圧の供給を停止した後も記憶素子100bはデータを保持することができます。10

【0098】

次いで、記憶素子100bからデータを読み出す動作について説明する。トランジスタ102のソース（端子S）を、当該信号電位に応じてトランジスタ102のソースとドレイン間の状態が異なるような電位とする。ここで、トランジスタ102のソースとドレイン間の状態とは、非導通状態であるか導通状態であるかを示すものとする。そして、ゲートに入力される制御信号（端子Xに入力される制御信号）によってトランジスタ141をオン状態として、トランジスタ102のソースとドレイン間の状態を検出することによって、記憶素子100bに保持されたデータを読み出す。20

【0099】

なお、端子S（端子Sに電気的に接続される配線）は、一定の電位（例えば、接地電位等の低電源電位）が入力される構成とすることができます。

【0100】

以上が、記憶素子100bの駆動方法についての説明である。

【0101】

メモリエレメント300が有する複数の記憶素子100bそれぞれにおいて、上記のようにデータの書き込み及び読み出しを行うことによって、メモリエレメント300は複数のデータ（コンフィギュレーションデータ）の書き込み及び読み出しを行うことができる。30

【0102】

（記憶素子の構成3）

上記（記憶素子の構成1）や（記憶素子の構成2）とは異なる構成の記憶素子について説明する。

【0103】

図1（D）に示す記憶素子100cは、トランジスタ104と、容量素子105とを有する。トランジスタ104はチャネルが酸化物半導体層に形成される。図1（D）では、トランジスタ104のチャネルが酸化物半導体層に形成されていることを示すため、「OS」の符号を付している。トランジスタ104のゲートは端子Wと電気的に接続される。トランジスタ104のソース及びドレインの一方は端子Bと電気的に接続される。トランジスタ104のソース及びドレインの他方は、容量素子105の一対の電極のうちの一方と電気的に接続される。ここで、各端子は、配線や電極と電気的に接続される構成とすることができます。40

【0104】

端子Wに電気的に接続される配線をワード線、端子Bに電気的に接続される配線をビット線とも呼ぶ。

【0105】

ここで、チャネルが酸化物半導体層に形成されるトランジスタ104がオフ状態となることによってフローティングとなるノードは、容量素子105の一対の電極のうちの一方とすることができます。50

【0106】

(記憶素子100cの駆動方法)

図1(D)に示した記憶素子100cの駆動方法について説明する。

【0107】

まず、記憶素子100cにデータを書き込む動作について説明する。ゲートに入力される制御信号（端子Wに入力される制御信号）によってオン状態を選択されたトランジスタ104を介して、データ（コンフィギュレーションデータ）に対応する信号電位（端子Bに入力される信号電位）を容量素子105の一対の電極のうちの一方に入力する。その後、ゲートに入力される制御信号（端子Wに入力される制御信号）によってトランジスタ104をオフ状態とすることによって、容量素子105に当該信号電位を保持する。こうして、記憶素子100cにデータを書き込むことができる。

【0108】

ここで、酸化物半導体層にチャネルが形成されるトランジスタ104はオフ電流が著しく小さい。ここで、トランジスタ104をエンハンスマント型（ノーマリオフ型）トランジスタとし、記憶素子100cに電源電圧が供給されない間、当該トランジスタのゲートに接地電位が入力される構成とすることによって、記憶素子100cに電源電圧が供給されない間、当該トランジスタをオフ状態とすることができます。こうして、記憶素子100cに電源電圧が供給されない間も、容量素子105の一対の電極のうちの一方の電位（信号電位）は長期間にわたって保持される。よって、電源電圧の供給を停止した後も記憶素子100cはデータを保持することができる。

【0109】

次いで、記憶素子100cからデータを読み出す動作について説明する。ゲートに入力される制御信号（端子Wに入力される制御信号）によってトランジスタ104をオン状態として、端子Bから容量素子105の一対の電極のうちの一方に保持されていた信号電位（当該信号電位に対応する電荷量ということもできる）を検出することによって、記憶素子100cに保持されたデータを読み出す。

【0110】

なお、容量素子105の一対の電極のうちの他方は、端子Cと電気的に接続される構成とすることができます。端子Cは、一定の電位（例えば、接地電位等の低電源電位）が入力される構成とすることができます。

【0111】

以上が、記憶素子100cの駆動方法についての説明である。

【0112】

メモリエレメント300が有する複数の記憶素子100cそれぞれにおいて、上記のようにデータの書き込み及び読み出しを行うことによって、メモリエレメント300は複数のデータ（コンフィギュレーションデータ）の書き込み及び読み出しを行うことができる。

【0113】

(記憶素子のバリエーション)

上述した（記憶素子の構成1）、（記憶素子の構成2）、（記憶素子の構成3）において、記憶素子は更に、ダイオードや、抵抗素子や、スイッチを有していても良い。スイッチとしては、例えばアナログスイッチや、トランジスタ等を用いることができる。例えば、（記憶素子の構成2）において、更に容量素子を有し、当該容量素子の一対の電極のうちの一方はトランジスタ102のゲートと電気的に接続されていてもよい。当該容量素子の一対の電極のうちの他方は、一定の電位（例えば、接地電位等の低電源電位）が入力される構成とすることができます。

【0114】

なお、メモリエレメント300は、ロジックエレメント310の状態（ルックアップテーブル312によって行われる論理演算の種類、及び選択回路314が選択する接続関係）に対応するコンフィギュレーションデータを複数組記憶するメモリ容量を有し、複数組

10

20

30

40

50

のコンフィギュレーションデータから任意の1組のコンフィギュレーションデータを選択してコンフィギュレーションメモリ311に記憶させることができる。

【0115】

以上が、本発明のプログラマブルLSIの一態様である。

【0116】

上記構成によって、メモリエレメント300への電源電圧の供給が停止した後も、メモリエレメント300は、長期間に渡って、データ（コンフィギュレーションデータ）に対応する信号電位を保持し続けることが可能となる。つまり、メモリエレメント300は不揮発性メモリのように機能させることができる。

【0117】

このようなメモリエレメント300と、複数のロジックエレメント310とを有するプログラマブルLSIでは、メモリエレメント300の定期的なリフレッシュ動作が不要、若しくはリフレッシュ動作を行う頻度を非常に低くすることができ、消費電力を低減することができる。また、プログラマブルLSIへの電源電圧の供給開始のたびにメモリエレメント300へのデータの書き込みを行う必要がない。したがって、コンフィギュレーションにかかる時間を短くすることができる。そのため、プログラマブルLSIが所定の機能を発揮可能な状態となる（起動する）までの時間を短くすることができる。

【0118】

こうして、動的コンフィギュレーションにも対応できる高速なコンフィギュレーションを可能とし、低消費電力で、起動時間が高速なプログラマブルLSIを提供することができる。

【0119】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0120】

（実施の形態2）

本実施の形態では、実施の形態1において示したメモリエレメント300の更に具体的な一態様について説明する。

【0121】

メモリエレメント300は、実施の形態1で示した記憶素子（（記憶素子の構成1）、（記憶素子の構成2）、または（記憶素子の構成3））をマトリクス状に複数配置したメモリセルアレイを有する構成とすることができます。

【0122】

メモリエレメント300は、メモリセルアレイに加えて、デコーダ（行デコーダ、列デコーダ）、プリチャージ回路、センスアンプ回路、及び一時記憶回路のいずれかまたは全てを有する構成とすることができます。なお、これらの回路のうちのいくつかをまとめて1つの回路とすることもできる。例えば、センスアンプ回路は、一時記憶回路の機能を有していてもよい。

【0123】

デコーダ（行デコーダ、列デコーダ）は、メモリセルアレイ中の任意の記憶素子を選択する機能を有する。メモリエレメント300は、デコーダ（行デコーダ、列デコーダ）によって選択された記憶素子において、データの書き込みや読み出しを行う。プリチャージ回路は、記憶素子からデータを読み出す前に、メモリセルアレイに含まれるビット線を所定の電位にする（プリチャージする）機能を有する。プリチャージ回路によって、ビット線の電位を所定の電位とした後に記憶素子からデータを読み出すことができるので、記憶素子からのデータの読み出し速度を速くすることができる。センスアンプ回路は、記憶素子に保持されたデータに対応するビット線の電位を増幅し、出力する機能を有する。センスアンプ回路によって、データをより高速且つ正確に読み出すことができる。一時記憶回路は、ページバッファやラッチ回路とも呼ばれ、メモリエレメントの外部から入力されたデータを一時的に保持する機能を有する。また、一時記憶回路は、メモリセルアレイから読み出されたデータを保持する機能を有していてもよい。

10

20

30

40

50

【0124】

図2に、メモリエレメント300の構成の一態様を模式的に示す。図2において、メモリエレメント300は、メモリセルアレイ400と、列デコーダ403と、行デコーダ404と、プリチャージ回路402と、センスアンプ回路401とを有する。

【0125】

なお、図2において、プリチャージ回路402と、センスアンプ回路401とは、メモリセルアレイ400の列デコーダ403が設けられた側に設けた構成を示したがこれに限定されない。プリチャージ回路402とセンスアンプ回路401の一方または両方は、メモリセルアレイ400を挟んで列デコーダ403と対向する側に設けてもよい。また、プリチャージ回路402とセンスアンプ回路401とはまとめて1つの回路としてもよい。 10

【0126】

なお、メモリエレメント300は、ダイオード、抵抗素子、演算回路（演算素子）、スイッチのいずれかまたは全てを更に有していても良い。演算回路（演算素子）としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチとして、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路（演算素子）を用いることもできる。

【0127】

(メモリセルアレイの構成)

メモリセルアレイ400の構成の更に具体的な一態様について説明する。 20

【0128】

(メモリセルアレイの構成1)

メモリセルアレイ400は、実施の形態1において図1（B）で示した記憶素子100aをマトリクス状に複数有する構成とすることができる。例えば、図3に示すメモリセルアレイ400は $m \times n$ （mは2以上の自然数、nは2以上の自然数）個の記憶素子（記憶素子100a_{i,j}：iはm以下の自然数、jはn以下の自然数）を有する。 $m \times n$ 個の記憶素子（記憶素子100a_{i,j}）それぞれは、図1（B）に示した記憶素子100aとすることができる。メモリセルアレイ400に含まれる複数の記憶素子それぞれをメモリセルとも呼ぶ。 30

【0129】

図3において、同じ列に並んだ記憶素子において、端子B及び端子Dに電気的に接続される配線（BL_j）を共有している。例えば、第1列に並んだ記憶素子（記憶素子100a_{1,1}）乃至記憶素子100a_{m,1}）において、端子B及び端子Dに電気的に接続される配線（BL₁）を共有している。配線（BL_j）はビット線と呼ぶことができる。

【0130】

図3において、同じ列に並んだ記憶素子において、端子Sに電気的に接続される配線（SL_j）を共有している。例えば、第1列に並んだ記憶素子（記憶素子100a_{1,1}）乃至記憶素子100a_{m,1}）において、端子Sに電気的に接続される配線（SL₁）を共有している。なお、端子Sに電気的に接続される配線（SL_j）は、メモリセルアレイに含まれる全ての記憶素子において共有することもできる。 40

【0131】

図3において、同じ行に並んだ記憶素子において、端子Wに電気的に接続される配線（WL_i）を共有している。例えば、第1行に並んだ記憶素子（記憶素子100a_{1,1}）乃至記憶素子100a_{1,n}）において、端子Wに電気的に接続される配線（WL₁）を共有している。配線（WL_i）は書き込みワード線と呼ぶこともできる。

【0132】

図3において、同じ行に並んだ記憶素子において、端子Cに電気的に接続される配線（CL_i）を共有している。例えば、第1行に並んだ記憶素子（記憶素子100a_{1,1}）

) 乃至記憶素子 100a (1, n)) において、端子 C に電気的に接続される配線 (CL 1) を共有している。配線 (CL i) は読み出しワード線と呼ぶこともできる。

【0133】

しかし、これに限定されず、同じ列に並んだ記憶素子において、複数の配線 (BL j) 、複数の配線 (SL j) を設けてもよいし、同じ行に並んだ記憶素子において、複数の配線 (WL i) 、複数の配線 (CL i) を設けてもよい。

【0134】

また、図 3 に示した構成において、各配線を更に共有することもできる。配線を共有することによって、メモリセルアレイ 400 の微細化及び高集積化を実現することができる。

10

【0135】

図 3 に示すメモリセルアレイ 400 では、配線 (WL i) に入力される信号によって指定された行の記憶素子 (記憶素子 100a (i, j)) において選択的に、データの書き込みが行われる。具体的には、配線 (WL i) に入力される信号によって、同じ配線 (BL j) に電気的に接続された記憶素子のうち、データを書き込む対象の記憶素子以外のトランジスタ 101 をオフ状態とし、且つデータを書き込む対象の記憶素子のトランジスタ 101 をオン状態とする。こうして、指定された記憶素子にデータを書き込む。また、配線 (CL i) に入力される信号によって指定された行の記憶素子 (記憶素子 100a (i, j)) において選択的に、データの読み出しが行われる。具体的には、配線 (CL i) に入力される信号によって、同じ配線 (BL j) に電気的に接続された記憶素子のうち、データを読み出す対象の記憶素子以外のトランジスタ 102 を (保持されたデータに関わらず) オフ状態とし、且つデータを読み出す対象の記憶素子のトランジスタ 102 は、保持されたデータ (信号電位) によって状態が異なるようにする。こうして、指定された記憶素子からデータを読み出す。なお、指定された記憶素子におけるデータの書き込み及び読み出しの方法は、上記実施に形態で説明した記憶素子 100a の駆動方法と同様であるため説明は省略する。

20

【0136】

(メモリセルアレイの構成 2)

メモリセルアレイ 400 は、実施の形態 1 において図 1 (B) で示した記憶素子 100a をマトリクス状に複数有する構成とことができる。例えば、図 6 (B) に示すメモリセルアレイ 400 は $m \times n$ (m は 2 以上の自然数、 n は 2 以上の自然数) 個の記憶素子 (記憶素子 100a (i, j) : i は m 以下の自然数、 j は n 以下の自然数) を有する。 $m \times n$ 個の記憶素子 (記憶素子 100a (i, j)) それぞれは、図 1 (B) に示した記憶素子 100a とすることができる。メモリセルアレイ 400 に含まれる複数の記憶素子それぞれをメモリセルとも呼ぶ。

30

【0137】

図 6 (B) に示す構成では、記憶素子群 400_j の両端の一方に位置する記憶素子 (記憶素子 100a (1, j)) において、端子 D は配線 (BL j) に電気的に接続され、端子 B はスイッチとして機能するトランジスタ 181 を介して配線 (BL j) に電気的に接続されている。記憶素子群 400_j の両端の他方に位置する記憶素子 (記憶素子 100a (m, j)) において、端子 S はスイッチとして機能するトランジスタ 182 を介して配線 (SL j) に電気的に接続されている。なお、トランジスタ 182 を省略し、記憶素子群 400_j の両端の他方に位置する記憶素子 (記憶素子 100a (m, j)) において、端子 S が直接、配線 (SL j) に接続されていてもよい。記憶素子群 400_j の両端以外の記憶素子では、隣接する記憶素子のうち一方の記憶素子の端子 S が他方の記憶素子の端子 B と電気的に接続され、且つ端子 F が他方の記憶素子の端子 D と電気的に接続される。ここで、端子 F は、図 6 (A) に示すとおり、トランジスタ 102 のゲートと電気的に接続されるノードに設けられた端子である。よって、図 6 (B) に示す構成では、記憶素子群 400_j に含まれるトランジスタ 102 が直列に電気的に接続され、且つトランジスタ 101 が直列に電気的に接続された構成であるとみなすこともできる。配線 (

40

50

$B_L j$) はビット線と呼ぶこともできる。

【0138】

図6 (B)において、同じ行に並んだ記憶素子において、端子Wに電気的に接続される配線 (WL_i) を共有している。例えば、第1行に並んだ記憶素子 (記憶素子100a (1, 1) 乃至記憶素子100a (1, n)) において、端子Wに電気的に接続される配線 (WL1) を共有している。配線 (WL_i) は書き込みワード線と呼ぶこともできる。

【0139】

図6 (B)において、同じ行に並んだ記憶素子において、端子Cに電気的に接続される配線 (CL_i) を共有している。例えば、第1行に並んだ記憶素子 (記憶素子100a (1, 1) 乃至記憶素子100a (1, n)) において、端子Cに電気的に接続される配線 (CL1) を共有している。配線 (CL_i) は読み出しワード線と呼ぶこともできる。

10

【0140】

しかし、これに限定されず、同じ行に並んだ記憶素子において、複数の配線 (WL_i) 、複数の配線 (CL_i) を設けてよい。

【0141】

また、図6 (B)に示した構成において、各配線を更に共有することもできる。配線を共有することによって、メモリセルアレイ400の微細化及び高集積化を実現することができる。

【0142】

なお、図6 (B)では、記憶素子群400_jが1行分設けられた構成のメモリセルアレイ400を例示したがこれに限定されない。メモリセルアレイ400には、記憶素子群400_jがマトリクス状に設けられていてよい。

20

【0143】

図6 (B)に示すメモリセルアレイ400では、配線 (WL_i) に入力される信号によって指定された行の記憶素子 (記憶素子100a (i, j)) において選択的に、データの書き込みが行われる。具体的には、配線 (SL_j) に近い側に配置された記憶素子から順にデータの書き込みが行われる。書き込み対象の記憶素子及び当該記憶素子よりも配線 (BL_j) に近い側に設けられた全ての記憶素子のトランジスタ101を、配線 (WL_i) に入力される信号によってオン状態とする。また、書き込み対象の記憶素子よりも配線 (SL_j) に近い側に配置された全ての記憶素子のトランジスタ101を、配線 (WL_i) に入力される信号によってオフ状態とする。こうして、書き込み対象の記憶素子に配線 (BL_j) からデータに対応する信号電位を入力する。なお、データを書き込む間は、トランジスタ181及びトランジスタ182の一方または両方はオフ状態である。また、配線 (CL_i) に入力される信号によって指定された行の記憶素子 (記憶素子100a (i, j)) において選択的に、データの読み出しが行われる。具体的には、配線 (CL_i) に入力される信号によって、同じ配線 (BL_j) に電気的に接続された記憶素子において、データを読み出す対象の記憶素子以外のトランジスタ102を (保持されたデータに関わらず) オン状態とし、且つデータを読み出す対象の記憶素子のトランジスタ102は、保持されたデータ (信号電位) によって状態が異なるようにする。なお、データを読み出す間は、トランジスタ181及びトランジスタ182はオン状態である。こうして、指定された記憶素子からデータを読み出す。指定された記憶素子におけるデータの書き込み及び読み出しの方法は、上記実施に形態で説明した記憶素子100aの駆動方法と同様であるため説明は省略する。

30

【0144】

(メモリセルアレイの構成3)

メモリセルアレイ400は、実施の形態1において図1 (C) で示した記憶素子100bをマトリクス状に複数有する構成とができる。例えば、図4に示すメモリセルアレイ400はm × n (mは2以上の自然数、nは2以上の自然数) 個の記憶素子 (記憶素子100b (i, j) : iはm以下の自然数、jはn以下の自然数) を有する。m × n個の記憶素子 (記憶素子100b (i, j)) それぞれは、図1 (C) に示した記憶素子

40

50

100bとすることができます。メモリセルアレイ400に含まれる複数の記憶素子それぞれをメモリセルとも呼ぶ。

【0145】

図4において、同じ列に並んだ記憶素子において、端子B及び端子Dに電気的に接続される配線(BLj)を共有している。例えば、第1列に並んだ記憶素子(記憶素子100b(1,1)乃至記憶素子100b(m,1))において、端子B及び端子Dに電気的に接続される配線(BL1)を共有している。配線(BLj)はビット線と呼ぶことができる。

【0146】

図4において、同じ列に並んだ記憶素子において、端子Sに電気的に接続される配線(SLj)を共有している。例えば、第1列に並んだ記憶素子(記憶素子100b(1,1)乃至記憶素子100b(m,1))において、端子Sに電気的に接続される配線(SL1)を共有している。なお、端子Sに電気的に接続される配線(SLj)は、メモリセルアレイに含まれる全ての記憶素子において共有することもできる。

【0147】

図4において、同じ行に並んだ記憶素子において、端子Wに電気的に接続される配線(WLi)を共有している。例えば、第1行に並んだ記憶素子(記憶素子100b(1,1)乃至記憶素子100b(1,n))において、端子Wに電気的に接続される配線(WL1)を共有している。配線(WLi)は書き込みワード線と呼ぶこともできる。

【0148】

図4において、同じ行に並んだ記憶素子において、端子Xに電気的に接続される配線(XLi)を共有している。例えば、第1行に並んだ記憶素子(記憶素子100b(1,1)乃至記憶素子100b(1,n))において、端子Xに電気的に接続される配線(XL1)を共有している。配線(XLi)は読み出しワード線と呼ぶこともできる。

【0149】

しかし、これに限定されず、同じ列に並んだ記憶素子において、複数の配線(BLj)、複数の配線(SLj)を設けてもよいし、同じ行に並んだ記憶素子において、複数の配線(WLi)、複数の配線(XLi)を設けてもよい。

【0150】

また、図4に示した構成において、各配線を更に共有することもできる。配線を共有することによって、メモリセルアレイ400の微細化及び高集積化を実現することができる。

【0151】

図4に示すメモリセルアレイ400では、配線(WLi)に入力される信号によって指定された行の記憶素子(記憶素子100b(i,j))において選択的に、データの書き込みが行われる。具体的には、配線(WLi)に入力される信号によって、同じ配線(BLj)に電気的に接続された記憶素子において、データを書き込む対象の記憶素子以外のトランジスタ101をオフ状態とし、データを書き込む対象の記憶素子のトランジスタ101をオン状態とする。こうして、選択的にデータの書き込みが行われる。また、配線(XLi)に入力される信号によって指定された行の記憶素子(記憶素子100b(i,j))において選択的に、データの読み出しが行われる。具体的には、配線(XLi)に入力される信号によって、同じ配線(BLj)に電気的に接続された記憶素子において、データを読み出す対象の記憶素子以外のトランジスタ141をオフ状態とし、且つデータを読み出す対象の記憶素子のトランジスタ141をオン状態とする。こうして、選択的にデータの読み出しが行われる。指定された記憶素子におけるデータの書き込み及び読み出しおの方法は、上記実施に形態で説明した記憶素子100bの駆動方法と同様であるため説明は省略する。

【0152】

(メモリセルアレイの構成4)

メモリセルアレイ400は、実施の形態1において図1(D)で示した記憶素子100

10

20

30

40

50

c をマトリクス状に複数有する構成とすることができます。例えば、図 5 に示すメモリセルアレイ 400 は $m \times n$ (m は 2 以上の自然数、 n は 2 以上の自然数) 個の記憶素子 (記憶素子 100c (i, j) : i は m 以下の自然数、 j は n 以下の自然数) を有する。 $m \times n$ 個の記憶素子 (記憶素子 100c (i, j)) それぞれは、図 1 (D) に示した記憶素子 100c とすることができます。メモリセルアレイ 400 に含まれる複数の記憶素子それぞれをメモリセルとも呼ぶ。

【0153】

図 5において、同じ列に並んだ記憶素子において、端子 B に電気的に接続される配線 (B L j) を共有している。例えば、第 1 列に並んだ記憶素子 (記憶素子 100c (1, 1) 乃至記憶素子 100c (m, 1)) において、端子 B に電気的に接続される配線 (B L 1) を共有している。配線 (B L j) はビット線と呼ぶことができる。

10

【0154】

図 5において、同じ行に並んだ記憶素子において、端子 W に電気的に接続される配線 (W L i) を共有している。例えば、第 1 行に並んだ記憶素子 (記憶素子 100c (1, 1) 乃至記憶素子 100c (1, n)) において、端子 W に電気的に接続される配線 (W L 1) を共有している。配線 (W L i) はワード線と呼ぶこともできる。

【0155】

しかし、これに限定されず、同じ列に並んだ記憶素子において、複数の配線 (B L j) を設けてもよいし、同じ行に並んだ記憶素子において、複数の配線 (W L i) を設けてもよい。また、 $m \times n$ 個の記憶素子 (記憶素子 100c (i, j)) において、端子 C は同じ電極や配線と電気的に接続されても良いし、異なる電極や配線と電気的に接続されてもよい。

20

【0156】

また、図 5 に示した構成において、各配線を更に共有することもできる。配線を共有することによって、メモリセルアレイ 400 の微細化及び高集積化を実現することができる。

【0157】

図 5 に示すメモリセルアレイ 400 では、配線 (W L i) に入力される信号によって指定された行の記憶素子 (記憶素子 100c (i, j)) において選択的に、データの書き込み及び読み出しが行われる。具体的には、配線 (W L i) に入力される信号によって、書き込み対象の記憶素子以外のトランジスタ 104 をオフ状態とし、且つ書き込み対象の記憶素子のトランジスタ 104 をオン状態として、選択的にデータの書き込みを行う。また、配線 (W L i) に入力される信号によって、読み出し対象の記憶素子以外のトランジスタ 104 をオフ状態とし、且つ読み出し対象の記憶素子のトランジスタ 104 をオン状態として、選択的にデータの読み出しが行われる。指定された記憶素子におけるデータの書き込み及び読み出しの方法は、上記実施に形態で説明した記憶素子 100c の駆動方法と同様であるため説明は省略する。

30

【0158】

(メモリセルアレイのバリエーション)

上述した (メモリセルアレイの構成 1)、(メモリセルアレイの構成 2)、(メモリセルアレイの構成 3)、(メモリセルアレイの構成 4) において、メモリセルアレイは更に、ダイオード、抵抗素子、演算回路 (演算素子)、スイッチのいずれかまたは全てを更に有していても良い。演算回路 (演算素子) としては、バッファ、インバータ、NAND 回路、NOR 回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチとして、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路 (演算素子) を用いることもできる。

40

【0159】

なお、メモリエレメント 300 は、ロジックエレメント 310 の状態 (ルックアップテーブル 312) によって行われる論理演算の種類、及び選択回路 314 が選択する接続関係

50

) に対応するコンフィギュレーションデータを複数組記憶するメモリ容量を有し、複数組のコンフィギュレーションデータから任意の1組のコンフィギュレーションデータを選択してコンフィギュレーションメモリ311に記憶させることができる。この場合に、同じ組のコンフィギュレーションデータを、メモリセルアレイ400の同じ行の記憶素子に記憶させておくことによって、1行の読み出し動作で1組のコンフィギュレーションデータ読み出すことができる。こうして、コンフィギュレーションにかかる時間を短くすることができる。

【0160】

(センスアンプ回路の構成)

次いで、図2におけるセンスアンプ回路401の構成の具体的な一態様について説明する。センスアンプ回路401は、複数のセンスアンプを有する構成とすることができる。各センスアンプは、メモリセルアレイ400に配置されたビット線毎に設けることができる。各センスアンプによってビット線の電位を増幅し、各センスアンプの出力端子から検出することができる。ここで、ビット線の電位は、当該ビット線に電気的に接続され読み出しを選択された記憶素子に保持された信号電位に応じた値となる。そのため、各センスアンプの出力端子から出力される信号は、読み出しを選択された記憶素子に保持されたデータに対応する。こうして、センスアンプ回路401によって、メモリセルアレイ400の各記憶素子に保持されたデータを検出することができる。

【0161】

センスアンプは、インバータや、バッファを用いて構成することができる。例えば、ラッチ回路を用いた構成(ラッチ型のセンスアンプ)とすることもできる。また、センスアンプは、比較器を用いて構成することができる。例えば、差動増幅器(オペアンプ)を用いた構成(オペアンプ型のセンスアンプ)とすることもできる。

【0162】

特に、メモリセルアレイ400を構成する記憶素子として、図1(D)に示した様な構成の記憶素子100cを用いる場合には、センスアンプ回路401が有するセンスアンプとして、ラッチ型のセンスアンプを用いることが好ましい。ラッチ型のセンスアンプでは、入力信号を増幅し、且つ増幅した信号を保持することができる。そのため、記憶素子100cから情報を読み出す際に、記憶素子100cの容量素子105に保持された信号電位に対応する電荷が変化(読み出し破壊)しても、当該信号電位に対応する信号をラッチ型のセンスアンプによって保持し、記憶素子100cに再び書き込むことができる。

【0163】

以下、図8及び図9を用いて、センスアンプ回路401のより具体的な一態様について説明する。

【0164】

(センスアンプ回路の構成1)

図8(A)は、バッファ441を用いて構成したセンスアンプ回路401の例である。センスアンプ回路401は、n個のバッファ441を有し、n個のバッファ441それぞれは、メモリセルアレイ400に配置されたビット線(BL1乃至BLn)毎に設けられる。n個のバッファ441によって、ビット線(BL1乃至BLn)の電位を増幅し、出力端子(OUT1乃至OUTn)から出力することができる。ここで、ビット線の電位は、当該ビット線に電気的に接続され読み出しを選択された記憶素子に保持された信号電位に応じた値となる。そのため、各バッファ441の出力端子から出力される信号は、読み出しを選択された記憶素子に保持されたデータに対応する。こうして、n個のバッファ441を用いたセンスアンプ回路401によって、メモリセルアレイ400の各記憶素子に保持されたデータを検出することができる。

【0165】

(センスアンプ回路の構成2)

図8(B)は、比較器442を用いて構成したセンスアンプ回路401の例である。センスアンプ回路401は、n個の比較器442を有し、n個の比較器442それぞれは、

10

20

30

40

50

メモリセルアレイ 400 に配置されたビット線 (B L 1 乃至 B L n) 毎に設けられる。n 個の比較器 442 によって、参照電位 (図 8 (B) 中、ref と表記) と、ビット線 (B L 1 乃至 B L n) の電位とを比較し、その比較結果を出力端子 (OUT 1 乃至 OUT n) から出力することができる。ここで、ビット線の電位は、当該ビット線に電気的に接続され読み出しを選択された記憶素子に保持された信号電位に応じた値となる。そのため、各比較器 442 の出力端子から出力される信号は、読み出しを選択された記憶素子に保持されたデータに対応する。こうして、n 個の比較器 442 を用いたセンスアンプ回路 401 によって、メモリセルアレイ 400 の各記憶素子に保持されたデータを検出することができる。

【0166】

10

(センスアンプ回路の構成 3)

図 8 (C) 及び図 8 (D) は、ラッチ回路 443 を用いて構成したセンスアンプ回路 401 の例である。ラッチ回路 443 は、例えば、インバータ 444 とインバータ 445 によって構成することができる。センスアンプ回路 401 は、n 個のラッチ回路 443 を有し、n 個のラッチ回路 443 それぞれは、メモリセルアレイ 400 に配置されたビット線 (B L 1 乃至 B L n) 毎に設けられる。n 個のラッチ回路 443 によって、ビット線 (B L 1 乃至 B L n) の電位を増幅し、出力端子 (OUT 1 乃至 OUT n) から出力することができる。ここで、ビット線の電位は、当該ビット線に電気的に接続され読み出しを選択された記憶素子に保持された信号電位に応じた値となる。そのため、各ラッチ回路 443 の出力端子から出力される信号 (増幅した信号) は、読み出しを選択された記憶素子に保持されたデータに対応する。こうして、n 個のラッチ回路 443 を用いたセンスアンプ回路 401 によって、メモリセルアレイ 400 の各記憶素子に保持されたデータを検出することができる。

20

【0167】

また、n 個のラッチ回路 443 それぞれは、増幅した信号を保持することができる。そのため、メモリセルアレイ 400 の記憶素子から情報を読み出す際に、読み出し破壊が起こっても、対応する信号を n 個のラッチ回路 443 それぞれによって保持し、当該記憶素子に再び書き込むことができる。

【0168】

30

例えば、メモリセルアレイ 400 を構成する記憶素子として、図 1 (D) に示した様な構成の記憶素子 100c を用いる場合に、図 8 (C) や図 8 (D) に示す構成のセンスアンプ回路 401 を用いるのが好ましい。記憶素子 100c から情報を読み出す際に、記憶素子 100c の容量素子 105 に保持された信号電位に対応する電荷が変化 (読み出し破壊) しても、当該信号電位に対応する信号をラッチ回路 443 によって保持し、記憶素子 100c に再び書き込むことができる。なお、ラッチ回路 443 に保持された信号を、インバータ等の演算素子を介して、記憶素子 100c に再び書き込むこともできる。また、ラッチ回路 443 を構成する複数のインバータの駆動能力をそれぞれ適宜設定することによって、ラッチ回路 443 によってデータが読み出される記憶素子 100c における読み出し破壊を抑制することができる。インバータの駆動能力は、インバータを構成するトランジスタのチャネル幅 (ゲート幅) を大きくすることによって大きくし、チャネル幅 (ゲート幅) を小さくすることによって小さくすることができる。一例として、図 8 (C) のラッチ回路 443 が有するインバータ 445、及び図 8 (D) のラッチ回路 443 が有するインバータ 444 の駆動能力を小さくする、具体的には、これらインバータを構成するトランジスタのチャネル幅 (ゲート幅) を小さくすることによって、ラッチ回路 443 によってデータが読み出される記憶素子 100c における読み出し破壊を抑制することができる。

40

【0169】

また、図 8 (C) や図 8 (D) に示したような、ラッチ回路 443 を用いて構成したセンスアンプ回路 401 では、上述のとおり信号を保持する機能を有するため、一時記憶回路として用いることもできる。例えば、ラッチ回路 443 を用いて構成したセンスアンプ

50

回路 401 は、メモリエレメント 300 の外部から入力されるデータを一時的に保持する回路（ページバッファ等）としても用いることができる。

【0170】

（センスアンプ回路のバリエーション）

なお、センスアンプ回路は、ダイオード、抵抗素子、演算回路（演算素子）、及びスイッチのいずれかまたは全てを更に有しても良い。演算回路（演算素子）としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチとして、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路（演算素子）を用いることもできる。

10

【0171】

図 9 (A) は、図 8 を用いて説明したセンスアンプ回路 401 の各センスアンプの構成を模式的に示した図である。センスアンプ 1451 は、図 8 (A) におけるバッファ 441、図 8 (B) における比較器 442、または図 8 (C) や図 8 (D) におけるラッチ回路 443 に相当する。BLx は、ビット線 (BL1 乃至 BLn) のいずれか一に対応し、OUTx は、出力端子 (OUT1 乃至 OUTn) のいずれか一に対応する。図 9 (A) に示した構成において、ダイオード、抵抗素子、演算回路（演算素子）、またはスイッチを追加した構成のセンスアンプ回路とすることができる。

【0172】

20

図 9 (B) の様に、ビット線 (BLx) とセンスアンプ 1451 との間に、素子 1450 を設けた構成としてもよい。素子 1450 として、例えばスイッチを用いることができる。

【0173】

図 9 (C) の様に、素子 1450 を介して端子 VR がビット線 (BLx) と電気的に接続される構成としてもよい。素子 1450 として、例えばスイッチ、抵抗素子、ダイオードを用いることができる。

【0174】

30

図 9 (D) は、図 9 (C) における素子 1450 としてスイッチ 1452 を設けた例であり、図 9 (F) はスイッチ 1452 として、制御信号 P SW がゲートに入力されるトランジスタを用いた例である。図 9 (D) や図 9 (F) に示す構成では、端子 VR に所定の電位を与え、スイッチ 1452 をオン状態とすることによってビット線 (BLx) を所定の電位にプリチャージすることができる。こうして、センスアンプ回路 401 を、プリチャージ回路 402 としても用いることができる。

【0175】

図 9 (E) は、図 9 (C) における素子 1450 として負荷 1453 を設けた例であり、図 9 (G) は負荷 1453 として、ダイオード接続されたトランジスタを用いた例である。図 9 (E) や図 9 (G) に示す構成では、図 1 (B) に示した記憶素子 100a や図 1 (C) に示した記憶素子 100b から読み出し動作を行う際に、保持された信号電位によってトランジスタ 102 がオフ状態の場合には、端子 VR の電位をセンスアンプに入力することができる。

40

【0176】

（プリチャージ回路の構成）

次いで、図 2 におけるプリチャージ回路 402 の構成の具体的な一態様について、図 7 を用いて説明する。図 7 において、プリチャージ回路 402 はプリチャージ線 PR と、複数のスイッチ 446 とを有する。各スイッチ 446 は、メモリセルアレイ 400 に配置されたビット線 (BL1 乃至 BLn) 每に設けることができる。各スイッチ 446 によって各ビット線とプリチャージ線 PR との電気的接続を選択し、各ビット線にプリチャージ線 PR の電位（プリチャージ電位）を入力することができる。スイッチ 446 としては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチ 446 と

50

して、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路（演算素子）を用いることもできる。

【0177】

なお、プリチャージ回路402は、ダイオード、抵抗素子、演算回路（演算素子）、別のスイッチのいずれかまたは全てを更に有していても良い。演算回路（演算素子）としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。

【0178】

以上が、メモリエレメントのバリエーションの説明である。

【0179】

なお、本発明の一態様は、上記メモリエレメントと同様の構成を有する記憶装置や当該記憶装置を用いた半導体装置とすることもできる。

10

【0180】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0181】

（実施の形態3）

本実施の形態では、ロジックエレメント310が有するコンフィギュレーションメモリ311の態様について説明する。コンフィギュレーションメモリ311は、例えば、ラッチ回路や容量素子を用いて構成することができる。

【0182】

図10(A)及び図10(B)は、コンフィギュレーションメモリ311が有する記憶素子として、ラッチ回路を用いた記憶素子501または記憶素子502を適用した例である。ラッチ回路は、インバータ511及びインバータ512を用いて構成することができる。記憶素子501及び記憶素子502において、入力端子INから入力されたデータは保持され、出力端子OUTから出力される。

20

【0183】

記憶素子501または記憶素子502を用いて、コンフィギュレーションメモリ311を構成する場合には、コンフィギュレーションメモリ311をセンスアンプ回路401として、またはセンスアンプ回路401の一部として用いることもできる。つまり、コンフィギュレーションメモリ311とセンスアンプ回路401との構成の一部または全部を共有することもできる。

30

【0184】

図10(C)は、コンフィギュレーションメモリ311が有する記憶素子として、容量素子513を用いた記憶素子503を適用した例である。記憶素子503は、容量素子513の一対の電極のうちの一方に、入力された信号電位を保持させることによって、データを記憶することができる。こうして、記憶素子503において、入力端子INから入力されたデータは保持され、出力端子OUTから出力される。なお、容量素子513の一対の電極のうちの他方には、電位V0が与えられる構成とすることができる。電位V0は低電源電位（例えば、接地電位）とすることができる。

【0185】

なお、メモリエレメント300において特定のワード線や特定の読み出しワード線を選択し続けることによって、メモリエレメント300からコンフィギュレーションメモリ311にコンフィギュレーションデータが入力され続ける構成とすることができる。このとき、コンフィギュレーションメモリ311が有する記憶素子として、容量素子513を用いた記憶素子503を適用する場合には、容量素子513の容量値はより少なくすることができる。例えば、容量素子513の代わりに寄生容量を用いることによって、コンフィギュレーションメモリ311を省略することもできる。そのため、ロジックエレメント310をより微細化することが可能である。

40

【0186】

特に、メモリエレメント300は、ロジックエレメントの状態（ルックアップテーブル

50

312によって行われる論理演算の種類、及び選択回路314が選択する接続関係)に対応するコンフィギュレーションデータを複数組記憶し、複数組のコンフィギュレーションデータから任意の1組のコンフィギュレーションデータを選択してコンフィギュレーションメモリ311に記憶させることができる。ここで、メモリエレメント300の出力端子(センスアンプ回路の出力端子に対応)と、コンフィギュレーションメモリ311の各記憶素子と、を1対1で対応するように設け、1組のコンフィギュレーションデータをメモリエレメント300中の同じ行に記憶させておくことで、メモリエレメント300の1行の読み出し動作によって、所定のコンフィギュレーションを行うことができる。こうして、コンフィギュレーションを速く行うことができ、動的コンフィギュレーションを容易に行うことができる。

10

【0187】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0188】

(実施の形態4)

本実施の形態では、ロジックエレメント310が有するルックアップテーブル312の態様について説明する。ルックアップテーブル312は複数のマルチプレクサを用いて構成することができる。そして、複数のマルチプレクサの入力端子及び制御端子のうちのいずれかにコンフィギュレーションデータが入力される構成とすることができる。

【0189】

図11(A)に、ロジックエレメント310が有するルックアップテーブル312の一態様を示す。

20

【0190】

図11(A)において、ルックアップテーブル312は、2入力のマルチプレクサを7つ(マルチプレクサ31、マルチプレクサ32、マルチプレクサ33、マルチプレクサ34、マルチプレクサ35、マルチプレクサ36、マルチプレクサ37)用いて構成されている。マルチプレクサ31乃至マルチプレクサ34の各入力端子が、ルックアップテーブル312の入力端子M1乃至M8となっている。マルチプレクサ31乃至マルチプレクサ34の各制御端子は電気的に接続されて、ルックアップテーブル312の入力端子IN3となっている。マルチプレクサ31の出力端子、及びマルチプレクサ32の出力端子は、マルチプレクサ35の2つの入力端子と電気的に接続され、マルチプレクサ33の出力端子、及びマルチプレクサ34の出力端子は、マルチプレクサ36の2つの入力端子と電気的に接続されている。マルチプレクサ35及びマルチプレクサ36の各制御端子は電気的に接続されて、ルックアップテーブル312の入力端子IN2となっている。マルチプレクサ35の出力端子、及びマルチプレクサ36の出力端子は、マルチプレクサ37の2つの入力端子と電気的に接続されている。マルチプレクサ37の制御端子は、ルックアップテーブル312の入力端子IN1となっている。マルチプレクサ37の出力端子がルックアップテーブル312の出力端子OUTとなっている。

30

【0191】

入力端子M1乃至M8、及びIN1乃至IN3のいずれかにコンフィギュレーションメモリ311の各記憶素子からコンフィギュレーションデータを入力することによって、ルックアップテーブル312によって行われる演算処理の種類を特定することができる。

40

【0192】

例えば、図11(A)のルックアップテーブル312において、入力端子M1乃至M8に、"0"、"1"、"0"、"1"、"0"、"1"、"1"、"1"のデータを入力した場合、図11(C)に示す等価回路の機能を実現することができる。ここで、入力端子IN1乃至IN3には、"A"、"B"、"C"を割り当て、出力端子OUTには"Y"を割り当てる。

【0193】

図11(B)に、ロジックエレメント310が有するルックアップテーブル312の別の1態様を示す。

50

【0194】

図11(B)において、ルックアップテーブル312は、2入力のマルチプレクサを3つ(マルチプレクサ41、マルチプレクサ42、マルチプレクサ43)と、2入力のOR回路44と、用いて構成されている。マルチプレクサ41及びマルチプレクサ42の各入力端子が、ルックアップテーブル312の入力端子M1乃至M4となっている。マルチプレクサ41の制御端子は、ルックアップテーブル312の入力端子IN1となっている。マルチプレクサ42の制御端子は、ルックアップテーブル312の入力端子IN2となっている。マルチプレクサ41の出力端子、及びマルチプレクサ42の出力端子は、マルチプレクサ43の2つの入力端子と電気的に接続されている。OR回路44の2つの入力端子はそれぞれ、ルックアップテーブル312の入力端子IN3、IN4となり、OR回路44の出力がマルチプレクサ43の制御端子に入力されている。マルチプレクサ43の出力端子がルックアップテーブル312の出力端子OUTとなっている。

10

【0195】

入力端子M1乃至M4、及びIN1乃至IN4のいずれかにコンフィギュレーションメモリ311の各記憶素子からコンフィギュレーションデータを入力することによって、ルックアップテーブル312によって行われる演算処理の種類を特定することができる。

【0196】

例えば、図11(B)のルックアップテーブル312において、入力端子M1、M3、M4、IN2、IN4に、"0"、"1"、"0"、"0"、"0"のデータを入力した場合、図11(C)に示す等価回路の機能を実現することができる。ここで、入力端子IN1、M2、IN3には、"A"、"B"、"C"を割り当て、出力端子OUTには"Y"を割り当てる。

20

【0197】

なお、図11(A)及び図11(B)では、2入力のマルチプレクサを用いて構成したルックアップテーブルの例を示したがこれに限定されない。より多くの入力のマルチプレクサを用いて構成したルックアップテーブルを用いることもできる。

【0198】

また、ルックアップテーブルは、マルチプレクサの他に、ダイオード、抵抗素子、演算回路(演算素子)、スイッチのいずれかまたは全てを更に有していても良い。演算回路(演算素子)としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチとして、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路(演算素子)を用いることもできる。

30

【0199】

また、図11(A)や図11(B)に示したルックアップテーブル312を用いて、図11(C)の様な3入力1出力の演算処理を行う場合について示したがこれに限定されない。ルックアップテーブル及び入力するコンフィギュレーションデータを適宜定めることによって、より多くの入力、多くの出力の演算処理を実現することができる。

【0200】

40

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0201】

(実施の形態5)

本実施の形態では、ロジックエレメント310が有する選択回路314の態様について説明する。選択回路314はマルチプレクサやスイッチを用いて構成することができる。そして、マルチプレクサやスイッチの制御端子にコンフィギュレーションデータが入力される構成とすることができる。

【0202】

図12(A)に、ロジックエレメント310が有する選択回路314の一態様を示す。

【0203】

50

図12(A)において、選択回路314は、8入力のマルチプレクサ51によって構成される。3ビット分のコンフィギュレーションデータを制御端子Mに入力することによって、マルチプレクサ51の入力端子IN1乃至IN8それぞれに入力される信号のいずれかを選択的に出力端子OUTから出力することができる。

【0204】

なお、図12(A)では、8入力のマルチプレクサを用いて構成した選択回路の例を示したがこれに限定されない。より多くの入力のマルチプレクサを用いて構成した選択回路を用いることもできる。また、選択回路は、マルチプレクサの他に、ダイオード、抵抗素子、演算回路(演算素子)、スイッチのいずれかまたは全てを更に有していても良い。演算回路(演算素子)としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチとして、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路(演算素子)を用いることもできる。

【0205】

図12(B)に、ロジックエレメント310が有する選択回路314の別の一態様を示す。

【0206】

図12(B)において、選択回路314は、スイッチとして機能するトランジスタ61乃至トランジスタ64によって構成される。トランジスタ61のゲートは端子M1と電気的に接続され、トランジスタ62のゲートは端子M2と電気的に接続され、トランジスタ63のゲートは端子M3と電気的に接続され、トランジスタ64のゲートは端子M4と電気的に接続される。入力端子IN1は、トランジスタ61のソースとドレイン間を介して出力端子OUTと電気的に接続される。入力端子IN2は、トランジスタ62のソースとドレイン間を介して出力端子OUTと電気的に接続される。入力端子IN3は、トランジスタ63のソースとドレイン間を介して出力端子OUTと電気的に接続される。入力端子IN4は、トランジスタ64のソースとドレイン間を介して出力端子OUTと電気的に接続される。図12(B)において、4ビット分のコンフィギュレーションデータを入力端子M1乃至M4に入力することによって、入力端子IN1乃至IN4それぞれに入力される信号のいずれかを選択的に出力端子OUTから出力することができる。なお、トランジスタ61乃至トランジスタ64のうちの2つ以上を同時にオン状態とすることによって、入力端子IN1乃至IN4のうちの2つ以上を互いに電気的に接続することもできる。

【0207】

なお、トランジスタ61乃至トランジスタ64の代わりに、スイッチとしての機能を有する任意の素子を用いることが可能である。

【0208】

また、図12(B)では、4入力、1出力の選択回路の例を示したがこれに限定されない。より多くの入力、より多くの出力の選択回路を用いることもできる。また、選択回路は、マルチプレクサ、ダイオード、抵抗素子、演算回路(演算素子)、スイッチのいずれかまたは全てを更に有していても良い。演算回路(演算素子)としては、バッファ、インバータ、NAND回路、NOR回路、スリーステートバッファ、クロックドインバータ等を用いることができる。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。また、スイッチとして、クロック信号及びクロック信号の反転信号の一方または両方が入力される演算回路(演算素子)を用いることもできる。

【0209】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0210】

(実施の形態6)

図1(B)に示した記憶素子100aの作製方法について説明する。なお、端子Bと端子Dが電気的に接続されている構成を例にその作製方法について説明する。トランジスタ

10

20

30

40

50

102は、チャネルがシリコンで形成されるトランジスタである場合を例に挙げる。本実施の形態では、トランジスタ102と、チャネルが酸化物半導体層に形成されるトランジスタ101と、容量素子103とを例に挙げて、記憶素子100aの作製方法について説明する。

【0211】

なお、記憶素子100bにおけるトランジスタ101及びトランジスタ102は、記憶素子100aにおけるトランジスタ101及びトランジスタ102と同様に作製することができる。記憶素子100cにおけるトランジスタ104及び容量素子105は、記憶素子100aにおけるトランジスタ101及び容量素子103と同様に作製することができる。

10

【0212】

更に、プログラマブルLSIが有するその他のトランジスタや容量素子も、記憶素子100aにおけるトランジスタ101、トランジスタ102、容量素子103と同様に作製することができる。例えば、ロジックエレメント中の、コンフィギュレーションメモリ、ルックアップテーブル、選択回路、レジスタが有するトランジスタ等も、トランジスタ101、トランジスタ102、容量素子103と同様に作製することができる。

【0213】

まず、図13(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

【0214】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

20

【0215】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ102の作製方法について説明する。なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、1N/cm²以上500N/cm²以下、好ましくは11N/cm²以上20N/cm²以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板700の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッティング等により所望の形状に加工することで、半導体膜702を形成することができる。

30

【0216】

半導体膜702には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型の導電性を付与する不純物元素、若しくはリン、砒素などのn型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、所定の形状にエッティング加工する前の半導体膜に対して行っても良いし、所定の形状にエッティング加工した後の半導体膜702に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を

40

50

、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、所定の形状にエッティング加工する前の半導体膜に対して、又は所定の形状にエッティング加工した後の半導体膜 702 に対しても行っても良い。

【0217】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜 701 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせて用いることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、950 度の高温加熱法を組み合わせた結晶化法を用いても良い。

10

【0218】

次に、図 13 (B) に示すように、半導体膜 702 上にゲート絶縁膜 703 を形成した後、ゲート絶縁膜 703 上にマスク 705 を形成し、導電性を付与する不純物元素を半導体膜 702 の一部に添加することで、不純物領域 704 を形成する。

【0219】

ゲート絶縁膜 703 は、高密度プラズマ処理、熱処理などを行うことにより半導体膜 702 の表面を酸化又は窒化することで形成することができる。高密度プラズマ処理は、例えば H e、A r、K r、X e などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル (O H ラジカルを含む場合もある) や窒素ラジカル (N H ラジカルを含む場合もある) によって、半導体膜の表面を酸化又は窒化することにより、1 ~ 20 nm、望ましくは 5 ~ 10 nm の絶縁膜が半導体膜に接するように形成できる。例えば、亜酸化窒素 (N₂O) を A r で 1 ~ 3 倍 (流量比) に希釈して、10 ~ 30 Pa の圧力にて 3 ~ 5 kW のマイクロ波 (2.45 GHz) 電力を印加して半導体膜 702 の表面を酸化若しくは窒化させる。この処理により 1 nm ~ 10 nm (好ましくは 2 nm ~ 6 nm) の絶縁膜を形成する。更に亜酸化窒素 (N₂O) とシラン (SiH₄) を導入し、10 ~ 30 Pa の圧力にて 3 ~ 5 kW のマイクロ波 (2.45 GHz) 電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁膜を形成することができる。

20

【0220】

上述した高密度プラズマ処理による半導体膜の酸化又は窒化は固相反応で進むため、ゲート絶縁膜 703 と半導体膜 702 との界面準位密度を極めて低くすることができる。また高密度プラズマ処理により半導体膜 702 を直接酸化又は窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

30

【0221】

また、プラズマ CVD 法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y (x > 0, y > 0))、窒素が添加されたハフニウムシリケート (HfSi_xO_y (x > 0, y > 0))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y (x > 0, y > 0)) 等を含む膜を、単層で、又は積層させることで、ゲート絶縁膜 703 を形成しても良い。

40

50

【0222】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0223】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができます。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

【0224】

次いで、マスク705を除去した後、図13(C)に示すように、ゲート絶縁膜703の一部を除去して、不純物領域704と重畳する領域にエッチング等により開口部706を形成した後、ゲート電極707及び導電膜708を形成する。

【0225】

ゲート電極707及び導電膜708は、開口部706を覆うように導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。導電膜708は、開口部706において不純物領域704と接している。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピンドル法等を用いることができる。また、導電膜は、タンタル(Ta)、タンクスチタン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0226】

なお、本実施の形態ではゲート電極707及び導電膜708を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707及び導電膜708は積層された複数の導電膜で形成されていても良い。

【0227】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタンクスチタンを用いることができる。上記例の他に、窒化タンクスチタンとタンクスチタン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タンクスチタンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタンクスチタンシリサイド等も用いることができる。

【0228】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0229】

また、ゲート電極707及び導電膜708に酸化インジウム、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0230】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707及び導電膜708を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0231】

また、ゲート電極707及び導電膜708は、導電膜を形成後、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い

10

20

30

40

50

、エッチング条件（コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等）を適宜調節することにより、所望のテーパー形状を有するようにエッチングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

【0232】

次に、図13(D)に示すように、ゲート電極707及び導電膜708をマスクとして一導電性を付与する不純物元素を半導体膜702に添加することで、ゲート電極707と重なるチャネル形成領域710と、チャネル形成領域710を間に挟む一対の不純物領域709と、不純物領域704の一部に更に不純物元素が添加された不純物領域711とが、半導体膜702に形成される。

【0233】

本実施の形態では、半導体膜702にp型を付与する不純物元素（例えばボロン）を添加する場合を例に挙げる。

【0234】

次いで、図14(A)に示すように、ゲート絶縁膜703、ゲート電極707、導電膜708を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【0235】

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707及び導電膜708上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707及び導電膜708上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していくても良い。

【0236】

次いで、図14(B)に示すように、絶縁膜712及び絶縁膜713にCMP（化学的機械研磨）処理やエッチング処理を行うことにより、ゲート電極707及び導電膜708の表面を露出させる。なお、後に形成されるトランジスタ101の特性を向上させるために、絶縁膜712、絶縁膜713の表面は可能な限り平坦にしておくことが好ましい。

【0237】

以上の工程により、トランジスタ102を形成することができる。

【0238】

次いで、トランジスタ101の作製方法について説明する。まず、図14(C)に示すように、絶縁膜712又は絶縁膜713上に酸化物半導体層716を形成する。

【0239】

酸化物半導体層716は、絶縁膜712及び絶縁膜713上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0240】

10

20

30

40

50

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜712及び絶縁膜713の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0241】

酸化物半導体層としては、少なくともインジウム(Indium)あるいは亜鉛(Zinc)を含むことが好ましい。特にIndiumとZincを含むことが好ましい。また、該酸化物半導体層を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Gallium)を有することが好ましい。また、スタビライザーとしてスズ(Silver)を有することが好ましい。また、スタビライザーとしてハフニウム(Hafnium)を有することが好ましい。また、スタビライザーとしてアルミニウム(Aluminum)を有することが好ましい。また、他のスタビライザーとして、ランタノイドである、ランタン(Lanthanum)、セリウム(Cerium)、プラセオジム(Praseodymium)、ネオジム(Neodimium)、サマリウム(Samarium)、ユウロビウム(Yttrium)、ガドリニウム(Gadolinium)、テルビウム(Terbium)、ジスプロシウム(Dysprosium)、ホルミウム(Holmium)、エルビウム(Erbium)、ツリウム(Triplumbium)、イッテルビウム(Ytterbium)、ルテチウム(Lutetium)のいずれか一種あるいは複数種を有してもよい。例えば、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIndium-Zinc系酸化物、Silver-Zinc系酸化物、Aluminum-Zinc系酸化物、Zinc-Magnesium系酸化物、Silver-Magnesium系酸化物、Indium-Gallium系酸化物、三元系金属の酸化物であるIndium-Gallium-Zinc系酸化物(IGZOとも表記する)、Indium-Aluminum-Zinc系酸化物、Indium-Silver-Zinc系酸化物、Silver-Gallium-Zinc系酸化物、Aluminum-Gallium-Zinc系酸化物、Silver-Aluminum-Zinc系酸化物、Indium-Hafnium-Zinc系酸化物、Indium-Lanthanum-Zinc系酸化物、Indium-Cerium-Zinc系酸化物、Indium-Praseodymium-Zinc系酸化物、Indium-Neodimium-Zinc系酸化物、Indium-Samarium-Zinc系酸化物、Indium-Erbium-Zinc系酸化物、Indium-Triplumbium-Zinc系酸化物、Indium-Dysprosium-Zinc系酸化物、Indium-Holmium-Zinc系酸化物、Indium-Erbium-Zinc系酸化物、Indium-Triplumbium-Zinc系酸化物、Indium-Ytterbium-Zinc系酸化物、Indium-Lutetium-Zinc系酸化物、四元系金属の酸化物であるIndium-Silver-Gallium-Zinc系酸化物、Indium-Hafnium-Gallium-Zinc系酸化物、Indium-Aluminum-Gallium-Zinc系酸化物、Indium-Silver-Aluminum-Zinc系酸化物、Indium-Silver-Hafnium-Zinc系酸化物、Indium-Hafnium-Aluminum-Zinc系酸化物を用いることができる。

【0242】

例えば、Indium-Gallium-Zinc系酸化物半導体とは、インジウム(Indium)、ガリウム(Gallium)、亜鉛(Zinc)を有する酸化物半導体、という意味であり、その組成比は問わない。

【0243】

また、酸化物半導体層は、化学式 $Indium_n MO_3 (ZincO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される薄膜を用いることができる。ここで、Mは、Gallium、Ferrous、Manganese及びCopperから選ばれた一または複数の金属元素を示す。また、酸化物半導体として、 $Indium_3 Zinc_5 (ZincO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0244】

また、酸化物半導体としてIndium-Zinc系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $Indium : Zinc = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $Indium_2 Zinc_3 : ZincO = 25 : 1 \sim 1 : 4$)、好ましくは $Indium : Zinc = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $Indium_2 Zinc_3 : ZincO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $Indium : Zinc = 1.5 : 1 \sim 1.5 : 1$ (モル数比に換算すると $Indium_2 Zinc_3 : ZincO = 3 : 4 \sim 1.5 : 2$)とする。例えば、Indium-Zinc系酸化物半導体の形成に用いるターゲットは、原子数比が $Indium : Zinc : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0245】

本実施の形態では、Indium(インジウム)、Gallium(ガリウム)、及びZinc(亜鉛)を含む

10

20

30

40

50

ターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、又はIn:Ga:Zn=1:1:2であるターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0246】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

20

【0247】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0248】

また、スパッタリング装置の処理室のリーコレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

30

【0249】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0250】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜712及び絶縁膜713までが形成された基板700を予備加熱し、基板700に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100以上400

40

以下、好ましくは150以上300以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜721の成膜前に、導電膜719、導電膜720まで形成した基板700にも同様に行ってよい。

【0251】

なお、酸化物半導体層716を形成するためのエッティングは、ドライエッティングでもウエットエッティングでもよく、両方を用いてよい。ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl₂)、三塩化硼素(BCl₃)、四塩化珪素(SiCl₄)、四塩化炭素(CCl₄)など)が好ましい。また、

50

フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ C F_4 ）、六弗化硫黄（ S F_6 ）、三弗化窒素（ N F_3 ）、トリフルオロメタン（ C H F_3 ）など）、臭化水素（ H B r ）、酸素（ O_2 ）、これらのガスにヘリウム（ H e ）やアルゴン（ A r ）などの希ガスを添加したガス、などを用いることができる。

【0252】

ドライエッチング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

10

【0253】

ウェットエッチングに用いるエッチング液として、磷酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

【0254】

酸化物半導体層716を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0255】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層716及び絶縁膜712及び絶縁膜713の表面に付着しているレジスト残渣などを除去することが好ましい。

20

【0256】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体層716に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20 ppm（露点換算で-55）以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気）雰囲気下で、酸化物半導体層716に加熱処理を施す。

30

【0257】

酸化物半導体層716に加熱処理を施すことで、酸化物半導体層716中の水分又は水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0258】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

40

【0259】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Annealing）装置、LRTA（Lamp Rapid Thermal Annealing）装置等のRTA（Rapid Thermal Annealing）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物

50

と反応しない不活性気体が用いられる。

【0260】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0261】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている(神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44, pp.621-633.)。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa⁺となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が1×10⁻⁸/cm³以下、より好ましくは1×10⁻⁷/cm³以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、5×10⁻⁶/cm³以下、好ましくは1×10⁻⁶/cm³以下、更に好ましくは1×10⁻⁵/cm³以下とするとよい。同様に、Li濃度の測定値は、5×10⁻⁵/cm³以下、好ましくは1×10⁻⁵/cm³以下とするとよい。同様に、K濃度の測定値は、5×10⁻⁵/cm³以下、好ましくは1×10⁻⁵/cm³以下とするとよい。

【0262】

以上の工程により、酸化物半導体層716中の水素の濃度を低減することができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。上記加熱処理は、酸化物半導体層の成膜以降であれば、いつでも行うことができる。

【0263】

なお、酸化物半導体層は非晶質であっても良いが、結晶性を有していても良い。酸化物半導体層は、単結晶でも、非単結晶でもよい。非単結晶の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。酸化物半導体層としては、c軸配向し、そのab面に垂直な方向から見て、三角形、六角形、正三角形、または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む結晶(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物を用いることができる。

【0264】

CAACを含む酸化物半導体膜は、スパッタリング法によつても作製することができる。スパッタリング法によつてCAACを含む酸化物を得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり(例えば、150mm~200mm程度)、基板加熱温度を100~500、好適には200~400、さらに好適には250~300にすると好ましい。また、

10

20

30

40

50

これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

【0265】

C A A C を含む酸化物は、非晶質の酸化物半導体と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって金属原子における酸素原子の配位数が異なることも有り得るが、C A A C を含む酸化物では金属原子における酸素原子の配位数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子（水素イオンを含む）やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

10

【0266】

従って、C A A C 含む酸化物半導体膜を用いてトランジスタを作製することで、トランジスタへの光照射またはバイアス・熱ストレス（B T）の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

【0267】

次いで、図15（A）に示すように、ゲート電極707と接し、なおかつ酸化物半導体層716とも接する導電膜719と、導電膜708と接し、なおかつ酸化物半導体層716とも接する導電膜720とを形成する。導電膜719及び導電膜720は、ソース電極又はドレイン電極として機能する。

20

【0268】

具体的に、導電膜719及び導電膜720は、ゲート電極707及び導電膜708を覆うようにスパッタ法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。

【0269】

導電膜719及び導電膜720となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

30

【0270】

また、導電膜719及び導電膜720となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。また、C u - M g - A l 合金、M o - T i 合金、T i 、M o 、は、酸化膜との密着性が高い。よって、下層にC u - M g - A l 合金、M o - T i 合金、T i 、或いはM o で構成される導電膜、上層にC u で構成される導電膜を積層し、上記積層された導電膜を導電膜719及び導電膜720に用いることで、酸化膜である絶縁膜と、導電膜719及び導電膜720との密着性を高めることができる。

40

【0271】

また、導電膜719及び導電膜720となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0272】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持た

50

せることのが好ましい。

【0273】

なお、導電膜のエッティングの際に、酸化物半導体層716がなるべく除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。エッティング条件によっては、酸化物半導体層716の露出した部分が一部エッティングされることで、溝部(凹部)が形成されることもある。

【0274】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液(アンモニア過水)を用いて、選択的に導電膜をウェットエッティングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5:2:2で混合したアンモニア過水を用いる。或いは、塩素(C1₂)、塩化硼素(BC1₃)などを含むガスを用いて、導電膜をドライエッティングしても良い。

10

【0275】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッティング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッティングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッティング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0276】

また、酸化物半導体層716と、ソース電極又はドレイン電極として機能する導電膜719及び導電膜720との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0277】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッティング加工と、導電膜719及び導電膜720を形成するためのエッティング加工とを一括で行うようにしても良い。

30

【0278】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体層716と導電膜719及び導電膜720の間の抵抗を下げる所以で、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【0279】

次いで、N₂O、N₂、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体層の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

40

【0280】

なお、プラズマ処理を行った後、図15(B)に示すように、導電膜719及び導電膜720と、酸化物半導体層716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体層716と重なる位置にゲート電極722を形成し、導電膜719と重なる位置に導電膜723を形成する。

【0281】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することができる。なお、ゲート絶縁膜721は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で

50

構成されていても良い。ゲート絶縁膜721に水素が含まれると、その水素が酸化物半導体層716へ侵入し、又は水素が酸化物半導体層716中の酸素を引き抜き、酸化物半導体層716が低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜721はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜721には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体層716に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜719及び導電膜720及び酸化物半導体層716と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体層716内、ゲート絶縁膜721内、或いは、酸化物半導体層716と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層716に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体層716に接するのを防ぐことができる。

【0282】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、ゲート絶縁膜721を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0283】

なお、ゲート絶縁膜721を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、導電膜719及び導電膜720を形成する前に、水分又は水素を低減させるための酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含むゲート絶縁膜721が設けられた後に、加熱処理が施されることによって、酸化物半導体層716に対して行った先の加熱処理により、酸化物半導体層716に酸素欠損が発生していたとしても、ゲート絶縁膜721から酸化物半導体層716に酸素が供与される。そして、酸化物半導体層716に酸素が供与されることで、酸化物半導体層716において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体層716には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体層716をi型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜721の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層716をi型に近づけることができる。

【0284】

また、酸素雰囲気下で酸化物半導体層716に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体層716中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば100以上350未満、好ましくは150以上250未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0285】

10

20

30

40

50

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体層716に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を酸化物半導体層716に添加すれば良い。

【0286】

また、ゲート電極722及び導電膜723は、ゲート絶縁膜721上に導電膜を形成した後、該導電膜をエッチング加工することで形成することができる。ゲート電極722及び導電膜723は、ゲート電極707、或いは導電膜719及び導電膜720と同様の材料を用いて形成することが可能である。

【0287】

ゲート電極722及び導電膜723の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タンゲステンターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工することで、ゲート電極722及び導電膜723を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0288】

以上の工程により、トランジスタ101が形成される。

【0289】

なお、トランジスタ101として、チャネルが酸化物半導体層に形成されるトランジスタに限定されず、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むトランジスタを用いることもできる。このような半導体材料としては、酸化物半導体の他に、例えば、炭化シリコン、窒化ガリウムなどが挙げられる。このような半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。

【0290】

なお、ゲート絶縁膜721を間に挟んで導電膜719と導電膜723とが重なる部分が、容量素子103に相当する。

【0291】

また、トランジスタ101はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0292】

なお、酸化物半導体層716に接する絶縁膜（本実施の形態においては、ゲート絶縁膜721が該当する。）は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0293】

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上のものを示す。

【0294】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同

10

20

30

40

50

様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【0295】

また、酸化物半導体層716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

10

【0296】

例えば、酸化物半導体層716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 +$ 、 $0 < X < 1$) とすることができます。

【0297】

また、酸化物半導体層716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 +$ 、 $0 < X < 1$) とすることができます。

20

【0298】

また、酸化物半導体層716に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ ($0 < X < 2$ 、 $0 < X < 1$) とすることができます。

【0299】

酸素ドープ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層を*i*型化又は*n*型に限りなく近くすることができる。

30

【0300】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層716を挟む構成とすることで、上記効果をより高めることができる。

【0301】

また、酸化物半導体層716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_x ($X = 3 +$ 、 $0 < X < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_x ($X = 3 +$ 、 $0 < X < 1$) の酸化ガリウムとし、他方を組成が Al_2O_x ($X = 3 +$ 、 $0 < X < 1$) の酸化アルミニウムとしても良い。

40

【0302】

また、酸化物半導体層716に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層716の上層に組成が Ga_2O_x ($X = 3 +$ 、 $0 < X < 1$) の酸化ガリウムを形成し、その上に組成が $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ ($0 < X < 2$ 、 $0 < X < 1$) の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、酸化物半導体層716の下層を、化学量論的組

50

成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層716の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

【0303】

次に、図15(C)に示すように、ゲート絶縁膜721、導電膜723、ゲート電極722を覆うように、絶縁膜724を形成する。絶縁膜724は、PVD法やCVD法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜724には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁膜724の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜724を単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

【0304】

次に、ゲート絶縁膜721、絶縁膜724に開口部725を形成し、導電膜720の一部を露出させる。その後、絶縁膜724上に、上記開口部725において導電膜720と接する配線726を形成する。

【0305】

配線726は、PVD法や、CVD法を用いて導電膜を形成した後、当該導電膜をエッティング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクスチタンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

【0306】

より具体的には、例えば、絶縁膜724の開口を含む領域にPVD法によりチタン膜を薄く形成し、PVD法によりチタン膜を薄く(5nm程度)形成した後に、開口部725に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは導電膜720)との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0307】

絶縁膜724に形成する開口部725は、導電膜708と重畳する領域に形成することが望ましい。このような領域に開口部725を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

【0308】

ここで、導電膜708を用いずに、不純物領域704と導電膜720との接続と、導電膜720と配線726との接続とを重畳させる場合について説明する。この場合、不純物領域704上に形成された絶縁膜712、絶縁膜713に開口部(下部の開口部と呼ぶ)を形成し、下部の開口部を覆うように導電膜720を形成した後、ゲート絶縁膜721及び絶縁膜724において、下部の開口部と重畳する領域に開口部(上部の開口部と呼ぶ)を形成し、配線726を形成することになる。下部の開口部と重畳する領域に上部の開口部を形成する際に、エッティングにより下部の開口部に形成された導電膜720が断線してしまうおそれがある。これを避けるために、下部の開口部と上部の開口部が重畳しないように形成することにより、素子面積が増大するという問題がおこる。

【0309】

本実施の形態に示すように、導電膜708を用いることにより、導電膜720を断線させずに上部の開口部を形成することが可能となる。これにより、下部の開口部と上部の開口部を重畳させて設けることができるため、開口部に起因する素子面積の増大を抑制する

10

20

30

40

50

ことができる。つまり、半導体装置の集積度を高めることができる。

【0310】

次に、配線726を覆うように絶縁膜727を形成する。上述した一連の工程により、記憶素子100bを作製することができる。

【0311】

なお、上記作製方法では、ソース電極及びドレイン電極として機能する導電膜719及び導電膜720が、酸化物半導体層716の後に形成されている。よって、図15(B)に示すように、上記作製方法によって得られるトランジスタ101は、導電膜719及び導電膜720が、酸化物半導体層716の上に形成されている。しかし、トランジスタ101は、ソース電極及びドレイン電極として機能する導電膜が、酸化物半導体層716の下、すなわち、酸化物半導体層716と絶縁膜712及び絶縁膜713の間に設けられていても良い。
10

【0312】

図16に、ソース電極及びドレイン電極として機能する導電膜719及び導電膜720が、酸化物半導体層716と絶縁膜712及び絶縁膜713の間に設けられている場合の、トランジスタ101の断面図を示す。図16に示すトランジスタ101は、絶縁膜713を形成した後に導電膜719及び導電膜720の形成を行い、次いで酸化物半導体層716の形成を行うことで、得ることができる。

【0313】

上述のように、メモリエレメント300が有する記憶素子を構成するトランジスタや容量素子は、プログラマブルLSIが有するその他のトランジスタや容量素子と同様に作製することができる。例えば、ロジックエレメント310中の、コンフィギュレーションメモリ311、ルックアップテーブル312、選択回路314、レジスタ313が有するトランジスタが形成された基板上に、メモリエレメント300が有する記憶素子のチャネルが酸化物半導体層に形成されるトランジスタを作製することができる。特に、ロジックエレメント310中の、コンフィギュレーションメモリ311、ルックアップテーブル312、選択回路314、レジスタ313が有するトランジスタの少なくとも一部と重なるように、メモリエレメント300が有する記憶素子のチャネルが酸化物半導体層に形成されるトランジスタを作製することもできる。こうして、不揮発性メモリの様に機能するメモリエレメント300と、ロジックエレメント310とを、同一基板上に一体形成することができる。そのため、プログラマブルLSIを小型化することができる。また、メモリエレメント300とロジックエレメント310との間の電気的接続を容易にすることができます。
20
30

【0314】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0315】

(実施の形態7)

本実施の形態では、実施の形態6とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。

【0316】

図17(A)に示すトランジスタ901は、絶縁膜902上に形成された、活性層として機能する酸化物半導体層903と、酸化物半導体層903上に形成されたソース電極904及びドレイン電極905と、酸化物半導体層903、ソース電極904及びドレイン電極905上のゲート絶縁膜906と、ゲート絶縁膜906上において酸化物半導体層903と重なる位置に設けられたゲート電極907とを有する。
40

【0317】

図17(A)に示すトランジスタ901は、ゲート電極907が酸化物半導体層903の上に形成されているトップゲート型であり、なおかつ、ソース電極904及びドレイン電極905が酸化物半導体層903の上に形成されているトップコンタクト型である。そして、トランジスタ901は、ソース電極904及びドレイン電極905と、ゲート電極907とを有する。
50

907とが重なっていない。すなわち、ソース電極904及びドレイン電極905とゲート電極907との間には、ゲート絶縁膜906の膜厚よりも大きい間隔が設けられている。よって、トランジスタ901は、ソース電極904及びドレイン電極905とゲート電極907との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0318】

また、酸化物半導体層903は、ゲート電極907が形成された後に酸化物半導体層903にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域908を有する。また、酸化物半導体層903のうち、ゲート絶縁膜906を間に挟んでゲート電極907と重なる領域がチャネル形成領域909である。酸化物半導体層903では、一対の高濃度領域908の間にチャネル形成領域909が設けられている。高濃度領域908を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族原子などを用いることができる。

【0319】

例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【0320】

n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体層903中の他の領域に比べて導電性が高くなる。よって、高濃度領域908を酸化物半導体層903に設けることで、ソース電極904とドレイン電極905の間の抵抗を下げることができる。

【0321】

また、In-Ga-Zn系酸化物半導体を酸化物半導体層903に用いた場合、窒素を添加した後、300以上600以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域908中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、ソース電極904とドレイン電極905の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極904とドレイン電極905の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atom%以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0322】

また、酸化物半導体層903は、CACを含む酸化物で構成されていても良い。酸化物半導体層903がCACを含む酸化物で構成されている場合、非晶質の場合に比べて酸化物半導体層903の導電率を高めることができるので、ソース電極904とドレイン電極905の間の抵抗を下げることができる。

【0323】

そして、ソース電極904とドレイン電極905の間の抵抗を下げることで、トランジスタ901の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ901の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0324】

図17(B)に示すトランジスタ911は、絶縁膜912上に形成されたソース電極914及びドレイン電極915と、ソース電極914及びドレイン電極915上に形成された活性層として機能する酸化物半導体層913と、酸化物半導体層913、ソース電極914及びドレイン電極915上のゲート絶縁膜916と、ゲート絶縁膜916上において酸化物半導体層913と重なる位置に設けられたゲート電極917とを有する。

【0325】

10

20

30

40

50

図17(B)に示すトランジスタ911は、ゲート電極917が酸化物半導体層913の上に形成されているトップゲート型であり、なおかつ、ソース電極914及びドレイン電極915が酸化物半導体層913の下に形成されているボトムコンタクト型である。そして、トランジスタ911は、トランジスタ901と同様に、ソース電極914及びドレイン電極915と、ゲート電極917とが重なっていないので、ソース電極914及びドレイン電極915とゲート電極917との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0326】

また、酸化物半導体層913は、ゲート電極917が形成された後に酸化物半導体層913にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域918を有する。また、酸化物半導体層913のうち、ゲート絶縁膜916を間に挟んでゲート電極917と重なる領域がチャネル形成領域919である。酸化物半導体層913では、一対の高濃度領域918の間にチャネル形成領域919が設けられている。

【0327】

高濃度領域918は、上述した、トランジスタ901が有する高濃度領域908の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域918を形成するためのドーパントの種類については、高濃度領域908の場合を参照することができる。

【0328】

例えば、窒素をドーパントとして用いた場合、高濃度領域918中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【0329】

n型の導電性を付与するドーパントが添加されている高濃度領域918は、酸化物半導体層913中の他の領域に比べて導電性が高くなる。よって、高濃度領域918を酸化物半導体層913に設けることで、ソース電極914とドレイン電極915との間の抵抗を下げることができる。

【0330】

また、In-Ga-Zn系酸化物半導体を酸化物半導体層913に用いた場合、窒素を添加した後、300以上600以下程度で加熱処理を施すことにより、高濃度領域918中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域918中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域918の導電性を高め、ソース電極914とドレイン電極915との間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極914とドレイン電極915との間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域918中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atoms%以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0331】

また、酸化物半導体層913は、CACを含む酸化物で構成されていても良い。酸化物半導体層913がCACを含む酸化物で構成されている場合、非晶質の場合に比べて酸化物半導体層913の導電率を高めることができるので、ソース電極914とドレイン電極915との間の抵抗を下げることができる。

【0332】

そして、ソース電極914とドレイン電極915との間の抵抗を下げることで、トランジスタ911の微細化を進めて、高いオン電流と、高速動作を確保することができる。また、トランジスタ911の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0333】

図17(C)に示すトランジスタ921は、絶縁膜922上に形成された、活性層として機能する酸化物半導体層923と、酸化物半導体層923上に形成されたソース電極9

10

20

30

40

50

24及びドレイン電極925と、酸化物半導体層923、ソース電極924及びドレイン電極925上のゲート絶縁膜926と、ゲート絶縁膜926上において酸化物半導体層923と重なる位置に設けられたゲート電極927とを有する。さらに、トランジスタ921は、ゲート電極927の側部に設けられた、絶縁膜で形成されたサイドウォール930を有する。

【0334】

図17(C)に示すトランジスタ921は、ゲート電極927が酸化物半導体層923の上に形成されているトップゲート型であり、なおかつ、ソース電極924及びドレイン電極925が酸化物半導体層923の上に形成されているトップコンタクト型である。そして、トランジスタ921は、トランジスタ901と同様に、ソース電極924及びドレイン電極925と、ゲート電極927とが重なっていないので、ソース電極924及びドレイン電極925とゲート電極927との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

10

【0335】

また、酸化物半導体層923は、ゲート電極927が形成された後に酸化物半導体層923にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域928と、一対の低濃度領域929とを有する。また、酸化物半導体層923のうち、ゲート絶縁膜926を間に挟んでゲート電極927と重なる領域がチャネル形成領域931である。酸化物半導体層923では、一対の高濃度領域928の間に一対の低濃度領域929が設けられ、一対の低濃度領域929の間にチャネル形成領域931が設けられている。そして、一対の低濃度領域929は、酸化物半導体層923中の、ゲート絶縁膜926を間に挟んでサイドウォール930と重なる領域に設けられている。

20

【0336】

高濃度領域928及び低濃度領域929は、上述した、トランジスタ901が有する高濃度領域908の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域928を形成するためのドーパントの種類については、高濃度領域908の場合を参照することができる。

【0337】

例えば、窒素をドーパントとして用いた場合、高濃度領域928中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域929中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

30

【0338】

n型の導電性を付与するドーパントが添加されている高濃度領域928は、酸化物半導体層923中の他の領域に比べて導電性が高くなる。よって、高濃度領域928を酸化物半導体層923に設けることで、ソース電極924とドレイン電極925との間の抵抗を下げることができる。また、低濃度領域929をチャネル形成領域931と高濃度領域928の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。

【0339】

40

また、In-Ga-Zn系酸化物半導体を酸化物半導体層923に用いた場合、窒素を添加した後、300以上600以下程度で加熱処理を施すことにより、高濃度領域928中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。またさらに、低濃度領域929も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域928中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域928の導電性を高め、ソース電極924とドレイン電極925との間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極924とドレイン電極925との間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域928中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atoms%以下とすることが望ましい。しかし、窒素原子が上記範

50

囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0340】

また、酸化物半導体層923は、CACを含む酸化物で構成されていても良い。酸化物半導体層923がCACを含む酸化物で構成されている場合、非晶質の場合に比べて酸化物半導体層923の導電率を高めることができるので、ソース電極924とドレイン電極925の間の抵抗を下げることができる。

【0341】

そして、ソース電極924とドレイン電極925の間の抵抗を下げることで、トランジスタ921の微細化を進めて、高いオン電流と、高速動作を確保することができる。また、トランジスタ921の微細化により、当該トランジスタを用いたメモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0342】

図17(D)に示すトランジスタ941は、絶縁膜942上に形成されたソース電極944及びドレイン電極945と、ソース電極944及びドレイン電極945上に形成された活性層として機能する酸化物半導体層943と、酸化物半導体層943、ソース電極944及びドレイン電極945上のゲート絶縁膜946と、ゲート絶縁膜946上において酸化物半導体層943と重なる位置に設けられたゲート電極947とを有する。さらに、トランジスタ941は、ゲート電極947の側部に設けられた、絶縁膜で形成されたサイドウォール950を有する。

【0343】

図17(D)に示すトランジスタ941は、ゲート電極947が酸化物半導体層943の上に形成されているトップゲート型であり、なおかつ、ソース電極944及びドレイン電極945が酸化物半導体層943の下に形成されているボトムコンタクト型である。そして、トランジスタ941は、トランジスタ901と同様に、ソース電極944及びドレイン電極945と、ゲート電極947とが重なっていないので、ソース電極944及びドレイン電極945とゲート電極947との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0344】

また、酸化物半導体層943は、ゲート電極947が形成された後に酸化物半導体層943にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域948と、一対の低濃度領域949とを有する。また、酸化物半導体層943のうち、ゲート絶縁膜946を間に挟んでゲート電極947と重なる領域がチャネル形成領域951である。酸化物半導体層943では、一対の高濃度領域948の間に一対の低濃度領域949が設けられ、一対の低濃度領域949の間にチャネル形成領域951が設けられている。そして、一対の低濃度領域949は、酸化物半導体層943中の、ゲート絶縁膜946を間に挟んでサイドウォール950と重なる領域に設けられている。

【0345】

高濃度領域948及び低濃度領域949は、上述した、トランジスタ901が有する高濃度領域908の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域948を形成するためのドーパントの種類については、高濃度領域908の場合を参照することができる。

【0346】

例えば、窒素をドーパントとして用いた場合、高濃度領域948中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域949中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0347】

n型の導電性を付与するドーパントが添加されている高濃度領域948は、酸化物半導体層943中の他の領域に比べて導電性が高くなる。よって、高濃度領域948を酸化物

10

20

30

40

50

半導体層 943 に設けることで、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。また、低濃度領域 949 をチャネル形成領域 951 と高濃度領域 948 の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。

【0348】

また、In-Ga-Zn 系酸化物半導体を酸化物半導体層 943 に用いた場合、窒素を添加した後、300 以上 600 以下程度で加熱処理を施すことにより、高濃度領域 948 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。またさらに、低濃度領域 949 も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域 948 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 948 の導電性を高め、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 944 とドレイン電極 945 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0349】

また、酸化物半導体層 943 は、CAC を含む酸化物で構成されていても良い。酸化物半導体層 943 がCAC を含む酸化物で構成されている場合、非晶質の場合に比べて酸化物半導体層 943 の導電率を高めることができるので、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。

【0350】

そして、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることで、トランジスタ 941 の微細化を進めて、高いオン電流と、高速動作を確保することができる。また、トランジスタ 941 の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0351】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180 nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504 - 507, 2010.)。

【0352】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまう。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0353】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【0354】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を 200 nm 以下とする場合には、短チャネル効果を防止する上で、チャ

10

20

30

40

50

ネル形成領域となる部分の酸化物半導体層の厚さは 20 nm 以下、好ましくは 10 nm 以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0355】

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

10

【0356】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【実施例1】

【0357】

本発明の一態様に係るプログラマブルLSIを用いた半導体装置を用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【0358】

本発明の一態様に係るプログラマブルLSIを用いた半導体装置は、表示装置、パソコン用コンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。

20

【0359】

本発明の一態様に係るプログラマブルLSIを用いた半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

30

【0360】

図18は、携帯用の電子機器のブロック図である。図18に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。CPU427に上記実施の形態で示したプログラマブルLSIを採用することによって、消費電力を低減することができる。

40

【0361】

図19は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452、マイクロプロセッサ453、フラッシュメモリ454、音声回路455、キーボード456、メモリ回路457、タッチパネル458、ディスプレイ459、ディスプレイコントローラ460によって構成される。上記実施の形態で示したプログラマブルLSIをマイクロプロセッサ453に採用することで、消費電力を低減することができる。

【0362】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

50

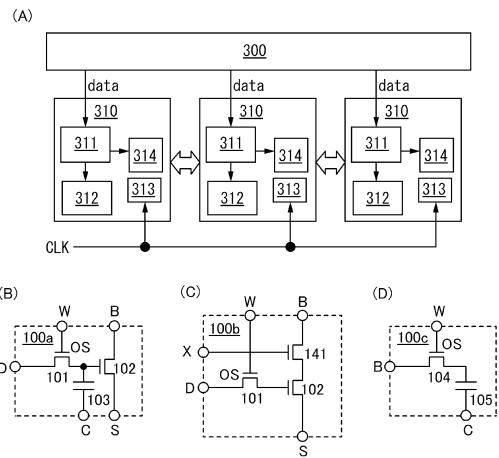
【 0 3 6 3 】

3 1	マルチプレクサ	
3 2	マルチプレクサ	
3 3	マルチプレクサ	
3 4	マルチプレクサ	
3 5	マルチプレクサ	
3 6	マルチプレクサ	
3 7	マルチプレクサ	
4 1	マルチプレクサ	10
4 2	マルチプレクサ	
4 3	マルチプレクサ	
4 4	OR回路	
5 1	マルチプレクサ	
6 1	トランジスタ	
6 2	トランジスタ	
6 3	トランジスタ	
6 4	トランジスタ	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	容量素子	20
1 0 4	トランジスタ	
1 0 5	容量素子	
1 4 1	トランジスタ	
1 8 1	トランジスタ	
1 8 2	トランジスタ	
3 0 0	メモリエレメント	
3 1 0	ロジックエレメント	
3 1 1	コンフィギュレーションメモリ	
3 1 2	ルックアップテーブル	
3 1 3	レジスタ	30
3 1 4	選択回路	
4 0 0	メモリセルアレイ	
4 0 1	センスアンプ回路	
4 0 2	プリチャージ回路	
4 0 3	列デコーダ	
4 0 4	行デコーダ	
4 2 1	RF回路	
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	パッテリー	40
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	CPU	
4 2 8	DSP	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	50

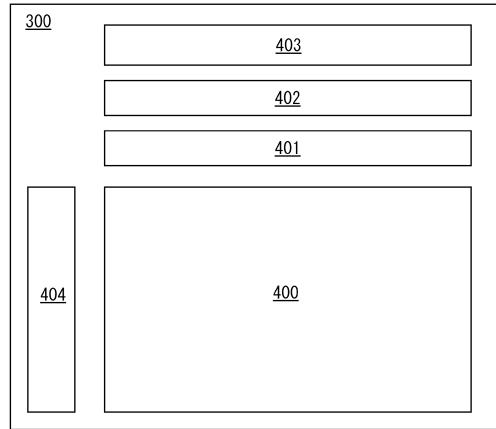
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 4 1	パッファ	
4 4 2	比較器	
4 4 3	ラッチ回路	
4 4 4	インバータ	10
4 4 5	インバータ	
4 4 6	スイッチ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	
4 5 4	フラッシュメモリ	
4 5 5	音声回路	
4 5 6	キーボード	
4 5 7	メモリ回路	
4 5 8	タッチパネル	
4 5 9	ディスプレイ	20
4 6 0	ディスプレイコントローラ	
5 0 1	記憶素子	
5 0 2	記憶素子	
5 0 3	記憶素子	
5 1 1	インバータ	
5 1 2	インバータ	
5 1 3	容量素子	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	30
7 0 3	ゲート絶縁膜	
7 0 4	不純物領域	
7 0 5	マスク	
7 0 6	開口部	
7 0 7	ゲート電極	
7 0 8	導電膜	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	
7 1 1	不純物領域	
7 1 2	絶縁膜	40
7 1 3	絶縁膜	
7 1 6	酸化物半導体層	
7 1 9	導電膜	
7 2 0	導電膜	
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	
7 2 3	導電膜	
7 2 4	絶縁膜	
7 2 5	開口部	
7 2 6	配線	50

7 2 7	絶縁膜	
9 0 1	トランジスタ	
9 0 2	絶縁膜	
9 0 3	酸化物半導体層	
9 0 4	ソース電極	
9 0 5	ドレイン電極	
9 0 6	ゲート絶縁膜	
9 0 7	ゲート電極	
9 0 8	高濃度領域	
9 0 9	チャネル形成領域	10
9 1 1	トランジスタ	
9 1 2	絶縁膜	
9 1 3	酸化物半導体層	
9 1 4	ソース電極	
9 1 5	ドレイン電極	
9 1 6	ゲート絶縁膜	
9 1 7	ゲート電極	
9 1 8	高濃度領域	
9 1 9	チャネル形成領域	
9 2 1	トランジスタ	20
9 2 2	絶縁膜	
9 2 3	酸化物半導体層	
9 2 4	ソース電極	
9 2 5	ドレイン電極	
9 2 6	ゲート絶縁膜	
9 2 7	ゲート電極	
9 2 8	高濃度領域	
9 2 9	低濃度領域	
9 3 0	サイドウォール	
9 3 1	チャネル形成領域	30
9 4 1	トランジスタ	
9 4 2	絶縁膜	
9 4 3	酸化物半導体層	
9 4 4	ソース電極	
9 4 5	ドレイン電極	
9 4 6	ゲート絶縁膜	
9 4 7	ゲート電極	
9 4 8	高濃度領域	
9 4 9	低濃度領域	
9 5 0	サイドウォール	40
9 5 1	チャネル形成領域	
1 0 0 a	記憶素子	
1 0 0 b	記憶素子	
1 0 0 c	記憶素子	
1 4 5 0	素子	
1 4 5 1	センスアンプ	
1 4 5 2	スイッチ	
1 4 5 3	負荷	

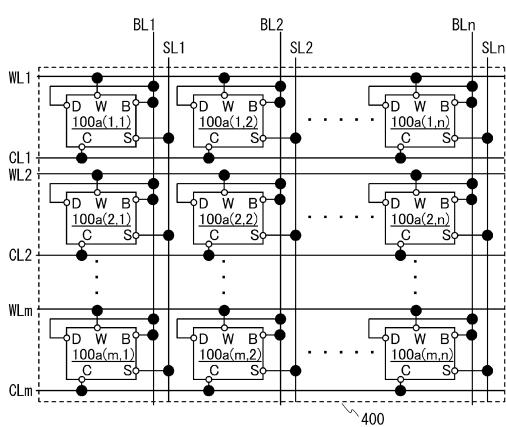
【図1】



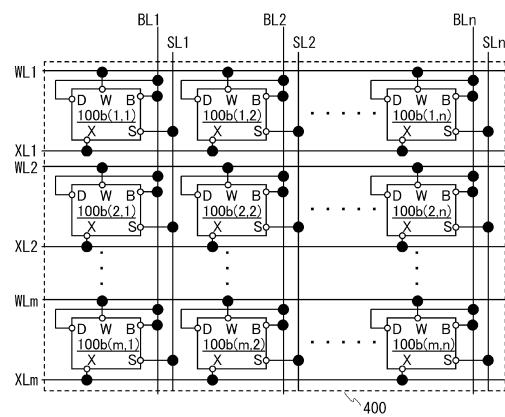
【図2】



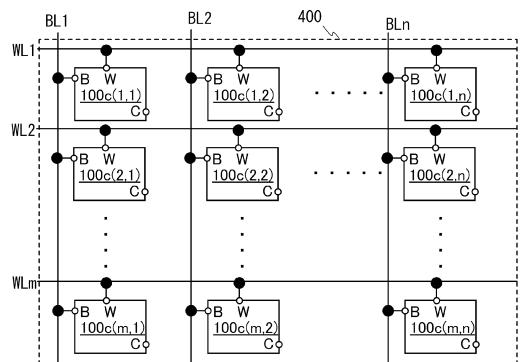
【図3】



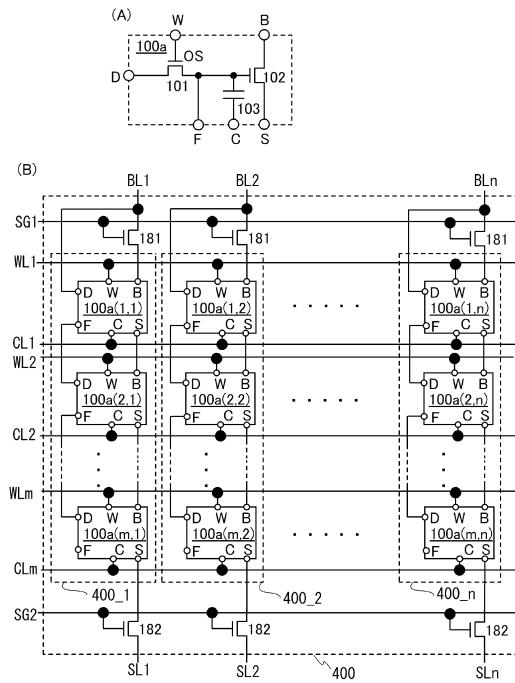
【図4】



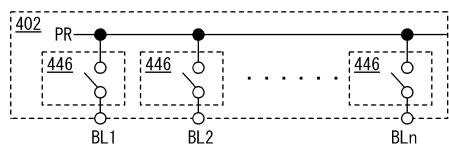
【図5】



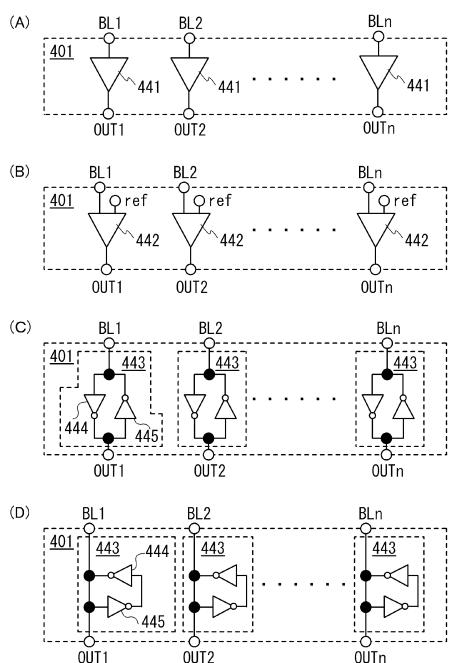
【図6】



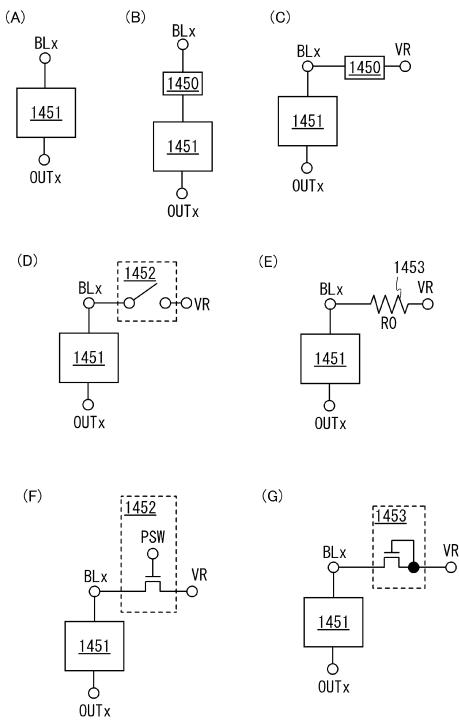
【図7】



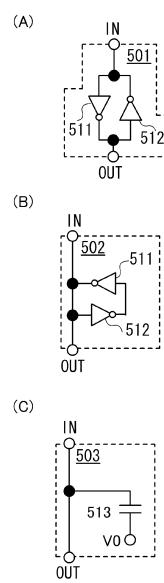
【図8】



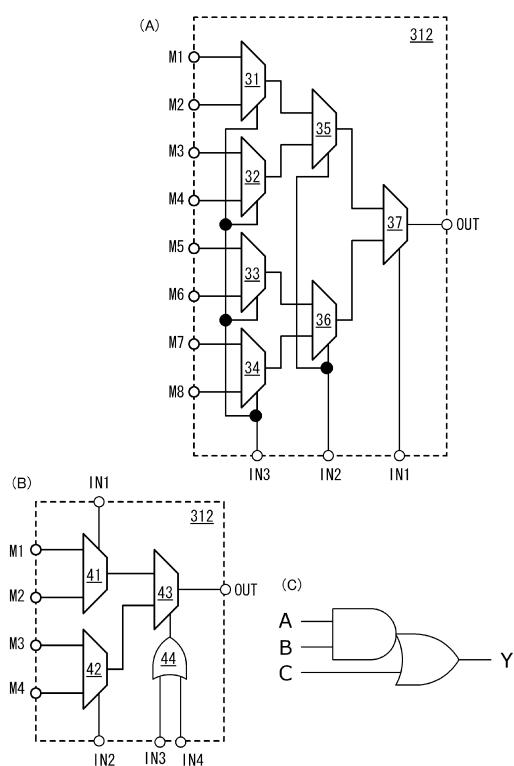
【図9】



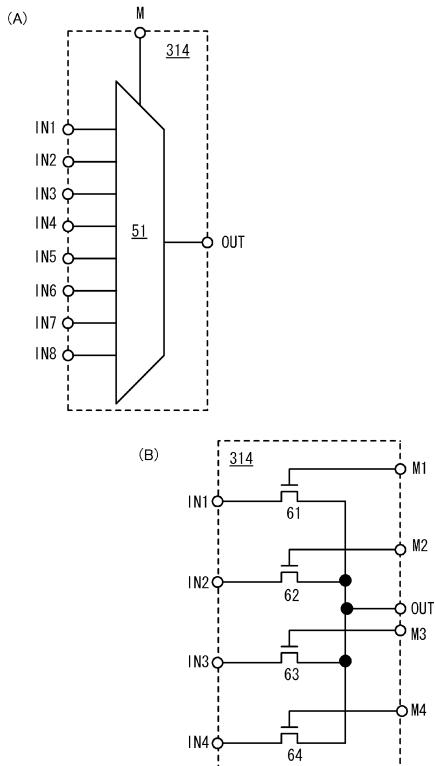
【図10】



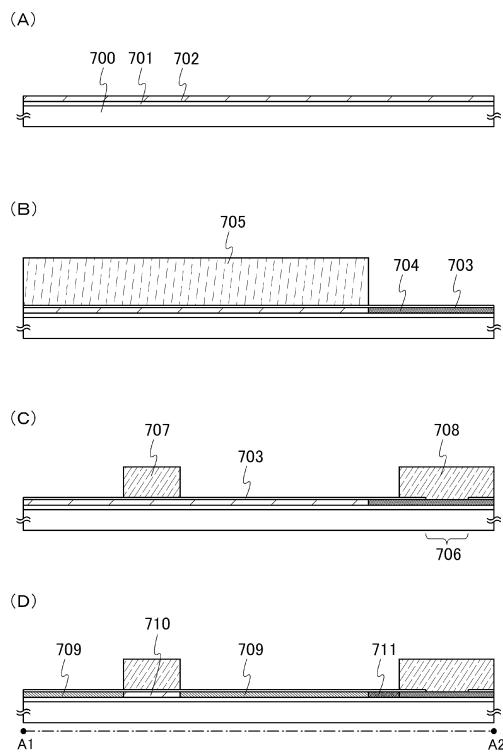
【図11】



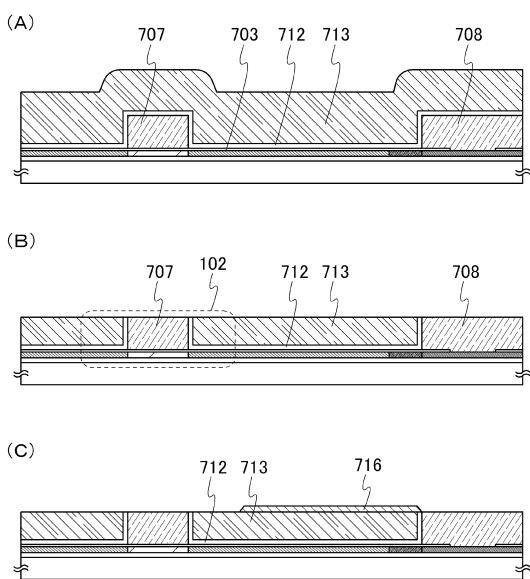
【図12】



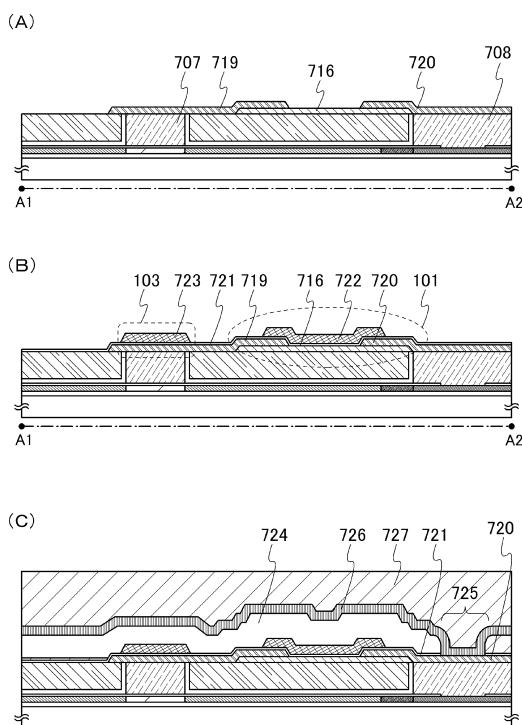
【図13】



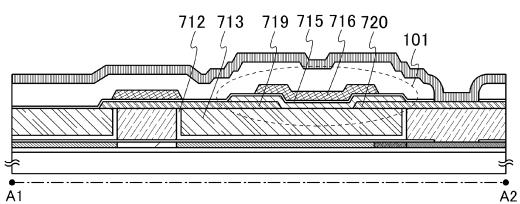
【図14】



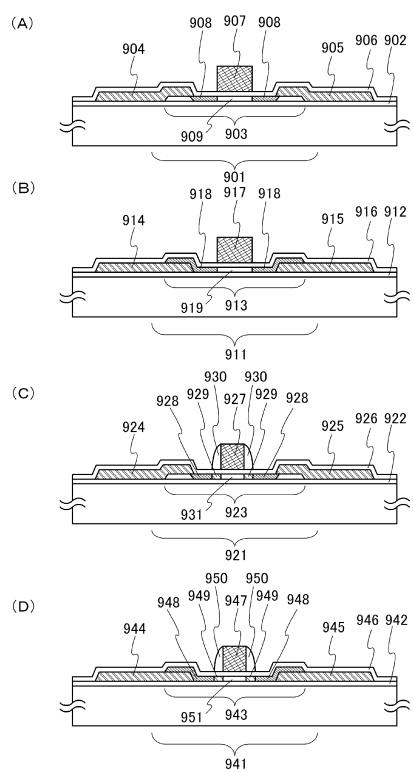
【図15】



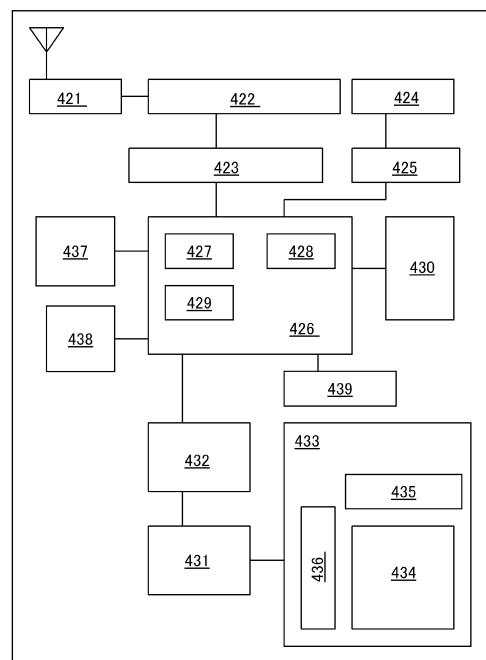
【図16】



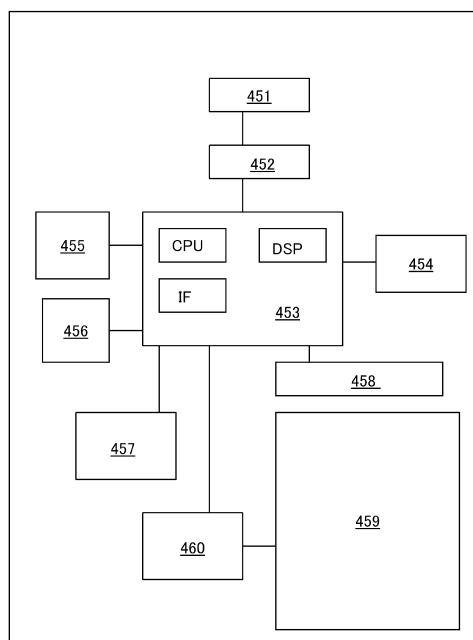
【図17】



【図18】



【図19】



フロントページの続き

(56)参考文献 国際公開第00/070682(WO, A1)

特開平08-241585(JP, A)

特開2007-194594(JP, A)

特開2003-086808(JP, A)

特開2011-009719(JP, A)

特開平11-205125(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/173~19/177