

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월03일 10-0555514 2006년02월21일
---	-------------------------------------	--

(21) 출원번호	10-2003-0058288	(65) 공개번호	10-2005-0023043
(22) 출원일자	2003년08월22일	(43) 공개일자	2005년03월09일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김락환
 경기도수원시팔달구영통동964-5주공아파트507-603

 김영천
 경기도용인시기홍읍농서리산7-1마로니에동1204

 이현덕
 서울특별시강남구개포동653번지현대아파트104동603호

 김현영
 서울특별시용산구원효로4가112-1번지풍전아파트라-516

 박인선
 경기도용인시수지읍풍덕천리삼성5차아파트519-206

(74) 대리인 리앤목특허법인

심사관 : 이우식

(54) 저 저항 텅스텐 배선을 갖는 반도체 메모리 소자 및 그제조방법

요약

비트 라인의 두께를 증대시키지 않고도 낮은 저항을 가질 수 있는 반도체 메모리 소자 및 그 제조방법을 제공하는 것이다. 개시된 본 발명의 반도체 메모리 소자는, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막이 형성되고, 상기 절연막 표면 및 콘택홀 표면에 베리어 금속막이 형성된다. 상기 베리어 금속막 상부에 상기 콘택홀을 충분히 매립하도록 텅스텐층이 형성되며, 상기 베리어 금속막 및 텅스텐층 사이에 텅스텐층의 결정립 크기를 증대시키는 결정립 조절층이 개재된다. 여기서, 결정립 조절층은 표면이 매끄러운 비정질 도전층일 수 있다.

대표도

도 2

색인어

비정질 도전층, MOCVD, TiN, 텅스텐, 저항

명세서

도면의 간단한 설명

- 도 1은 일반적인 텅스텐 비트 라인 제조방법을 설명하기 위한 단면도이다.
- 도 2는 본 발명의 실시예 1에 따른 텅스텐 비트 라인 제조방법을 설명하기 위한 단면도이다.
- 도 3은 본 발명의 실시예 1에 따른 결정립 조절층, 핵생성층 및 벌크 텅스텐층의 결정립 사이즈를 개략적으로 보여주는 단면도이다.
- 도 4a는 본 발명의 실시예에 따른 결정립 조절층의 표면을 보여주는 SEM 사진이다.
- 도 4b는 종래의 TiCl₄ 가스를 이용하여 CVD 방식으로 형성된 TiN막을 보여주는 SEM 사진이다.
- 도 5a는 본 발명의 실시예 1에 따라 결정립 조절층 상부에 텅스텐층을 형성한 상태를 보여주는 SEM 사진이다.
- 도 5b는 종래와 같이 베리어 금속막 상부에 텅스텐 막을 형성한 상태를 보여주는 SEM 사진이다.
- 도 6은 본 발명의 실시예 1에 따라 형성된 텅스텐층의 두께에 대한 면저항을 나타낸 그래프이다.
- 도 7은 본 발명의 실시예에 따라 형성된 텅스텐층의 두께에 대한 RI(reflective index)를 나타낸 그래프이다.
- 도 8은 비트 라인과 스토리지 노드 콘택 플러그 사이의 비트 라인 로딩 캐패시턴스를 설명하기 위한 단면도이다.
- 도 9는 본 발명의 실시예 2에 따른 텅스텐 비트 라인의 제조방법을 설명하기 위한 단면도이다.
- 도 10은 본 발명의 실시예 3에 따른 텅스텐 비트 라인의 제조방법을 설명하기 위한 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

- 100 : 반도체 기판 115 : 층간 절연막
- 130,130a : 베리어 금속막 135 : 결정립 조절층
- 140 : 핵생성층 145 : 벌크 텅스텐층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는, 저 저항 텅스텐 배선을 갖는 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

DRAM(dynamic random access memory)과 같은 반도체 메모리 셀에 저장된 데이터를 보다 정확하게 센싱(sensing) 및 증폭(amplifying)하기 위하여 센스 앰프(sense amp)의 감도(sensibility)의 개선이 중요하다. 감도는 센스 앰프의 양단에 입력되는 전압들간의 차(ΔV , 이하 전위차)가 증대되어야 개선된다. 이러한 전위차는 공급 전압(V_{cc})에 비례하고, 비트 라인 로딩 캐패시턴스(bit line loading capacitance: C_b)에 반비례한다.

비트 라인 로딩 캐패시턴스는 비트 라인과 기판간의 캐패시턴스, 비트 라인과 워드 라인간의 캐패시턴스, 비트 라인과 비트 라인간의 캐패시턴스 및 비트 라인과 스토리지 노드 콘택 플러그간의 캐패시턴스로 구성된다. 특히, 비트 라인과 스토리지 노드 콘택 플러그간의 캐패시턴스는 비트 라인 로딩 캐패시턴스에 큰 영향을 미친다.

비트 라인과 스토리지 노드 콘택 플러그간의 캐패시턴스를 줄이기 위하여는 비트 라인과 스토리지 노드 콘택 플러그간의 오버랩 면적을 줄여야 하므로, 비트 라인의 두께를 낮춰야 한다. 그러나, 비트 라인의 두께를 낮추게 되면, 비트 라인의 저항이 증대되어, 동작 스피드가 저하된다.

이에 따라, 종래에는 낮은 두께를 실현하면서 기생 캐패시턴스를 줄일 수 있도록, 낮은 저항을 갖는 금속막을 비트 라인으로 사용하는 기술이 제안되었다. 그중 열적으로 안정하면서 비교적 낮은 저항을 갖는 텅스텐이 비트 라인으로 주로 이용되고 있다. 텅스텐 금속막으로 비트 라인을 구성하는 기술은 Han등에 의한 미국 특허 6,563,162호에 설명되어 있다.

이러한 텅스텐 비트 라인에 대하여 도 1을 참조하여 개략적으로 설명하도록 한다. 도 1에 도시된 바와 같이, 반도체 기판(10) 상부에 층간 절연막(20)을 형성한다. 반도체 기판(10)은 도전 영역, 예컨대 게이트, 소오스 및 드레인을 포함하는 모스트랜지스터(도시되지 않음), 모스트랜지스터의 소오스 및 드레인과 각각 콘택되는 콘택 패드(도시되지 않음) 등이 형성되어 있다. 드레인(도시되지 않음) 또는 드레인과 콘택되는 콘택 패드(도시되지 않음)가 노출되도록 층간 절연막(20)을 식각하여 콘택홀(H)을 형성한다.

층간 절연막(20) 및 콘택홀(H) 표면에 베리어 금속막으로 Ti막(30) 및 TiN막(40)을 결과물의 표면을 따라 형성한다. 일반적으로 Ti막(30) 및 TiN막(40)은 결과물 표면에 콘포멀(conformal)한 두께로 형성될 수 있도록, 스텝 커버리지 특성이 우수한 CVD(chemical vapor deposition) 방식에 의해 형성한다. CVD에 의해 Ti막(30) 및 TiN막(40) 증착시, Ti 소스로는 $TiCl_4$ 가 이용된다.

TiN막(40) 상부에 텅스텐(W)-핵생성층(도시되지 않음)을 형성하고, 핵생성층 상부에 벌크 텅스텐층(50)을 증착한다. 벌크 텅스텐층 및 핵생성층을 소정 부분 패터닝하여 비트 라인을 형성한다.

그러나, 반도체 메모리 소자의 용량이 1기가 비트(giga bit)대에 이르면, 반도체 메모리 소자의 디자인 룰 역시 급격히 감소하게 되고, 비트 라인 역시 보다 낮은 선폭이 요구된다. 이에 따라, 비트 라인의 저항이 상대적으로 증가되어, 반도체 메모리 소자의 동작 스피드에 영향을 미친다.

한편, 비트 라인의 저항을 감소시키기 위하여 비트 라인의 두께를 증대시키게 되면, 상술한 바와 같이 비트 라인 캐패시턴스가 증대되어 센스 앰프의 감도를 저하시킨다. 그러므로, 비트 라인 캐패시턴스를 증대시키지 않으면서도 보다 낮은 저항을 갖는 비트 라인을 구현하는데 어려움이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 비트 라인 캐패시턴스 및 저항을 동시에 줄일 수 있는 저저항 텅스텐 배선을 포함하는 반도체 메모리 소자를 제공하는 것이다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 비트 라인의 두께를 증대시키지 않고도 낮은 저항을 가질 수 있는 반도체 메모리 소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 일견지에 따른 반도체 메모리 소자는, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막이 형성되고, 상기 절연막 표면 및 콘택홀 표면에 베리어 금속막이 형성된다. 상기 베리어 금속막 상부에 상기 콘택홀을 충분히 매립하도록 텅스텐층이 형성되며, 상기 베리어 금속막 및 텅스텐층 사이에 텅스텐층의 결정립 크기를 증대시키는 결정립 조절층이 개재된다.

또한, 본 발명의 다른 실시예에 따른 반도체 메모리 소자는, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막이 형성되고, 상기 절연막 표면 및 콘택홀 표면을 따라 베리어 금속막이 형성된다. 베리어 금속막 표면에 비정질 도전층이 형성되고, 상기 비정질 도전층 상에 텅스텐 핵생성층 및 상기 텅스텐 핵생성층을 씨드로 하여 벌크 텅스텐층이 형성된다.

또한, 본 발명의 또 다른 실시예에 따른 반도체 메모리 소자는, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막이 형성되고, 상기 절연막 표면 및 콘택홀 표면을 따라 베리어 금속막이 형성된다. 베리어 금속막 표면에 비정질 도전층이 형성되고, 상기 비정질 도전층 상에 텅스텐 핵생성층 및 상기 텅스텐 핵생성층을 씨드로 하여 형성되는 벌크 텅스텐층으로 구성되는 비트 라인이 형성된다. 상기 비정질 도전층은 TiN, TaN, WN 및 NbN 중 선택되는 하나일 수 있다.

상기 베리어 금속막은 Ti/TiN막이거나, Ti막일 수 있다.

상기 비정질 도전층은 50 내지 200Å의 두께를 갖고, 상기 핵생성층은 100 내지 200Å의 두께를 갖으며, 상기 벌크 텅스텐층은 400 내지 500Å의 두께를 갖는다.

상기 콘택홀내의 베리어 금속막과 상기 결정립 조절층 사이에 콘택 플러그가 추가로 형성되어 있을 수 있다.

본 발명의 다른 견지에 따른 반도체 메모리 소자의 제조방법은, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 갖는 절연막을 형성한다. 그후에, 상기 절연막 및 콘택홀 표면을 따라 베리어 금속막을 형성하고, 상기 베리어 금속막 상부에 결정립 조절층을 형성한다. 이어서, 상기 결정립 조절층 상부에 텅스텐층을 형성한다. 상기 텅스텐층은 상기 결정립 조절층에 의해 결정립 사이즈가 증대된다.

또한, 본 발명의 다른 실시예에 의하면, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 갖는 절연막을 형성한다. 상기 절연막 및 콘택홀 표면을 따라 베리어 금속막을 형성하고, 상기 베리어 금속막 상부에 비정질 도전층을 형성한다. 그후, 상기 결정립 조절층 상부에 핵생성층을 형성하고, 상기 핵생성층 상부에, 상기 핵생성층을 씨드로 하여 벌크 텅스텐층을 형성한다.

또한, 본 발명의 또 다른 실시예에 의하면, 도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 갖는 절연막을 형성한다. 상기 절연막 및 콘택홀 표면을 따라 베리어 금속막을 형성한다. 이어서, 상기 베리어 금속막 상부에 MOCVD 방식으로 비정질 도전층을 형성하고, 상기 결정립 조절층 상부에 핵생성층을 형성한다. 상기 핵생성층 상부에, 상기 핵생성층을 씨드로 하여 벌크 텅스텐층을 형성한 후, 상기 벌크 텅스텐층 및 핵생성층을 소정 부분 패터닝하여 비트 라인을 형성한다. 상기 비정질 도전층은 TiN, TaN, WN 및 NbN막 중 선택되는 하나의 막임이 바람직하다.

상기 베리어 금속막을 증착하는 단계는, 상기 절연막 및 콘택홀 표면에 Ti막을 증착하는 단계, 및 상기 Ti막 상부에 TiN막을 증착하는 단계를 포함한다. 이때, 상기 Ti막 및 TiN막은 CVD 방식으로 형성하는 것이 바람직하며, 인시튜 방식으로 형성할 수 있다.

또한, 상기 베리어 금속막은 Ti막 단독으로 형성될 수 있다.

상기 MOCVD 방식으로 비정질 도전층을 형성하는 단계는, 상기 카본 포함 유기 금속 소스를 이용하여 전체 두께의 일부의 비정질 도전층을 증착하는 단계와, 상기 비정질 도전층내의 카본 성분을 제거하는 단계와, 상기 비정질 도전층 상부에 나머지 두께에 해당하는 비정질 도전층을 카본 포함 유기 금속 소스를 이용하여 증착하는 단계와, 상기 비정질 도전층 내부의 카본을 제거하는 단계로 구성될 수 있다. 이때, 상기 카본 성분을 제거하는 단계는, 상기 비정질 도전층을 수소 플라즈마 처리하는 단계일 수 있다.

상기 비정질 도전층을 형성하는 단계와, 상기 핵생성층을 형성하는 단계 사이에, 상기 비정질 도전층 표면에 실리콘 희생층을 형성하는 단계를 더 포함할 수 있으며, 상기 실리콘 희생층은 상기 핵생성층 및 벌크 텅스텐층 형성시 자연적으로 제거된다.

상기 핵생성층은 약 300 내지 500℃의 온도 범위에서 WF_6 가스 및 SiH_4 가스를 공급하여 CVD 방식으로 형성하는 것이 바람직하고, 상기 벌크 텅스텐층은 약 300 내지 500℃의 온도 범위에서 WF_6 가스 및 H_2 가스를 공급하여 CVD 방식으로 형성하는 것이 바람직하다.

상기 베리어 금속막을 형성하는 단계와, 상기 비정질 도전층을 형성하는 단계 사이에, 상기 콘택홀내에 텅스텐 플러그를 매립하는 단계를 더 포함할 수 있다.

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

텅스텐층은 그 내부의 결정립 사이즈(grain size)에 의해 저항이 변화된다. 즉, 텅스텐층은 그의 결정립 사이즈가 클수록 저항이 감소된다. 텅스텐층의 결정립 사이즈는 텅스텐층의 핵생성층의 결정립 사이즈에 의존하고, 핵생성층의 결정립 사이즈는 하부막의 표면 거칠기에 의해 결정된다. 하부막의 거칠기가 낮을수록, 즉 표면이 매끄러울수록 핵생성층의 결정립 사이즈가 증대되고, 반대로 표면이 거칠수록 핵생성층의 결정립 사이즈가 증대된다. 본 발명에서는 텅스텐층과 베리어 금속막 사이에 매끄러운 표면을 가지는 막, 예컨대 비정질 도전층을 개재한다. 비정질 도전층을 개재한 상태에서, 텅스텐의 핵생성층을 형성하면, 핵생성층은 비교적 큰 결정립 사이즈를 갖게 되고, 이에 따라 벌크 텅스텐층 역시 큰 결정립 사이즈를 갖게 된다. 따라서, 저항을 증대시키지 않고도 텅스텐층의 두께를 감축시킬 수 있다.

(실시예 1)

도 2에 도시된 바와 같이, 반도체 기판(100) 상부에 콘택 패드(110)를 갖는 제 1 층간 절연막(105)이 형성된다. 도면에 도시되지는 않았지만, 반도체 기판(100)과 제 1 층간 절연막(105) 사이에 게이트, 소오스, 및 드레인을 포함하는 모스 트랜지스터가 형성되어 있을 수 있고, 도면에 보여지는 콘택 패드(110)는 상기 드레인과 전기적으로 연결되어 있다. 제 1 층간 절연막(105) 상부에 제 2 층간 절연막(115)을 증착하고, 콘택 패드(110)가 노출되도록 제 2 층간 절연막(115)의 소정 부분을 식각하여 콘택홀(H)을 형성한다.

제 2 층간 절연막(115) 및 콘택홀(H)의 표면을 따라, 베리어 금속막(130)을 형성한다. 베리어 금속막(130)을 형성하는 단계는, Ti막(120)을 증착하는 단계와, TiN막(125)을 증착하는 단계로 구성될 수 있다. Ti막(120) 및 TiN막(125)은 제 2 층간 절연막(115) 및 콘택홀(H)의 표면을 따라 콘포멀하게 증착될 수 있도록, CVD 방식으로 형성된다. 이때, Ti막(120) 및 TiN막(125)을 형성하기 위한 베이스 가스로는 $TiCl_4$ 가스가 이용될 수 있으며, Ti막(120) 및 TiN막(125)은 CVD 챔버내에서 인시튜(in-situ)로 증착할 수 있다.

베리어 금속막(130) 상부에 매끄러운 표면을 갖는 결정립 조절층(135)을 형성한다. 결정립 조절층(135)은 예를 들어 비정질 도전층일 수 있다. 비정질 도전층은 결정립계를 포함하지 않으므로, 그 표면이 매끄럽게 된다. 이러한 비정질 도전층으로는 MOCVD(metal organic CVD) 방식으로 형성되는 도전층, 예컨대 TiN, TaN, WN 또는 NbN등이 이용될 수 있다. 본 실시예에서는 예를 들어, MOCVD 방식에 의해 형성되는 TiN막을 결정립 조절층(135)으로 사용하였다. MOCVD 방식에 의한 TiN막은 He 가스와 함께 공급되는 TDMAT(Tetrakis-dimethylamino titanium) 소스 및 N_2 소스를 이용하여 300 내지 500℃의 온도 범위에서 50 내지 200Å 두께로 증착됨이 바람직하다. 이때, MOCVD 방식에 의한 TiN막은 TDMAT 소스내의 탄소(carbon) 성분을 제거하기 위하여 다음과 같은 방식으로 형성될 수 있다. 먼저, 결정립 조절층(135)의 전체 두께 중 일부 두께를 증착하고, 탄소를 환원시키기 위한 수소(H_2) 플라즈마 처리를 실시한다. 그후, 나머지 두께의 결정립 조절층(135)을 증착하고, 다시 수소 플라즈마 처리를 실시한다.

이렇게 형성된 결정립 조절층(135) 상부에 박막(수십Å)의 실리콘 희생층(도시되지 않음)을 증착한다. 실리콘 희생층은 SiH_4 가스의 공급에 의해 형성되고, 후속의 텅스텐 핵생성층 및 벌크 텅스텐층을 형성시 자연적으로 제거된다.

상기 실리콘 희생층 상부에 핵생성층(140)을 예를 들어 100 내지 200Å 두께로 형성한다. 핵생성층(140)은 약 300 내지 500°C의 온도 범위에서 WF₆ 가스 및 SiH₄ 가스를 공급하여 CVD 방식으로 형성된다. 핵생성층(140) 형성시 공급되는 WF₆의 F성분에 의해 상기 실리콘 희생층의 일부가 제거된다. 여기서, 핵생성층(140)은 도 3에 도시된 바와 같이, 매끄러운 표면을 갖는 결정립 조절층(135) 상부에 형성되므로, 비교적 큰 결정립을 갖게된다.

핵생성층(140) 상부에 벌크 텅스텐층(145)을 예를 들어, 400 내지 500Å 두께로 형성한다. 벌크 텅스텐층(145)은 예컨대, WF₆가스 및 H₂ 가스를 반응 가스로 하여 약 300 내지 500°C의 온도에서 CVD 방식으로 형성된다. 벌크 텅스텐층(145) 형성시 제공되는 WF₆ 가스의 F 성분에 의해 상기 잔류하는 실리콘 희생층이 모두 제거된다. 여기서, 상기 실리콘 희생층은 WF₆ 가스의 F 성분에 의해 하부에 적층되어 있는 막들의 손상을 방지하기 위한 버퍼 역할을 한다. 이러한 벌크 텅스텐층(145)은 큰 결정립을 갖는 핵생성층(140)을 씨드(seed)로 이용하여 성장되므로, 벌크 텅스텐층(145) 역시 큰 결정립을 갖게 되고, 이에 따라 벌크 텅스텐층(145)의 저항이 종래에 비해 감소된다. 그후, 벌크 텅스텐층(145) 및 핵생성층(140)을 소정 부분 패터닝하여, 비트 라인(150)을 형성한다.

도 4a는 MOCVD 방식에 의한 TiN막을 결정립 조절층으로 사용한 경우, 결정립 조절층의 표면을 보여주는 SEM 사진이고, 도 4b는 TiCl₄ 가스를 이용하여 CVD 방식으로 형성된 TiN막을 보여주는 SEM 사진이다. 도 4a 및 도 4b에 의하면, 본 실시예와 같이 MOCVD 방식으로 TiN막을 형성하는 경우가 훨씬 매끄러운 표면을 가짐을 알 수 있다.

도 5a는 결정립 조절층(MOCVD 방식의 TiN막) 상부에 텅스텐층(핵생성층 및 벌크 텅스텐층)을 형성한 상태를 보여주는 SEM 사진이고, 도 5b는 베리어 금속막(TiCl₄ 가스를 이용하여 CVD 방식에 의해 형성된 Ti막/TiN막) 상부에 텅스텐 막을 형성한 상태를 보여주는 SEM 사진이다. 도 5a 및 도 5b에서와 같이, 본 실시예와 같이 매끄러운 표면을 갖는 결정립 조절층(MOCVD 방식의 TiN막) 상부에 형성된 텅스텐층은 도 5b의 텅스텐층에 비해 비교적 큰 결정립을 가짐을 알 수 있다.

또한, 도 6은 텅스텐층의 두께 따른 면저항(sheet resistance)을 나타낸 그래프로서, 그래프의 ○은 본 실시예에 따른 텅스텐층의 비저항을 나타내고, ■은 종래 기술에 따른 텅스텐층의 비저항을 나타낸다. 도 6에 의하면, 본 실시예와 같이 결정립 조절층(135)을 개재한 상태에서 텅스텐층(150)을 약 550Å 정도 증착하면, 텅스텐층은 약 2.3 Ω/cm²의 면저항을 보이는 반면, 종래와 같이 베리어 금속막 상부에 텅스텐층을 약 550Å에서 약 3Ω/cm² 이상의 면저항을 보임을 알 수 있다. 한편, 본 실시예의 경우, 텅스텐층(150)의 두께가 450Å일 경우, 약 3Ω/cm²의 저항을 나타내고, 종래 기술의 경우, 텅스텐층의 두께가 550Å일 경우, 약 3Ω/cm²의 저항을 나타내었다. 결과적으로, 본 실시예의 경우 면저항 특성에 있어서 우수하므로, 동일한 저항을 구현할 때, 텅스텐층의 두께를 감소시킬 수 있다.

또한, 도 7은 텅스텐층의 두께에 따른 RI(reflective index)를 나타낸 그래프로서, 그래프의 ○은 본 실시예에 따른 텅스텐층의 RI를 나타내고, ■은 종래 기술에 따른 텅스텐층의 RI를 나타낸다. 도 7에 의하면, 텅스텐층의 두께가 약 550Å 일때, 본 실시예의 텅스텐층의 RI는 약 74%를 나타내는 반면, 종래 기술에 따른 텅스텐층의 RI는 약 66%를 나타낸다. 본 실시예에 의해 형성된 텅스텐층은 상술한 바와 같이 비교적 큰 결정립 사이즈를 가지므로, RI가 상대적으로 증대되는 것이다. 여기서, RI는 결정립 사이즈를 예측할 수 있는 변수로서, RI가 클수록 결정립 사이즈가 크을 예측할 수 있다.

또한, 실험치에 따르면, 텅스텐층의 비저항에 있어서도 확연한 차이를 보인다. 즉, 본 실시예와 같이 형성된 텅스텐층은 약 603Å의 경우, 13.01μΩ·cm의 비저항을 보이는 한편, 종래 기술과 같이 형성된 텅스텐층은 약 560Å의 경우, 17.38μΩ·cm의 비저항을 보였다.

본 실시예에 의하면, 매끄러운 표면을 갖는 결정립 조절층 상부에 텅스텐층을 성장시키므로써, 텅스텐층의 결정립 크기를 증대시켜, 텅스텐층의 저항을 낮출 수 있다. 이에 따라, 텅스텐층의 두께를 감소시킬 수 있어, 비트 라인 로딩 캐패시턴스를 줄일 수 있다. 이에 대하여 도 8을 통하여 보다 자세히 설명하면, 비트 라인(150)은 그 측면 및 상면에 절연막(160,165)으로 둘러싸여져 있으며, 비트 라인(150) 사이의 공간에 소오스와 전기적으로 연결되는 콘택 패드(110a)와 콘택되는 스토리지 노드 콘택 플러그(170)가 형성된다. 비트 라인(150)과 스토리지 노드 콘택 플러그(170)는 절연막(165)을 사이에 두고 오버랩되어, 기생 캐패시턴스가 발생된다. 이때, 본 실시예와 같이 매끄러운 표면을 갖는 결정립 조절층을 비트 라인(텅스텐층) 하단에 개재하게 되면, 저항을 증대시키지 않고도 비트 라인의 두께를 감축시킬 수 있어, 비트 라인(150)과 스토리지 노드 콘택 플러그(170)간의 오버랩 면적(180)을 줄일 수 있다. 결과적으로 비트 라인 로딩 캐패시턴스를 줄일 수 있다.

또한, 베리어 금속막 상부에 비정질 상태의 결정립 조절층이 더 형성되므로, 불순물 확산 방지하는 능력이 더욱 개선된다. 즉, 텅스텐층(비트 라인)의 불순물 및 수분은 베리어 금속막의 결정립계를 따라 하부에 존재하는 막으로 전달된다. 본 실시예와 같이, 텅스텐층과 베리어 금속막 사이에 결정립계가 존재하지 않는 비정질 상태의 결정립 조절층(135)이 개재됨에 따라, 불순물 및 수분의 확산을 보다 감소할 수 있다. 이에 따라, 베리어 금속막의 확산 베리어 특성이 개선된다.

(실시예 2)

이하, 본 발명의 실시예 2를 설명한다. 실시예 2는 실시예 1과 베리어 금속막(130)을 형성하는 공정까지는 동일하므로, 그 후의 공정에 대하여만 설명하도록 한다.

도 9에 도시된 바와 같이, 베리어 금속막(130) 상부에 콘택홀(H)이 충전되도록 도전층, 예컨대 텅스텐층을 증착한다. 텅스텐층을 베리어 금속막(130) 표면이 노출되도록 화학적 기계적 연마 또는 에치백과 같은 평탄화 공정을 진행하여, 도전 플러그(132)를 형성한다.

베리어 금속막(130) 및 도전 플러그(132) 상부에 매끄러운 표면을 갖는 결정립 조절층(135)을 형성한다. 결정립 조절층(135)은 상술한 바와 같이 비정질 도전층일 수 있으며, 예를 들어, MOCVD 방식으로 형성되는 TiN, TaN, WN 또는 NbN 등이 이용될 수 있다. 아울러, 결정립 조절층(135)은 상기한 실시예 1과 동일한 방식으로 형성될 수 있다.

결정립 조절층(135) 상부에 박막(수십 Å)의 실리콘 희생층(도시되지 않음)을 증착하고, 실리콘 희생층 상부에 핵생성층(140)을 상기한 실시예 1과 동일한 방식으로 증착한다. 그 후, 핵생성층(140)을 씨드로 하여, 핵생성층(140) 상부에 벌크 텅스텐층(145)을 증착한다. 이때, 핵생성층(140)은 매끄러운 표면을 갖는 결정립 조절층(135)에 의해 비교적 큰 결정립을 갖도록 형성되고, 벌크 텅스텐층(145) 역시 상기한 핵생성층(140)에 의해 큰 결정립을 갖도록 형성된다. 그 후, 벌크 텅스텐층(145) 및 핵생성층(140)을 소정 부분 패터닝하여, 비트 라인(150)을 형성한다.

이와 같이 도전 플러그(132)를 별도로 형성하여도 동일한 효과를 거둘 수 있다.

(실시예 3)

이하 도 10을 참조하여 본 발명의 실시예 3을 설명하도록 한다. 실시예 3은 실시예 1의 콘택홀(H) 형성공정까지는 동일하므로, 후속의 공정에 대하여만 설명하도록 한다.

도 10에 도시된 바와 같이, 콘택홀(H) 및 제 2 층간 절연막(115) 상부에 베리어 금속막으로서 Ti막(120)을 공지의 CVD 방식으로 형성한다. Ti막(120) 상부에 결정립 조절층(135)을 형성한다. 결정립 조절층(135)으로는 비정질 도전층 예컨대, MOCVD 방식에 의한 TiN막이 이용될 수 있고, 결정립 조절층(135)은 후속의 텅스텐층의 결정립을 조절함과 동시에, 상기 Ti막(120)과 함께 베리어 금속막(130a)의 역할을 수행한다. 이러한 결정립 조절층(135)은 상기한 실시예와 같이 비정질 상태로 형성되므로 그 표면이 매끄럽다.

베리어 금속막(130a), 특히 MOCVD 방식의 TiN으로 된 결정립 조절층(135) 상부에 희생 실리콘층(도시되지 않음) 및 핵생성층(140)을 형성한다. 핵생성층(140)은 매끄러운 표면을 갖는 결정립 조절층(135)에 의하여 비교적 큰 결정립을 갖도록 형성된다. 핵생성층(140)을 씨드로 하여, 핵생성층(140) 상부에 벌크 실리콘층(145)을 상술한 실시예 1과 동일한 방식으로 증착한다. 그 후, 벌크 실리콘층(145) 및 핵생성층(140)을 패터닝하여 비트 라인(150)을 형성한다.

본 실시예는 베리어 금속막을 구성하는 CVD 방식의 TiN막 대신 결정립 조절층을 형성한다. 비록, 베리어 금속막의 불순물 확산 방지 특성면에서는 실시예 1보다는 덜 우수하나, 저저항 텅스텐층을 형성한다는 측면에서는 동일한 효과를 거둘 수 있다.

본 발명은 비단 비트 라인에 한정되는 것은 아니고, 저저항 텅스텐층이 적용되는 기술에는 모두 적용 가능하다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 베리어 금속막과 비트 라인용 텅스텐 금속막 사이에 텅스텐 금속막의 결정립 크기를 증대시킬 수 있도록 매끄러운 표면을 갖는 비정질 도전층을 개재한다.

매끄러운 표면을 갖는 비정질 도전층 개재로, 텅스텐층의 핵생성층 및 핵생성층을 씨드로 하여 형성되는 벌크 텅스텐층이 모두 큰 결정립 사이즈를 갖도록 형성됨에 따라, 벌크 텅스텐층의 저항을 감소시킬 수 있다. 이에 따라, 비트 라인용 벌크 텅스텐층의 두께를 감소시켜도 저항의 증대를 방지할 수 있어서, 비트 라인과 이후 형성될 스토리지 노드 콘택 플러그간의 오버랩 면적을 줄일 수 있다. 그러므로, 비트 라인 로딩 캐패시턴스가 감소되어, 메모리 소자의 센싱 특성을 개선할 수 있다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

(57) 청구의 범위

청구항 1.

도전 영역을 갖는 반도체 기관;

상기 반도체 기관상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막;

상기 절연막 표면 및 콘택홀 표면에 형성되는 베리어 금속막; 및

상기 베리어 금속막 상부에 상기 콘택홀을 충분히 매립하도록 형성되는 텅스텐층을 포함하며,

상기 베리어 금속막 및 텅스텐층 사이에 텅스텐층의 결정립 크기를 증대시키는 결정립 조절층으로 비정질 도전층이 개재되어 있는 것을 특징으로 하는 반도체 메모리 소자.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서, 상기 비정질 도전층은 비정질 TiN, 비정질 TaN, 비정질 WN 및 비정질 NbN 중 선택되는 하나인 것을 특징으로 하는 반도체 메모리 소자.

청구항 4.

제 1 항에 있어서, 상기 텅스텐층은 비트 라인인 것을 특징으로 하는 반도체 메모리 소자.

청구항 5.

도전 영역을 갖는 반도체 기관;

상기 반도체 기관상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막;

상기 절연막 표면 및 콘택홀 표면을 따라 형성되는 베리어 금속막;

상기 베리어 금속막 표면에 형성되는 비정질 도전층;

상기 비정질 도전층 상에 형성되는 텅스텐 핵생성층; 및

상기 텅스텐 핵생성층을 씨드로 하여 형성되는 벌크 텅스텐층을 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 6.

제 5 항에 있어서, 상기 베리어 금속막은 Ti/TiN막인 것을 특징으로 하는 반도체 메모리 소자.

청구항 7.

제 5 항에 있어서, 상기 베리어 금속막은 Ti막인 것을 특징으로 하는 반도체 메모리 소자.

청구항 8.

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 비정질 TiN, 비정질 TaN, 비정질 WN 및 비정질 NbN 중 선택되는 하나인 것을 특징으로 하는 반도체 메모리 소자.

청구항 9.

제 5 항에 있어서, 상기 비정질 도전층은 50 내지 200Å의 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

청구항 10.

제 5 항에 있어서, 상기 핵생성층은 100 내지 200Å의 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

청구항 11.

제 5 항에 있어서, 상기 핵생성층은 400 내지 500Å의 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

청구항 12.

제 5 항에 있어서, 상기 콘택홀내의 베리어 금속막과 상기 결정립 조절층 사이에 콘택 플러그가 추가로 형성되어 있는 것을 특징으로 하는 반도체 메모리 소자.

청구항 13.

제 5 항에 있어서, 상기 벌크 텅스텐층 및 핵생성층은 비트 라인인 것을 특징으로 하는 반도체 메모리 소자.

청구항 14.

도전 영역을 갖는 반도체 기판;

상기 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 포함하는 절연막;

상기 절연막 표면 및 콘택홀 표면을 따라 형성되는 베리어 금속막;

상기 베리어 금속막 표면에 형성되는 비정질 도전층;

상기 비정질 도전층 상에 형성되며, 텅스텐 핵생성층 및 상기 텅스텐 핵생성층을 씨드로 하여 형성되는 벌크 텅스텐층으로 구성되는 비트 라인을 포함하며,

상기 비정질 도전층은 TiN, TaN, WN 및 NbN 중 선택되는 하나인 것을 특징으로 하는 반도체 메모리 소자.

청구항 15.

제 14 항에 있어서, 상기 베리어 금속막은 Ti/TiN막인 것을 특징으로 하는 반도체 메모리 소자.

청구항 16.

제 14 항에 있어서, 상기 베리어 금속막은 Ti막인 것을 특징으로 하는 반도체 메모리 소자.

청구항 17.

제 14 항에 있어서, 상기 비정질 도전층은 50 내지 200Å의 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

청구항 18.

제 14 항에 있어서, 상기 핵생성층은 100 내지 200Å의 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

청구항 19.

제 14 항에 있어서, 상기 핵생성층은 400 내지 500Å의 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

청구항 20.

제 14 항에 있어서, 상기 콘택홀내의 베리어 금속막과 상기 결정립 조절층 사이에 콘택 플러그가 추가로 형성되어 있는 것을 특징으로 하는 반도체 메모리 소자

청구항 21.

도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 갖는 절연막을 형성하는 단계;

상기 절연막 및 콘택홀 표면을 따라 베리어 금속막을 형성하는 단계;

상기 베리어 금속막 상부에 결정립 조절층을 형성하는 단계; 및

상기 결정립 조절층 상부에 텅스텐층을 형성하는 단계를 포함하며,

상기 텅스텐층은 상기 결정립 조절층에 의해 결정립 사이즈가 증대된 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 22.

제 21 항에 있어서, 상기 결정립 조절층은 비정질 도전층인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 23.

제 22 항에 있어서, 상기 비정질 도전층은 MOCVD 방식에 의하여 형성되는 도전층인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 24.

제 21 항에 있어서, 상기 비정질 도전층은 TiN, TaN, WN 및 NbN막 중 선택되는 하나의 막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 25.

제 21 항에 있어서, 상기 벌크 텅스텐층을 형성하는 단계 이후에, 상기 벌크 텅스텐층 및 핵생성층을 패터닝하여 비트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 26.

도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 갖는 절연막을 형성하는 단계;

상기 절연막 및 콘택홀 표면을 따라 베리어 금속막을 형성하는 단계;

상기 베리어 금속막 상부에 비정질 도전층을 형성하는 단계;

상기 결정립 조절층 상부에 핵생성층을 형성하는 단계; 및

상기 핵생성층 상부에, 상기 핵생성층을 씨드로 하여 벌크 텅스텐층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 27.

제 26 항에 있어서, 상기 베리어 금속막을 증착하는 단계는,

상기 절연막 및 콘택홀 표면에 Ti막을 증착하는 단계; 및

상기 Ti막 상부에 TiN막을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 28.

제 27 항에 있어서, 상기 Ti막 및 TiN막은 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 29.

제 28 항에 있어서, 상기 Ti막 및 TiN막은 인시튜 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 30.

제 26 항에 있어서, 상기 베리어 금속막은 Ti막으로 구성되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 31.

제 26 항에 있어서, 상기 비정질 도전층은 MOCVD 방식에 의하여 형성되는 도전층인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 32.

제 31 항에 있어서, 상기 비정질 도전층을 MOCVD 방식으로 형성하는 단계는,

상기 카본 포함 유기 금속 소스를 이용하여 전체 두께의 일부의 비정질 도전층을 증착하는 단계;

상기 비정질 도전층내의 카본 성분을 제거하는 단계;

상기 비정질 도전층 상부에 나머지 두께에 해당하는 비정질 도전층을 카본 포함 유기 금속 소스를 이용하여 증착하는 단계; 및

상기 비정질 도전층 내부의 카본을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 33.

제 32 항에 있어서, 상기 카본 성분을 제거하는 단계는, 상기 비정질 도전층을 수소 플라즈마 처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 34.

제 26 항에 있어서, 상기 비정질 도전층은 TiN, TaN, WN 및 NbN막 중 선택되는 하나의 막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 35.

제 26 항에 있어서, 상기 비정질 도전층을 형성하는 단계와, 상기 핵생성층을 형성하는 단계 사이에,

상기 비정질 도전층 표면에 실리콘 희생층을 형성하는 단계를 포함하며, 상기 실리콘 희생층은 상기 핵생성층 및 벌크 텅스텐층 형성시 자연적으로 제거되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 36.

제 26 항에 있어서, 상기 핵생성층은 약 300 내지 500°C의 온도 범위에서 WF_6 가스 및 SiH_4 가스를 공급하여 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 37.

제 26 항에 있어서, 상기 벌크 텅스텐층은 약 300 내지 500°C의 온도 범위에서 WF_6 가스 및 H_2 가스를 공급하여 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 38.

제 26 항에 있어서, 상기 베리어 금속막을 형성하는 단계와, 상기 비정질 도전층을 형성하는 단계 사이에, 상기 콘택홀내에 텅스텐 플러그를 매립하는 단계를 더 포함하는 것을 특징으로 반도체 메모리 소자의 제조방법.

청구항 39.

제 26 항에 있어서, 상기 벌크 텅스텐층을 형성하는 단계 이후에, 상기 벌크 텅스텐층 및 핵생성층을 패터닝하여 비트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 40.

도전 영역을 갖는 반도체 기판상에 상기 도전 영역을 노출시키는 콘택홀을 갖는 절연막을 형성하는 단계;

상기 절연막 및 콘택홀 표면을 따라 베리어 금속막을 형성하는 단계;

상기 베리어 금속막 상부에 MOCVD 방식으로 비정질 도전층을 형성하는 단계;

상기 결정립 조절층 상부에 핵생성층을 형성하는 단계;

상기 핵생성층 상부에, 상기 핵생성층을 씨드로 하여 벌크 텅스텐층을 형성하는 단계; 및

상기 벌크 텅스텐층 및 핵생성층을 소정 부분 패터닝하여 비트 라인을 형성하는 단계를 포함하며,

상기 비정질 도전층은 TiN, TaN, WN 및 NbN막 중 선택되는 하나의 막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 41.

제 40 항에 있어서, 상기 베리어 금속막을 증착하는 단계는,

상기 절연막 및 콘택홀 표면에 Ti막을 증착하는 단계; 및

상기 Ti막 상부에 TiN막을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 42.

제 41 항에 있어서, 상기 Ti막 및 TiN막은 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 43.

제 42 항에 있어서, 상기 Ti막 및 TiN막은 인시튜 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 44.

제 40 항에 있어서, 상기 베리어 금속막은 Ti막으로 구성되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 45.

제 40 항에 있어서, 상기 MOCVD 방식으로 비정질 도전층을 형성하는 단계는,

상기 카본 포함 유기 금속 소스를 이용하여 전체 두께의 일부의 비정질 도전층을 증착하는 단계;

상기 비정질 도전층내의 카본 성분을 제거하는 단계;

상기 비정질 도전층 상부에 나머지 두께에 해당하는 비정질 도전층을 카본 포함 유기 금속 소스를 이용하여 증착하는 단계; 및

상기 비정질 도전층 내부의 카본을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 46.

제 45 항에 있어서, 상기 카본 성분을 제거하는 단계는, 상기 비정질 도전층을 수소 플라즈마 처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 47.

제 40 항에 있어서, 상기 비정질 도전층을 형성하는 단계와, 상기 핵생성층을 형성하는 단계 사이에,

상기 비정질 도전층 표면에 실리콘 희생층을 형성하는 단계를 포함하며, 상기 실리콘 희생층은 상기 핵생성층 및 벌크 텅스텐층 형성시 자연적으로 제거되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 48.

제 40 항에 있어서, 상기 핵생성층은 약 300 내지 500°C의 온도 범위에서 WF_6 가스 및 SiH_4 가스를 공급하여 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 49.

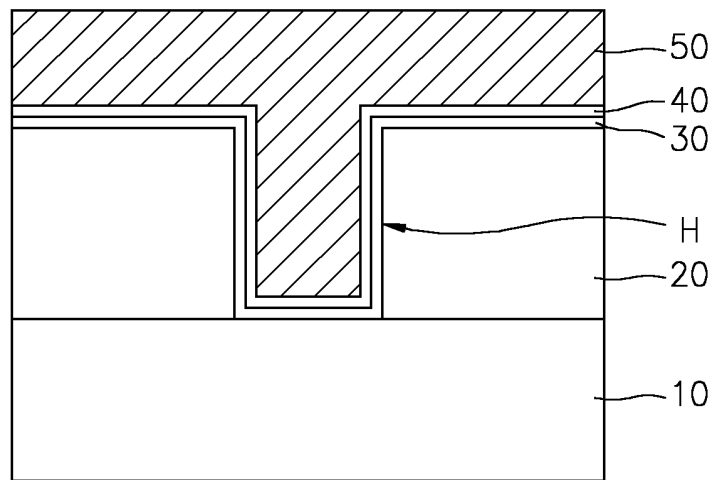
제 40 항에 있어서, 상기 벌크 텅스텐층은 약 300 내지 500℃의 온도 범위에서 WF_6 가스 및 H_2 가스를 공급하여 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 50.

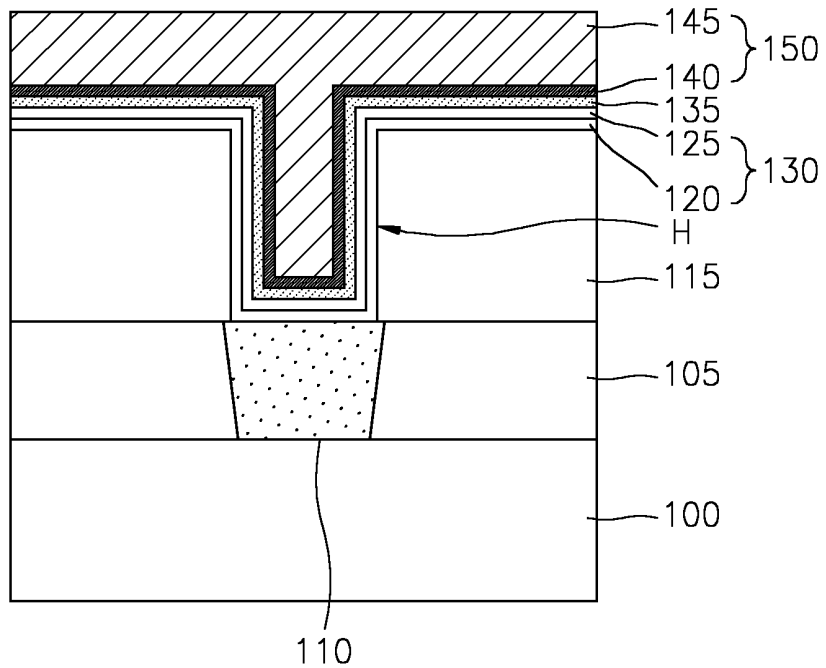
제 40 항에 있어서, 상기 베리어 금속막을 형성하는 단계와, 상기 비정질 도전층을 형성하는 단계 사이에, 상기 콘택홀내에 텅스텐 플러그를 매립하는 단계를 더 포함하는 것을 특징으로 반도체 메모리 소자의 제조방법.

도면

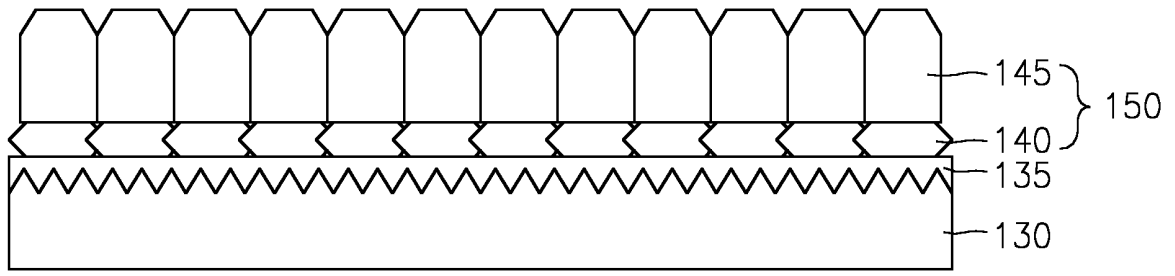
도면1



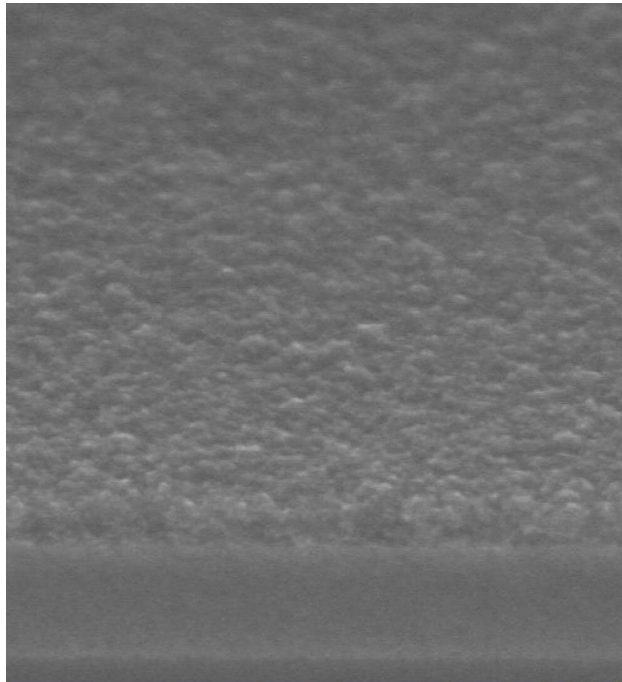
도면2



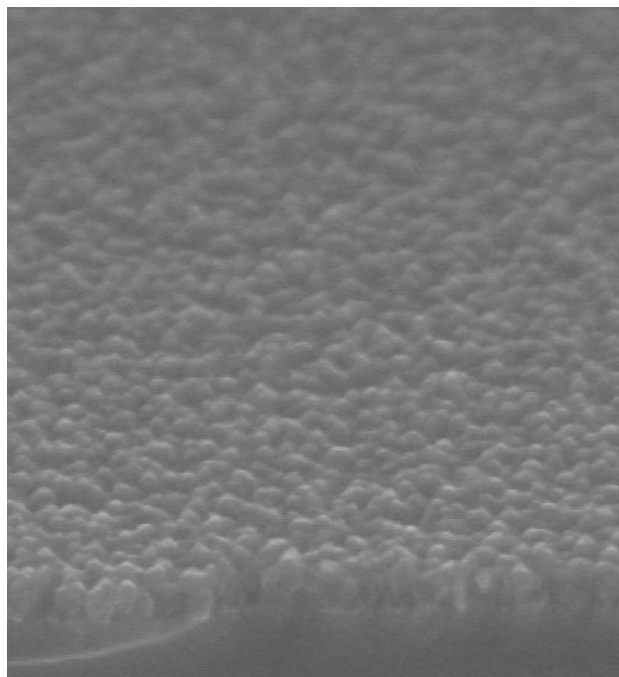
도면3



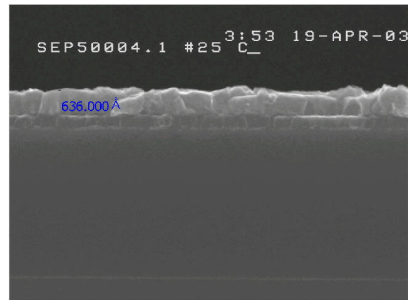
도면4a



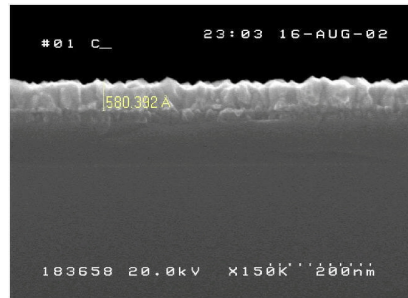
도면4b



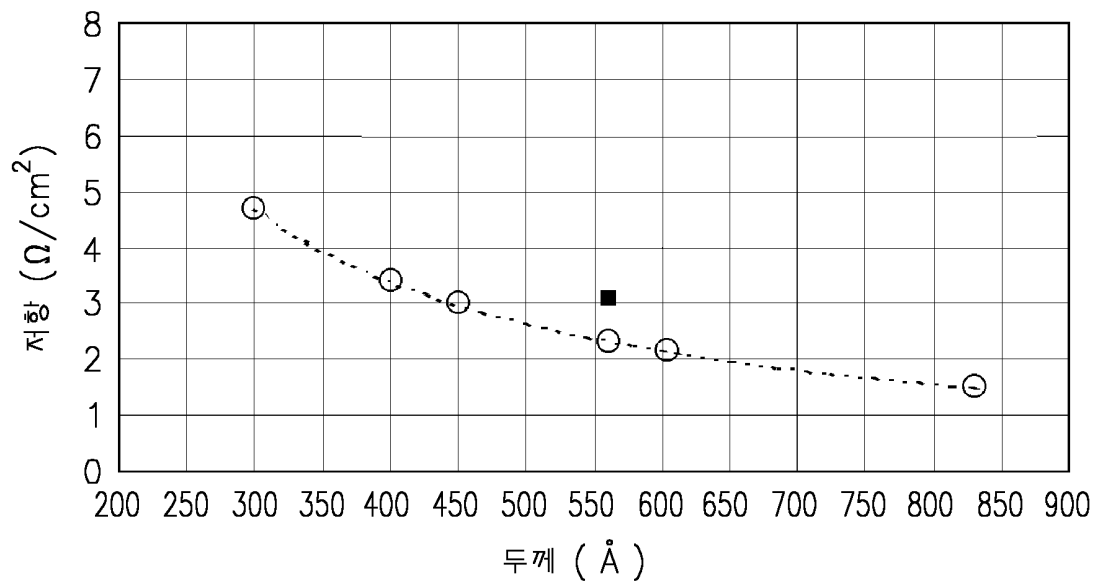
도면5a



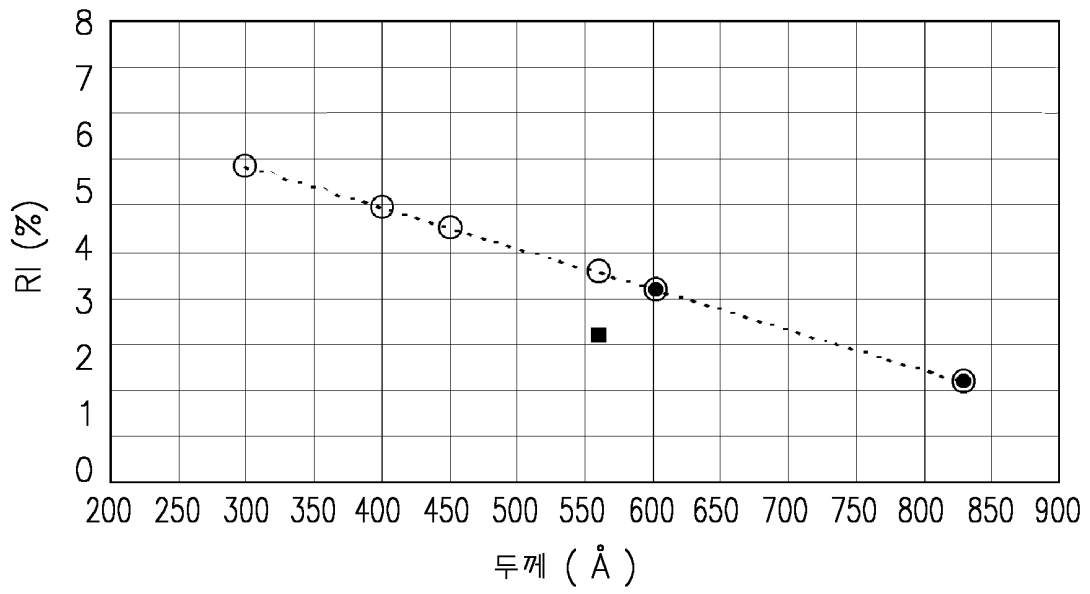
도면5b



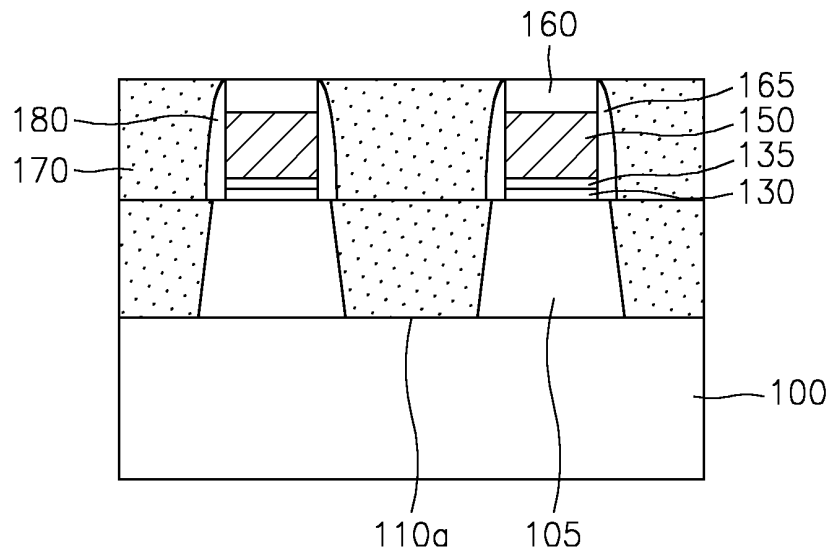
도면6



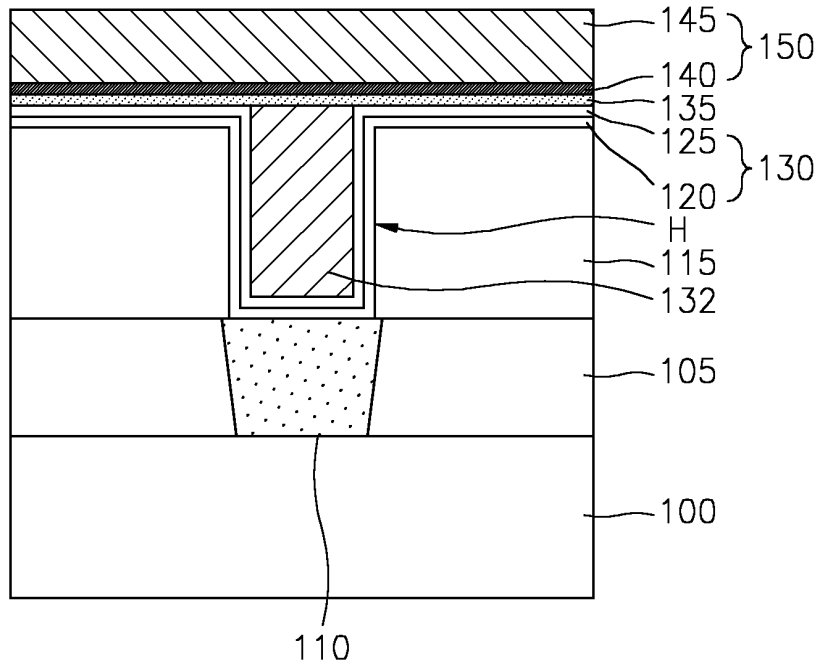
도면7



도면8



도면9



도면10

