

(11) 特許出願公表番号

特表2011-529298

(P2011-529298A)

(43) 公表日 平成23年12月1日(2011.12.1)

(51) Int. Cl.	F I	テーマコード (参考)
H 0 4 L 25/02 (2006.01)	H O 4 L 25/02 V	5 K 0 2 9
H 0 4 L 25/03 (2006.01)	H O 4 L 25/03 C	5 K 0 5 2
H 0 4 B 1/10 (2006.01)	H O 4 B 1/10 T	

審查請求 未請求 予備審查請求 未請求 (全 14 頁)

(21) 出願番号	特願2011-520075 (P2011-520075)
(86) (22) 出願日	平成21年7月7日 (2009.7.7)
(85) 翻訳文提出日	平成22年11月29日 (2010.11.29)
(86) 国際出願番号	PCT/US2009/049813
(87) 国際公開番号	W02010/014358
(87) 国際公開日	平成22年2月4日 (2010.2.4)
(31) 優先権主張番号	61/083, 943
(32) 優先日	平成20年7月27日 (2008.7.27)
(33) 優先権主張国	米国 (US)

(71) 出願人 501055961
ラムバス・インコーポレーテッド
アメリカ合衆国, カリフォルニア州 9
4089, サニーヴェール, スイート 7
00, エンタープライズ ウェイ 105
0

(74) 代理人 100079108
弁理士 稲葉 良幸

(74) 代理人 100109346
弁理士 大貫 敏史

(72) 発明者 アバスファー, アリアザム
アメリカ合衆国, カリフォルニア州 94
025, メンロ パーク, オーク ドライ
ブ 3422

Fターム (参考) 5K029 DD23 GG05 HH05 KK15

最終頁に続く

(54) 【発明の名称】 受信側の供給負荷の分散方法及びシステム

(57) 【要約】

【課題】 受信側の供給負荷の分散方法及びシステムを提供する。

【解決手段】

パラレルデータシンボルセットを送受信するデジタル通信システムが開示されている。連続するシンボルセット間の差は、シンボルセットを表すために使用される電流に変化を誘発し、それゆえ供給リップルが発生する。レシーバは供給リップルを低減するように補償電流を印加する。補償電流は現在のシンボルではなく前のデータサンプルに基づき算出され、補償を含まない回路と比較すると隣接するシンボルセット間の最大同時電流変動を増加させる。しかし、配電ネットワークの周波数応答は、ローカル供給電流の増加したデータ依存性をフィルタリングし、総供給電流の変動を低減させる。いくつかの実施形態は、送信及び受信されたシンボルの双方について補償電流を提供する。

【選択図】図 1

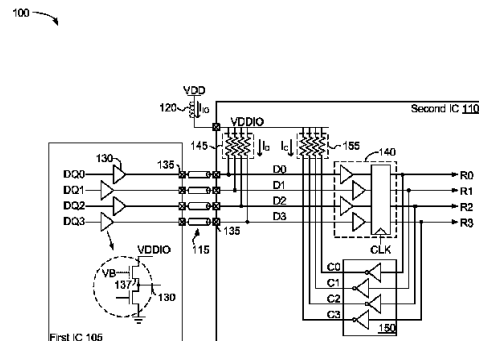


Fig. 1

【特許請求の範囲】**【請求項 1】**

供給電圧を提供する電源ノードと、

前記電源ノードに抵抗結合され、前の及び現在のパラレルデータシンボルセットを、それぞれの前の及び現在の時間間隔において受信するデータノードと、

前記データノードに結合され、前記前の及び現在のパラレルデータシンボルセットを受信する補償回路であって、前記電源ノードに抵抗結合された少なくとも 1 つの補償回路出力ノードを有する補償回路とを備え、

前記補償回路は、前記現在の時間間隔において前記電源ノードから、前記前のパラレルデータシンボルセットから導出された補償電流を引き出す、システム。

10

【請求項 2】

前記補償回路は、クロックノードを有するサンプラを介して前記データノードに結合され、クロック信号を受信し、

前記クロック信号は前記時間間隔を規定する、請求項 1 に記載のシステム。

【請求項 3】

前記前のパラレルデータシンボルセットは、前記前の時間間隔において第 1 の供給電流を引き出し、

前記現在のパラレルデータシンボルセットは、前記現在の時間間隔において第 2 の供給電流を引き出し、

20

前記第 1 の電流と前記第 2 の電流の最大差は、前記第 2 の供給電流と前記補償電流の最大和より小さい、請求項 1 に記載のシステム。

【請求項 4】

前記前の時間間隔は、前記現在の時間間隔と直接隣接している、請求項 1 に記載のシステム。

【請求項 5】

トランスミッタをさらに備え、

前記トランスミッタは、複数のトランスミッタ入力ノードと、前記データノードに結合された複数のトランスミッタ出力ノードとを有する、請求項 1 に記載のシステム。

【請求項 6】

前記補償回路は前記トランスミッタ入力ノードに結合される、請求項 5 に記載のシステム。

30

【請求項 7】

集積回路デバイスにおいてインスタンス化される、請求項 1 に記載のシステム。

【請求項 8】

前記補償回路は、前記データシンボルの受信後に前記補償電流の印加のタイミングを調整する、請求項 1 に記載のシステム。

【請求項 9】

前のシンボルセット及び現在のシンボルセットを含む連続するパラレルシンボルセットを受信するステップであって、前記前の及び現在のシンボルセットがそれぞれ、電源ノードから、前の及び現在の供給電流を引き出す、ステップと、

40

前記前の電流を補完する補償電流を導出するステップと、

前記現在の時間間隔において前記電源ノードから前記補償電流を引き出すステップとを含む、方法。

【請求項 10】

クロック信号は、前記時間間隔を規定する、請求項 9 に記載の方法。

【請求項 11】

前記補償電流と前記現在の供給電流の最大和は、前記前の供給電流と前記現在の供給電流の最大差を上回る、請求項 9 に記載の方法。

【請求項 12】

50

前記前の時間間隔は、前記現在の時間間隔に直接隣接する、請求項 1 1 に記載の方法。

【請求項 1 3】

前記パラレルシンボルセットは、データノードセットにおいて伝達され、

前記方法は、前記データノードにおいて第 2 の連続するパラレルデータシンボルセットを送信するステップをさらに含む、請求項 9 に記載の方法。

【請求項 1 4】

第 2 の連続するパラレルデータシンボルセットのそれぞれについて、前記電源ノードから第 2 の補償電流を引き出すステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】

前記第 2 の補償電流は、前記第 2 の連続するパラレルデータシンボルセットの同時に起き 1 つから導出される、請求項 1 4 に記載の方法。

10

【請求項 1 6】

供給電圧を提供する供給ノードと、

前記供給ノードに結合され、連続するパラレルデータシンボルセットを連続する時間間隔において受信するデータノードであって、現在の時間間隔において現在の供給電流を引き出す現在のデータシンボルセット、及び、前の時間間隔において前の供給電流を引き出す前のデータシンボルセットを含む、データノードと、

前記データノードと前記供給ノードとに結合される補償回路とを備え、

前記補償回路は、前記現在の時間間隔において前記供給ノードから、前記前の供給電流を補完する補償電流を引き出す、システム。

20

【請求項 1 7】

前記前の供給電流と前記現在の供給電流の最大差は、前記補償電流と前記現在の供給電流の最大和より小さい、請求項 1 6 に記載のシステム。

【請求項 1 8】

前記前の時間間隔は、前記現在の時間間隔に直接隣接する、請求項 1 7 に記載のシステム。

【請求項 1 9】

集積回路においてインスタンス化される、請求項 1 6 に記載のシステム。

【請求項 2 0】

30

前記データノードに結合され、前記データノードにおいて第 2 の連続するパラレルデータシンボルセットを送信するトランスミッタをさらに備え、

前記補償回路は、前記第 2 の連続するパラレルデータシンボルセットについて第 2 の補償電流を導出し、前記供給ノードから前記第 2 の補償電流を引き出す、請求項 1 6 に記載のシステム。

【請求項 2 1】

集積回路の少なくとも一部を規定するデータ構造を記憶するコンピュータ可読媒体であって、

前記データ構造は、

供給電圧を提供する供給ノードを表す第 1 のデータと、

40

前記供給ノードに結合され、連続するパラレルデータシンボルセットを連続する時間間隔において受信するデータノードを表す第 2 のデータであって、前記データノードは、現在の時間間隔において現在の供給電流を引き出す現在のデータシンボルセット、及び、前の時間間隔において前の供給電流を引き出す前のデータシンボルセットを含む、第 2 のデータと、

前記データノードと前記供給ノードに結合された補償回路を表す第 3 のデータとを備え、

前記補償回路は、前記現在の時間間隔において前記供給ノードから、前記前の供給電流を補完する補償電流を引き出す、コンピュータ可読媒体。

【請求項 2 2】

50

供給電圧を提供する電源ノードと、

前記電源ノードに抵抗結合され、前の及び現在のパラレルデータシンボルセットを、それぞれの前の及び現在の時間間隔において受信するデータノードと、

前記前のパラレルデータシンボルセットから補償電流を導出し、前記現在の時間間隔において前記電源ノードから前記補償電流を引き出す手段とを備える、システム。

【請求項 23】

供給ノードと、

連続するパラレルデータシンボルセットを伝達するパラレルバスであって、前記パラレルデータシンボルセットは、現在の時間間隔における現在のデータシンボルセット、及び、前の時間間隔における前のデータシンボルセットを含む、パラレルバスと、

前記パラレルバスに結合され、前記連続するパラレルシンボルセットをサンプリングし、連続する受信されたサンプルセットを提供するサンブラと、

前記供給ノードに結合された電流引き出し機構とを備え、

前記電流引き出し機構は、前記現在の時間間隔において前記供給ノードから、前記前のシンボルセットと関連して導出された現在の補償電流を引き出す、システム。

【請求項 24】

集積回路デバイスにおいてインスタンス化される、請求項 23 に記載のシステム。

【請求項 25】

前記電流引き出し機構は、前記現在の補償電流を前記受信されたサンプルの少なくとも 1 つから導出する、請求項 23 に記載のシステム。

【請求項 26】

前記連続するパラレルデータシンボルセットのそれぞれは、前記供給ノードからデータ電流を引き出し、

前記現在の時間間隔における前記補償電流は、前記前の時間間隔における前記データ電流を補完する、請求項 23 に記載のシステム。

【請求項 27】

前記現在の時間間隔は、前記前の時間間隔に直接隣接する、請求項 23 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本発明は、集積回路における電源ノイズの抑制に関する。

【背景技術】

【0002】

[0002] 典型的な高速デジタル通信システムにおけるトランスミッタ及びレシーバは、情報を一連のシンボルとして伝える。一般的な 2 進法は、論理 1 を表す電圧を生成する負荷を介して電源ノードから第 1 の電流を引き出すことによって論理 1 のシンボル値を表し、論理 0 を表す電圧を生成する負荷を介して第 2 の電流を引き出すことによって論理 0 のシンボル値を表わす。レシーバは、シンボルを参照電圧に対してサンプリングし、元の情報を回復する。データシンボルが、シンボルセットとしてパラレルで伝達される場合、連続するシンボルセットを表すために使用される総電流は、信号毎に著しく変化し得る。それゆえ供給電流はデータ依存であり得る。

【0003】

[0003] 電源は不完全である。例えば、供給電流を伝達するために使用されるライン及びパッドは、寄生抵抗性、誘導性、容量性のインピーダンスを示す。残念ながら、これらのインピーダンス及びデータ依存の供給電流は、共にエラーを誘発し、速度性能を低減させ得る供給電圧の変動を引き起こす。当業者は、この問題を同時スイッチングノイズ、すなわち S S N と呼んでいる。S S N を最小化する取り組みは、供給が負荷電流の変化に対し

10

20

30

40

50

てさらに耐久性を持つように、電圧制御の改良及び供給インピーダンスの低減、並びに、そのような変化を最小化するために、分散されたシンボルパタン又は補償電流の使用が中心であった。これらの取り組みは大きな成功を収めたが、性能を改良する需要は絶えることがない。

【図面の簡単な説明】

【0004】

[0004] 同様の符号が同様の構成要素を示す、添付された図面中の図において、開示された主題は、限定的ではなく、例示的に説明されている。

【0005】

【図1】[0005] 図1は、第1の集積回路(IC)105がデータDQ[3:0]を第2のIC110に対して、パラレルデータチャネル115を通して送信する、同期デジタル通信システム100を示す図である。

【図2】[0006] 図2は、一実施形態に従う図1のシステム100のオペレーションを示す波形図200を示す図である。

【図3】[0007] 図3は、実施形態に従う配電ネットワークについての周波数応答を示す図である。

【図4】[0008] 図4は、別の実施形態に従うシステム400を示す図である。システム400は、外部供給電圧VDDを共有し、パラレルの双方向チャネル415を介して通信する、第1及び第2のIC405及び410を含む。

【発明を実施するための形態】

【0006】

[0009] 図1は、第1の集積回路(IC)105がデータDQ[3:0]を、第2のIC110に対してパラレルデータチャネル115を介して送信する同期デジタル通信システム100を示す。連続するシンボルセット(例えば、0000~1111)の差は、データシンボルD[3:0]をチャネル115の各ビットラインにそれぞれが対応するIC110の対応するデータノード上で表すために使用されるデータ電流 I_D に変化を引き起こす。本例においてはレシーバであるIC110は、補償電流 I_C をデータ電流 I_D に加える。補償電流は、電流シンボルD[3:0]ではなく、前に受信したサンプルR[3:0]に基づき算出され、その結果、補償を含まない回路と比較すると、隣接するシンボルセット間の最大瞬間電流変動を増大させる。言い換えると、第2のIC110は、所与の時間間隔において、内部ノードVDDIOからの供給電流のデータ依存性を増大させる。しかしながら、配電ネットワーク(PDN)の周波数応答は、ローカル供給電流($I_D + I_C$)の増加したデータ依存性の大部分をフィルタリングし、その結果、総入力/出力(I/O)供給電流 I_{IO} の変動を低減させる。低減された I/O 電流変動は、供給電圧VDD及びVDDIOを安定化し、それゆえ、IC110の性能を改善する。PDNの周波数応答は主に、IC110の外部にある寄生リードインダクタンス120の関数であるが、例えば、バイパスキャパシタ並びに寄生抵抗及び容量(図示せず)の関数でもある。

【0007】

[0010] この簡潔な例では、第1のIC105は、4つのドライバ130を含み、各ドライバは、データ信号DQ[3:0]の1つをそれぞれのパッド135を介してチャネル115のリンクヘドライブする。各ドライバ130はプルダウンドライバであってもよく、そこではNMOSトランジスタがそのパッド135をグランド電位まで引き下げ論理1を表し、ターンオフし論理0を表す。より一般的には、各ドライバ130は、供給ノードVDDIOから第1のゼロでない電流を引き論理1を表し、第2の実質的にゼロである電流を引き論理0を表す。各ドライバ130が代替的な論理値を表すよう電流をシンク及びソースすることができるよう、各ドライバ130は、ゲートバイアスVBを有するプルアップトランジスタ137のようなローカルプルアップデバイスを含んでよい。他の実施形態は、異なる数量の異なるタイプのドライバを使用し、内部(オンダイ)又は外部の終端要素を使用することができる。

【0008】

[0011] 第2のIC110は、データシンボルD[3:0]をそれぞれのパッド135において受信し、これらをサンプラ140の入力ノードへ伝達する。ドライバ130は、終端抵抗器145を介して電流を引き込み、論理1を表し、抵抗器145がパッド135を供給電圧VDDIOに引き下げることを可能にし、論理0を表す。サンプラ140は、クロック信号CLKのエッジにおいてシンボルD[3:0]をサンプリングし、それぞれのサンプラ出力端子において受信したパラレルのサンプルR[3:0]を提供する。

【0009】

[0012] シンボルD[3:0]は、連続するシンボルセットが異なる数の1と0を含み得るようにエンコードされる(コードは分散されていない)。シンボルD[3:0]の所与のセットを表すために使用されるデータ電流 I_D 、すなわち、そのセットの各シンボルからの電流の総和は、ドライバ130のそれぞれがオフである場合の最低値($D[3:0]=0000$)から、ドライバ130のそれぞれがオンである場合の最高値($D[3:0]=1111$)まで変動する。1と0を異なる数で有するシンボルセット間のスイッチングは、データ電流 I_D を変化させ、システム性能に悪影響を及ぼす同時スイッチングノイズ(SSN)を供給電圧に発生させる。従前のシステムは、シンボルセット間の電流変動を相殺するために、補完的な補償電流を提供することによって、送信側のデータ依存供給電流を低減させていた。しかしながら、レシーバは受信するパターンを予め知らされておらず、それゆえ受信されてくるシンボルパターンについての補完的な補償電流を提供することができないので、このようなシステムは、通常レシーバでは機能しない。

10

20

【0010】

[0013] 第2のIC110は、補償信号C[3:0]及び以前に受信されたシンボルのサンプルR[3:0]に基づき得られる補償電流 I_C を生成する補償回路150を含む。得られた補償電流 I_C は、現在のシンボルのセットD[3:0]を補完せず、むしろ、連続するシンボルセット間の最大電流変動を著しく増加させる。しかしながら、本出願人は、PDNが補償電流の遅い印加の結果をフィルタリングすることができ、その結果SSNが低減され、システム性能が改善されることを発見した。

【0011】

[0014] 図2は、一実施形態に従う図1のシステム100のオペレーションを示す波形図200を示す。信号の相対的なタイミングは例示的な近似であり、実際の縮尺ではない。論理値1が比較的低電圧によって表されることを思い起こすと、上から4つの波形は、1111、0000、1111、1110及び1000の一連のシンボルのセットを表す受信されたデータシンボルD[3:0]を示し、これは7つのシンボル遷移時間 $T_0 - T_6$ において分割される6つの時間間隔にわたる。論理1値(低電圧レベル)を表すために使用される電流は、1に正常化されるので、4つのシンボルを表すために使用される電流の総和は、データシンボルD[3:0]によって表される1と0の論理値の割合によって0から4まで変動する。シンボルセットD[3:0]=0000とD[3:0]=1111との間の変化は、最大のシンボル遷移数を要し、それゆえ、データ電流 I_D において最大の変化 I_D が得られる。最大の電流変動は、データ電流変化 I_D がそれぞれマイナス4及びプラス4である時間 T_1 及び T_2 において生じる。残りの時間 $T_3 - T_6$ では、シンボルの遷移がより少ないので、これらの場合データ電流変化 I_D は少ない。

30

40

【0012】

[0015] 図1を参照すると、サンプラ140は、クロック信号CLKのエッジにおいてシンボルD[3:0]をサンプリングし、連続するサンプルのセットR[3:0]を生成する。再び図2を参照すると、サンプルR[3:0]は、データシンボルD[3:0]と同じ連続するパターンを表すが、クロック信号CLKのサンプリングタイミング及び例えばサンプラ140及び補償回路150における固有の遅延ため、位相が変移している。本実施形態では、補償回路150は、サンプルR[3:0]のセンスを反転させ、先行するデータシンボルを補完する補償信号C[3:0]を生成する。現在のシンボルのセットD[3:0]の観点からは、補償信号C[3:0]は、前のシンボルのセットの補完である。本実施形態では、前のシンボルセットはすぐに、補償信号に先行するが、他の実施形態では遅延がより多い

50

又は少ない場合がある。補償回路 150 は、4 つのインバータ、関連抵抗器の集合として表されているが、他の実施形態は、異なる数の異なるタイプのドライブ回路を使用し、補償をサポートすることができる。そのような実施形態のいくつかは、図 4 に関連して以下に記される。

【0013】

[0016] 補償回路 150 の出力ノードは、抵抗器 145 と同一であってよい抵抗器 155 を介して内部供給ノード V_{DDIO} に結合されている。抵抗器 155 は、補償回路 150 と一体であってよい（例えば、ここでインバータとして説明される出力ドライバの一部であってよい）。補償信号 $C[3:0]$ は、先行するシンボルセット $D[3:0]$ によって引き出されたデータ電流の補完である補償電流 I_C を集散的に引き出す（本明細書では「補完」という用語は、補償電流についての $\pm 20\%$ の耐性をいう。）。補償信号 $C[3:0]$ は次のデータシンボル $D[3:0]$ に対して時間変移されているので、データ電流 I_D 及び補償電流 I_C の総和（ I_{IO} と表される）は、データ電流 I_D のみよりも大きくなり得る。例えば、時間 T_2 と T_3 との間の総 IO 電流 I_{IO} は 8 であり、これは最も高いデータ電流 I_D の 2 倍である。補償はまた、シンボルセット間の電流における最大変化を著しく増加させる。例えば、電流の総和 I_{IO} （ $I_{IO} = I_D + I_C$ ）は、時間 T_2 によって区切られる時間間隔において 0 から 8 まで遷移する。シンボル間の IO 電流のこの最大の変化 I_{IO} は、データ電流に対する最悪の場合の変化 I_D の 2 倍である。補償回路 150 を含むことはそれゆえ、供給電流においてデータ依存変動を大きく増加させる。

10

【0014】

[0017] データ依存供給変動の増加が性能を低減させることが知られている。しかしながら本出願人は、データ転送速度が P_{DN} の周波数応答に対して十分に高い場合、 P_{DN} のフィルタリング効果がデータ依存変動を減衰させることを発見した。データ依存供給変動が増加したにも係わらず、結果として得られるフィルタリングされた供給電圧 V_{DDIO} は、補償を欠くレシーバに比べてより少ないデータ依存性を示す。

20

【0015】

[0018] 図 3 は、一実施形態に従う、 P_{DN} についての周波数応答を示す。以下の表は、データ転送速度 5 GHz（すなわち、データ期間 T が 200 ピコ秒）で受信したデータシンボルに対して異なる遅延で補償電流 I_C を印加することの供給ノイズ V_{DDIO} に対する効果をシミュレーションする。値 SSN_0 は、補償のない同時スイッチングノイズ（ SSN ）の電力を表し、値 SSN は、補償のある同時スイッチングノイズの電力を表す。 SSN_0 / SSN の比率は、受信したシンボルセットに対する異なる遅延で印加された補償電流のメリットの評価基準である。

30

【表 1】

(Tにおける)遅延	SSN0/SSN
0.0	無限大
0.5	70.4843
1.0	18.5204
1.5	8.3055
2.0	4.8437
2.5	3.2314
3.0	2.2328
3.5	1.7210

表 1

【 0 0 1 6 】

[0019] 表 1 を参照すると、補償電流が、受信されたデータシンボルと同時に印加される場合（遅延 0）、同時スイッチングノイズは効果的に除去され得る（ $SSN = 0$ ）。遅延があると補償は著しく効果を損なうが、いくつかの期間のうちに提供されれば有益性を保つ。図 1 及び図 2 の例にみられるように、1 つの期間では、同時スイッチングノイズはおよそ 20 分の 1 に減少される。2 つの期間では、約 5 分の 1 である。

【 0 0 1 7 】

[0020] 1 シンボル時間でフィードバックを提供するのが困難であることは、迅速にフィードバックを印加できるほど高速の回路が多大な電力を消費し、供給ノイズの問題を悪化させ得ることに一部起因する。1 及び 2 シンボル時間内のフィードバック遅延を望ましくない電力消費及び供給ノイズなしに達成することですら困難であるかもしれない。補償フィードバックの遅延印加は、これらの問題を軽減するが、フィードバックの効果も低下する。それゆえ、遅延は、最適な結果を生むよう所与のシステムについて調整される。実際問題として、表 1 のデータを所与とすると、およそ 1 ～ 5 シンボル時間の遅延は、相対的に容易で安価に実施でき、遅延した補償電流の印加に関連する利点のいくつかを保つと考えられる。

【 0 0 1 8 】

[0021] いくつかの実施形態は、所与のシステム又は信号環境についての検査又は性能最適化を提供するため、調整可能な遅延を有する補償回路を含み得る。遅延調整は、一度行うことができ、例えば温度及び供給電圧における変化に対処するために繰り返されても良い。例えば、遅延は、供給ノイズ、信号マージン又はビット誤り率（BER）などの性能測定基準に基づき場合によって又は定期的に更新され得る。

【 0 0 1 9 】

[0022] 図 4 は、別の実施形態に従うシステム 400 を示す。システム 400 は、外部供給電圧 VDD を共有し、パラレルの双方向チャネル 415 を介して通信する第 1 及び第 2 の IC 405 及び 410 を含む。IC 405 及び 410 は、本実施形態では同一であるので、IC 410 の詳細な説明は簡略化のため省略する。システム 400 の PDN は、供給電圧 VDD を IC 405 及び 410 にローカル供給電圧 VDDIO として分配し、寄生インダクタンス 417 を示す導電性トレースによって表される。

【 0 0 2 0 】

[0023] IC 405 は、4つのドライバ420、4ビットサンプラ425及び補償回路435を含む。ドライバ420の出力及びサンプラ425の入力は、IC 405の内部又は外部にある終端抵抗器445を介してI/Oパッド440及び供給ノードVDDIOへ結合されている。補償回路435は、多重化装置450、補償論理452及び3つのドライバ455を含む。IC 405が送信モードにあることを示す信号TXがアサートされた場合、多重化装置450は、論理452の入力にデータ入力DQ[3:0]を印加する。論理452は、補償信号C[2:0]の適切な組合せを導き、それらをドライバ455を介して抵抗器460に印加する。

【 0 0 2 1 】

[0024] 図4の実施形態は、データドライバ420より少ない補償ドライバ455を含む。いくつかのコード体系は、可能なシンボルボタンを制限することで、シンボルセット間でスイッチされるドライブ電流の量を制限する。データバスインバージョン(DBI)のいくつかの形態は、例えば、データを、8つのデータライン及びバスインバージョンライン(8+1ライン)において表す。8つのデータラインで表されるデータが、4つ以上の0を含む場合、データは反転され、バスインバージョンラインが反転を記録するためアサートされる。同時に起きる0の数が4つに限られているので、データ電流を補完する補償電流は、4つの補償ドライバのみを用いて形成され得る。

【 0 0 2 2 】

[0025] 補償ドライバ455は、内部供給ノードVDDIOから補償電流 I_c を引くよう、補償信号C[2:0]を抵抗器460に印加する。補償電流 I_c は、本実施形態においては、チャンネル415の両側にある終端抵抗器445を介してドライバ420に流れるIC 405におけるデータ電流 I_D を補完する。補償電流 I_c は、供給電流 I_{IO} のシンボルセット間の変化を低減又は最少にするよう基準化されている。ドライバ420及び補償回路435を介す遅延は、補償電流 I_c 及びデータ電流 I_D の変化のタイミングが同時になるように整合されている。そのような整合は最適でありうるが、図3と関連して上に記載した理由によって、改善された性能には必要とされていない。

【 0 0 2 3 】

[0026] 送信信号TXは、受信モードにおいてはアサートされていない。その場合、多重化装置450は、受信サンプルRQ[3:0]を補償論理452の入力に印加する。補償電流 I_c は、以前に受信したシンボルセットに関連付けられた、チャンネル415の両側にある終端抵抗器445を介してIC 405からドライバ420へ流れるIC 410における、データ電流 I_D を補完する。補償回路435は、上述の実施形態に関連して記載されたように機能するので、簡略化のため、ここでは詳細な取扱いが省略する。

【 0 0 2 4 】

[0027] ドライバ455の多様な特徴(例えば、伝搬遅延、ドライブ強度及びノイズインピーダンス)は、適切な調整信号ADJの印加により調整することができる。例えば、ドライバ455のドライブ強度は、補償電流 I_c が受信モード及び送信モードの各モードにおける最適な性能のために適切になるよう基準化するよう、それぞれのモードで異なって調整することができる。他の実施形態は、補償を送信及び受信するための異なるバッファを採用することができ、一方向リンクは、送信及び受信補償を含むことができる。

【 0 0 2 5 】

[0028] 本例では、IC 405及び410は補償回路が同様に装備されている。しかし他の実施形態では、チャンネル415の両側はそれぞれ異なって装備されてもよい。いくつかのシステム、例えばメモリシステムにおいて、通信しているICは、互いに非対称でありえ、これはSSNの効果に対抗するよう印加された送信及び受信スキームの最適化を複雑にする。例えば、1つ以上のメモリデバイスと通信するメモリコントローラは、メモリデバイスの製造に最適であるものとは異なる製作技術から恩恵を受け得る。それゆえ、メモリコントローラが、関連するメモリデバイスのもよりも、スピード及びパワーにおいて著しく高い性能を示す回路を採用することができる場合がしばしばある。そのような場合

10

20

30

40

50

、メモリコントローラは、送信及び受信データの両方に補償を印加することがある一方、メモリデバイスは、いずれかの方向又は両方の方向の補償を省略し得る。

【 0 0 2 6 】

[0029] 本明細書において説明した回路のうちの1つ以上を備える集積回路又は集積回路の部分を設計するプロセスの生成は、例えば、磁気テープ、光ディスク、又は磁気ディスク等のコンピュータ可読媒体であってもよい。コンピュータ可読媒体には、集積回路又は集積回路の部分として物理的に具体化し得る回路を記述するデータ構造又は他の情報を符号化してもよい。様々なフォーマットをこのような符号化に使用し得るが、これらデータ構造は一般に、カルテック中間フォーマット (Caltech Intermediate Format (C I F))、CalmaのG D S I I ストリームフォーマット (G D S I I)、又は電子設計交換フォーマット (E D I F) で書かれる。集積回路設計の当業者は、上記で詳述したようなタイプの概略図及び対応する説明からこのようなデータ構造を作成し、そのデータ構造をコンピュータ可読媒体に符号化することができる。集積回路製造の当業者は、このような符号化データを使用して、本明細書で説明した回路のうちの1つ以上を備える集積回路を製造することができる。

10

【 0 0 2 7 】

[0030] 上記説明及び添付図面では、特定の用語及び図面記号が、本発明の完全な理解を提供するために記されている。場合によっては、用語及び記号は、本発明の実施に必要な特定の細部を意味してもよい。例えば、補償回路は、当業者にとって、適切な補償電流を発生させるために多様な方法が可能であるので、必ずしも図1及び図4に示されるような態様で補償電流を提供する必要はない。さらに、本明細書に詳述したシステムは、バイナリであるので2つの論理値を使用しているが、他の実施形態はマルチP A MシステムにおいてS S Nを同様にアドレスすることができる。また、「システム」という用語は、トランスミッタ及びレシーバを含む完結した通信システム、又はトランスミッタ、レシーバ又はI C又は他のトランスミッタ及び/若しくはレシーバを含むコンポーネントなどの通信システムの一部をいい得る。さらに他の実施形態が当業者には明らかである。

20

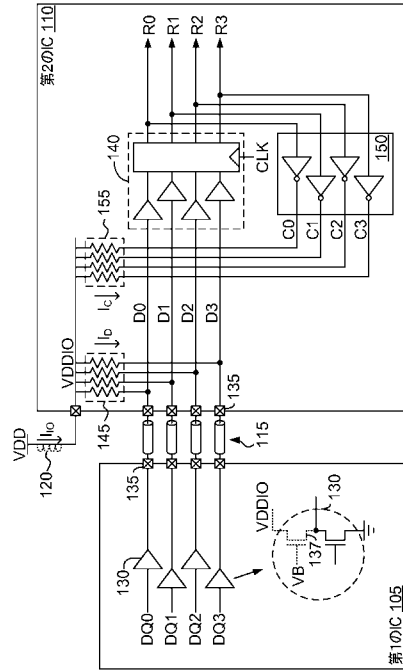
【 0 0 2 8 】

[0031] 構成要素によっては、互いに直接接続されて示されるものもあれば、中間構成要素を介して接続されて示されるものもある。各事例において、相互接続又は「結合」する方法が、2つ以上の回路ノード(例えば、パッド、ライン又は端子)間にある所望の電気通信を確立する。このような結合は、当業者に理解されるように、いくつかの回路構成を使用して達成可能なことが多い。したがって、添付の特許請求の範囲の趣旨及び範囲は、上記説明に限定されるべきではない。「means for」又は「step for」を特に挙げる請求項のみが、米国特許法第112条第6段落において要求されるように解釈されるべきである。

30

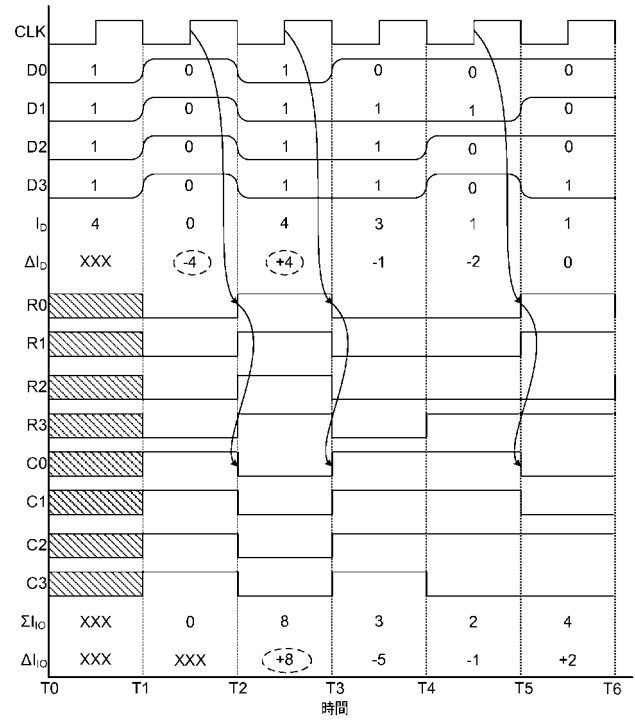
【図 1】

100

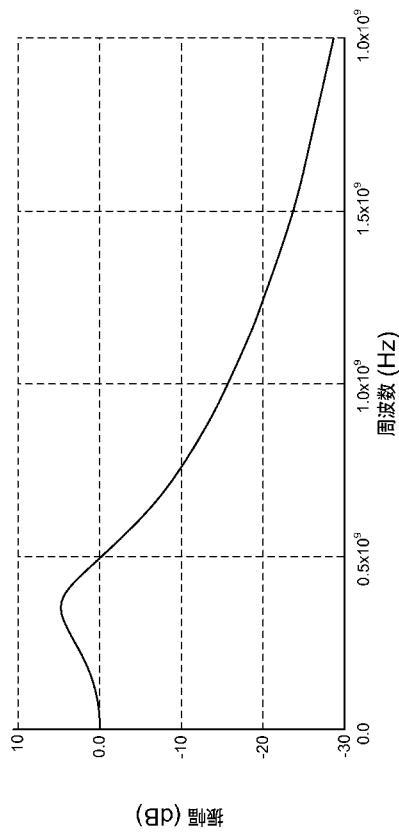


【図 2】

200

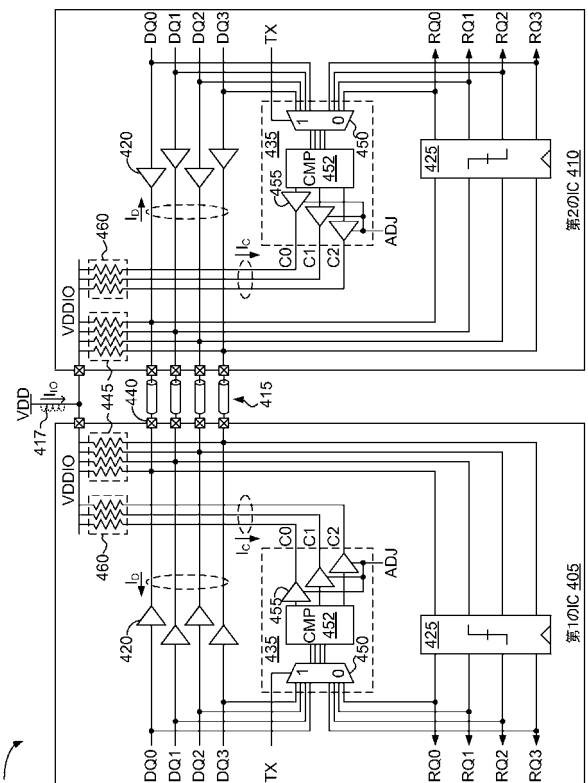


【図 3】



【図 4】

400



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/049813

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F13/40 H03K19/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F H03K		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 917 364 A (NAKAMURA KAZUYUKI [JP]) 29 June 1999 (1999-06-29) figure 1	1-27
A	US 2007/046331 A1 (KWON CHANG KI [US] ET AL KWON CHANG KI [US] ET AL) 1 March 2007 (2007-03-01) paragraph [0055]	1-27
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 13 January 2010		Date of mailing of the international search report 01/02/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Braccini, Guido

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2009/049813

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5917364	A	29-06-1999	JP	3006524 B2	07-02-2000
			JP	10190751 A	21-07-1998
US 2007046331	A1	01-03-2007	US	2009179665 A1	16-07-2009
			US	2008036491 A1	14-02-2008

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5K052 BB11 BB15 DD17 DD20 EE01 EE25 FF32 GG35