

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2012년 6월 21일 (21.06.2012)



(10) 국제공개번호
WO 2012/081892 A1

- (51) 국제특허분류:
G01R 31/02 (2006.01) *G01R 27/26* (2006.01)
- (21) 국제출원번호: PCT/KR2011/009593
- (22) 국제출원일: 2011년 12월 13일 (13.12.2011)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2010-0127729 2010년 12월 14일 (14.12.2010) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **두산 인프라코어 주식회사 (DOOSAN INFRACORE CO., LTD.)** [KR/KR]; 인천광역시 동구 화수동 7-11 번지, 401-020 Incheon (KR).
- (72) 발명자: **김**
- (75) 발명자/출원인 (US 에 한하여): **김상일 (KIM, Sang Il)** [KR/KR]; 경기도 용인시 기흥구 영덕동 946 청현마을 대명레이크빌아파트 107 동 202 호, 446-787 Gyeonggi-do (KR). **김창현 (KIM, Chang Hyun)** [KR/KR]; 경기도 수원시 영통구 영통동 신나무실 건영아파트 664 동 904 호, 443-470 Gyeonggi-do (KR). **김광운 (KIM, Kwang Woon)** [KR/KR]; 경기도 용인시 수지구 신봉동 605 우남아파트 510 동 1307 호, 448-150 Gyeonggi-do (KR).

(74) 대리인: **김기효 (KIM, Kee-Hyo)**; 서울특별시 중구 충무로 3 가 60-1 번지 극동빌딩 14 층, 100-705 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

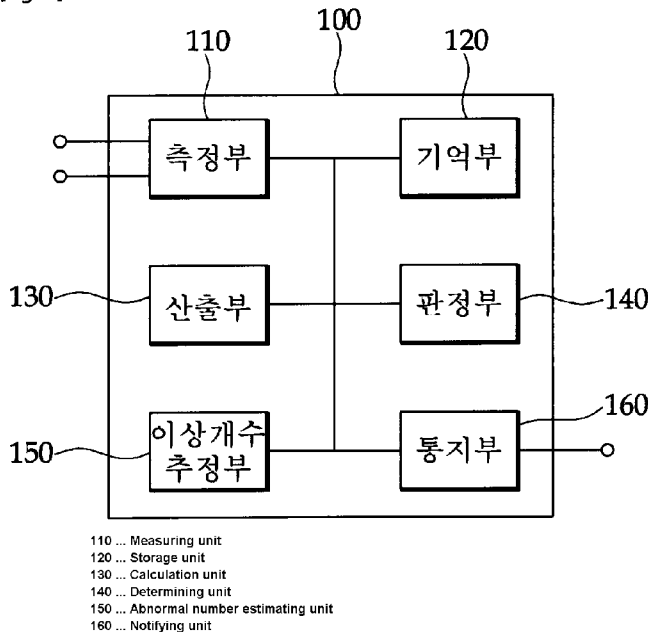
— 국제조사보고서와 함께 (조약 제 21 조(3))

[다음 쪽 계속]

(54) Title: METHOD AND APPARATUS FOR DETECTING ABNORMALITY OF A CAPACITOR

(54) 발명의 명칭 : 커패시터의 이상 검출 방법 및 이상 검출 장치

[Fig. 3]



(57) Abstract: The present invention relates to a method and an apparatus for detecting an abnormality of an individual capacitor in a circuit in which two or more capacitors are connected in series, said detection being inexpensive and accurate. The apparatus for detecting an abnormality of a capacitor according to the present invention comprises: a measuring unit for measuring a capacitance of the circuit from both ends of the circuit; a storage unit for storing the measured capacitance of the circuit and a used time of the circuit at the moment of measurement; and a determining unit for comparing the measured capacitance of the circuit and a preset predicted capacitance to determine whether an abnormality has occurred in at least one capacitor of the.

(57) 요약서: 본 발명은 2 이상의 커패시터가 직렬로 연결된 회로에서 개별 커패시터의 이상을 저비용으로 정확하게 검출하기 위한 커패시터 이상 검출 방법 및 검출 장치를 제공하기 위한 것으로서, 본 발명에 따른 커패시터 이상 검출 장치는, 상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정부와, 측정된 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 저장하는 기억부와, 측정된 상기 회로의 커패시턴스와, 기 설정된 예상 커패시턴스를 비교하여, 상기 회로를 구성하는 적어도 1 개의 커패시터에 이상이 생겼는지를 판정하는 판정부를 포함한다.



-
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를
접수하는 경우 그에 관하여 별도 공개함 (규칙
48.2(h))

명세서

발명의 명칭: 커패시터의 이상 검출 방법 및 이상 검출 장치 기술분야

- [1] 본 발명은 커패시터의 이상을 검출하기 위한 방법 및 장치에 관한 것으로서, 특히 2 이상의 커패시터가 직렬로 연결된 회로에서 회로를 구성하는 적어도 1개의 커패시터의 이상을 검출하기 위한 방법 및 장치에 관한 것이다.

[2]

배경기술

- [3] 2 이상의 커패시터(또는 배터리)를 직렬로 연결하여 구성된 커패시터 회로는 그 내부의 개별 커패시터 중 하나라도 단락 등의 이상이 발생하면 전체 회로에 영향을 미치게 되므로, 복수의 커패시터로 구성되는 회로에 대해 개별 커패시터의 이상 유무를 검출하기 위한 기술이 필요하다.
- [4] 이러한 기술로서, 커패시터 회로를 구성하는 개별 커패시터를 모두 모니터링하여 각 커패시터의 이상 유무를 판단하는 방법이 존재하였다. 또한, 다른 기술로서, 커패시터 회로의 전체 커패시턴스를 측정하고, 측정된 커패시턴스가 소정값 이하인 것으로 판정되면 커패시터의 이상이 발생한 것으로 판단하는 방법이 있었다.

[5]

발명의 상세한 설명 기술적 과제

- [6] 그러나, 이러한 종래 기술들 중 전자에 의한 경우에는 각 커패시터를 모니터링하기 위해 많은 부품이 장착된 고가의 장비가 필요하다는 문제가 있었다. 후자의 경우, 개별 커패시터가 단락되어 이상이 발생한 경우, 커패시터 회로의 전체 커패시턴스는 증가하므로, 개별 커패시터의 단락을 검출하지 못한다는 문제점이 있었다. 아울러, 해당 방법을 통해 커패시터의 이상을 발견한다 하더라도 이는 이미 다수의 커패시터에 이상이 발생한 상태에서만 검출이 가능하므로, 커패시터의 이상이 시작되는 초기에 대응이 불가능하고 단지 커패시터의 노쇠화 여부만 판단할 수 있다는 문제도 있었다.
- [7] 본 발명은 상술한 점을 감안하여 안출된 것으로서, 2 이상의 커패시터가 직렬로 연결된 회로에서 개별 커패시터의 이상을 저비용으로 정확하게 검출하기 위한 커패시터 이상 검출 방법 및 검출 장치를 제공하는데 목적이 있다.
- [8] 또한, 본 발명은 2 이상의 커패시터가 직렬로 연결된 회로에서 이상이 발생한 개별 커패시터의 개수를 저비용으로 정확하게 예측할 수 있는 커패시터 이상 검출 방법 및 검출 장치를 제공하는데 또 다른 목적이 있다.

과제 해결 수단

- [9] 상술한 목적을 달성하기 위한 본 발명에 따른 커패시터 이상 검출 방법은, 2

이상의 커패시터가 직렬로 연결된 회로에서 커패시터의 이상(異常)을 검출하는 방법으로서, 상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정 단계와, 측정된 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 기억부에 저장하는 저장 단계와, 복수회의 측정에 따라 저장된 상기 회로의 커패시턴스 데이터 및 상기 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하는 산출 단계와, 측정된 상기 회로의 커패시턴스와, 상기 산출된 감소율에 따라 예상되는 커패시턴스를 비교하여, 상기 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼는지를 판정하는 판정 단계를 포함한다.

- [10] 상기 커패시터 이상 검출 방법의 상기 판정 단계에서는, 측정된 상기 회로의 커패시턴스가 상기 산출된 감소율에 따라 예상되는 커패시턴스로부터 미리 결정된 범위를 벗어나는 경우에, 커패시터에 이상이 생겼다고 판정할 수 있다.
- [11] 또한, 상기 커패시터 이상 검출 방법은, 상기 산출된 감소율에 따라 예상되는 커패시턴스에 기초하여 상기 회로를 구성하는 단위 커패시터의 평균 커패시턴스를 계산하고, 계산된 평균 커패시턴스, 상기 회로를 구성하는 커패시터의 개수 및 측정된 상기 회로의 커패시턴스에 기초하여 이상이 생긴 커패시터의 개수를 추정하는 이상 개수 추정 단계를 더 포함할 수 있다.
- [12] 상술한 목적을 달성하기 위한 본 발명에 따른 또 다른 커패시터 이상 검출 방법은 2 이상의 커패시터가 직렬로 연결된 회로에서 커패시터의 이상(異常)을 검출하는 방법으로서, 상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정 단계와, 복수회의 측정에 따른 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 기억부에 저장하는 저장 단계와, 측정된 상기 회로의 커패시턴스가 그 직전에 측정되어 저장된 상기 회로의 커패시턴스보다 미리 결정된 값 보다 큰지 여부를 판정하고, 크다고 판정된 경우에, 상기 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼다고 판정하는 판정 단계를 포함한다.
- [13] 상술한 목적을 달성하기 위한 본 발명에 따른 커패시터 이상 검출 장치는, 2 이상의 커패시터가 직렬로 연결된 회로에서 커패시터의 이상(異常)을 검출하는 장치로서, 상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정부와, 측정된 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 저장하는 기억부와, 측정된 상기 회로의 커패시턴스와, 기 설정된 예상 커패시턴스를 비교하여, 상기 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼는지를 판정하는 판정부를 포함한다.
- [14] 상술한 목적을 달성하기 위한 본 발명에 따른 또 다른 커패시터 이상 검출 장치는, 기 설정된 예상 커패시턴스는 상기 커패시턴스의 측정 직전에 측정되어 저장되었던 상기 회로의 커패시턴스이며, 상기 판정부는 상기 측정된 상기 회로의 커패시턴스가 상기 직전에 측정되어 저장되었던 상기 회로의 커패시턴스 보다 미리 결정된 값보다 큰지 여부를 판정하여 상기 적어도 1개의

커패시터에 이상이 생겼다고 판정할 수 있다.

- [15] 또한, 상기 커패시터 이상 검출 장치는, 복수회의 측정에 따라 저장된 상기 회로의 커패시턴스 데이터 및 상기 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하는 산출부를 더 포함하며, 상기 판정부는 상기 측정된 상기 회로의 커패시턴스와 상기 예상 커패시턴스를 비교할 수 있다.

- [16] 또한, 상기 커패시터 이상 검출 장치는, 복수회의 측정에 따라 저장된 상기 회로의 커패시턴스 데이터 및 상기 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하는 산출부와, 상기 산출된 감소율에 따라 예상되는 커패시턴스에 기초하여 상기 회로를 구성하는 단위 커패시터의 평균 커패시턴스를 계산하고, 계산된 평균 커패시턴스, 상기 회로를 구성하는 커패시터의 개수 및 측정된 상기 회로의 커패시턴스에 기초하여 이상이 생긴 커패시터의 개수를 추정하는 이상 개수 추정부를 더 포함할 수 있다.

발명의 효과

- [17] 이상에서 설명한 바와 같은 과제 해결 수단에 의하면, 2 이상의 커패시터가 직렬로 연결된 회로에서 개별 커패시터의 이상을 저비용으로 정확하게 검출할 수 있다. 또한, 2 이상의 커패시터가 직렬로 연결된 회로에서 이상이 발생한 개별 커패시터의 개수를 저비용으로 정확하게 추정할 수 있다.

[18]

도면의 간단한 설명

- [19] 도 1은 복수의 커패시터들이 직렬로 연결된 회로와, 하나의 커패시터의 등가 회로를 나타내는 도면이다.
- [20] 도 2a는 열화에 따른 커패시턴스 및 ESR(Equivalent Series Resistor)의 변화를 나타내는 그래프이다.
- [21] 도 2b는 커패시터의 단락에 의한 커패시턴스 및 ESR의 변화를 나타내는 그래프이다.
- [22] 도 3은 본 발명의 일 실시예에 따른 커패시터 이상 검출 장치(100)를 개략적으로 나타낸 블록도이다.
- [23] 도 4는 본 발명의 일 실시예에 따른 커패시터 이상 검출 방법을 설명하기 위한 흐름도이다.

[24]

- [25] <도면의 주요 참조 부호에 대한 설명>

[26] 100: 커패시터 이상 검출 장치

[27] 110: 측정부 120: 기억부

[28] 130: 기울기 산출부 140: 판정부

[29] 150: 이상 개수 측정부 160: 통지부

[30]

발명의 실시를 위한 최선의 형태

[31] 이하 첨부된 도면을 참고하여 본 발명의 일 실시예에 따른 커패시터 이상 검출 장치 및 검출 방법에 대하여 상세히 설명한다.

[32] 도 1은 복수의 커패시터들($C_1, C_2, C_3, \dots, C_N$)이 직렬로 연결된 회로와, 복수의 커패시터들($C_1, C_2, C_3, \dots, C_N$) 중 하나의 커패시터(C_2)의 등가 회로를 나타낸다. 배터리 등의 커패시터 소자는 실제로 내부 저항(ESR)을 포함하고 있으며 이를 등가회로로 나타내면 도 1에 도시된 바와 같다.

[33] 복수의 커패시터들이 직렬로 연결된 회로의 전체 커패시턴스(C_{tot})는 직렬로 연결된 커패시터의 개수가 많아질수록 작아지며, 다음과 같은 수학식에 의해 표현된다.

$$[34] \quad \frac{1}{C_{tot}} = \frac{1}{C_1} + \frac{1}{C_2} + \dots + \frac{1}{C_{N-1}} + \frac{1}{C_N} \quad \dots[\text{수학식 1}]$$

[35] 또한, 상기 [수학식1]은 다음과 같이 변형될 수 있다.

$$[36] \quad C_{tot} = \frac{C_0}{N_1} \quad \dots[\text{수학식 2}]$$

[37] 상기 [수학식2]에서, C_0 는 단위 커패시터의 평균 커패시턴스이고, N 은 직렬로 연결된 커패시터의 개수이다.

[38] 복수의 커패시터들 중 일부 커패시터에 단락 등에 의한 이상이 발생하는 경우에 회로 전체의 커패시턴스(C_{tot_short})는 증가하게 된다. 이것은 다음과 같이 수학식으로 표현될 수 있으며, 여기서 M 은 이상이 발생한 커패시터의 개수를 나타낸다.

$$[39] \quad C_{tot} = \frac{C_0}{N} \quad \langle \quad C_{tot_short} = \frac{C_0}{N-M} \quad \dots[\text{수학식 3}]$$

[40] 또한, 상기 [수학식3]으로부터 이상이 발생한 커패시터의 개수(M)를 추정할 수 있으며, 이것은 다음과 같은 수학식으로 표현될 수 있다.

$$[41] \quad M = N - \frac{C_0}{C_{tot_short}} \quad \dots[\text{수학식 4}]$$

[42] 본 발명은, 이상에서 설명한 바와 같이, 일부 커패시터에 단락 등에 의한 이상이 발생하는 경우에 회로 전체의 커패시턴스가 증가한다는 점과, 전체 회로의 커패시터 개수(N), 단위 커패시터의 평균 커패시턴스(C_0) 및 커패시터에 이상이 발생한 경우의 회로 전체의 커패시턴스(C_{tot_short})의 값을 알고 있는 경우에, 이상이 발생한 커패시터의 개수(M)을 추정할 수 있다는 점에 착안하여 안출된 것이다.

[43] 도 2a는 열화에 따른 전체 커패시턴스 및 ESR(Equivalent Series Resistor)의 변화를 나타내고, 도 2b는 일부 커패시터의 단락에 의한 전체 커패시턴스 및 ESR의 변화를 나타낸다. 도 2a를 참조하면, 회로가 열화함에 따라 전체 회로의 커패시턴스는 일정한 기울기로 감소하며, ESR은 일정한 기울기로 증가하는 것을 알 수 있다. 이와는 달리, 도 2b를 참조하면, 회로를 구성하는 일부

커패시터가 단락되는 시점(capacitor short)에 전체 커패시턴스는 증가하고, ESR의 증가율이 커진다는 것을 알 수 있다.

- [44] 이하에서는 도 3을 참조하여 본 발명의 일 실시예에 따른 커패시터 이상 검출 장치(100)의 구성을 설명한다. 본 발명에 따른 커패시터 이상 검출 장치(100)는 측정부(110), 기억부(120), 산출부(130), 판정부(140), 이상 개수 추정부(150), 통지부(160)를 포함한다.
- [45] 측정부(110)는 2 이상의 커패시터가 직렬로 연결된 회로의 양단으로부터 회로 전체의 커패시턴스를 측정하도록 구성된다. 예컨대, 회로의 커패시턴스는 측정부(110)에 의해 정전류를 흘리면서 시간에 따른 전압의 변화율을 측정함으로써 얻어질 수 있다. 그러나, 커패시턴스의 측정 방법은 이것에만 한정되지 않으며, 회로의 커패시턴스를 측정하기 위한 종래의 어떠한 방법도 사용이 가능하다.
- [46] 기억부(120)는 측정부(110)에 의해 측정된 회로의 커패시턴스 및 측정시의 회로 사용 시간(충방전 시간)을 저장하도록 구성된다. 기억부(120)는 데이터를 저장할 수 있는 것이면 어떤 매체라도 좋고, 특정 기억 매체에 한정되지 않는다.
- [47] 산출부(130)는 복수회의 측정에 따라 저장된 회로의 커패시턴스 데이터 및 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하도록 구성된다.
- [48] 판정부(140)는 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼는지를 판정하도록 구성된다. 예컨대, 판정부(140)는, 측정된 회로의 커패시턴스가 산출된 감소율에 따라 예상되는 커패시턴스로부터 미리 결정된 범위를 벗어나는지 여부를 판정하거나, 또는 측정된 회로의 커패시턴스가 그 직전에 측정되어 저장된 회로의 커패시턴스보다 미리 결정된 값 보다 큰지 여부를 판정함으로써 회로를 구성하는 개별 커패시터의 이상 여부를 판정할 수 있다.
- [49] 이상 개수 추정부(150)는 산출된 감소율에 따라 예상되는 커패시턴스에 기초하여 회로를 구성하는 단위 커패시터의 평균 커패시턴스를 계산하고, 계산된 평균 커패시턴스, 회로를 구성하는 커패시터의 개수 및 측정된 회로의 커패시턴스에 기초하여 상기 [수학식 4]에 따라 이상이 생긴 커패시터의 개수를 추정하도록 구성된다.
- [50] 통지부(160)는 판정부(140)에 의해 커패시터의 이상이 발생한 것으로 판정되는 경우 또는 이상 개수 추정부(150)에 의해 이상이 발생한 커패시터의 개수가 추정된 경우, 커패시터의 이상 발생 또는 이상이 발생한 커패시터의 개수를 사용자 등에게 통지하도록 구성된다. 예컨대, 통지 방법으로서 화면 표시에 의한 방법이나 소리에 의한 방법 등을 사용할 수 있고, 외부 장치에 커패시터의 이상 발생 또는 이상이 발생한 커패시터의 개수를 나타내는 신호를 전송하도록 할 수도 있다.
- [51] 이상에서 설명한 커패시터 이상 검출 장치(100)에 의하면, 2 이상의 커패시터가 직렬로 연결된 회로에서 개별 커패시터의 이상을 저비용으로 정확하게 검출할

수 있고, 이상이 발생한 개별 커패시터의 개수 또한 예측 가능하다.

[52] 이하에서는 도 4를 참조하여 본 발명의 일 실시예에 따른 커패시터 이상 검출 방법을 설명한다.

[53] 우선, 회로의 양단으로부터 회로의 전체 커패시턴스를 측정하고(S110), 측정된 커패시터 및 측정시의 회로 사용 시간(충방전 시간)을 기억부에 저장한다(S120).

[54] 그 후, 복수회의 측정에 따라 저장된 회로의 커패시턴스 데이터 및 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하고(S130), 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼는지를 판정한다(S140). 예컨대, 커패시터에 이상이 생겼는지 여부는, 측정된 회로의 커패시턴스가 산출된 감소율에 따라 예상되는 커패시턴스로부터 미리 결정된 범위를 벗어나는지 여부를 판정하거나, 또는 측정된 회로의 커패시턴스가 그 직전에 측정되어 저장된 회로의 커패시턴스보다 미리 결정된 값 보다 큰지 여부를 판정함으로써 판단이 가능하다.

[55] 커패시터에 이상이 생겼다고 판정된 경우(S140의 '예')에, 산출된 감소율에 따라 예상되는 커패시턴스에 기초하여 회로를 구성하는 단위 커패시터의 평균 커패시턴스를 계산하고, 계산된 평균 커패시턴스, 회로를 구성하는 커패시터의 개수 및 측정된 상기 회로의 커패시턴스에 기초하여 상기 [수학식 4]에 따라 이상이 생긴 커패시터의 개수를 추정한다(S150). 그 후, 커패시터에 이상이 발생하였으며 몇 개의 커패시터에 이상이 발생하였는지를 사용자에게 통지한다(S160).

[56] 이상에서 설명한 커패시터 이상 검출 방법에 의하면, 2 이상의 커패시터가 직렬로 연결된 회로에서 개별 커패시터의 이상을 저비용으로 정확하게 검출할 수 있고, 이상이 발생한 개별 커패시터의 개수 또한 예측 가능하다.

[57]

산업상 이용가능성

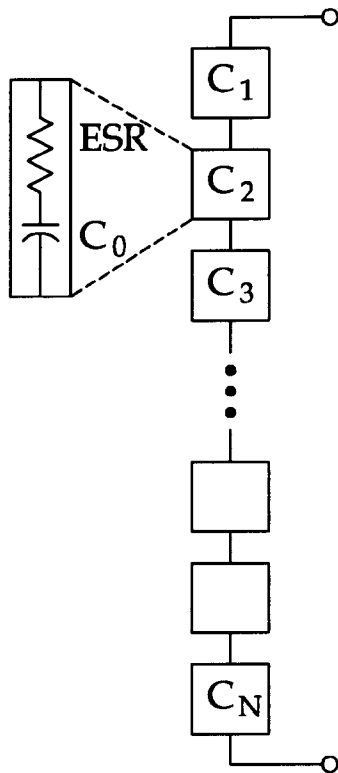
[58] 이상에서 설명한 바와 같은 과제 해결 수단에 의하면, 2 이상의 커패시터가 직렬로 연결된 회로에서 개별 커패시터의 이상을 저비용으로 정확하게 검출할 수 있다. 또한, 2 이상의 커패시터가 직렬로 연결된 회로에서 이상이 발생한 개별 커패시터의 개수를 저비용으로 정확하게 추정할 수 있다.

청구범위

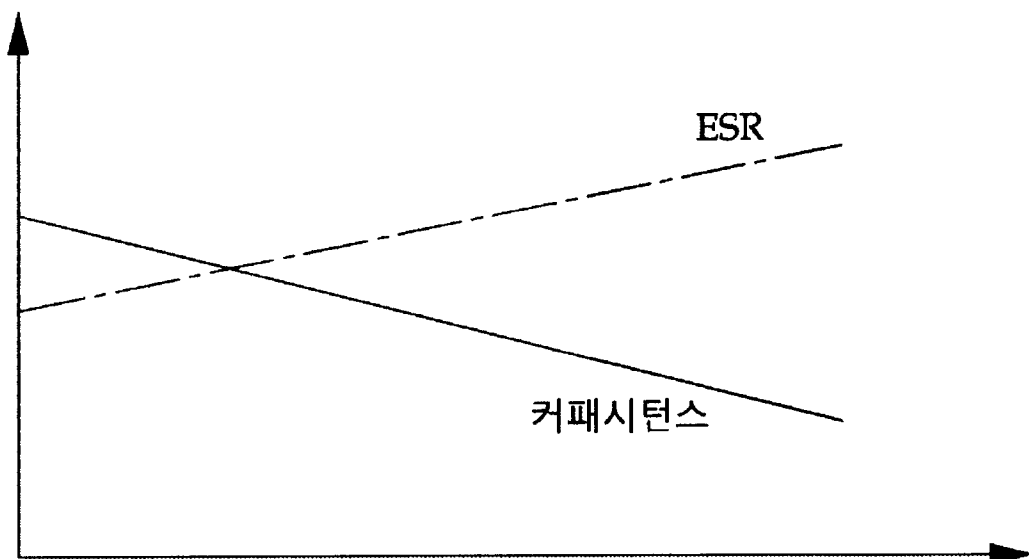
- [청구항 1] 2 이상의 커패시터가 직렬로 연결된 회로에서 커패시터의 이상을 검출하는 방법으로서,
 상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정 단계와,
 측정된 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 기억부에 저장하는 저장 단계와,
 복수회의 측정에 따라 저장된 상기 회로의 커패시턴스 데이터 및 상기 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하는 산출 단계와,
 측정된 상기 회로의 커패시턴스와, 상기 산출된 감소율에 따라 예상되는 커패시턴스를 비교하여, 상기 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼는지를 판정하는 판정 단계를 포함하는 커패시터 이상 검출 방법.
- [청구항 2] 제1항에 있어서,
 상기 판정 단계에서는, 측정된 상기 회로의 커패시턴스가 상기 산출된 감소율에 따라 예상되는 커패시턴스로부터 미리 결정된 범위를 벗어나는 경우에, 커패시터에 이상이 생겼다고 판정하는 것인 커패시터 이상 검출 방법.
- [청구항 3] 제1항에 있어서,
 상기 산출된 감소율에 따라 예상되는 커패시턴스에 기초하여 상기 회로를 구성하는 단위 커패시터의 평균 커패시턴스를 계산하고, 계산된 평균 커패시턴스, 상기 회로를 구성하는 커패시터의 개수 및 측정된 상기 회로의 커패시턴스에 기초하여 이상이 생긴 커패시터의 개수를 추정하는 이상 개수 추정 단계를 더 포함하는 커패시터 이상 검출 방법.
- [청구항 4] 2 이상의 커패시터가 직렬로 연결된 회로에서 커패시터의 이상을 검출하는 방법으로서,
 상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정 단계와,
 복수회의 측정에 따른 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 기억부에 저장하는 저장 단계와,
 측정된 상기 회로의 커패시턴스가 그 직전에 측정되어 저장된 상기 회로의 커패시턴스보다 미리 결정된 값 보다 큰지 여부를 판정하고, 크다고 판정된 경우에, 상기 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼다고 판정하는 판정 단계를 포함하는 커패시터 이상 검출 방법.

- [청구항 5] 2 이상의 커패시터가 직렬로 연결된 회로에서 커패시터의 이상을 검출하는 장치로서,
상기 회로의 양단으로부터 상기 회로의 커패시턴스를 측정하는 측정부와,
측정된 상기 회로의 커패시턴스 및 측정시의 회로 사용 시간을 저장하는 기억부와,
측정된 상기 회로의 커패시턴스와, 기 설정된 예상 커패시턴스를 비교하여, 상기 회로를 구성하는 적어도 1개의 커패시터에 이상이 생겼는지를 판정하는 판정부,
를 포함하는 커패시터 이상 검출 장치.
- [청구항 6] 제5항에 있어서,
상기 기 설정된 예상 커패시턴스는 상기 커패시턴스의 측정 직전에 측정되어 저장되었던 상기 회로의 커패시턴스이며,
상기 판정부는 상기 측정된 상기 회로의 커패시턴스가 상기 직전에 측정되어 저장되었던 상기 회로의 커패시턴스 보다 미리 결정된 값보다 큰지 여부를 판정하여 상기 적어도 1개의 커패시터에 이상이 생겼다고 판정하는 것을 특징으로 하는 커패시터 이상 검출 장치.
- [청구항 7] 제5항에 있어서,
복수회의 측정에 따라 저장된 상기 회로의 커패시턴스 데이터 및 상기 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하는 산출부를 더 포함하며,
상기 판정부는 상기 측정된 상기 회로의 커패시턴스와 상기 예상 커패시턴스를 비교하는 것을 특징으로 하는 커패시터 이상 검출 장치.
- [청구항 8] 제6항에 있어서,
복수회의 측정에 따라 저장된 상기 회로의 커패시턴스 데이터 및 상기 회로 사용 시간 데이터에 기초하여 회로 사용 시간에 따른 커패시턴스의 감소율을 산출하는 산출부와,
상기 산출된 감소율에 따라 예상되는 커패시턴스에 기초하여 상기 회로를 구성하는 단위 커패시터의 평균 커패시턴스를 계산하고,
계산된 평균 커패시턴스, 상기 회로를 구성하는 커패시터의 개수 및 측정된 상기 회로의 커패시턴스에 기초하여 이상이 생긴 커패시터의 개수를 추정하는 이상 개수 추정부
를 더 포함하는 커패시터 이상 검출 장치.

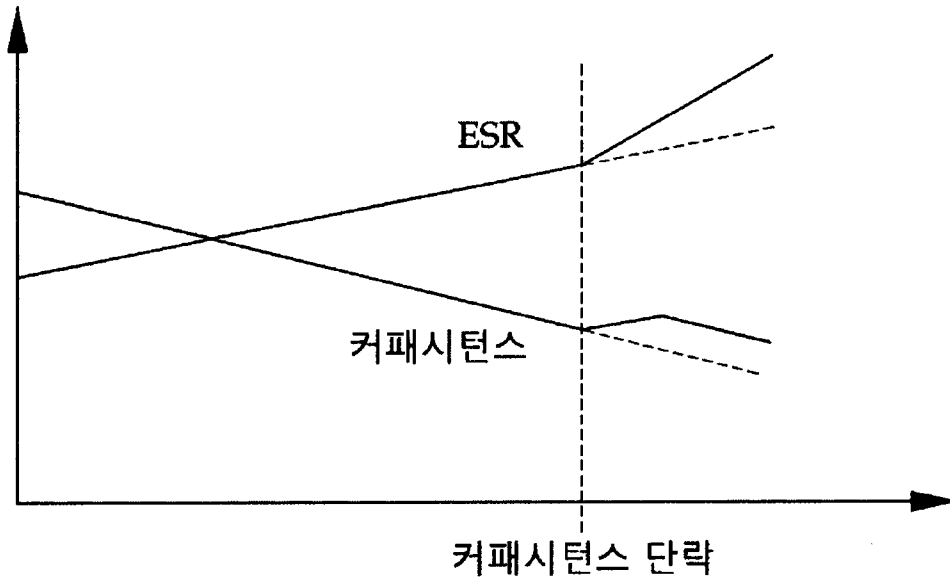
[Fig. 1]



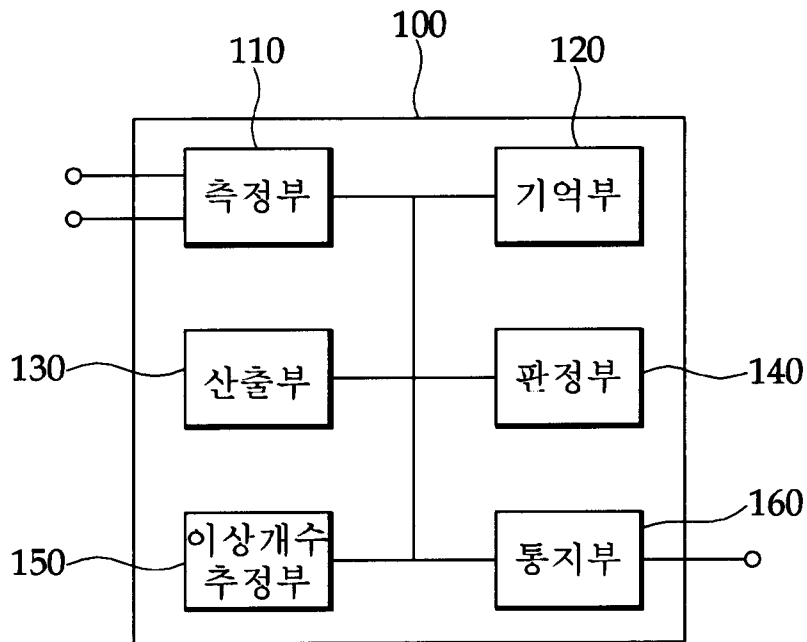
[Fig. 2a]



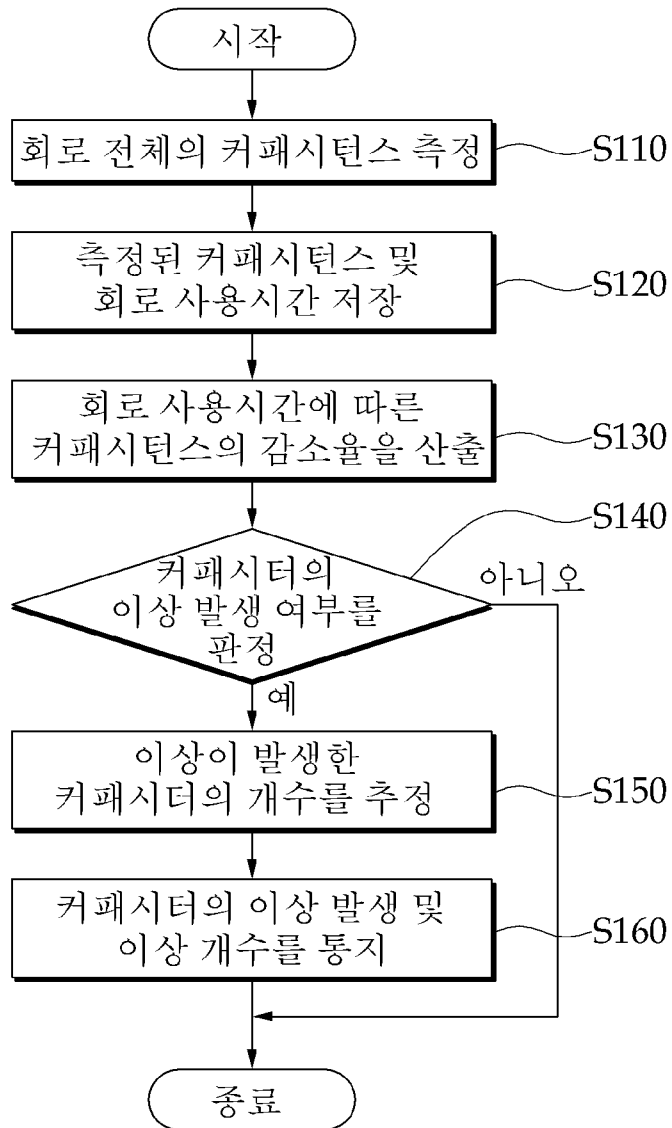
[Fig. 2b]



[Fig. 3]



[Fig. 4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2011/009593**A. CLASSIFICATION OF SUBJECT MATTER****G01R 31/02(2006.01)i, G01R 27/26(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R 31/02; G01R 19/22; H02M 1/32; G01R 29/12; G01N 27/416

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: "capacitor, capacitance, capacitor, capacitance, circuit, measuring, time, trouble, detection, serial, connection, storage, memorization, decreasing rate, calculation, estimation, determination"

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2002-0071610 A (LG ELECTRONICS INC.) 13 September 2002 See abstract, pages 2-3 in the detailed description, claims 1-5, figures 1-5	1-8
A	KR 10-2002-0006984 A (ESSDESIGN) 26 January 2002 See abstract, pages 2-5 in the detailed description, claims 1-18, figures 1-7	1-8
A	KR 10-2009-0084854 A (ENERDEL, INC.) 05 August 2009 See abstract, pages 2-5 in the detailed description, claims 1-18, figures 1-7	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

10 APRIL 2012 (10.04.2012)

Date of mailing of the international search report

11 MAY 2012 (11.05.2012)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2011/009593

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2002-0071610 A	13.09.2002	NONE	
KR 10-2002-0006984 A	26.01.2002	NONE	
KR 10-2009-0084854 A	05.08.2009	CN 101563600 A	21.10.2009
		EP 2084546 A2	05.08.2009
		US 2008-0084217 A1	10.04.2008
		US 2008-0272791 A1	06.11.2008
		US 2010-0141268 A1	10.06.2010
		US 7679369 B2	16.03.2010
		US 7902830 B2	08.03.2011
		WO 2008-045426 A2	17.04.2008

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G01R 31/02(2006.01)i, G01R 27/26(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G01R 31/02; G01R 19/22; H02M 1/32; G01R 29/12; G01N 27/416 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: “커패시터, 커패시턴스, 캐패시터, 캐패시턴스, 회로, 측정, 시간, 이상, 검출, 직렬, 연결, 저장, 기억, 감소율, 산출, 추정, 판정”		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2002-0071610 A (엘지산전 주식회사) 2002.09.13 요약, 상세설명 2-3쪽, 청구범위 제1-5항, 도면 1-5 참조	1-8
A	KR 10-2002-0006984 A (주식회사 이에스에스디) 2002.01.26 요약, 상세설명 2-5쪽, 청구범위 제1-18항, 도면 1-7 참조	1-8
A	KR 10-2009-0084854 A (에네르텔, 인코포레이티드) 2009.08.05 요약, 상세설명 2-5쪽, 청구범위 제1-18항, 도면 1-7 참조	1-8
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신구성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2012년 04월 10일 (10.04.2012)		국제조사보고서 발송일 2012년 05월 11일 (11.05.2012)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 정부대전청사 팩스 번호 82-42-472-7140		심사관 김성훈 전화번호 82-42-481-8505

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2002-0071610 A	2002.09.13	없음	
KR 10-2002-0006984 A	2002.01.26	없음	
KR 10-2009-0084854 A	2009.08.05	CN 101563600 A	2009.10.21
		EP 2084546 A2	2009.08.05
		US 2008-0084217 A1	2008.04.10
		US 2008-0272791 A1	2008.11.06
		US 2010-0141268 A1	2010.06.10
		US 7679369 B2	2010.03.16
		US 7902830 B2	2011.03.08
		WO 2008-045426 A2	2008.04.17