

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93112996

G06F15/00, 13/14 (2006.01)

※ 申請日期：93.5.7 ※IPC 分類：

一、發明名稱：(中文/英文)

具周邊存取保護之資料處理系統及其方法

PREFETCH CONTROL IN A DATA PROCESSING SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

威廉 C 莫伊爾

MOYER, WILLIAM C.

住居所地址：(中文/英文)

美國德州滴泉市皮爾布蘭奇路1005號

1005 PIER BRANCH ROAD, DRIPPING SPRINGS, TEXAS 78620,
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年05月07日；10/431,285

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關於一資料處理系統，更明確而言，有關在一資料處理系統中的預拾取控制。

【先前技術】

本專利申請案是在2003年5月7日申請的美國專利案號10/431,285。

【發明內容】

本發明的一具體實施例有關於在一資料處理系統中的選擇預拾取控制有關。例如，在一多重主控資料處理系統中，預拾取操作能根據例如主控識別的屬性與存取請求類型(例如不管存取請求是否用於資料或指令；或者，不管存取請求是否存為一猝發或非猝發存取)而由透過一主控的存取請求(例如一讀存取請求，亦稱為一要求存取)而觸發。該等預拾取操作能經由使用儲存與在資料處理系統中的每個主控有關的預拾取控制資訊的一預拾取控制暫存器(或其他存預拾取控制儲存電路)而決定或控制。在一些具體實施例中，一預拾取操作包括禁止預拾取，使得沒有預拾取會發生。透過選擇性控制在資料處理系統中的預拾取，可避免消耗過度功率與造成較低效率的浪費預拾取。

本發明的一具體實施例有關於一資料處理系統，其中該資料處理系統具有：一互連；一第一互連主控，其耦合到該互連；一第二互連主控，其耦合到該互連；一共用儲存裝置，其耦合到由該第一互連主控與該第二互連主控使用

的該互連；一第一控制儲存電路，其對應該第一互連主控；一第二控制儲存電路，其對應該第二互連主控；與預拾取電路，其耦合到該第一控制儲存電路與該第二控制儲存電路。該預拾取電路能根據第一與第二互連主控之一者請求對共用儲存裝置的存取而選取該等第一與第二控制儲存電路之一，並使用該選取的控制存取電路決定由對共用儲存裝置觸發的預拾取操作。

本發明的另一具體實施例有關用以在一資料處理系統中提供預拾取控制方法。在此具體實施例中，可接收存取儲存裝置的一存取請求，一預拾取控制儲存電路的提供以儲存預拾取猝發存取控制資訊，且儲存裝置的一預拾取能根據猝發存取控制資訊而選擇性開始，且不管存取請求是否為一猝發存取。

仍然本發明的另一具體實施例有關於用以在一資料處理系統中提供預拾取控制方法，其中該資料處理系統可提供一第一互連主控、提供一第二互連主控、接收存取共用儲存裝置的一存取請求、根據存取請求是否來自第一互連主控或第二互連主控而選取一預拾取控制儲存裝置，在預拾取儲存電路中儲存的控制資訊是用來控制對共用儲存裝置存取請求所觸發的一預拾取操作。

【實施方式】

如在此的使用，術語"匯流排"是用來參考用來傳送一個或多個各種不同類型資訊(例如資料、位址、控制、或狀態)的複數個信號或導線。在此討論的導線是以單一導線、複

數個導線、單向導線、或雙向導線描述。然而，不同具體實施例可改變導線的實施。例如，分開的單向導線可使用而不使用雙向導線，反之亦然。而且，複數個導線能以連續傳送多重信號的單一導線或以一時間多工方式取代。同樣地，運送多重信號的單一導線可分開成運送一部分這些信號的各種不同導線。因此，許多選項存在用於傳送信號。

圖1描述一資料處理系統10的具體實施例。資料處理系統10包括：一主控12(亦稱為一互連主控12)、一主控14(亦稱為一互連主控14)、一記憶體陣列控制器36、一系統互連22、輸入/輸出電路16、一周邊設備18、其他僕控20、與一記憶體陣列35。主控12是經由導線48而雙向耦合到系統互連22，主控14是經由導線50而雙向耦合到系統互連22，輸入/輸出電路是經由導線52而雙向耦合到系統互連22，周邊設備18是經由導線54而雙向耦合到系統互連22，其他僕控20是經由導線56而雙向耦合到系統互連22，且記憶體陣列控制器36是經由導線24而雙向耦合到系統互連22。導線24包括一些導線，用以與一主控識別器26、位址/資料27、一R/W信號28、一猝發信號30、一指令/資料信號32、與其他信號34溝通。記憶體陣列控制器36包括一控制暫存器38、預拾取電路40、與緩衝器42，並經由導線33而雙向耦合到記憶體陣列35。控制暫存器38耦合到預拾取電路40，且該預拾取電路40耦合到緩衝器42。緩衝器42包括一緩衝器44與一緩衝器46。雖然只有一周邊設備18是在圖1描述，但是資料處理系統10可包括耦合到系統互連22的任何數量周邊

設備。同樣地，任何數量的主控與僕控能耦合到系統互連22，且不侷限於圖1顯示的這些。而且注意到，在一具體實施例中，所有資料處理系統10可位於單一積體電路或在一相同裝置中。或者，資料處理系統10可包括任何數量的分開積體電路或彼此互連的分開裝置。例如，在一具體實施例中，記憶體與記憶體控制器(例如，記憶體陣列35與記憶體陣列控制器36)可位在從資料處理系統10其餘部份分開的一個或多個積體電路上。

在一具體實施例中，匯流排主控12與匯流排主控14是可執行指令的處理器，例如微處理器、數位信號處理器等，或可以是任何其他類型的互連主控，例如直接的記憶體存取(DMA)電路或除錯電路。周邊設備18可以是任何類型的周邊設備，例如一萬用非同步接收器發射器(UART)，一即實時脈(RTC)、一鍵盤控制器等。注意，其他僕控20包括任何類型互連僕控，例如可由主控12與14存取的記憶體、以及存在系統匯流排的任何類型周邊設備，包括如周邊設備18的相同類型周邊設備。輸入/輸出電路16包括接收或提供資料處理系統10外部資訊的任何類型輸入/輸出電路。

在描述的具體實施例中，記憶體陣列控制器36與記憶體陣列35對應耦合到系統互連的另一僕控22。注意，在另一具體實施例中，記憶體陣列35包括任何數量的陣列。而且注意到，在另一具體實施例中，既然記憶體陣列35是由耦合到系統互連22(例如，主控12與14)的至少兩個主控所共用的儲存裝置，所以它稱為一共用儲存裝置35。記憶體陣列

35能位於當作主控12與14的一相同積體電路或在一分開的積體電路上。此外，記憶體陣列35可以是任何類型記憶體，例如一唯讀記憶體(ROM)、一隨機存取記憶體(RAM)、非揮發性記憶體(例如快閃記憶體)等。而且，記憶體陣列35可以是位在另一周邊設備或僕控中的一記憶體或其他儲存裝置。

系統互連22可互連主控12、主控14、輸入/輸出電路16、周邊設備18、其他僕控20、與記憶體陣列控制器36。在如圖1所述的一具體實施例中，系統互連22是以根據一系統匯流排協定操作的一系統匯流排實施。或者，系統互連22可使用互連電路實施，例如，在各種不同裝置間路由資訊的切換電路。

在操作上，主控12與14可經由記憶體陣列控制器36而請求系統互連22的存取，以請求對其他僕控20、周邊設備18、或記憶體陣列35的存取。一請求主控可經由系統互連22而將一存取請求提供給記憶體陣列控制器36。存取請求可以是例如資料或指令的一讀取請求或寫入請求。響應一讀取存取請求的記憶體陣列控制器36可經由系統互連22而將請求的資訊(資料或指令)提供回給請求的主控。注意，來自一請求主控的讀取存取請求亦稱為一要求拾取。在一具體實施例中，對於一存取請求而言，一主控識別器26提供給記憶體陣列控制器36，以識別那一主控正在請求目前的存取。R/W信號28亦提供給記憶體陣列控制器36，以表示目前的存取請求是否用於一讀或一寫類型存取。猝發信號30

提供給記憶體陣列控制器36，以表示目前的存取請求是否為一猝發或一非猝發類型存取。例如，一非猝發類型存取包括單擊讀取或寫入。指令/資料信號32提供給記憶體陣列控制器36，以表示目前的存取請求是否用於一指令或資料。記憶體陣列控制器36亦經由位址/資料27而接收對應目前存取請求的位址資訊，及提供請求的資訊。與記憶體陣列控制器36來回溝通所需的任何其他信號可在其他信號中34提供。

在一具體實施例中，在記憶體陣列35與記憶體陣列控制器36之間的導線33寬度是大於系統互連22的寬度。例如，在一具體實施例中，系統互連22只是導線33的四分之一寬度，此表示4個資料或指令項目的單一猝發異動可在從記憶體陣列35的單一存取中獲得。例如，導線33可以是256個位元寬，而系統互連22與資料或指令項目只是64個位元寬。然而，而且通常注意到，當與耦合到系統互連22的其他周邊設備、僕控、或主控相比較，從記憶體陣列35取回資訊的存取時間遠較大(例如4至5倍大)。因此，為了要減少存取時間，記憶體陣列控制器36可從記憶體陣列35預拾取資訊，並將它儲存在緩衝器42。

例如，在一具體實施例中，預拾取電路40可將資訊從記憶體陣列35預拾取到緩衝器42，例如，緩衝器44與緩衝器46，且在一具體實施例中，其每個可以是256個位元寬度。因此，在響應來自一請求主控的一存取請求時，記憶體陣列控制器36可提供來自緩衝器42的請求資訊(如果資訊已

預拾取)，而不是必須從記憶體陣列35拾取資訊，相較於緩衝器42，其通常具有一較長的存取時間。在一具體實施例中，預拾取電路包括對應緩衝器44與46每一者的標籤部分(未在圖顯示)與比較電路(未在圖顯示)，為了要判斷在目前存取請求的請求資訊是否在緩衝器44與46之一。例如，預拾取電路可經由位址/資料而將對應目前存取請求的輸入位址與標籤部分相比較，以判斷資訊是否預拾取。如果未預拾取，記憶體陣列控制器36便提供來自記憶體陣列35的請求資訊。

在描述的具體實施例中，其描述兩個緩衝(緩衝器44與緩衝器46)。然而，在另一具體實施例中，緩衝器42包括任何數量(一個或多個)緩衝器。在一具體實施例中，當將資訊從緩衝器44與46的另一者提供給一請求主控時，預拾取電路能將資訊從記憶體陣列35預拾取給緩衝器44與46之一。即是，使用超過一緩衝器允許預拾取記憶體陣列35，以發生至少部份同時服務來自一請求主控的存取請求。而且，注意，在一具體實施例中，緩衝器具有與導線33相同的寬度，但是在另一具體實施例中，寬度可不同。

相較於響應來自一請求主控存取請求的存取記憶體陣列35，既然從緩衝器42提供的資訊具有一減少的存取時間，所以想要將資訊從記憶體陣列35預拾取給隨後請求的緩衝器42。然而，注意，預拾取是純理論，在於預拾取資訊是否實際由一主控請求的不確定性。如果預拾取資訊不隨後被請求，那麼預拾取便會變成一浪費的預拾取，而消耗過

度電力，並降低效率。在一具體實施例中，預拾取亦與要求拾存(其是非純理論，例如由一主控實際請求的這些)形成干擾。例如，在一預拾取期間期間，在使用要求拾取之前，來自一請求主控的一要求拾取必須等待預拾取完成，如此便增加要求拾取的延遲，並增加平均存取延遲。此外，如果預拾取變成一浪費的預拾取，那麼用於預拾取的時間便會不必要地浪費，如此便進一步增加平均存取延遲。因此，本發明控制的一具體實施例可控制將純理論資料預拾取到緩衝器42，為了要降低平均存取延遲。

請即重新參考圖1，預拾取電路40能根據控制暫存器38而選擇性控制緩衝器42的預拾取。例如，在一具體實施例中，預拾取電路40能根據控制暫存器38決定從一請求主控(例如主控12或14)到記憶體陣列35的一存取請求所觸發的一預拾取操作。因此，不同類型的預拾取操作可透過不同類型存取屬性觸發，其包括例如那個主控請求存取、存取請求是否為一部份猝發存取、存取請求是否用於資料或指令、或任何組合。因此，根據對應一目前存取請求(即是一目前要求存取)與控制暫存器38的主控識別器26、R/W信號38、猝發信號30、與指令/資料信號32的值，預拾取電路40可決定經由目前存取請求所觸發的一預拾取操作。

圖2描述控制暫存器38的一具體實施例，其包括一資料預拾取致能(DPEN)欄位、與用於每個主控的一指令預拾取致能(IPEN)欄位。例如，如圖2所述，控制暫存器38包括主控12 DPEN欄位60、主控14 DPEN欄位62、主控12 IPEN欄位

64、與主控14 IPEN欄位66。因此，在另一具體實施例中，控制暫存器38依需要可包括一些欄位，以儲存想要的預拾取控制資訊。而且注意，控制暫存器38可經由來自一主控(例如耦合到系統互連22的主控12或14)的指令而程式化。值可由例如使用者提供，或在設計的時間上程式化。

圖3描述圖2控制暫存器38欄位定義的一具體實施例。例如，在一具體實施例中，該等欄位60、62、64、與66的每一者是兩位元欄位，其中每個欄位具有4個值(00、01、10、與11)。如圖3所述，DPEN欄位60與62可用來控制一資料預拾取操作是否根據主控請求存取而觸發，並將一資料讀存取所開始的預拾取致能或失效。一主控識別器(其可用來決定那個主控請求存取)可由例如圖1的主控識別器26提供。在一具體實施例中，主控12具有0的一識別器，且主控14具有1的一識別器。因此，每個主控可指定唯一識別。在另一具體實施例中，一些主控可共用一相同識別器。而且注意，在另一具體實施例中，主控請求存取能以不同方式決定，而不是透過提供例如主控識別器26的一信號。

在圖3的範例中，該等DPEN欄位60與62的每一者是兩位元欄位，其中00值表示沒有預拾取是由來自對應主控的一資料讀存取觸發。即是，如果主控12 DPEN欄位60設定成00，那麼沒有預拾取能由來自主控12的一資料讀存取觸發。同樣地，如果主控14 DPEN欄位62設定成00，那麼沒有預拾取能由來自主控14的一資料讀存取觸發。注意，目前存取請求是否為一讀或寫請求能透過R/W信號28而指示

給預拾取電路40，而且目前存取請求是否用於資料或指令可透過指令/資料信號32而指示給預拾取電路。DPEN欄位60與62的01值表示預拾取只由來自對應主控的一資料猝發讀存取所觸發。即是，如果主控12 DPEN欄位60設定成01，那麼預拾取只由來自主控12的一資料猝發讀存取所觸發。目前存取是否為一猝發讀存取可透過猝發信號30而指示給預拾取電路40。DPEN欄位60與62的11值表示預拾取是由來自對應主控的任何資料讀存取所觸發。即是，如果主控12 DPEN欄位60設定成11，那麼預拾取能由來自主控12的任何資料讀存取所觸發。(注意，在此具體實施例中，10值可保留，且不用來設定一預拾取操作)。因此，由來自主控12的一資料存取請求所觸發的來自記憶體陣列35的資料預拾取操作可決定，並根據DPEN欄位60控制。而且注意，如在此使用的一資料預拾取操作包括選擇性執行一預拾取或不執行預拾取。

在圖3的範例中，IPEN欄位64與66的每一者是兩位元欄位，其中00值表示沒有預拾取是由來自對應主控的一指令讀存取所觸發。即是，如果主控12 IPEN欄位64設定成00，那麼沒有預拾取是由來自主控12的一指令讀存取所觸發。再者，如前述，R/W信號28與指令/資料信號32可用來指示預拾取電路40目前存取是否為一讀或寫存取，及目前存取是否正在請求指令或資料。IPEN欄位64與66的01值表示預拾取只能由來自對應主控的一指令猝發讀存取所觸發。即是，如果主控12 IPEN欄位64設定成01，那麼預拾取只能由

來自主控 12 的一指令猝發讀存取所觸發。IPEN 欄位 64 與 66 的值 11 表示預拾取是由來自對應主控的任何指令讀存取所觸發。即是，如果主控 12 IPEN 欄位 60 設定成 11，那麼預拾取能由來自主控 12 的一指令讀存取所觸發。因此，由來自主控 12 的一指令存取請求所觸發的來自記憶體陣列 35 的指令預拾取操作可決定，並根據 IPEN 欄位 64 控制。而且注意，如在此使用的指令預拾取操作包括選擇性執行一預拾取或不執行預拾取。

在另一具體實施例中，注意，控制暫存器 38 包括依需能有一些位元的每個主控的一些欄位。而且，用於控制暫存器 38 的於圖 3 描述的設定值是以範例方式提供。另一具體實施例能根據不同於圖 3 提供的屬性、更多的圖 3 這些屬性、或圖 3 的這些一部份屬性而決定由資料存取請求、指令存取請求、或兩者所觸發的預拾取操作。例如，在一具體實施例中，預拾取能只根據目前請求存取的主控識別器而觸發。或者，預拾取能只根據存取請求是否為一猝發或非猝發存取觸發，而不管主控識別器是否目前請求存取。而且注意到，在另一具體實施例中，一目前存取請求的特殊屬性能以除了在圖 1 描述信號 28、30、與 32 之外的各種不同方式指示給預拾取電路 40。

圖 4 是根據本發明的一具體實施例而以流程圖形式描述資料處理系統 10 的操作。流程 70 是在起始 72 開始，並執行接收來自一主控的存取請求之方塊 74。此存取請求可以是不同類型的請求，例如一讀請求、一寫請求、一猝發請求、

一非猝發請求、一資料請求、一指令請求等。流程然後執行決定請求主控的識別的方塊76。例如，在圖1的具體實施例中，此可透過提供主控識別器26達成。流程然後執行方塊78，以判斷存取請求是否用於資料或指令(在一具體實施例中，其可透過提供指令/資料信號32達成)。流程然後執行方塊80，以判斷存取請求是否為一猝發或一非猝發存取(在一具體實施例中，其可透過提供猝發信號30達成)。流程然後執行方塊82，根據在方塊76、78、與80決定的存取屬性，一預拾取操作可決定。即是，在方塊82中，預拾取能根據對應在控制暫存器38中請求主控的至少一欄位而選擇性執行。例如，如果存取請求是從主控12決定，且存取請求是用於一指令，那麼經由存取請求所觸發的預拾取操作能以在主控12 EPEN欄位64中控制資訊的決定執行。流程然後在結束方塊84終止。

注意，在另一具體實施例中，流程70只包括方塊76、78、與80的一個或兩個方塊。例如，僅施行方塊76、78、與80之中的方塊76或方塊80，使得可預拾取只根據請求主控的識別，或者存取是否為一猝發或非猝發存取。或者，流程70包括多個判斷，使得選擇性預拾取能根據比對應方塊76、78、與80更多著屬性。

因此，了解到預拾取操作能根據各種不同類型的存取屬性觸發，使得效率可增加，並減少浪費的預拾取。在此描述的具體實施例能以各種不同方式與應用用來控制由一存取請求所觸發的預拾取操作。例如，在一具體實施例中，

優點是既然當指令通常連續存取時資料拾取可任意分配，所以可限制預拾取觸發由一處理器達成的指令存取請求，其中該處理器可執行指令(例如，由中央處理單元(CPU)執行)。因此，在此範例中，因為既然指令通常是連續有可能預拾取不會浪費，所以控制暫存器38可設定，使得只有來自處理器的指令存取請求可觸發一預拾取。此外，在許多控制碼應用(例如在汽車應用)中，因為分枝通常是仍然在緩衝器預拾取大小(在一具體實施例中是256個位元)內的短前向分枝，所以即使分枝通常會以連續出現。因此，在控制暫存器38中的欄位可用來實施此選擇性預拾取策略。

在一直接記憶體存取(DMA)裝置是請求主控的另一範例中，既然正常一DMA能執行例如移動連續資料方塊的資料傳輸，所以資料預拾取會是優點。因此，在控制暫存器38中的欄位可設定，使得來自DMA的資料存取請求可將一預拾取觸發給記憶體陣列35。在可執行除錯操作的除錯電路是請求主控(其中除錯電路可以是耦合到系統互連22的一主控，或在耦合到系統互連22的一主控中)的仍然另一範例中，既然大體上，與其他主控或與系統形成干擾通常是不想要，所以一起禁止預拾取是想要的。即是，對於除錯而言，對系統最小影響通常會造成更正確除錯。此外，在除錯操作期間的效率通常是非決定性。

在仍然另一範例中，如果目前的讀存取是單擊讀取，既然最初的要求存取在緩衝器(例如緩衝器44與46)寬於運算元或資料大小的情況將造成多重資料或指令項目拾取，所

以使預拾取失效是想要的。即是，例如，在一具體實施例中，緩衝器是256位元寬，以保持多重指令或資料項目，使得連續存取(例如，連續單擊讀取)將拾取用來保持載入緩衝器最初資訊的緩衝器。在此情況，既然較可能不需要下一預拾取線，所以一預拾取將會浪費。

在前面說明書中，本發明是參考特殊具體實施例描述。然而，熟諳此技者了解到各種不同修改與變化可達成，而不致脫離在文後申請專利範圍中描述的本發明範圍。因此，說明書與圖式只是說明而不是限制，且所有此修改包括在本發明的範圍內。

好處、其他優點、與問題解決是在前面參考特殊具體實施例描述。然而，好處、優點、問題解決、與造成的好處、優點、或解決的任何元件能發生或變得更顯著，而不會構成任何或所有申請專利範圍的一決定性、必要或必要特徵或任何或元件。如在此的使用，"一"是定義為一或超過一。包括及/或具有在此使用的術語是定義為包含(即是，公開的語言)。如在此的使用，術語"包含"、或任何其他相關變化是涵蓋一非排它性包含，使得一處理、方法、物件，或包含元件清單的裝置不只包括這些元件，而且包括未列出的其他元件或固有的此處理、方法、物件、或裝置。

【圖式簡單說明】

本發明是經由不受限於在此顯示附圖的範例而描述，其中相同參考數字表示相同元件，其中：

圖1是根據本發明的一具體實施例而以方塊圖描述一資

料處理系統；

圖2是根據本發明的一具體實施例而以方塊圖描述圖1的一資料處理系統控制暫存器；

圖3是根據本發明的一具體實施例而以表格描述圖2的控制暫存器欄位說明；及

圖4是根據本發明的一具體實施例而以流程圖形式描述圖1的資料處理系統操作。

熟諳此技者了解到在圖中的元件是為了簡化與清楚而描述，且不必然依比例繪出。例如，在圖中的一些元件尺寸可能比其他元件放大繪出以幫助改善對本發明明具體實施例的了解。

【主要元件符號說明】

10	資料處理系統
12、14	匯流排主控
16	輸入/輸出電路
18	周邊設備
20	僕控
22	系統互連
24	導線
26	主控識別器
27	位致資料
28	R/W信號
30	猝發信號
32	指令/資料信號

33、48、50、52、54、56	導線
34	其他信號
35	記憶體陣列
36	記憶體陣列控制器
38	控制暫存器
40	預拾取電路
42、44、46	緩衝器
60	主控 12 DPEN 欄位
62	主控 14 DPEN 欄位
64	主控 12 IPEN 欄位
66	主控 14 IPEN 欄位
70	流程
72	開始
74、76、78、80、82	方塊
84	結束

五、中文發明摘要：

本發明揭示一種資料處理系統(10)，該資料處理系統(10)包括一互連(22)，其中一第一互連主控(12)與一第二互連主控(14)耦合到該互連。一共用儲存裝置(35)能透過使用第一與第二互連主控而耦合到該互連。該資料處理系統亦包括對應該第一互連主控的一第一控制儲存電路(60、64)、與對應該第二互連主控的一第二控制儲存電路(62、66)。在一具體實施例中，該預拾取電路(40)耦合到該第一控制儲存電路與該第二控制儲存電路，以根據該等第一與第二互連主控之一請求對該共用儲存裝置的存取而選取第一與第二控制儲存電路之一。然後，該預拾取電路使用選取的控制儲存電路以判斷經由對該共用儲存裝置存取所觸發的一預拾取操作。

六、英文發明摘要：

A data processing system (10) includes an interconnect (22) where a first interconnect master (12) and a second interconnect master (14) are coupled to the interconnect. A shared storage (35) is coupled to the interconnect for use by the first and second interconnect masters. The data processing system also includes a first control storage circuit (60, 64) which corresponds to the first interconnect master and a second control storage circuit (62, 66) which corresponds to the second interconnect master. In one embodiment, prefetch circuitry (40) is coupled to the first control storage circuit and to the second control storage circuit for selecting one of the first and second control storage circuits based upon which one of the first and second interconnect masters is requesting an access to the shared storage. The prefetch circuitry can then use the selected control storage circuit to determine a prefetch operation triggered by the access to the shared storage.

十、申請專利範圍：

1. 一種資料處理系統，其包含：
 - 互連；
 - 一第一互連主控，其耦合到該互連；
 - 一第二互連主控，其耦合到該互連；
 - 共用儲存裝置，其耦合到該互連，以供該第一互連主控與該第二互連主控使用；
 - 一第一控制儲存電路，其對應該第一互連主控；
 - 一第二控制儲存電路，其對應該第二互連主控；及
 - 預拾取電路，其耦合到該第一控制儲存電路與該第二控制儲存電路，該預拾取電路能根據第一與第二互連主控之一請求對該共用儲存裝置存取而選取第一與第二控制儲存電路之一，且該預拾取電路使用該選取的控制儲存電路以決定由該共用儲存裝置存取所觸發的預拾取操作。
2. 如請求項1之資料處理系統，其中該第一互連主控可執行指令，而且其中該第一控制儲存電路與該預拾取電路可選擇性限制指令存取的預拾取。
3. 如請求項1之資料處理系統，其中該第一互連主控可執行直接記憶體存取，而且其中該第一控制儲存電路與該預拾取電路可選擇性限制資料存取的預拾取。
4. 如請求項1之資料處理系統，其中該第一互連主控可執行除錯操作，而且其中該第一控制儲存電路與該預拾取電路可透過避免預拾取而選擇性限制預拾取。

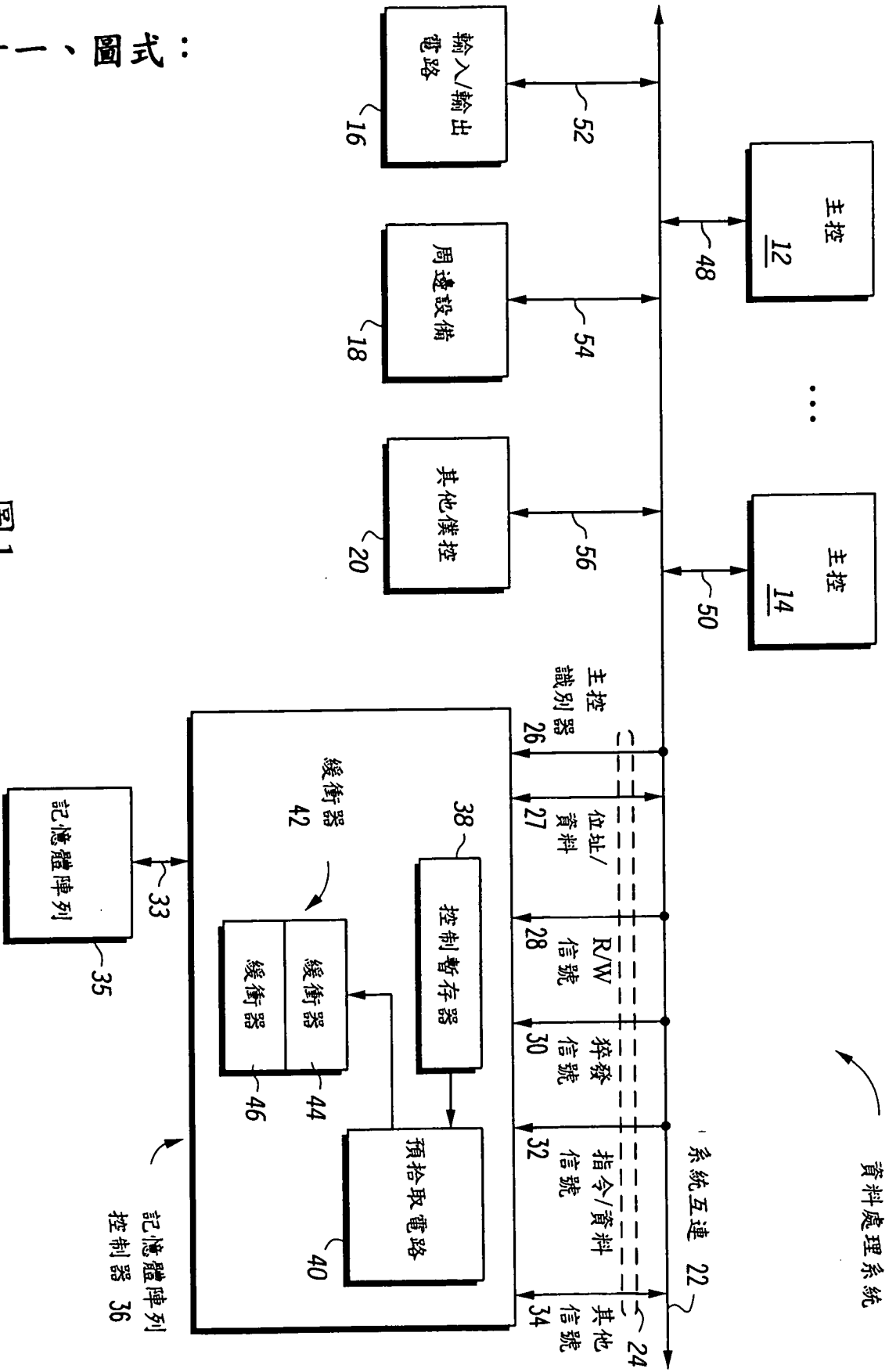
5. 如請求項1之資料處理系統，其中該第一控制儲存電路與該預拾取電路可透過避免非猝發存取的預拾取而選擇性限制預拾取。
6. 一種提供預拾取控制之方法，該方法包含：
 - 接收存取儲存裝置的一存取請求；
 - 提供一預拾取控制儲存電路，以儲存預拾取猝發存取控制資訊；及
 - 根據該猝發存取控制資訊與該存取請求是否為一猝發存取而選擇性開始對儲存裝置的預拾取。
7. 如請求項6之方法，其進一步包含：
 - 提供一第一互連主控；及
 - 提供一第二互連主控；
 - 其中該用以提供一預拾取控制儲存電路的步驟包含根據該存取請求是否來自該第一互連主控或該第二互連主控，選取複數個預拾取控制儲存電路之一，以提供該猝發存取控制資訊。
8. 一種在一資料處理系統中提供預拾取控制之方法，該方法包含：
 - 提供一第一互連主控；
 - 提供一第二互連主控；
 - 接收存取共用儲存裝置的一請求存取；
 - 根據該存取請求是否來自該第一互連主控或該第二互連主控而選取一預拾取控制儲存電路；
 - 透過使用在該預拾取儲存電路中儲存的控制資訊以控

制由對共用儲存裝置的存取請求所觸發的一預拾取操作。

9. 如請求項8之方法，其中該使用在預拾取儲存電路中儲存的控制資訊以控制由對共用儲存裝置的存取請求所觸發的步驟包含根據該存取請求是否為一猝發存取而選擇性開始對該共用儲存裝置的一預拾取。
10. 如請求項8之方法，其中該使用在預拾取儲存電路中儲存的控制資訊以控制由對共用儲存裝置的存取請求所觸發一預拾取操作的步驟包含根據該存取請求是否為一指令存取或一資料存取而選擇性開始對該共用儲存裝置的一預拾取。

十一、圖式：

圖 1



↙ 控制暫存器38

主控12資料 預拾取致能欄位 <u>60</u>	...	主控14資料 預拾取致能欄位 <u>62</u>	主控12指令 預拾取致能欄位 <u>64</u>	...	主控14資料 預拾取致能欄位 <u>66</u>
--------------------------------	-----	--------------------------------	--------------------------------	-----	--------------------------------

圖2

名稱	說明	設定值
資料預拾取 (DEPN) 致能欄位 60與62	主控X資料預拾取致能- 這些欄位是用來控制 預拾取是否根據一請求 主控的主控ID而觸發。 此欄位能使一資料讀存取 所初使化的預拾取致能 與失效。	00- 沒有預拾取由來自此主控 的一資料讀存取觸發 01- 預拾取只由來自此主控的 一資料猝發讀存取觸發 10- 保留 11- 預拾取只由來自主控的 任何資料讀存取觸發
資料預拾取 (DEPN) 致能欄位 64與66	主控X指令預拾取致能- 這些欄位是用來控制 預拾取是否根據一請求 主控的主控ID而觸發。 此欄位能使一指令讀存取 所初使化的預拾取致能 與失效。	00- 沒有預拾取由來自此主控 的一資料讀存取觸發 01- 預拾取只由來自此主控的 一資料猝發讀存取觸發 10- 保留 11- 預拾取只由來自主控的 任何資料讀存取觸發

圖3

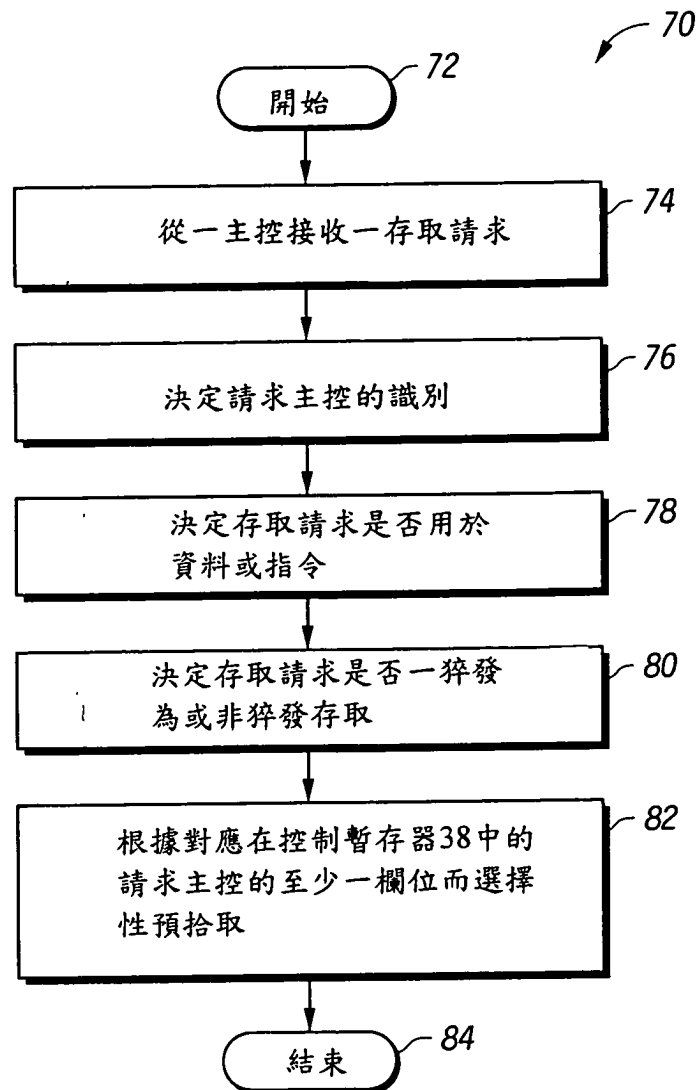


圖4

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	資料處理系統
12、14	匯流排主控
16	輸入/輸出電路
18	周邊設備
20	僕控
22	系統互連
24	導線
26	主控識別器
27	位致資料
28	R/W信號
30	猝發信號
32	指令/資料信號
33、48、50、52、54、56	導線
34	其他信號
35	記憶體陣列
36	記憶體陣列控制器
38	控制暫存器
40	預拾取電路
42、44、46	緩衝器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)