(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020 년 12 월 3 일 (03.12.2020)

WIPO | PCT

(10) 국제공개번호
WO 2020/242116 A1

(51) 국제특허분류:
H01L 27/15 (2006.01) *H01L 33/38* (2010.01)
H01L 27/12 (2006.01)

(21) 국제출원번호: PCT/KR2020/006568

(22) 국제출원일: 2020 년 5 월 20 일 (20.05.2020)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2019-0063375 2019 년 5 월 29 일 (29.05.2019) KR

(71) 출원인: 삼성디스플레이 주식회사 (**SAMSUNG DISPLAY CO., LTD.**) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로1, Gyeonggi-do (KR).

(72) 발명자: **임현덕 (IM, Hyun Deok)**; 05385 서울시 강동구 올림픽로58길 5, 201호, Seoul (KR). **강종혁 (KANG, Jong Hyuk)**; 16698 경기도 수원시 영통구 영통로 232, 822동 2002호, Gyeonggi-do (KR). **김대현 (KIM, Dae Hyun)**; 18447 경기도 화성시 동탄반석로 231, 146동 1603호, Gyeonggi-do (KR). **남원희 (NAM, Won Hee)**; 18443 경기도 화성시 동탄반석로 71, 450동 2603호, Gyeonggi-do (KR). **장기선 (JANG, Ki Sun)**; 16846 경기도 용인시 수지구 수지로 166, 102동 505호, Gyeonggi-do (KR). **조현민 (CHO, Hyun Min)**; 06802 서울시 서초구 청계산로11길 7-12, 707동 204호, Seoul (KR).

(74) 대리인: 특허법인 가산 (**KASAN IP & LAW FIRM**); 06719 서울시 서초구 남부순환로 2423 한원빌딩 7층, Seoul (KR).

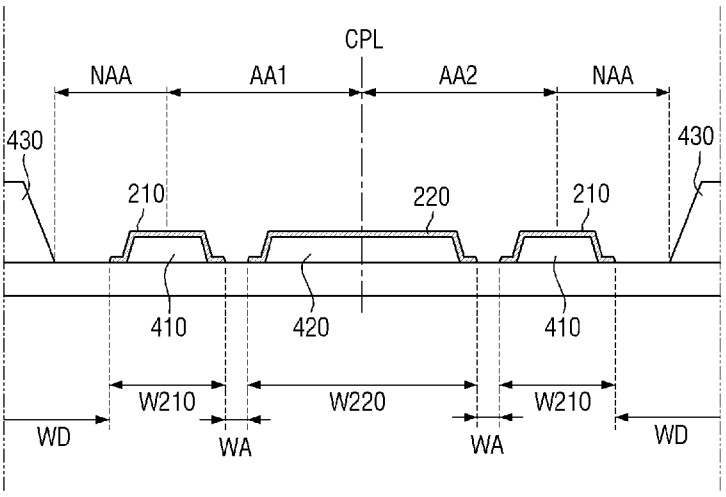
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) **Title:** DISPLAY DEVICE

(54) **발명의 명칭:** 표시 장치

[도6]



(57) **Abstract:** A display device is provided. The display device has a plurality of pixels defined therein and comprises: one or more electrodes disposed in the pixels while being spaced apart from each other; and one or more light emitting elements disposed between the electrodes, wherein the electrodes include one or more inner electrodes disposed adjacent to the center of each of the pixels and outer electrodes spaced apart from the inner electrodes and having a larger spacing from the center than the inner electrodes, and the width of the inner electrodes is different from the width of the outer electrodes.

(57) **요약서:** 표시 장치가 제공된다. 표시 장치는 복수의 화소가 정의되고, 상기 화소 내에 서로 이격되어 배치된 적어도 하나의 전극들 및 상기 전극들 사이에 배치된 적어도 하나의 발광 소자를 포함하고, 상기 전극은, 상기 화소의 중심부와 인접하여 배치된 적어도 하나의 내부 전극 및 상기 내부 전극과 이격되고 상기 중심부와 이격된 간격이 상기 내부 전극보다 큰 외부 전극을 포함하며, 상기 내부 전극의 폭과 상기 외부 전극의 폭은 서로 다르다.

WO 2020/242116 A1

[다음 쪽 계속]

ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 표시 장치

기술분야

[1] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 서로 다른 폭을 갖는 전극을 포함하는 표시 장치에 관한 것이다.

배경기술

[2] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 유기발광 표시 장치(Organic Light Emitting Display, OLED), 액정 표시 장치(Liquid Crystal Display, LCD) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[3] 표시 장치의 화상을 표시하는 장치로서 유기 발광 표시 패널이나 액정 표시 패널과 같은 표시 패널을 포함한다. 그 중, 발광 표시 패널로써, 발광 소자를 포함할 수 있는데, 예를 들어 발광 다이오드(Light Emitting Diode, LED)의 경우, 유기물을 형광 물질로 이용하는 유기 발광 다이오드(OLED), 무기물을 형광물질로 이용하는 무기 발광 다이오드 등이 있다.

[4] 형광물질로 무기물 반도체를 이용하는 무기 발광 다이오드는 고온의 환경에서도 내구성을 가지며, 유기 발광 다이오드에 비해 청색 광의 효율이 높은 장점이 있다. 또한, 기존의 무기 발광 다이오드 소자의 한계로 지적되었던 제조 공정에 있어서도, 유전영동(Dielectrophoresis, DEP)법을 이용한 전사방법이 개발되었다. 이에 유기 발광 다이오드에 비해 내구성 및 효율이 우수한 무기 발광 다이오드에 대한 연구가 지속되고 있다.

발명의 상세한 설명

기술적 과제

[5] 본 발명이 해결하고자 하는 과제는 서로 다른 폭을 갖는 복수의 전극과 상기 전극들 사이에 배치된 발광 소자를 포함하는 표시 장치를 제공하고자 하는 것이다.

[6] 또한, 본 발명이 해결하고자 하는 과제는 전극들 사이에 배치되는 발광 소자들이 균일한 분포를 갖는 표시 장치를 제공하고자 하는 것이다.

[7] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[8] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 복수의 화소가 정의되고, 상기 화소 내에 서로 이격되어 배치된 적어도 하나의 전극들; 및 상기 전극들 사이에 배치된 적어도 하나의 발광 소자를 포함하고, 상기 전극은, 상기 화소의 중심부와 인접하여 배치된 적어도 하나의 내부 전극 및 상기 내부 전극과

이격되고 상기 중심부와 이격된 간격이 상기 내부 전극보다 큰 외부 전극을 포함하며, 상기 내부 전극의 폭과 상기 외부 전극의 폭은 서로 다르다.

[9] 상기 복수의 화소들 사이에 배치되고 상기 내부 전극과 상기 외부 전극을 둘러싸는 뱅크를 더 포함하고, 상기 내부 전극의 중심부와 상기 외부 전극의 중심부 사이의 영역으로 상기 발광 소자가 배치된 복수의 정렬 영역 및 상기 뱅크와 상기 외부 전극의 중심부 사이의 영역으로 상기 정렬 영역 이외의 비정렬 영역이 정의되고, 상기 정렬 영역의 폭은 상기 비정렬 영역의 폭보다 클 수 있다.

[10] 상기 뱅크와 상기 외부 전극 사이의 간격은 상기 외부 전극과 상기 중심부 사이의 간격보다 작을 수 있다.

[11] 상기 발광 소자는 일 방향으로 연장된 형상을 갖고, 상기 내부 전극과 상기 외부 전극 사이의 간격은 상기 발광 소자의 상기 일 방향으로 측정된 길이보다 작을 수 있다.

[12] 상기 복수의 내부 전극들이 이격된 간격은 상기 내부 전극과 상기 외부 전극 사이에 이격된 간격과 동일하고, 상기 발광 소자는 상기 복수의 내부 전극들 사이에도 배치될 수 있다.

[13] 상기 내부 전극의 폭은 상기 외부 전극의 폭보다 클 수 있다.

[14] 상기 내부 전극은 제1 내부 전극 및 상기 제1 내부 전극과 이격된 제2 내부 전극을 포함하고, 상기 제1 내부 전극과 상기 제2 내부 전극은 상기 화소의 중심부를 기준으로 상호 이격될 수 있다.

[15] 상기 제1 내부 전극과 상기 제2 내부 전극은 동일한 폭을 가질 수 있다.

[16] 상기 내부 전극은 중심부가 상기 화소의 중심부와 동일선 상에 놓이는 제3 내부 전극 및 상기 제3 내부 전극의 양 측과 각각 이격된 복수의 제4 내부 전극을 포함하고, 상기 제3 내부 전극의 폭과 상기 제4 내부 전극의 폭은 서로 다를 수 있다.

[17] 상기 제4 내부 전극의 폭은 상기 외부 전극의 폭보다 크되, 상기 제3 내부 전극의 폭보다 작을 수 있다.

[18] 상기 과제를 해결하기 위한 다른 실시예에 따른 표시 장치는 기판, 상기 기판 상에 배치되어 상기 기판의 중앙으로부터 이격된 제1 뱅크 및 제2 뱅크, 상기 뱅크 사이에서 서로 이격되어 배치된 복수의 제1 전극 및 제2 전극 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 복수의 발광 소자를 포함하고, 상기 제1 전극과 상기 제2 전극의 폭은 서로 다르다.

[19] 상기 제1 전극과 상기 제2 전극은 상기 기판의 중앙과 상기 제1 뱅크 사이에 배치되고, 상기 제1 전극은 상기 제2 전극과 상기 뱅크 사이에 배치되며, 상기 제2 전극의 폭은 상기 제1 전극의 폭보다 클 수 있다.

[20] 상기 제1 전극의 중심부와 상기 뱅크 사이의 간격은 상기 제1 전극의 중심부와 상기 제2 전극의 중심부 사이의 간격보다 작을 수 있다.

[21] 상기 제1 전극과 상기 뱅크 사이의 제1 간격, 상기 제1 전극과 상기 제2 전극 사이의 제2 간격이 정의되고, 하기 식 1을 만족할 수 있다.

[22] [식 1]

[23] WD<WA+WE/2

[24] (여기서, 상기 'WD'는 제1 전극과 상기 뱅크 사이의 제1 간격이고, 상기 'WA'는 제1 전극과 제2 전극 사이의 제2 간격이고, 상기 'WE'는 제1 전극 또는 제2 전극의 폭이다.)

[25] 상기 기판의 중앙을 기준으로 상기 제2 전극과 이격되어 배치되고 상기 제2 전극과 동일한 폭을 갖는 제3 전극 및 상기 제3 전극과 이격되어 상기 제3 전극과 상기 제2 뱅크 사이에 배치되고 상기 제1 전극과 동일한 폭을 갖는 제4 전극을 더 포함할 수 있다.

[26] 상기 제2 전극의 중심부는 상기 기판의 중앙과 동일선 상에 놓이고, 상기 제1 전극은 상기 제2 전극과 상기 제1 뱅크 사이에 배치되며, 상기 제2 전극의 폭은 상기 제1 전극의 폭보다 클 수 있다.

[27] 상기 제1 뱅크와 상기 제1 전극의 중심부 사이의 간격은 상기 제1 전극의 중심부와 상기 제2 전극의 중심부 사이의 간격보다 작을 수 있다.

[28] 상기 과제를 해결하기 위한 또 다른 실시예에 따른 표시 장치는 제1 방향으로 연장되고, 상기 제1 방향과 다른 제2 방향으로 이격된 복수의 뱅크, 상기 뱅크 사이에서 상기 제1 방향으로 연장된 제1 전극, 상기 제1 전극과 상기 제2 방향으로 이격된 제2 전극 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 적어도 하나의 발광 소자를 포함하고, 상기 제1 전극의 폭과 상기 제2 전극의 폭은 서로 다르고, 상기 제1 전극의 중심부와 상기 제2 전극의 중심부 사이의 간격은 상기 제1 전극과 상기 뱅크 사이의 간격보다 크다.

[29] 상기 제1 전극은 상기 제2 전극의 양 측과 이격되어 각각 배치되고, 상기 제2 전극의 폭은 상기 제1 전극의 폭보다 클 수 있다.

[30] 상기 복수의 제1 전극과 상기 제2 전극의 양 측과 이격된 간격은 상기 발광 소자의 길이보다 짧을 수 있다.

[31] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[32] 일 실시예에 따른 표시 장치는 서로 다른 폭을 갖는 전극들을 포함할 수 있다. 이에 따라 전극들 사이 이외의 영역에 배치되는 발광 소자의 수를 최소화하고, 복수의 전극들 사이에 배치되는 발광 소자는 균일한 분포를 가질 수 있다.

[33] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[34] 도 1은 일 실시예에 따른 표시 장치의 개략적인 평면도이다.

[35] 도 2는 일 실시예에 따른 표시 장치의 일 화소의 개략적인 평면도이다.

[36] 도 3은 도 2의 Xa-Xa'선, Xb-Xb'선 및 Xc-Xc'선을 따라 자른 단면도이다.

[37] 도 4는 다른 실시예에 따른 표시 장치의 일부를 나타내는 단면도이다.

[38] 도 5는 일 실시예에 따른 발광 소자의 개략도이다.

[39] 도 6은 일 실시예에 따른 표시 장치의 서브 화소를 가로지르는 개략적인 단면도이다.

[40] 도 7 및 도 8을 일 실시예에 따른 표시 장치의 서브 화소 상에 발광 소자가 분산된 잉크가 분사된 것을 나타내는 개략도이다.

[41] 도 9는 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다.

[42] 도 10은 도 9의 표시 장치의 서브 화소를 가로지르는 개략적인 단면도이다.

[43] 도 11은 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다.

[44] 도 12는 도 11의 표시 장치의 서브 화소를 가로지르는 개략적인 단면도들이다.

[45] 도 13은 도 11의 표시 장치의 다른 실시예에 따른 서브 화소를 가로지르는 개략적인 단면도들이다.

[46] 도 14는 또 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다.

[47] 도 15는 도 14의 표시 장치의 서브 화소를 가로지르는 개략적인 단면도들이다.

[48] 도 16은 도 14의 표시 장치의 다른 실시예에 따른 서브 화소를 가로지르는 개략적인 단면도들이다.

[49] 도 17 및 도 18은 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다.

[50] 도 19는 다른 실시예에 따른 발광 소자의 개략도이다.

발명의 실시를 위한 형태

[51] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[52] 소자(Elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[53] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

[54] 이하, 첨부된 도면을 참고로 하여 실시예들에 대해 설명한다.

[55] 도 1은 일 실시예에 따른 표시 장치의 개략적인 평면도이다.

[56] 도 1을 참조하면, 표시 장치(10)는 동영상이나 정지영상을 표시한다. 표시

장치(10)는 표시 화면을 제공하는 모든 전자 장치를 지칭할 수 있다. 예를 들어, 표시 화면을 제공하는 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷, 모바일 폰, 스마트 폰, 태블릿 PC(Personal Computer), 전자 시계, 스마트 워치, 워치 폰, 헤드 마운트 디스플레이, 이동 통신 단말기, 전자 수첩, 전자 책, PMP(Portable Multimedia Player), 내비게이션, 게임기, 디지털 카메라, 캠코더 등이 표시 장치(10)에 포함될 수 있다.

[57] 표시 장치(10)는 표시 화면을 제공하는 표시 패널을 포함한다. 표시 패널의 예로는 LED 표시 패널, 유기발광 표시 패널, 양자점 발광 표시 패널, 플라즈마 표시 패널, 전계방출 표시 패널 등을 들 수 있다. 이하에서는 표시 패널의 일 예로서, LED 표시 패널이 적용된 경우를 예시하지만, 그에 제한되는 것은 아니며, 동일한 기술적 사상이 적용 가능하다면 다른 표시 패널에도 적용될 수 있다.

[58] 표시 장치(10)의 형상은 다양하게 변형될 수 있다. 예를 들어, 표시 장치(10)는 가로가 긴 직사각형, 세로가 긴 직사각형, 정사각형, 코너부(꼭지점)가 둥근 사각형, 기타 다각형, 원형 등의 형상을 가질 수 있다. 표시 장치(10)의 표시 영역(DA)의 형상 또한 표시 장치(10)의 전반적인 형상과 유사할 수 있다. 도 1에서는 가로가 긴 직사각형 형상의 표시 장치(10) 및 표시 영역(DA)이 예시되어 있다.

[59] 표시 장치(10)는 표시 영역(DA)과 비표시 영역(NDA)을 포함할 수 있다. 표시 영역(DA)은 화면이 표시될 수 있는 영역이고, 비표시 영역(NDA)은 화면이 표시되지 않는 영역이다. 표시 영역(DA)은 활성 영역으로, 비표시 영역(NDA)은 비활성 영역으로도 지칭될 수 있다.

[60] 표시 영역(DA)은 대체로 표시 장치(10)의 중앙을 차지할 수 있다. 표시 영역(DA)은 복수의 화소(PX)를 포함할 수 있다. 복수의 화소(PX)는 행렬 방향으로 배열될 수 있다. 각 화소(PX)의 형상은 평면상 직사각형 또는 정사각형일 수 있지만, 이에 제한되는 것은 아니고 각 변이 제1 방향(DR1)에 대해 기울어진 마름모 형상일 수도 있다. 화소(PX)들 각각은 특정 파장대의 광을 방출하는 발광 소자(300)를 하나 이상 포함하여 특정 색을 표시할 수 있다.

[61] 도 2는 일 실시예에 따른 표시 장치의 일 화소의 개략적인 평면도이다.

[62] 도 2를 참조하면, 복수의 화소(PX)들 각각은 제1 서브 화소(PX1), 제2 서브 화소(PX2) 및 제3 서브 화소(PX3)를 포함할 수 있다. 제1 서브 화소(PX1)는 제1 색의 광을 발광하고, 제2 서브 화소(PX2)는 제2 색의 광을 발광하며, 제3 서브 화소(PX3)는 제3 색의 광을 발광할 수 있다. 제1 색은 청색, 제2 색은 녹색, 제3 색은 적색일 수 있으나, 이에 제한되지 않고, 각 서브 화소(PXn)들이 동일한 색의 광을 발광할 수도 있다. 또한, 도 2에서는 화소(PX)가 3 개의 서브 화소(PXn)들을 포함하는 것을 예시하였으나, 이에 제한되지 않고, 화소(PX)는 더 많은 수의 서브 화소(PXn)들을 포함할 수 있다.

[63] 표시 장치(10)의 각 서브 화소(PXn)들은 발광 영역(EMA)으로 정의되는 영역을

포함할 수 있다. 제1 서브 화소(PX1)는 제1 발광 영역(EMA1)을, 제2 서브 화소(PX2)는 제2 발광 영역(EMA2)을, 제3 서브 화소(PX3)는 제3 발광 영역(EMA2)을 포함할 수 있다. 발광 영역(EMA)은 표시 장치(10)에 포함되는 발광 소자(300)가 배치되어 특정 파장대의 광이 출사되는 영역으로 정의될 수 있다. 발광 소자(300)는 활성층(330)을 포함하고, 활성층(330)은 특정 파장대의 광을 방향성 없이 방출할 수 있다. 즉, 발광 소자(300)의 활성층(330)에서 방출된 광들은 발광 소자(300)의 양 단부 방향을 포함하여, 발광 소자(300)의 측면 방향으로도 방출될 수 있다. 각 서브 화소(PXn)의 발광 영역(EMA)은 발광 소자(300)가 배치된 영역을 포함하여, 발광 소자(300)와 인접한 영역으로 발광 소자(300)에서 방출된 광들이 출사되는 영역을 포함할 수 있다. 또한, 이에 제한되지 않고, 발광 영역(EMA)은 발광 소자(300)에서 방출된 광이 다른 부재에 의해 반사되거나 굴절되어 출사되는 영역도 포함할 수 있다. 복수의 발광 소자(300)들은 각 서브 화소(PXn)에 배치되고, 이들이 배치된 영역과 이에 인접한 영역을 포함하여 발광 영역(EMA)을 형성할 수 있다.

[64] 도면에 도시되지 않았으나, 표시 장치(10)의 각 서브 화소(PXn)들은 발광 영역(EMA) 이외의 영역으로 정의된 비발광 영역을 포함할 수 있다. 비발광 영역은 발광 소자(300)가 배치되지 않고, 발광 소자(300)에서 방출된 광들이 도달하지 않아 광이 출사되지 않는 영역으로 정의될 수 있다.

[65] 표시 장치(10)의 각 서브 화소(PXn)는 복수의 전극(210, 220), 발광 소자(300), 복수의 뱅크(410, 420, 430, 도 3에 도시) 및 적어도 하나의 절연층(510, 520, 550, 도 3에 도시)을 포함할 수 있다.

[66] 복수의 전극(210, 220)은 발광 소자(300)들과 전기적으로 연결되고, 발광 소자(300)가 특정 파장대의 광을 방출하도록 소정의 전압을 인가 받을 수 있다. 또한, 각 전극(210, 220)의 적어도 일부는 발광 소자(300)를 정렬하기 위해 서브 화소(PXn) 내에 전기장을 형성하는 데에 활용될 수 있다.

[67] 복수의 전극(210, 220)은 제1 전극(210) 및 제2 전극(220)을 포함할 수 있다. 예시적인 실시예에서, 제1 전극(210)은 각 서브 화소(PXn) 마다 분리된 화소 전극이고, 제2 전극(220)은 각 서브 화소(PXn)를 따라 공통으로 연결된 공통 전극일 수 있다. 제1 전극(210)과 제2 전극(220) 중 어느 하나는 발광 소자(300)의 애노드(Anode) 전극이고, 다른 하나는 발광 소자(300)의 캐소드(Cathode) 전극일 수 있다. 다만, 이에 제한되지 않으며 그 반대의 경우일 수도 있다.

[68] 제1 전극(210)과 제2 전극(220)은 각각 제1 방향(DR1)으로 연장되어 배치되는 전극 줄기부(210S, 220S)와 전극 줄기부(210S, 220S)에서 제1 방향(DR1)과 교차하는 방향인 제2 방향(DR2)으로 연장되어 분지되는 적어도 하나의 전극 가지부(210B, 220B)를 포함할 수 있다.

[69] 제1 전극(210)은 제1 방향(DR1)으로 연장되어 배치되는 제1 전극 줄기부(210S)와 제1 전극 줄기부(210S)에서 분지되어 제2 방향(DR2)으로 연장된 적어도 하나의 제1 전극 가지부(210B)를 포함할 수 있다.

[70] 임의의 일 화소의 제1 전극 줄기부(210S)는 양 단이 각 서브 화소(PXn) 사이에서 이격되어 종지하되, 동일 행(예컨대, 제1 방향(DR1)으로 인접한)에서 이웃하는 서브 화소의 제1 전극 줄기부(210S)와 실질적으로 동일 직선 상에 놓일 수 있다. 각 서브 화소(PXn)에 배치되는 제1 전극 줄기부(210S)들은 양 단이 상호 이격됨으로써 각 제1 전극 가지부(210B)에 서로 다른 전기 신호를 인가할 수 있고, 제1 전극 가지부(210B)는 각각 별개로 구동될 수 있다.

[71] 제1 전극 가지부(210B)는 제1 전극 줄기부(210S)의 적어도 일부에서 분지되고 제2 방향(DR2)으로 연장되어 배치되되, 제1 전극 줄기부(210S)와 대향하여 배치된 제2 전극 줄기부(220S)와 이격된 상태에서 종지할 수 있다.

[72] 제2 전극(220)은 제1 방향(DR1)으로 연장되어 제1 전극 줄기부(210S)와 제2 방향(DR2)으로 이격되어 대향하는 제2 전극 줄기부(220S)와 제2 전극 줄기부(220S)에서 분지되고 제2 방향(DR2)으로 연장된 제2 전극 가지부(220B)를 포함할 수 있다. 제2 전극 줄기부(220S)는 타 단부가 제1 방향(DR1)으로 인접한 다른 서브 화소(PXn)의 제2 전극 줄기부(220S)와 연결될 수 있다. 즉, 제2 전극 줄기부(220S)는 제1 전극 줄기부(210S)와 달리 제1 방향(DR1)으로 연장되어 각 서브 화소(PXn)들을 가로지르도록 배치될 수 있다. 각 서브 화소(PXn)를 가로지르는 제2 전극 줄기부(220S)는 각 화소(PX) 또는 서브 화소(PXn)들이 배치된 표시 영역(DA)의 외곽부, 또는 비표시 영역(NDA)에서 일 방향으로 연장된 부분과 연결될 수 있다.

[73] 제2 전극 가지부(220B)는 제1 전극 가지부(210B)와 이격되어 대향하고, 제1 전극 줄기부(210S)와 이격된 상태에서 종지될 수 있다. 제2 전극 가지부(220B)는 제2 전극 줄기부(220S)와 연결되고, 연장된 방향의 단부는 제1 전극 줄기부(210S)와 이격된 상태로 서브 화소(PXn) 내에 배치될 수 있다.

[74] 일 실시예에 따르면, 제1 전극(210)과 제2 전극(220)은 서로 다른 폭을 가질 수 있다. 제1 전극(210)과 제2 전극(220)은 각각 하나의 서브 화소(PXn) 내에 배치되고 이들 사이에는 발광 소자(300)가 배치된다. 표시 장치(10)의 각 서브 화소(PXn)는 일정한 폭을 가질 수 있으며, 발광 소자(300)가 배치되는 영역과 배치되지 않는 영역이 정의될 수 있다. 발광 소자(300)는 하나의 제1 전극(210) 또는 제1 전극 가지부(210B)와 하나의 제2 전극(220) 또는 제2 전극 가지부(220B) 사이에 배치되며, 그 이외의 영역인 각 전극(210, 220)과 외부 뱅크(430) 사이에는 배치되지 않을 수 있다.

[75] 표시 장치(10)의 제조 공정 중, 발광 소자(300)는 잉크(S, 도 7에 도시)에 분산된 상태로 전극(210, 220) 상에 분사될 수 있다. 발광 소자(300)는 잉크(S) 내에서 균일한 분포를 갖기 때문에, 서브 화소(PXn) 내에 정의된 영역의 면적, 또는 부피에 따라 발광 소자(300)가 배치되는 수가 정해질 수 있다. 여기서, 발광 소자(300)가 배치되지 않는 영역인 각 전극(210, 220)과 외부 뱅크(430) 사이의 간격이 발광 소자(300)가 배치되는 영역인 각 전극(210, 220) 사이의 영역보다 클 경우, 많은 수의 발광 소자(300)들이 전극(210, 220)과 외부 뱅크(430) 사이에

위치할 수 있다. 나아가, 각 서브 화소(PXn)에 더 많은 수의 전극(210, 220)들이 배치되는 경우, 각 전극(210, 220)들 사이의 영역마다 발광 소자(300)가 불균일하게 분포될 수 있다. 이를 방지하기 위해, 일 실시예에 따른 표시 장치(10)는 서로 다른 폭을 갖는 제1 전극(210)과 제2 전극(220)을 포함하여 이들 사이에 많은 수의 발광 소자(300)들이 배치되도록 유도할 수 있다. 이에 대한 보다 상세한 설명은 다른 도면을 참조하여 후술하기로 한다.

[76] 한편, 제1 전극(210)과 제2 전극(220)은 각각 컨택홀, 예컨대 제1 전극 컨택홀(CNTD) 및 제2 전극 컨택홀(CNTS)을 통해 표시 장치(10)의 회로소자층(PAL, 도 22에 도시)과 전기적으로 연결될 수 있다. 도면에는 제1 전극 컨택홀(CNTD)은 각 서브 화소(PXn)의 제1 전극 줄기부(210S)마다 형성되고, 제2 전극 컨택홀(CNTS)은 각 서브 화소(PXn)들을 가로지르는 하나의 제2 전극 줄기부(220S)에 하나만이 형성된 것을 도시하고 있다. 다만, 이에 제한되지 않으며, 경우에 따라서는 제2 전극 컨택홀(CNTS)의 경우에도 각 서브 화소(PXn) 마다 형성될 수 있다.

[77] 도면에서는 각 서브 화소(PXn)에 두 개의 제1 전극 가지부(210B)가 배치되고, 그 사이에 하나의 제2 전극 가지부(220B)가 배치된 것을 도시하고 있으나, 이에 제한되지 않는다. 또한, 제1 전극(210)과 제2 전극(220)은 반드시 일 방향으로 연장된 형상만을 갖지 않고, 다양한 구조로 배치될 수 있다. 예를 들어, 제1 전극(210)과 제2 전극(220)은 부분적으로 곡률지거나, 절곡된 형상을 가질 수 있고, 어느 한 전극이 다른 전극을 둘러싸도록 배치될 수도 있다. 제1 전극(210)과 제2 전극(220)은 적어도 일부 영역이 서로 이격되어 대향함으로써, 그 사이에 발광 소자(300)가 배치될 공간이 형성된다면 이들이 배치되는 구조나 형상은 특별히 제한되지 않을 수 있다.

[78] 또한, 몇몇 실시예에서 제1 전극(210)과 제2 전극(220)은 각각 전극 줄기부(210S, 220S)가 생략될 수도 있다. 제1 전극(210)과 제2 전극(220)은 일 방향으로 연장된 형상만을 갖고, 각 서브 화소(PXn) 내에서 상호 이격되어 배치될 수도 있다. 이에 대한 설명은 다른 실시예가 참조된다.

[79] 복수의 뱅크(410, 420, 430)는 각 서브 화소(PXn)간의 경계에 배치되는 외부 뱅크(430), 각 서브 화소(PXn)의 중심부와 인접하여 각 전극(210, 220) 하부에 배치되는 복수의 내부 뱅크(410, 420)를 포함할 수 있다. 도면에서는 복수의 내부 뱅크(410, 420)가 도시되지 않았으나, 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 하부에는 각각 제1 내부 뱅크(410)와 제2 내부 뱅크(420)가 배치될 수 있다. 이들에 대한 설명은 다른 도면을 참조하여 후술하기로 한다.

[80] 외부 뱅크(430)는 각 서브 화소(PXn)간의 경계에 배치될 수 있다. 복수의 제1 전극 줄기부(210S)는 각 단부가 외부 뱅크(430)를 기준으로 서로 이격되어 종지할 수 있다. 외부 뱅크(430)는 제2 방향(DR2)으로 연장되어 제1 방향(DR1)으로 배열된 서브 화소(PXn)들의 경계에 배치될 수 있다. 다만 이에 제한되지 않으며, 외부 뱅크(430)는 제1 방향(DR1)으로 연장되어 제2

방향(DR2)으로 배열된 서브 화소(PXn)들의 경계에도 배치될 수 있다. 외부 뱅크(430)는 내부 뱅크(410, 420)들과 동일한 재료를 포함하여 하나의 공정에서 동시에 형성될 수 있다.

[81] 복수의 발광 소자(300)는 제1 전극(210)과 제2 전극(220) 사이에 배치될 수 있다. 도면에 도시된 바와 같이, 발광 소자(300)들은 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 사이에 배치될 수 있다. 복수의 발광 소자(300) 중 적어도 일부는 일 단부가 제1 전극(210)과 전기적으로 연결되고, 타 단부가 제2 전극(220)과 전기적으로 연결될 수 있다. 발광 소자(300)의 양 단부는 각각 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 상에 놓이도록 배치될 수 있으나, 이에 제한되지 않는다. 경우에 따라서는 발광 소자(300)는 양 단부가 제1 전극(210) 및 제2 전극(220)과 중첩하지 않도록 이들 사이에 배치될 수도 있다.

[82] 복수의 발광 소자(300)들은 각 전극(210, 220) 사이에서 서로 이격되어 배치되며 실질적으로 상호 평행하게 정렬될 수 있다. 발광 소자(300)들이 이격되는 간격은 특별히 제한되지 않는다. 경우에 따라서 복수의 발광 소자(300)들이 인접하게 배치되어 무리를 이루고, 다른 복수의 발광 소자(300)들은 일정 간격 이격된 상태로 무리를 이룰 수도 있으며, 불균일한 밀집도를 가지되 일 방향으로 배향되어 정렬될 수도 있다. 또한, 예시적인 실시예에서 발광 소자(300)는 일 방향으로 연장된 형상을 가지며, 각 전극, 예컨대 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 연장된 방향과 발광 소자(300)가 연장된 방향은 실질적으로 수직을 이룰 수 있다. 다만, 이에 제한되지 않으며, 발광 소자(300)는 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 연장된 방향에 수직하지 않고 비스듬히 배치될 수도 있다.

[83] 한편, 일 실시예에 따른 발광 소자(300)는 서로 다른 물질을 포함하는 활성층(330)을 포함하여 서로 다른 파장대의 광을 외부로 방출할 수 있다. 일 실시예에 따른 표시 장치(10)는 서로 다른 파장대의 광을 방출하는 발광 소자(300)들을 포함할 수 있다. 표시 장치(10)는 제1 서브 화소(PX1)에 배치된 제1 발광 소자(301), 제2 서브 화소(PX2)에 배치된 제2 발광 소자(302) 및 제3 서브 화소(PX3)에 배치된 제3 발광 소자(303)를 포함할 수 있다.

[84] 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는 도 1의 발광 소자(300)와 같은 구조를 갖되, 각각 서로 다른 활성층(330)을 포함할 수 있다. 제1 발광 소자(301)는 중심 파장대역이 제1 파장인 제1 광(L1)을 방출하는 활성층(330)을 포함하고, 제2 발광 소자(302)는 중심 파장대역이 제2 파장인 제2 광(L2)을 방출하는 활성층(330)을 포함하고, 제3 발광 소자(303)는 중심 파장대역이 제3 파장인 제3 광(L3)을 방출하는 활성층(330)을 포함할 수 있다.

[85] 이에 따라 제1 서브 화소(PX1)에서는 제1 광(L1)이 출사되고, 제2 서브 화소(PX2)에서는 제2 광(L2)이 출사되고, 제3 서브 화소(PX3)에서는 제3 광(L3)이 출사될 수 있다. 몇몇 실시예에서, 표시 장치(10)는 서로 다른 색의 광을 방출하는 활성층(330)을 포함하는 발광 소자, 예컨대 제1 발광 소자(301), 제2

발광 소자(302) 및 제3 발광 소자(303)를 포함할 수 있다. 제1 발광 소자(301), 제2 발광 소자(302) 및 제3 발광 소자(303)는 각각 제1 광(L1), 제2 광(L2) 및 제3 광(L3)을 방출하는 활성층(330)을 포함할 수 있다.

[86] 몇몇 실시예에서, 제1 광(L1)은 중심 파장대역이 450nm 내지 495nm의 범위를 갖는 청색광이고, 제2 광(L2)은 중심 파장대역이 495nm 내지 570nm의 범위를 갖는 녹색광이고, 제3 광(L3)은 중심 파장대역이 620nm 내지 752nm의 범위를 갖는 적색광 일 수 있다. 다만, 이에 제한되지 않는다. 제1 광(L1), 제2 광(L2) 및 제3 광(L3)은 서로 다른 색의 광일 수도 있고, 동일한 색의 광이되, 중심 파장대역이 상기의 범위와 다를 수도 있다. 이에 대한 자세한 설명은 생략하기로 한다.

[87] 또한, 도 2에서는 도시하지 않았으나, 표시 장치(10)는 제1 전극(210) 및 제2 전극(220)의 적어도 일부를 덮는 제1 절연층(510)을 포함할 수 있다.

[88] 제1 절연층(510)은 표시 장치(10)의 각 서브 화소(PXn)에 배치될 수 있다. 제1 절연층(510)은 실질적으로 각 서브 화소(PXn)를 전면적으로 덮도록 배치될 수 있으며, 이웃한 다른 서브 화소(PXn)에도 연장되어 배치될 수 있다. 제1 절연층(510)은 제1 전극(210)과 제2 전극(220)의 적어도 일부를 덮도록 배치될 수 있다. 도 2에 도시되지 않았으나, 제1 절연층(510)은 제1 전극(210) 및 제2 전극(220)의 일부, 구체적으로 제1 전극 가지부(210B)와 제2 전극 가지부(220B)의 일부 영역을 노출하도록 배치될 수 있다.

[89] 표시 장치(10)는 제1 절연층(510) 이외에도 각 전극(210, 220)의 하부에 위치하는 회로소자층(PAL)과, 각 전극(210, 220) 및 발광 소자(300)의 적어도 일부를 덮도록 배치되는 제2 절연층(520, 도 3에 도시) 및 패시베이션층(550, 도 3에 도시)을 포함할 수 있다. 이하에서는 도 3을 참조하여 표시 장치(10)의 구조에 대하여 자세히 설명하도록 한다.

[90] 도 3은 도 2의 Xa-Xa'선, Xb-Xb'선 및 Xc-Xc'선을 따라 자른 단면도이다.

[91] 도 3은 제1 서브 화소(PX1)의 단면만을 도시하고 있으나, 다른 화소(PX) 또는 서브 화소(PXn)의 경우에도 동일하게 적용될 수 있다. 도 3은 임의의 발광 소자(300)의 일 단부와 타 단부를 가로지르는 단면을 도시한다.

[92] 도 2 및 도 3을 참조하면, 표시 장치(10)는 회로소자층(PAL)과 발광층(EML)을 포함할 수 있다. 회로소자층(PAL)은 기판(110), 버퍼층(115), 차광층(BML), 제1 및 제2 트랜지스터(120, 140) 등을 포함하고, 발광층(EML)은 제1 및 제2 트랜지스터(120, 140)의 상부에 배치된 복수의 전극(210, 220), 발광 소자(300), 복수의 절연층(510, 520, 550) 등을 포함할 수 있다.

[93] 기판(110)은 절연 기판일 수 있다. 기판(110)은 유리, 석영, 또는 고분자 수지 등의 절연 물질로 이루어질 수 있다. 또한, 기판(110)은 리지드(Rigid) 기판일 수 있지만, 벤딩(Bending), 폴딩(Folding), 롤링(Rolling) 등이 가능한 플렉시블(Flexible) 기판일 수도 있다.

[94] 차광층(BML)은 기판(110) 상에 배치될 수 있다. 차광층(BML)은 제1

차광층(BML1) 및 제2 차광층(BML2)을 포함할 수 있다. 제1 차광층(BML1)은 후술하는 제1 트랜지스터(120)의 제1 드레인 전극(123)과 전기적으로 연결될 수 있다. 제2 차광층(BML2)은 제2 트랜지스터(140)의 제2 드레인 전극(143)과 전기적으로 연결될 수 있다.

[95] 제1 차광층(BML1)과 제2 차광층(BML2)은 각각 제1 트랜지스터(120)의 제1 활성물질층(126) 및 제2 트랜지스터(140)의 제2 활성물질층(146)과 중첩하도록 배치된다. 제1 및 제2 차광층(BML1, BML2)은 광을 차단하는 재료를 포함하여, 제1 및 제2 활성물질층(126, 146)에 광이 입사되는 것을 방지할 수 있다. 일 예로, 제1 및 제2 차광층(BML1, BML2)은 광의 투과를 차단하는 불투명한 금속 물질로 형성될 수 있다. 다만, 이에 제한되지 않으며 경우에 따라서 차광층(BML)은 생략될 수 있다.

[96] 버퍼층(115)은 차광층(BML)과 기판(110) 상에 배치된다. 버퍼층(115)은 차광층(BML)을 포함하여 기판(110)을 전면적으로 덮도록 배치될 수 있다. 버퍼층(115)은 불순물 이온이 확산되는 것을 방지하고 수분이나 외기의 침투를 방지하며, 표면 평탄화 기능을 수행할 수 있다. 또한, 버퍼층(115)은 차광층(BML)과 제1 및 제2 활성물질층(126, 146)을 상호 절연시킬 수 있다.

[97] 버퍼층(115) 상에는 반도체층이 배치된다. 반도체층은 제1 트랜지스터(120)의 제1 활성물질층(126), 제2 트랜지스터(140)의 제2 활성물질층(146) 및 보조층(163)을 포함할 수 있다. 반도체층은 다결정 실리콘, 단결정 실리콘, 산화물 반도체 등을 포함할 수 있다.

[98] 제1 활성물질층(126)은 제1 도핑 영역(126a), 제2 도핑 영역(126b) 및 제1 채널 영역(126c)을 포함할 수 있다. 제1 채널 영역(126c)은 제1 도핑 영역(126a)과 제2 도핑 영역(126b) 사이에 배치될 수 있다. 제2 활성물질층(146)은 제3 도핑 영역(146a), 제4 도핑 영역(146b) 및 제2 채널 영역(146c)을 포함할 수 있다. 제2 채널 영역(146c)은 제3 도핑 영역(146a)과 제4 도핑 영역(146b) 사이에 배치될 수 있다. 제1 활성물질층(126) 및 제2 활성물질층(146)은 다결정 실리콘을 포함할 수 있다. 다결정 실리콘은 비정질 실리콘을 결정화하여 형성될 수 있다. 상기 결정화 방법의 예로는 RTA(Rapid thermal annealing)법, SPC(Solid phase crystallization)법, ELA(Excimer laser annealing)법, MILC(Metal induced crystallization)법, SLS(Sequential lateral solidification)법 등을 들 수 있으나, 이에 제한되는 것은 아니다. 다른 예로, 제1 활성물질층(126) 및 제2 활성물질층(146)은 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘 등을 포함할 수도 있다. 제1 도핑 영역(126a), 제2 도핑 영역(126b), 제3 도핑 영역(146a) 및 제4 도핑 영역(146b)은 제1 활성물질층(126) 및 제2 활성물질층(146)의 일부 영역이 불순물로 도핑된 영역일 수 있다. 다만, 이에 제한되지 않는다.

[99] 다만, 제1 활성물질층(126) 및 제2 활성물질층(146)이 반드시 상술한 바에 의해 제한되는 것은 아니다. 예시적인 실시예에서, 제1 활성물질층(126) 및 제2 활성물질층(146)은 산화물 반도체를 포함할 수도 있다. 이 경우, 제1 도핑

영역(126a)과 제3 도핑 영역(146a)은 제1 도체화 영역일 수 있고, 제2 도핑 영역(126b)과 제4 도핑 영역(146b)은 제2 도체화 영역일 수 있다. 제1 활성물질층(126) 및 제2 활성물질층(146)이 산화물 반도체를 포함하는 경우, 상기 산화물 반도체는 인듐(In)을 함유하는 산화물 반도체일 수 있다. 몇몇 실시예에서, 상기 산화물 반도체는 인듐-주석 산화물(Indium-Tin Oxide, ITO), 인듐-아연 산화물(Indium-Zinc Oxide, IZO), 인듐-갈륨 산화물(Indium-Gallium Oxide, IGO), 인듐-아연-주석 산화물(Indium-Zinc-Tin Oxide, IZTO), 인듐-갈륨-주석 산화물(Indium-Gallium-Tin Oxide, IGTO), 인듐-갈륨-주석 산화물(Indium-Gallium-Zinc Oxide, IGZO), 인듐-갈륨-아연-주석 산화물(Indium-Gallium-Zinc-Tin Oxide, IGZTO) 등일 수 있다. 다만, 이에 제한되지 않는다.

[100] 반도체층 상에는 제1 게이트 절연막(150)이 배치된다. 제1 게이트 절연막(150)은 반도체층을 포함하여 버퍼층(115)을 전면적으로 덮도록 배치될 수 있다. 제1 게이트 절연막(150)은 제1 및 제2 트랜지스터(120, 140)의 게이트 절연막으로 기능할 수 있다.

[101] 제1 게이트 절연막(150) 상에는 제1 도전층이 배치된다. 제1 도전층은 제1 게이트 절연막(150) 상에서 제1 트랜지스터(120)의 제1 활성물질층(126) 상에 배치된 제1 게이트 전극(121), 제2 트랜지스터(140)의 제2 활성물질층(146) 상에 배치된 제2 게이트 전극(141) 및 보조층(163) 상에 배치된 전원 배선(161)을 포함할 수 있다. 제1 게이트 전극(121)은 제1 활성물질층(126)의 제1 채널 영역(126c)과 중첩하고, 제2 게이트 전극(141)은 제2 활성물질층(146)의 제2 채널 영역(146c)과 중첩할 수 있다.

[102] 제1 도전층 상에는 층간절연막(170)이 배치된다. 층간절연막(170)은 층간 절연막의 기능을 수행할 수 있다. 또한, 층간절연막(170)은 유기 절연 물질을 포함하고 표면 평탄화 기능을 수행할 수도 있다.

[103] 층간절연막(170) 상에는 제2 도전층이 배치된다. 제2 도전층은 제1 트랜지스터(120)의 제1 드레인 전극(123)과 제1 소스 전극(124), 제2 트랜지스터(140)의 제2 드레인 전극(143)과 제2 소스 전극(144), 및 전원 배선(161) 상부에 배치된 전원 전극(162)을 포함한다.

[104] 제1 드레인 전극(123)과 제1 소스 전극(124)은 층간절연막(170)과 제1 게이트 절연막(150)을 관통하는 컨택홀을 통해 제1 활성물질층(126)의 제1 도핑 영역(126a) 및 제2 도핑 영역(126b)과 각각 접촉될 수 있다. 제2 드레인 전극(143)과 제2 소스 전극(144)은 층간절연막(170)과 제1 게이트 절연막(150)을 관통하는 컨택홀을 통해 제2 활성물질층(146)의 제3 도핑 영역(146a) 및 제4 도핑 영역(146b)과 각각 접촉될 수 있다. 또한, 제1 드레인 전극(123)과 제2 드레인 전극(143)은 또 다른 컨택홀을 통해 각각 제1 차광층(BML1) 및 제2 차광층(BML2)과 전기적으로 연결될 수 있다.

[105] 제2 도전층 상에는 비아층(200)이 배치된다. 비아층(200)은 유기 절연 물질을

포함하여, 표면 평탄화 기능을 수행할 수 있다.

[106] 비아층(200) 상에는 복수의 뱅크(410, 420, 430)와 복수의 전극(210, 220) 및 발광 소자(300)가 배치될 수 있다.

[107] 복수의 뱅크(410, 420, 430)는 각 서브 화소(PXn) 내에서 이격되어 배치되는 내부 뱅크(410, 420) 및 이웃한 서브 화소(PXn)의 경계에 배치되는 외부 뱅크(430)를 포함할 수 있다.

[108] 외부 뱅크(430)는 제2 방향(DR2)으로 연장되어 제1 방향(DR1)으로 배열된 서브 화소(PXn)들의 경계에 배치될 수 있다. 다만, 이에 제한되지 않으며, 외부 뱅크(430)는 제1 방향(DR1)으로 연장되어 제2 방향(DR2)으로 배열된 서브 화소(PXn)들의 경계에도 배치될 수 있다. 즉, 외부 뱅크(430)는 각 서브 화소(PXn)의 경계를 구분할 수 있다.

[109] 외부 뱅크(430)는 표시 장치(10)의 제조 시, 잉크젯 프린팅 장치를 이용하여 발광 소자(300)가 분산된 잉크를 분사할 때 잉크가 서브 화소(PXn)의 경계를 넘는 것을 방지하는 기능을 수행할 수 있다. 외부 뱅크(430)는 서로 다른 서브 화소(PXn)마다 다른 발광 소자(300)들이 분산된 잉크가 서로 혼합되지 않도록 이들을 분리시킬 수 있다. 다만, 이에 제한되는 것은 아니다.

[110] 복수의 내부 뱅크(410, 420)는 각 서브 화소(PXn)의 중심부에 인접하여 배치된 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)를 포함할 수 있다.

[111] 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)는 서로 이격되어 대향하도록 배치된다. 제1 내부 뱅크(410) 상에는 제1 전극(210)이, 제2 내부 뱅크(420) 상에는 제2 전극(220)이 배치될 수 있다. 도 2 및 도 3을 참조하면 제1 내부 뱅크(410) 상에는 제1 전극 가지부(210B)가, 제2 내부 뱅크(420) 상에는 제2 전극 가지부(220B)가 배치된 것으로 이해될 수 있다.

[112] 제1 내부 뱅크(410)와 제2 내부 뱅크(420)는 각 서브 화소(PXn) 내에서 제2 방향(DR2)으로 연장되어 배치될 수 있다. 도면으로 도시하지 않았으나, 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)는 제2 방향(DR2)으로 연장됨에 따라 제2 방향(DR2)으로 이웃하는 서브 화소(PXn)를 향해 연장될 수 있다. 다만, 이에 제한되지 않으며, 제1 내부 뱅크(410)와 제2 내부 뱅크(420)는 각 서브 화소(PXn)마다 배치되어 표시 장치(10) 전면에 있어서 패턴을 이룰 수 있다. 복수의 뱅크(410, 420, 430)들은 폴리이미드(Polyimide, PI)를 포함할 수 있으나, 이에 제한되지 않는다.

[113] 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)는 비아층(200)을 기준으로 적어도 일부가 돌출된 구조를 가질 수 있다. 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)는 발광 소자(300)가 배치된 평면을 기준으로 상부로 돌출될 수 있고, 상기 돌출된 부분은 적어도 일부가 경사를 가질 수 있다. 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)의 돌출된 형상은 특별히 제한되지 않는다. 내부 뱅크(410, 420)는 비아층(200)을 기준으로 돌출되어 경사진 측면을 갖기 때문에, 발광 소자(300)에서 방출된 광이 내부 뱅크(410, 420)의 경사진 측면에서 반사될 수

있다. 후술할 바와 같이, 내부 뱅크(410, 420) 상에 배치되는 전극(210, 220)들이 반사율이 높은 재료를 포함하는 경우, 발광 소자(300)에서 방출된 광은 내부 뱅크(410, 420)의 경사진 측면 상에 위치하는 전극(210, 220)에서 반사되어 비아층(200)의 상부 방향으로 진행할 수 있다.

[114] 상술한 바와 같이, 복수의 뱅크(410, 420, 430)들은 동일한 재료를 포함하여 동일한 공정에서 형성될 수 있다. 다만, 외부 뱅크(430)는 각 서브 화소(PXn)의 경계에 배치되어 격자형 패턴을 이루도록 형성되나, 내부 뱅크(410, 420)들은 각 서브 화소(PXn) 내에 배치되어 일 방향으로 연장된 형상을 갖는다. 또한, 외부 뱅크(430)는 이웃하는 서브 화소(PXn)들을 구분함과 동시에 잉크젯 공정에서 잉크가 인접한 서브 화소(PXn)로 넘치는 것을 방지하는 기능을 수행하나, 내부 뱅크(410, 420)들은 각 서브 화소(PXn) 내에서 돌출된 구조를 가짐으로써 발광 소자(300)에서 방출된 광을 비아층(200)의 상부 방향으로 반사시키는 반사격벽의 기능을 수행할 수 있다. 다만, 이에 제한되는 것은 아니다.

[115] 복수의 전극(210, 220)은 비아층(200) 및 내부 뱅크(410, 420) 상에 배치될 수 있다. 상술한 바와 같이, 각 전극(210, 220)은 전극 줄기부(210S, 220S)와 전극 가지부(210B, 220B)를 포함한다. 도 2의 Xa-Xa'선은 제1 전극 줄기부(210S)를, 도 2의 Xb-Xb'선은 제1 전극 가지부(210B)와 제2 전극 가지부(220B)를, 도 2의 Xc-Xc'선은 제2 전극 줄기부(220S)를 가로지르는 선이다. 즉, 도 3의 Xa-Xa' 영역에 배치된 제1 전극(210)은 제1 전극 줄기부(210S)이고, 도 3의 Xb-Xb' 영역에 배치된 제1 전극(210) 및 제2 전극(220)은 각각 제1 전극 가지부(210B) 및 제2 전극 가지부(220B)이고, 도 3의 Xc-Xc' 영역에 배치된 제2 전극(220)은 제2 전극 줄기부(220S)인 것으로 이해될 수 있다. 각 전극 줄기부(210S, 220S)와 각 전극 가지부(210B, 220B)는 제1 전극(210) 및 제2 전극(220)을 이룰 수 있다.

[116] 제1 전극(210)과 제2 전극(220)은 일부 영역은 비아층(200) 상에 배치되고, 일부 영역은 제1 내부 뱅크(410) 및 제2 내부 뱅크(420) 상에 배치될 수 있다. 상술한 바와 같이, 제1 전극(210)의 제1 전극 줄기부(210S)와 제2 전극(220)의 제2 전극 줄기부(220S)는 제1 방향(DR1)으로 연장되고, 제1 내부 뱅크(410)와 제2 내부 뱅크(420)는 제2 방향(DR2)으로 연장되어 제2 방향(DR2)으로 이웃하는 서브 화소(PXn)에도 배치될 수 있다. 도면으로 도시하지 않았으나, 제1 전극(210) 및 제2 전극(220)의 제1 방향(DR1)으로 연장된 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)와 부분적으로 중첩할 수 있다. 다만, 이에 제한되는 것은 아니며, 제1 전극 줄기부(210S)와 제2 전극 줄기부(220S)는 제1 내부 뱅크(410) 및 제2 내부 뱅크(420)와 중첩하지 않을 수도 있다.

[117] 제1 전극(210)의 제1 전극 줄기부(210S)에는 비아층(200)을 관통하여 제1 트랜지스터(120)의 제1 드레인 전극(123)을 일부 노출하는 제1 전극 컨택홀(CNDT)이 형성될 수 있다. 제1 전극(210)은 제1 전극 컨택홀(CNTD)을 통해 제1 드레인 전극(123)과 접촉할 수 있다. 제1 전극(210)은 제1

트랜지스터(120)의 제1 드레인 전극(123)과 전기적으로 연결되어 소정의 전기 신호를 전달 받을 수 있다.

[118] 제2 전극(220)의 제2 전극 줄기부(220S)는 일 방향으로 연장되어 발광 소자(300)들이 배치되지 않는 비발광 영역에도 배치될 수 있다. 제2 전극 줄기부(220S)에는 비아층(200)을 관통하여 전원 전극(162)의 일부를 노출하는 제2 전극 컨택홀(CNTS)이 형성될 수 있다. 제2 전극(220)은 제2 전극 컨택홀(CNTS)을 통해 전원 전극(162)과 접촉할 수 있다. 제2 전극(220)은 전원 전극(162)과 전기적으로 연결되어 전원 전극(162)으로부터 소정의 전기 신호를 전달 받을 수 있다.

[119] 제1 전극(210)과 제2 전극(220)의 일부 영역, 예컨대 제1 전극 가지부(210B)와 제2 전극 가지부(220B)는 각각 제1 내부 뱅크(410) 및 제2 내부 뱅크(420) 상에 배치될 수 있다. 제1 전극(210)의 제1 전극 가지부(210B)는 제1 내부 뱅크(410)를 덮도록 배치되고, 제2 전극(220)의 제2 전극 가지부(220B)는 제2 내부 뱅크(420)를 덮도록 배치될 수 있다. 제1 내부 뱅크(410)와 제2 내부 뱅크(420)가 각 서브 화소(PXn)의 중심부에서 서로 이격되어 배치되므로, 제1 전극 가지부(210B)와 제2 전극 가지부(220B)도 서로 이격되어 배치될 수 있다. 제1 전극(210)과 제2 전극(220) 사이의 영역, 즉, 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 이격되어 대향하는 공간에는 복수의 발광 소자(300)들이 배치될 수 있다.

[120] 각 전극(210, 220)은 투명성 전도성 물질을 포함할 수 있다. 일 예로, 각 전극(210, 220)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin-Zinc Oxide) 등과 같은 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다. 몇몇 실시예에서, 각 전극(210, 220)은 반사율이 높은 전도성 물질을 포함할 수 있다. 예를 들어, 각 전극(210, 220)은 반사율이 높은 물질로 은(Ag), 구리(Cu), 알루미늄(Al) 등과 같은 금속을 포함할 수 있다. 이 경우, 각 전극(210, 220)으로 입사되는 광을 반사시켜 각 서브 화소(PXn)의 상부 방향으로 출사시킬 수도 있다.

[121] 또한, 전극(210, 220)은 투명성 전도성 물질과 반사율이 높은 금속층이 각각 한층 이상 적층된 구조를 이루거나, 이들을 포함하여 하나의 층으로 형성될 수도 있다. 예시적인 실시예에서, 각 전극(210, 220)은 ITO/Ag/ITO/IZO의 적층구조를 갖거나, 알루미늄(Al), 니켈(Ni), 란타늄(La) 등을 포함하는 합금일 수 있다. 다만, 이에 제한되는 것은 아니다.

[122] 제1 절연층(510)은 비아층(200), 제1 전극(210) 및 제2 전극(220) 상에 배치된다. 제1 절연층(510)은 제1 전극(210) 및 제2 전극(220)을 부분적으로 덮도록 배치된다. 제1 절연층(510)은 제1 전극(210)과 제2 전극(220)의 상면을 대부분 덮도록 배치되되, 제1 전극(210)과 제2 전극(220)의 일부를 노출시킬 수 있다. 제1 절연층(510)은 제1 전극(210)과 제2 전극(220)의 상면 중 일부, 예컨대 제1 내부 뱅크(410) 상에 배치된 제1 전극 가지부(210B)의 상면과 제2 내부 뱅크(420) 상에

배치된 제2 전극 가지부(220B)의 상면 중 일부가 노출되도록 배치될 수 있다. 즉, 제1 절연층(510)은 실질적으로 비아층(200) 상에 전면적으로 형성되되, 제1 전극(210)과 제2 전극(220)을 부분적으로 노출하는 개구부를 포함할 수 있다. 제1 절연층(510)의 개구부는 제1 전극(210)과 제2 전극(220)의 비교적 평탄한 상면이 노출되도록 위치할 수 있다.

[123] 예시적인 실시예에서, 제1 절연층(510)은 제1 전극(210)과 제2 전극(220) 사이에서 상면의 일부가 함몰되도록 단차가 형성될 수 있다. 몇몇 실시예에서, 제1 절연층(510)은 무기물 절연성 물질을 포함하고, 제1 전극(210)과 제2 전극(220)을 덮도록 배치된 제1 절연층(510)은 하부에 배치되는 부재의 단차에 의해 상면의 일부가 함몰될 수 있다. 제1 전극(210)과 제2 전극(220) 사이에서 제1 절연층(510) 상에 배치되는 발광 소자(300)는 제1 절연층(510)의 함몰된 상면 사이에서 빈 공간을 형성할 수 있다. 발광 소자(300)는 제1 절연층(510)의 상면과 부분적으로 이격된 상태로 배치될 수 있고, 후술하는 제2 절연층(520)을 이루는 재료가 상기 공간에 채워질 수도 있다.

[124] 다만, 이에 제한되지 않는다. 제1 절연층(510)은 발광 소자(300)가 배치되도록 평탄한 상면을 형성할 수 있다. 상기 상면은 제1 전극(210)과 제2 전극(220)을 향해 일 방향으로 연장되어 제1 전극(210)과 제2 전극(220)의 경사진 측면에서 종지할 수 있다. 즉, 제1 절연층(510)은 각 전극(210, 220)이 제1 내부 뱅크(410)와 제2 내부 뱅크(420)의 경사진 측면과 중첩하는 영역에 배치될 수 있다. 후술하는 접촉 전극(261, 262)은 제1 전극(210) 및 제2 전극(220)의 노출된 영역과 접촉하고, 제1 절연층(510)의 평탄한 상면에서 발광 소자(300)의 단부와 원활하게 접촉할 수 있다.

[125] 제1 절연층(510)은 제1 전극(210)과 제2 전극(220)을 보호함과 동시에 이들을 상호 절연시킬 수 있다. 또한, 제1 절연층(510) 상에 배치되는 발광 소자(300)가 다른 부재들과 직접 접촉하여 손상되는 것을 방지할 수도 있다. 다만, 제1 절연층(510)의 형상 및 구조는 이에 제한되지 않는다.

[126] 발광 소자(300)는 각 전극(210, 220) 사이에서 제1 절연층(510) 상에 배치될 수 있다. 예시적으로, 발광 소자(300)는 각 전극 가지부(210B, 220B) 사이에 배치된 제1 절연층(510) 상에 적어도 하나 배치될 수 있다. 다만, 이에 제한되지 않으며, 도면에 도시되지 않았으나 각 서브 화소(PXn) 내에 배치된 발광 소자(300)들 중 적어도 일부는 각 전극 가지부(210B, 220B) 사이 이외의 영역에 배치될 수도 있다. 또한 발광 소자(300)는 일부 영역이 전극(210, 220)과 중첩하는 위치에 배치될 수 있다. 발광 소자(300)는 제1 전극 가지부(210B)와 제2 전극 가지부(220B)가 서로 대향하는 각 단부 상에 배치되며 접촉 전극(261, 262)을 통해 각 전극(210, 220)과 전기적으로 연결될 수 있다.

[127] 상술한 바와 같이, 각 서브 화소(PXn)에는 서로 다른 파장의 광(L1, L2, L3)을 방출하는 발광 소자(300)들이 배치될 수 있다. 도면에서는 제1 발광 소자(301)가 배치된 제1 서브 화소(PX1)만을 도시하고 있으나, 제2 서브 화소(PX2) 및 제3

서브 화소(PX3)의 경우에도 동일하게 적용될 수 있음은 자명하다.

[128] 또한, 발광 소자(300)는 비아층(200)에 수평한 방향으로 복수의 층들이 배치될 수 있다. 일 실시예에 따른 표시 장치(10)의 발광 소자(300)는 일 방향으로 연장된 형상을 갖고, 복수의 반도체층들이 일 방향으로 순차적으로 배치된 구조를 가질 수 있다. 후술할 바와 같이, 발광 소자(300)는 제1 반도체층(310), 활성층(330), 제2 반도체층(320) 및 전극층(370)이 일 방향을 따라 순차적으로 배치되고, 이들의 외면을 절연막(380)이 둘러쌀 수 있다. 표시 장치(10)에 배치된 발광 소자(300)는 연장된 일 방향이 비아층(200)과 평행하도록 배치되고, 발광 소자(300)에 포함된 복수의 반도체층들은 비아층(200)의 상면과 평행한 방향을 따라 순차적으로 배치될 수 있다. 다만, 이에 제한되지 않는다. 경우에 따라서는 발광 소자(300)가 다른 구조를 갖는 경우, 복수의 층들은 비아층(200)에 수직한 방향으로 배치될 수도 있다.

[129] 또한, 발광 소자(300)의 일 단부는 제1 접촉 전극(261)과 접촉하고, 타 단부는 제2 접촉 전극(262)과 접촉할 수 있다. 일 실시예에 따르면, 발광 소자(300)는 연장된 일 방향측 단부면에는 절연막(380)이 형성되지 않고 노출되기 때문에, 상기 노출된 영역에서 후술하는 제1 접촉 전극(261) 및 제2 접촉 전극(262)과 접촉할 수 있다. 다만, 이에 제한되지 않는다. 경우에 따라서 발광 소자(300)는 절연막(380) 중 적어도 일부 영역이 제거되고, 절연막(380)이 제거되어 발광 소자(300)의 양 단부 측면이 부분적으로 노출될 수 있다. 표시 장치(10)의 제조 공정 중, 발광 소자(300)의 외면을 덮는 제2 절연층(520)을 형성하는 단계에서 절연막(380)은 부분적으로 제거될 수 있다. 발광 소자(300)의 노출된 측면은 제1 접촉 전극(261) 및 제2 접촉 전극(262)과 접촉할 수 있다. 다만, 이에 제한되지 않는다.

[130] 제2 절연층(520)은 발광 소자(300) 상에 부분적으로 배치될 수 있다. 제2 절연층(520)은 발광 소자(300)의 외면을 부분적으로 감싸도록 배치될 수 있다. 제2 절연층(520)은 발광 소자(300)를 보호함과 동시에 표시 장치(10)의 제조 공정에서 발광 소자(300)를 고정시키는 기능을 수행할 수도 있다. 또한, 예시적인 실시예에서, 제2 절연층(520)의 재료 중 일부는 발광 소자(300)의 하면과 제1 절연층(510) 사이에 배치될 수도 있다. 상술한 바와 같이 제2 절연층(520)은 표시 장치(10)의 제조 공정 중에 형성된 제1 절연층(510)과 발광 소자(300) 사이의 공간을 채우도록 형성될 수도 있다. 이에 따라 제2 절연층(520)은 발광 소자(300)의 외면을 감싸도록 형성될 수도 있다. 다만, 이에 제한되지 않는다.

[131] 제2 절연층(520)은 평면상 제1 전극 가지부(210B)와 제2 전극 가지부(220B) 사이에서 제2 방향(DR2)으로 연장되어 배치될 수 있다. 일 예로, 제2 절연층(520)은 비아층(200) 상에서 평면상 섬형 또는 선형의 형상을 가질 수 있다.

[132] 접촉 전극(261, 262)은 각 전극(210, 220) 및 제2 절연층(520) 상에 배치된다. 제1 접촉 전극(261)과 제2 접촉 전극(262)은 제2 절연층(520) 상에서 서로 이격되어

배치될 수 있다. 제2 절연층(520)은 제1 접촉 전극(261)과 제2 접촉 전극(262)이 직접 접촉하지 않도록 상호 절연시킬 수 있다.

[133] 도면으로 도시하지 않았으나, 복수의 접촉 전극(261, 262)은 평면상 제2 방향(DR2)으로 연장되어 배치되되, 제1 방향(DR1)으로 서로 이격되어 배치될 수 있다. 접촉 전극(261, 262)은 발광 소자(300)의 적어도 일 단부와 접촉할 수 있으며, 접촉 전극(261, 262)은 제1 전극(210) 또는 제2 전극(220)과 전기적으로 연결되어 전기 신호를 인가 받을 수 있다. 접촉 전극(261, 262)은 제1 접촉 전극(261)과 제2 접촉 전극(262)을 포함할 수 있다. 제1 접촉 전극(261)은 제1 전극 가지부(210B) 상에 배치되며, 발광 소자(300)의 일 단부와 접촉하고 제2 접촉 전극(262)은 제2 전극 가지부(220B) 상에 배치되며, 발광 소자(300)의 타 단부와 접촉할 수 있다.

[134] 제1 접촉 전극(261)은 제1 내부 뱅크(410) 상에서 제1 전극(210)의 노출된 일부 영역과 접촉할 수 있고, 제2 접촉 전극(262)은 제2 내부 뱅크(420) 상에서 제2 전극(220)의 노출된 일부 영역과 접촉할 수 있다. 접촉 전극(261, 262)은 각 전극(210, 220)으로부터 전달되는 전기 신호를 발광 소자(300)에 전달할 수 있다.

[135] 접촉 전극(261, 262)은 전도성 물질을 포함할 수 있다. 예를 들어, ITO, IZO, ITZO, 알루미늄(Al) 등을 포함할 수 있다. 다만, 이에 제한되는 것은 아니다.

[136] 패시베이션층(550)은 제1 접촉 전극(261), 제2 접촉 전극(262) 및 제2 절연층(520) 상에 배치될 수 있다. 패시베이션층(550)은 비아층(200) 상에 배치되는 부재들을 외부 환경에 대하여 보호하는 기능을 할 수 있다.

[137] 상술한 제1 절연층(510), 제2 절연층(520) 및 패시베이션층(550) 각각은 무기물 절연성 물질 또는 유기물 절연성 물질을 포함할 수 있다. 예시적인 실시예에서, 제1 절연층(510), 제2 절연층(520) 및 패시베이션층(550)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx), 실리콘 산질화물(SiOxNy), 산화 알루미늄(Al2O3), 질화 알루미늄(AlN)등과 같은 무기물 절연성 물질을 포함할 수 있다. 또한, 제1 절연층(510), 제2 절연층(520) 및 패시베이션층(550)은 유기물 절연성 물질로써, 아크릴 수지, 에폭시 수지, 페놀 수지, 폴리아마이드 수지, 폴리이미드 수지, 불포화 폴리에스테르 수지, 폴리페닐렌 수지, 폴리페닐렌설파이드 수지, 벤조사이클로부텐, 카도 수지, 실록산 수지, 실세스퀴옥산 수지, 폴리메틸메타크릴레이트, 폴리카보네이트, 폴리메틸메타크릴레이트-폴리카보네이트 합성수지 등을 포함할 수 있다. 다만, 이에 제한되는 것은 아니다.

[138] 한편, 표시 장치(10)는 더 많은 수의 절연층을 포함할 수 있다. 일 실시예에 따르면, 표시 장치(10)는 제1 접촉 전극(261)을 보호하도록 배치되는 제3 절연층(530)을 더 포함할 수 있다.

[139] 도 4는 다른 실시예에 따른 표시 장치의 일부를 나타내는 단면도이다.

[140] 도 4를 참조하면, 일 실시예에 따른 표시 장치(10)는 제1 접촉 전극(261) 상에 배치된 제3 절연층(530)을 더 포함할 수 있다. 본 실시예에 따른 표시 장치(10)는

제3 절연층(530)을 더 포함하여 제2 접촉 전극(262)의 적어도 일부가 제3 절연층(530) 상에 배치된 점에서 도 3의 표시 장치(10)와 차이점이 있다. 이하에서는 중복되는 설명은 생략하고, 차이점을 중심으로 서술하기로 한다.

[141] 도 4의 표시 장치(10)는 제1 접촉 전극(261) 상에 배치되고, 제1 접촉 전극(261)과 제2 접촉 전극(262)을 전기적으로 상호 절연시키는 제3 절연층(530)을 포함할 수 있다. 제3 절연층(530)은 제1 접촉 전극(261)을 덮도록 배치되되, 발광 소자(300)가 제2 접촉 전극(262)과 연결될 수 있도록 발광 소자(300)의 일부 영역에는 중첩되지 않도록 배치될 수 있다. 제3 절연층(530)은 제2 절연층(520)의 상면에서 제1 접촉 전극(261) 및 제2 절연층(520)과 부분적으로 접촉할 수 있다. 제3 절연층(530)은 제2 절연층(520)의 상에서 제1 접촉 전극(261)의 일 단부를 커버하도록 배치될 수 있다. 이에 따라 제3 절연층(530)은 제1 접촉 전극(261)을 보호함과 동시에, 이를 제2 접촉 전극(262)과 전기적으로 절연시킬 수 있다.

[142] 제3 절연층(530)의 제2 접촉 전극(262)이 배치된 방향의 측면은 제2 절연층(520)의 일 측면과 정렬될 수 있다. 다만, 이에 제한되는 것은 아니다. 몇몇 실시예에서, 제3 절연층(530)은 제1 절연층(510)과 같이 무기물 절연성 물질을 포함할 수 있다.

[143] 제1 접촉 전극(261)은 제1 전극(210)과 제3 절연층(530) 사이에 배치되고, 제2 접촉 전극(262)은 제3 절연층(530) 상에 배치될 수 있다. 제2 접촉 전극(262)은 부분적으로 제1 절연층(510), 제2 절연층(520), 제3 절연층(530), 제2 전극(220) 및 발광 소자(300)와 접촉할 수 있다. 제2 접촉 전극(262)의 제1 전극(210)이 배치된 방향의 일 단부는 제3 절연층(530) 상에 배치될 수 있다.

[144] 패시베이션층(550)은 제3 절연층(530) 및 제2 접촉 전극(262) 상에 배치되어, 이들을 보호하도록 배치될 수 있다. 이하, 중복되는 설명은 생략한다.

[145] 한편, 발광 소자(300)는 발광 다이오드(Light Emitting diode)일 수 있으며, 구체적으로 발광 소자(300)는 마이크로 미터(micro-meter) 또는 나노미터(nano-meter) 단위의 크기를 가지고, 무기물로 이루어진 무기 발광 다이오드일 수 있다. 무기 발광 다이오드는 서로 대향하는 두 전극들 사이에 특정 방향으로 전계를 형성하면 극성이 형성되는 상기 두 전극 사이에 정렬될 수 있다. 발광 소자(300)는 두 전극 상에 형성된 전계에 의해 전극 사이에 정렬될 수 있다.

[146] 발광 소자(300)는 일 방향으로 연장된 형상을 가질 수 있다. 발광 소자(300)는 로드, 와이어, 튜브 등의 형상을 가질 수 있다. 예시적인 실시예에서, 발광 소자(300)는 원통형 또는 로드형(rod)일 수 있다. 다만, 발광 소자(300)의 형태가 이에 제한되는 것은 아니며, 정육면체, 직육면체, 육각기둥형 등 다각기둥의 형상을 갖거나, 일 방향으로 연장되되 외면이 부분적으로 경사진 형상을 갖는 등 발광 소자(300)는 다양한 형태를 가질 수 있다. 후술하는 발광 소자(300)에 포함되는 복수의 반도체들은 상기 일 방향을 따라 순차적으로 배치되거나

적층된 구조를 가질 수 있다.

[147] 발광 소자(300)는 임의의 도전형(예컨대, p형 또는 n형) 불순물로 도핑된 반도체층을 포함할 수 있다. 반도체층은 외부의 전원으로부터 인가되는 전기 신호를 전달 받고, 이를 특정 파장대의 광으로 방출할 수 있다.

[148] 도 5는 일 실시예에 따른 발광 소자의 개략도이다.

[149] 일 실시예에 따른 발광 소자(300)는 특정 파장대의 광을 방출할 수 있다. 예시적인 실시예에서, 활성층(330)은 중심 파장대역이 450nm 내지 495nm의 범위를 갖는 청색(Blue)광을 방출할 수 있다. 다만, 청색(Blue) 광의 중심 파장대역이 상술한 범위에 제한되는 것은 아니며, 본 기술분야에서 청색으로 인식될 수 있는 파장 범위를 모두 포함하는 것으로 이해되어야 한다. 또한, 발광 소자(300)의 활성층(330)에서 방출되는 광은 이에 제한되지 않고, 중심 파장대역이 495nm 내지 570nm의 범위를 갖는 녹색(Green)광 또는 중심 파장대역이 620nm 내지 750nm의 범위를 갖는 적색(Red)광일 수도 있다. 이하에서는 청색(blue)광을 방출하는 발광 소자(300)를 예시하여 설명하기로 한다.

[150] 도 5를 참조하면 참조하면, 발광 소자(300)는 제1 반도체층(310), 제2 반도체층(320), 활성층(330), 전극층(370) 및 절연막(380)을 포함할 수 있다.

[151] 제1 반도체층(310)은 제1 도전형을 갖는, 예컨대 n형 반도체일 수 있다. 일 예로, 발광 소자(300)가 청색 파장대의 광을 방출하는 경우, 제1 반도체층(310)은 AlxGayIn1-x-yN(0≤x≤1,0≤y≤1, 0≤x+y≤1)의 화학식을 갖는 반도체 재료를 포함할 수 있다. 예를 들어, n형으로 도핑된 AlGaInN, GaN, AlGaN, InGaN, AlN 및 InN 중에서 어느 하나 이상일 수 있다. 제1 반도체층(310)은 제1 도전형 도펀트가 도핑될 수 있으며, 일 예로 제1 도전형 도펀트는 Si, Ge, Sn 등일 수 있다. 예시적인 실시예에서, 제1 반도체층(310)은 n형 Si로 도핑된 n-GaN일 수 있다. 제1 반도체층(310)의 길이는 1.5㎛ 내지 5㎛의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.

[152] 제2 반도체층(320)은 후술하는 활성층(330) 상에 배치된다. 제2 반도체층(320)은 제2 도전형을 갖는, 예컨대 p형 반도체일 수 있으며 일 예로, 발광 소자(300)가 청색 또는 녹색 파장대의 광을 방출하는 경우, 제2 반도체층(320)은 AlxGayIn1-x-yN(0≤x≤1,0≤y≤1, 0≤x+y≤1)의 화학식을 갖는 반도체 재료를 포함할 수 있다. 예를 들어, p형으로 도핑된 AlGaInN, GaN, AlGaN, InGaN, AlN 및 InN 중에서 어느 하나 이상일 수 있다. 제2 반도체층(320)은 제2 도전형 도펀트가 도핑될 수 있으며, 일 예로 제2 도전형 도펀트는 Mg, Zn, Ca, Se, Ba 등일 수 있다. 예시적인 실시예에서, 제2 반도체층(320)은 p형 Mg로 도핑된 p-GaN일 수 있다. 제2 반도체층(320)의 길이는 0.05㎛ 내지 0.10㎛의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.

[153] 한편, 도면에서는 제1 반도체층(310)과 제2 반도체층(320)이 하나의 층으로 구성된 것을 도시하고 있으나, 이에 제한되는 것은 아니다. 몇몇 실시예에

따르면 활성층(330)의 물질에 따라 제1 반도체층(310)과 제2 반도체층(320)은 더 많은 수의 층, 예컨대 클래드층(clad layer) 또는 TSBR(Tensile strain barrier reducing)층을 더 포함할 수도 있다. 이에 대한 설명은 다른 도면을 참조하여 후술하기로 한다.

[154] 활성층(330)은 제1 반도체층(310)과 제2 반도체층(320) 사이에 배치된다. 활성층(330)은 단일 또는 다중 양자 우물 구조의 물질을 포함할 수 있다. 활성층(330)이 다중 양자 우물 구조의 물질을 포함하는 경우, 양자층(Quantum layer)과 우물층(Well layer)이 서로 교번적으로 복수개 적층된 구조일 수도 있다. 활성층(330)은 제1 반도체층(310) 및 제2 반도체층(320)을 통해 인가되는 전기 신호에 따라 전자-정공 쌍의 결합에 의해 광을 발광할 수 있다. 일 예로, 활성층(330)이 청색 파장대의 광을 방출하는 경우, AlGaN, AlGaInN 등의 물질을 포함할 수 있다. 특히, 활성층(330)이 다중 양자 우물 구조로 양자층과 우물층이 교번적으로 적층된 구조인 경우, 양자층은 AlGaN 또는 AlGaInN, 우물층은 GaN 또는 AlInN 등과 같은 물질을 포함할 수 있다. 예시적인 실시예에서, 활성층(330)은 양자층으로 AlGaInN를, 우물층으로 AlInN를 포함하여 상술한 바와 같이, 활성층(330)은 중심 파장대역이 450nm 내지 495nm의 범위를 갖는 청색(Blue)광을 방출할 수 있다.

[155] 다만, 이에 제한되는 것은 아니며, 활성층(330)은 밴드갭(Band gap) 에너지가 큰 종류의 반도체 물질과 밴드갭 에너지가 작은 반도체 물질들이 서로 교번적으로 적층된 구조일 수도 있고, 발광하는 광의 파장대에 따라 다른 3족 내지 5족 반도체 물질들을 포함할 수도 있다. 활성층(330)이 방출하는 광은 청색 파장대의 광으로 제한되지 않고, 경우에 따라 적색, 녹색 파장대의 광을 방출할 수도 있다. 활성층(330)의 길이는 0.05㎛ 내지 0.10㎛의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다.

[156] 한편, 활성층(330)에서 방출되는 광은 발광 소자(300)의 길이방향 외부면뿐만 아니라, 양 측면으로 방출될 수 있다. 활성층(330)에서 방출되는 광은 하나의 방향으로 방향성이 제한되지 않는다.

[157] 전극층(370)은 오믹(Ohmic) 접촉 전극일 수 있다. 다만, 이에 제한되지 않고, 쇼트키(Schottky) 접촉 전극일 수도 있다. 발광 소자(300)는 적어도 하나의 전극층(370)을 포함할 수 있다. 도 5에서는 발광 소자(300)가 하나의 전극층(370)을 포함하는 것을 도시하고 있으나, 이에 제한되지 않는다. 경우에 따라서 발광 소자(300)는 더 많은 수의 전극층(370)을 포함하거나, 생략될 수도 있다. 후술하는 발광 소자(300)에 대한 설명은 전극층(370)의 수가 달라지거나 다른 구조를 더 포함하더라도 동일하게 적용될 수 있다.

[158] 전극층(370)은 일 실시예에 따른 표시 장치(10)에서 발광 소자(300)가 전극 또는 접촉 전극과 전기적으로 연결될 때, 발광 소자(300)와 전극 또는 접촉 전극 사이의 저항을 감소시킬 수 있다. 전극층(370)은 전도성이 있는 금속을 포함할 수 있다. 예를 들어, 전극층(370)은 알루미늄(Al), 티타늄(Ti), 인듐(In), 금(Au),

은(Ag), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin-Zinc Oxide) 중에서 적어도 어느 하나를 포함할 수 있다. 또한 전극층(370)은 n형 또는 p형으로 도핑된 반도체 물질을 포함할 수도 있다. 전극층(370)은 동일한 물질을 포함할 수 있고, 서로 다른 물질을 포함할 수도 있으며, 이에 제한되는 것은 아니다.

[159] 절연막(380)은 상술한 복수의 반도체층 및 전극층들의 외면을 둘러싸도록 배치된다. 예시적인 실시예에서, 절연막(380)은 적어도 활성층(330)의 외면을 둘러싸도록 배치되고, 발광 소자(300)가 연장된 일 방향으로 연장될 수 있다. 절연막(380)은 상기 부재들을 보호하는 기능을 수행할 수 있다. 일 예로, 절연막(380)은 상기 부재들의 측면부를 둘러싸도록 형성되되, 발광 소자(300)의 길이방향의 양 단부는 노출되도록 형성될 수 있다.

[160] 도면에서는 절연막(380)이 발광 소자(300)의 길이방향으로 연장되어 제1 반도체층(310)으로부터 전극층(370)의 측면까지 커버하도록 형성된 것을 도시하고 있으나, 이에 제한되지 않는다. 절연막(380)은 활성층(330)을 포함하여 일부의 반도체층의 외면만을 커버하거나, 전극층(370) 외면의 일부만 커버하여 각 전극층(370)의 외면이 부분적으로 노출될 수도 있다. 또한, 절연막(380)은 발광 소자(300)의 적어도 일 단부와 인접한 영역에서 단면상 상면이 라운드지게 형성될 수도 있다.

[161] 절연막(380)의 두께는 10nm 내지 1.0㎛의 범위를 가질 수 있으나, 이에 제한되는 것은 아니다. 바람직하게는 절연막(380)의 두께는 40nm 내외일 수 있다.

[162] 절연막(380)은 절연특성을 가진 물질들, 예를 들어, 실리콘 산화물(Silicon oxide, SiOx), 실리콘 질화물(Silicon nitride, SiNx), 산질화 실리콘(SiOxNy), 질화알루미늄(Aluminum nitride, AlN), 산화알루미늄(Aluminum oxide, Al_2O_3) 등을 포함할 수 있다. 이에 따라 활성층(330)이 발광 소자(300)에 전기 신호가 전달되는 전극과 직접 접촉하는 경우 발생할 수 있는 전기적 단락을 방지할 수 있다. 또한, 절연막(380)은 활성층(330)을 포함하여 발광 소자(300)의 외면을 보호하기 때문에, 발광 효율의 저하를 방지할 수 있다.

[163] 또한, 몇몇 실시예에서, 절연막(380)은 외면이 표면처리될 수 있다. 발광 소자(300)는 표시 장치(10)의 제조 시, 소정의 잉크 내에서 분산된 상태로 전극 상에 분사되어 정렬될 수 있다. 여기서, 발광 소자(300)가 잉크 내에서 인접한 다른 발광 소자(300)와 응집되지 않고 분산된 상태를 유지하기 위해, 절연막(380)은 표면이 소수성 또는 친수성 처리될 수 있다.

[164] 발광 소자(300)는 길이(h)가 1㎛ 내지 10㎛ 또는 2㎛ 내지 6㎛의 범위를 가질 수 있으며, 바람직하게는 3㎛ 내지 5㎛의 길이를 가질 수 있다. 또한, 발광 소자(300)의 직경은 300nm 내지 700nm의 범위를 갖고, 발광 소자(300)의 종횡비(Aspect ratio)는 1.2 내지 100일 수 있다. 다만, 이에 제한되지 않고, 표시 장치(10)에 포함되는 복수의 발광 소자(300)들은 활성층(330)의 조성 차이에

따라 서로 다른 직경을 가질 수도 있다. 바람직하게는 발광 소자(300)의 직경은 500nm 내외의 범위를 가질 수 있다.

[165] 한편, 상술한 바와 같이, 표시 장치(10)는 제1 전극(210)과 제2 전극(220) 사이에 배치되는 발광 소자(300)가 균일한 분포를 갖도록 서로 다른 폭을 갖는 제1 전극(210) 및 제2 전극(220)을 포함할 수 있다. 이하에서는 다른 도면을 더 참조하여 일 실시예에 따른 표시 장치(10)의 제1 전극(210)과 제2 전극(220)의 구조에 대하여 설명하기로 한다.

[166] 도 6은 일 실시예에 따른 표시 장치의 서브 화소를 가로지르는 개략적인 단면도이다. 도 7 및 도 8을 일 실시예에 따른 표시 장치의 서브 화소 상에 발광 소자가 분산된 잉크가 분사된 것을 나타내는 개략도이다.

[167] 도 6 내지 도 8에서는 일 서브 화소(PXn)를 가로지르는 개략적인 단면이 도시되어 있다. 설명의 편의를 위해 도 6 내지 도 8에서는 각 서브 화소(PXn)에 배치되는 외부 뱅크(430), 내부 뱅크(410, 420) 및 제1 전극(210)과 제2 전극(220)만이 도시하였다. 다만, 다른 부재들, 예컨대 절연층(510, 520), 접촉 전극(261, 262)등이 도시되지 않더라도, 이하에서 서술되는 설명은 이들을 포함한 실시예에도 동일하게 적용될 수 있음은 자명하다.

[168] 도 6 내지 도 8을 참조하면, 각 서브 화소(PXn)는 복수의 외부 뱅크(430)와 복수의 내부 뱅크(410, 420)가 배치될 수 있다. 외부 뱅크(430)는 이웃하는 서브 화소(PXn)와의 경계에 배치될 수 있다. 도면을 기준으로, 일 측에 위치한 외부 뱅크(430)는 제1 외부 뱅크이고, 타 측에 위치한 외부 뱅크(430)는 제2 외부 뱅크일 수 있다. 제1 외부 뱅크와 제2 외부 뱅크는 각각 서브 화소(PXn)들의 경계에 배치되고, 이들이 이격된 영역 사이에는 서브 화소(PXn)의 화소 중앙선(CPL)이 정의될 수 있다. 제1 외부 뱅크와 제2 외부 뱅크는 각각 화소 중앙선(CPL)으로부터 동일한 간격으로 이격되어 배치될 수 있다.

[169] 복수의 내부 뱅크(410, 420)들은 외부 뱅크(430)들, 즉 제1 외부 뱅크와 제2 외부 뱅크 사이에 배치될 수 있다. 상술한 바와 같이, 내부 뱅크(410, 420)들 상에는 각각 제1 전극(210)과 제2 전극(220)이 배치된다. 이에 따라, 제1 전극(210)과 제2 전극(220)은 외부 뱅크(430)들 사이에 배치될 수 있다. 각 서브 화소(PXn)에는 발광 소자(300)들이 배치되는 영역과 발광 소자(300)들이 배치되지 않는 영역이 정의될 수 있다. 몇몇 실시예에서, 각 서브 화소(PXn)는 제1 전극(210)과 제2 전극(220) 사이의 정렬 영역(AA1, AA2)과, 제1 전극(210) 또는 제2 전극(220)과 외부 뱅크(430) 사이의 비정렬 영역(NAA)이 정의될 수 있다. 정렬 영역(AA1, AA2)과 비정렬 영역(NAA)은 각 전극(210, 220)과 외부 뱅크(430) 사이의 공간을 포함하여, 각 전극(210, 220)의 일부를 포함한 영역으로 정의될 수 있다. 도면에 도시된 바와 같이, 정렬 영역(AA1, AA2) 및 비정렬 영역(NAA)은 제1 전극(210)과 제2 전극(220)의 중심부를 기준으로 정의될 수 있다. 복수의 발광 소자(300)들은 정렬 영역(AA1, AA2) 내에 배치되어 제1 전극(210) 및 제2 전극(220)과 전기적으로 연결될 수 있다. 비정렬 영역(NAA)에서는 발광

소자(300)들이 배치되지 않거나, 배치되더라도 제1 전극(210) 또는 제2 전극(220)과 전기적으로 연결되지 않을 수 있다.

[170] 예시적인 실시예에서, 제2 내부 뱅크(420)의 중심부는 화소 중앙선(CPL)과 동일선 상에 놓이고, 제2 전극(220)의 중심부도 화소 중앙선(CPL)과 동일선 상에 놓일 수 있다. 또한, 제1 전극(210)은 제2 전극(220)의 양 측과 이격되어 각각 하나씩 배치될 수 있다. 도면에 도시된 바와 같이, 각 서브 화소(PXn)에는 하나의 제2 전극(220)과 2개의 제1 전극(210)이 배치되고, 제2 전극(220)은 제1 전극(210) 사이에 배치될 수 있다. 제2 전극(220)의 중심부는 화소 중앙선(CPL)과 동일선 상에 놓이고, 제1 전극(210)과 제2 전극(220)은 화소 중앙선(CPL)을 기준으로 서로 대칭적으로 배치될 수 있다. 이에 따라, 제1 전극(210)의 중심부와 제2 전극(220)의 중심부 사이에는 발광 소자(300)들이 배치되는 제1 정렬 영역(AA1)과 제2 정렬 영역(AA2)이 위치하고, 제1 전극(210)의 중심부와 외부 뱅크(430)들 사이에는 비정렬 영역(NAA)이 위치할 수 있다.

[171] 다만, 이에 제한되는 것은 아니며 경우에 따라서 화소 중앙선(CPL)과 제1 전극(210) 및 제2 전극(220)은 중첩하지 않고 이격될 수 있다. 이에 대한 설명은 다른 실시예가 참조된다.

[172] 표시 장치(10)의 제조 공정 중에서, 발광 소자(300)들은 잉크(S) 내에 분산된 상태로 각 서브 화소(PXn)의 전극(210, 220)들 상에 분사될 수 있다. 도 7에 도시된 바와 같이, 각 서브 화소(PXn)에 분사된 잉크(S)는 외부 뱅크(430)에 의해 구획된 영역 내에 위치하게 된다. 복수의 전극(210, 220)들과 외부 뱅크(430)들이 이격되어 배치됨에 따라 각 서브 화소(PXn) 내에는 이들이 이격된 영역이 구분될 수 있다. 발광 소자(300)는 잉크(S) 내에서 균일한 분포로 분산될 수 있기 때문에, 전극(210, 220)과 외부 뱅크(430)들이 이격된 영역의 면적, 또는 부피에 따라 각 영역 내에 위치하는 발광 소자(300)의 개수가 달라질 수 있다.

[173] 비정렬 영역(NAA)의 면적 또는 부피가 정렬 영역(AA1, AA2)의 면적 또는 부피보다 클 경우, 잉크(S) 내에 분산된 발광 소자(300)들 중 비정렬 영역(NAA)에 위치하는 수가 정렬 영역(AA1, AA2)의 경우보다 클 수 있다. 이 경우, 각 서브 화소(PXn)에 분사된 발광 소자(300)들 중 정렬 영역(AA1, AA2) 내에 배치되어 제1 전극(210)과 제2 전극(220)에 전기적으로 연결되는 발광 소자(300)의 수보다 비정렬 영역(NAA)에 배치되어 전극(210, 220)들과 전기적으로 연결되지 않는 발광 소자(300)의 수가 더 커질 수 있다. 또한, 더 많은 수의 전극(210, 220)들이 배치되고, 더 많은 수의 정렬 영역(AA1, AA2)들이 정의되는 경우, 각 정렬 영역(AA1, AA2)들에 배치된 발광 소자(300)들의 수가 균일하지 않을 수 있다.

[174] 일 실시예에 따른 표시 장치(10)는 서로 다른 폭을 갖는 제1 전극(210)과 제2 전극(220)을 포함하여 각 서브 화소(PXn)에 정의되는 정렬 영역(AA1, AA2)의 면적 또는 부피가 비정렬 영역(NAA)의 면적 또는 부피보다 클 수 있다.

[175] 몇몇 실시예에 따르면, 표시 장치(10)는 외부 뱅크(430)들 사이에 배치되어 화소 중앙선(CPL)과 인접하여 배치된 내부 전극들과, 상기 내부 전극들과

이격되고 화소 중앙선(CPL)과 이격된 간격이 내부 전극들보다 큰 외부 전극을 포함할 수 있다. 외부 전극은 내부 전극보다 외부 뱅크(430)에 인접하여 배치될 수 있다. 도 7에서는 제2 전극(220)이 내부 전극이고, 제1 전극(210)들이 외부 전극일 수 있다. 비정렬 영역(NAA)은 외부 전극과 외부 뱅크(430)들 사이의 영역이고, 정렬 영역(AA1, AA2)은 외부 전극과 내부 전극들 사이의 영역들일 수 있다.

[176] 정렬 영역(AA1, AA2)과 비정렬 영역(NAA)이 각 전극(210, 220)의 중심부를 기준으로 정의됨에 따라, 각 전극(210, 220)의 폭을 조절하여 비정렬 영역(NAA)의 폭, 면적 또는 부피를 조절할 수 있다. 일 실시예에 따르면, 내부 전극의 폭은 외부 전극의 폭과 다를 수 있고, 몇몇 실시예에서 내부 전극의 폭은 외부 전극의 폭보다 클 수 있다. 즉, 내부 전극인 제2 전극(220)의 폭(W220)은 외부 전극인 제1 전극(210)의 폭(W210)보다 클 수 있다. 서브 화소(PXn)의 폭이 일정할 경우, 내부 전극의 폭이 더 커짐에 따라 외부 전극과 외부 뱅크(430) 사이의 폭이 좁아질 수 있다.

[177] 몇몇 실시예에서, 외부 뱅크(430)와 외부 전극 사이의 간격은 외부 전극과 화소 중앙선(CPL) 사이의 간격보다 작을 수 있다. 또는, 제1 전극(210)의 중심부와 외부 뱅크(430) 사이의 간격은 제1 전극(210)의 중심부와 상기 제2 전극(220)의 중심부 사이의 간격보다 작을 수 있다. 이에 따라 제1 전극(210)과 제2 전극(220) 사이의 영역인 제1 정렬 영역(AA1) 및 제2 정렬 영역(AA2)의 폭은 제1 전극(210)과 외부 뱅크(430) 사이의 영역인 비정렬 영역(NAA)의 폭보다 클 수 있다.

[178] 표시 장치(10)의 제조 공정 중, 발광 소자(300)들이 분산된 잉크(S)가 전극(210, 220)들 상에 분사되면, 외부 뱅크(430) 사이에서 전극(210, 220) 상에 균일한 분포로 발광 소자(300)들이 위치할 수 있다. 일정한 폭을 갖는 서브 화소(PXn)에서 내부 전극인 제2 전극(220)의 폭이 더 커짐에 따라 외부 전극인 제1 전극(210)과 외부 뱅크(430) 사이의 폭보다 더 넓을 수 있다. 잉크(S) 내에서 균일하게 분포된 발광 소자(300)들은 외부 전극과 외부 뱅크(430) 사이의 영역보다 외부 전극과 내부 전극들 사이의 영역에 더 많은 수가 위치할 수 있다. 내부 전극과 외부 전극들 사이에 배치되는 발광 소자(300)의 수는 외부 전극과 외부 뱅크(430) 사이에 배치되는 발광 소자(300)의 수보다 클 수 있다.

[179] 이후, 도 8에 도시된 바와 같이, 각 전극들, 예컨대 외부 전극인 제1 전극(210)과 내부 전극인 제2 전극(220)에 전기 신호를 인가하면, 이들 사이에는 전기장이 형성된다. 발광 소자(300)들은 상기 전기장에 의해 유전영동힘을 전달 받을 수 있고, 잉크(S) 내에서 제1 전극(210)과 제2 전극(220) 사이에 정렬될 수 있다. 잉크(S) 내에 분산된 발광 소자(300)들 중 대부분의 수가 더 넓은 면적을 차지하는 제1 전극(210)과 제2 전극(220) 사이에 배치될 수 있다. 일 실시예에 따른 표시 장치(10)는 전극들 사이에 배치되어 이들과 전기적으로 연결되는 발광 소자(300)의 수를 증가시켜 표시 장치(10)의 제조 효율을 증가시킬 수 있고,

복수의 전극들이 배치되는 경우 발광 소자(300)들을 균일한 분포로 배치시킬 수 있다.

[180] 각 서브 화소(PXn)의 전극(210, 220)들에 대하여 구체적으로 설명하면, 제1 전극(210)의 제1 폭(W210), 제2 전극(220)의 제2 폭(W220), 외부 전극인 제1 전극(210)과 외부 뱅크(430) 사이의 제1 간격(WD), 및 제1 전극(210)과 제2 전극(220) 사이의 제2 간격(WA)이 정의될 수 있다. 각 전극(210, 220)의 폭과 외부 뱅크(430) 사이의 간격들은 하기 식 1을 만족할 수 있다. 하기 식 1에서 'WE'는 제1 전극(210)의 제1 폭(W210) 또는 제2 전극(220)의 제2 폭(W220)일 수 있다.

[181] [식 1]

[182] WD<WA+WE/2

[183] (여기서, 상기 'WD'는 제1 전극(210)과 외부 뱅크(430) 사이의 제1 간격이고, 상기 'WA'는 제1 전극(210)과 제2 전극(220) 사이의 제2 간격이고, 상기 'WE'는 제1 전극 또는 제2 전극의 폭이다.)

[184] 도 6에 도시된 바와 같이, 화소 중앙선(CPL)을 기준으로 일 측에 위치하는 제1 외부 뱅크, 제1 전극(210) 및 제2 전극(220)을 기준으로 설명하면, 화소 중앙선(CPL)의 일 측에는 제1 정렬 영역(AA1)과 비정렬 영역(NAA)이 위치할 수 있다. 발광 소자(300)들이 제1 정렬 영역(AA1)에 더 많이 배치되도록 제1 정렬 영역(AA1)의 폭이 비정렬 영역(NAA)보다 클 수 있다. 일 실시예에 따르면, 외부 전극인 제1 전극(210)을 기준으로, 제1 전극(210)과 제1 외부 뱅크(430) 사이의 제1 간격(WD)은 외부 전극인 제1 전극(210)과 내부 전극인 제2 전극(220) 사이의 제2 간격(WA)과 제2 전극(220)의 제2 폭(W220)의 절반의 합보다 작을 수 있다.

[185] 외부 전극인 제1 전극(210)을 기준으로, 제1 외부 뱅크(430)와 대향하는 일 측은 비정렬 영역(NAA)이고, 제2 전극(220)과 대향하는 타 측은 제1 정렬 영역(AA1)이다. 제1 정렬 영역(AA1)의 폭이 비정렬 영역(NAA)보다 크기 위해, 내부 전극인 제2 전극(220)의 폭을 조절할 수 있다. 제1 전극(210) 및 제2 전극(220)이 상기 식 1을 만족하는 경우 제1 외부 뱅크와 외부 전극인 제1 전극(210) 사이의 영역을 최소화하여 제1 정렬 영역(AA1)은 비정렬 영역(NAA)보다 큰 면적을 가질 수 있다. 상기 식 1에서 'WE'는 내부 전극의 폭일 수 있다. 도 6에서는 내부 전극이 제2 전극(220)인 경우만이 도시되어 있으나, 경우에 따라서 제1 전극(210)이 내부 전극이고, 외부 전극이 제2 전극(220)일 수 있다.

[186] 한편, 발광 소자(300)는 일 방향으로 연장된 형상을 갖고, 제1 전극(210)과 제2 전극(220) 사이에서 상기 일 방향이 비아층(200)의 상면과 평행하게 배치될 수 있다. 일 실시예에 따르면, 제1 전극(210)과 제2 전극(220) 사이의 간격(WA)은 발광 소자(300)의 길이(h)보다 작을 수 있다. 정렬 영역(AA1, AA2) 내에 배치되는 발광 소자(300)들은 일 단부가 제1 전극(210)과 전기적으로 연결되고, 타 단부는 제2 전극(220)과 전기적으로 연결될 수 있다. 몇몇 실시예에서, 제1 전극(210)과 제2 전극(220) 사이의 간격(WA)은 발광 소자(300)의 길이(h)보다 작고, 발광

소자(300)는 양 단부가 각각 제1 전극(210)과 제2 전극(220) 상에 위치할 수 있다.

[187] 제1 전극(210)과 제2 전극(220), 또는 내부 전극과 외부 전극의 제1 폭(W210) 및 제2 폭(W220)의 관계는 상기 식 1을 만족하는 범위 내에서 달라질 수 있다. 일 예로, 내부 전극의 폭이 외부 전극의 폭보다 작을 수 있다.

[188] 도 9는 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다. 도 10은 도 9의 표시 장치의 서브 화소를 가로지르는 개략적인 단면도이다.

[189] 도 9 및 도 10을 참조하면, 일 실시예에 따른 표시 장치(10_1)는 내부 전극의 폭이 외부 전극의 폭보다 작을 수 있다. 즉, 내부 전극인 제2 전극(220_1)의 제2 폭(W220_1)은 외부 전극인 제1 전극(210_1)의 제1 폭(W210_1)보다 작을 수 있다. 본 실시예에 따른 표시 장치(10_1)는 내부 전극이 외부 전극보다 폭이 좁은 점에서 도 6의 표시 장치(10)와 차이가 있다. 이하에서는 중복되는 설명은 생략하고 차이점을 중심으로 서술하기로 한다.

[190] 표시 장치(10_1)의 각 서브 화소(PXn)는 일정한 폭을 가질 수 있다. 즉, 외부 뱅크(430)들 사이의 간격은 일정하고, 제1 전극(210_1)과 제2 전극(220_1)의 폭을 조절하여 외부 전극과 외부 뱅크(430) 사이의 간격인 제1 간격(WD)을 조절할 수 있다. 도면에 도시된 바와 같이, 외부 전극인 제1 전극(210_1)의 제1 폭(W210_1)은 내부 전극인 제2 전극(220_1)의 제2 폭(W220_1)보다 클 수 있다. 다만, 도 6과 동일하게 제1 전극(210_1)과 제2 전극(220_1)은 상기 식 1을 만족할 수 있다. 여기서 'WE'는 내부 전극인 제2 전극(220_1)의 제2 폭(W220_1)일 수 있다.

[191] 상술한 바와 같이, 표시 장치(10_1)의 각 서브 화소(PXn)는 일정한 폭을 갖기 때문에, 내부 전극 또는 외부 전극의 폭을 조절함으로써 외부 전극과 외부 뱅크(430) 사이의 제1 간격(WD)을 조절할 수 있고, 나아가 비정렬 영역(NAA)과 정렬 영역(AA1, AA2)의 폭을 조절할 수 있다. 또한, 제1 전극(210)과 제2 전극(220), 또는 내부 전극과 외부 전극 사이의 발광 소자(300)가 배치되는 제2 간격(WA)은 일정한 폭을 갖는다. 발광 소자(300)의 양 단부가 각각 제1 전극(210) 및 제2 전극(220) 상에 배치될 수 있도록 상기 제2 간격(WA)은 발광 소자(300)의 길이(h)보다 작을 수 있다. 이에 따라, 일 실시예에 따른 표시 장치(10)는 내부 전극 또는 외부 전극, 제1 전극(210) 또는 제2 전극(220)의 폭을 조절하여 많은 수의 발광 소자(300)가 정렬 영역(AA1, AA2) 내에 배치될 수 있다.

[192] 이하, 다른 도면을 참조하여 다양한 실시예에 따른 표시 장치(10)에 대하여 설명하기로 한다.

[193] 도 11은 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다. 도 12는 도 11의 표시 장치의 서브 화소를 가로지르는 개략적인 단면도들이다.

[194] 도 11 및 도 12를 참조하면, 일 실시예에 따른 표시 장치(10_2)는 더 많은 수의 제1 전극(210_2) 및 제2 전극(220_2)을 포함할 수 있다. 도 11 및 도 12의 표시 장치(10_2)는 각 서브 화소(PXn) 마다 3개의 제1 전극(210_2)과 2개의 제2 전극(220_2)을 포함하고, 이들은 서로 교번적으로 배치될 수 있다. 또는 표시

장치(10_2)는 하나의 제1 전극 줄기부(210S_2)와 이로부터 분지된 3개의 제1 전극 가지부(210B_2) 및 하나의 제2 전극 줄기부(220S_2)와 이로부터 분지된 2개의 제2 전극 가지부(220B_2)를 포함할 수 있다. 본 실시예에 따른 표시 장치(10_2)는 각 서브 화소(PXn)에 배치된 제1 전극(210_2) 및 제2 전극(220_2) 또는 제1 전극 가지부(210B_2) 및 제2 전극 가지부(220B_2)가 상이한 점에서 도 6의 표시 장치(10)와 차이가 있다. 이하에서는 중복되는 설명은 생략하고, 차이점을 중심으로 설명하기로 한다.

[195] 도 11 및 도 12의 표시 장치(10_2)는 더 많은 수의 제1 전극(210_2)과 제2 전극(220_2)을 포함한다. 외부 뱅크(430)와 대향하는 외부 전극은 제1 전극(210_2)이고, 내부 전극은 2개의 제2 전극(220_2)과 하나의 제1 전극(210_2)일 수 있다. 도 6과 같이, 도 11 및 도 12의 표시 장치(10_2)의 경우에도 외부 전극과 외부 뱅크(430) 사이에는 비정렬 영역(NAA)이 위치할 수 있다. 다만, 외부 전극과 내부 전극 사이에는 더 많은 수의 정렬 영역(AA1, AA2)이 위치할 수 있다. 일 실시예에서, 복수의 내부 전극들 사이에도 발광 소자(300)들이 배치되고, 정렬 영역(AA1, AA2)은 내부 전극들 사이의 제1 정렬 영역(AA1) 및 내부 전극과 외부 전극 사이의 제2 정렬 영역(AA2)을 포함할 수 있다. 화소 중앙선(CPL)은 내부 전극 중 하나의 제1 전극(210_2)의 중심부와 동일선 상에 놓일 수 있다.

[196] 화소 중앙선(CPL)을 기준으로, 일 측에는 제1 정렬 영역(AA1), 제2 정렬 영역(AA2) 및 비정렬 영역(NAA)이 순차적으로 위치하고, 이들은 화소 중앙선(CPL)의 타 측에도 위치할 수 있다. 상술한 바와 같이, 내부 전극의 폭은 외부 전극의 폭보다 넓을 수 있고, 상기 식 1을 만족할 수 있다. 이에 따라 비정렬 영역(NAA)의 폭보다 정렬 영역(AA1, AA2)의 폭이 더 넓을 수 있다.

[197] 일 실시예에 따르면, 복수의 내부 전극들은 서로 다른 폭을 가질 수 있다. 내부 전극은 중심부가 화소 중앙선(CPL)과 동일선 상에 놓이는 제1 내부 전극, 즉 제1 전극(210_2)과, 제1 전극(210_2)의 양 측과 각각 이격된 복수의 제2 내부 전극, 즉 제2 전극(220_2)을 포함할 수 있고, 제1 전극(210_2)과 제2 전극(220_2)은 서로 다른 폭을 가질 수 있다. 여기서, 내부 전극인 제2 전극(220_2)의 폭(W220_2)은 내부 전극인 제1 전극(210_2)의 폭(W210_2)보다 크되, 외부 전극의 폭보다 작을 수 있다. 즉, 내부 전극과 외부 전극은 화소 중앙선(CPL)을 기준으로 외부 뱅크(430)로 갈수록 전극의 폭이 작아질 수 있다.

[198] 이에 따라, 제1 정렬 영역(AA1)의 폭은 제2 정렬 영역(AA2)의 폭보다 클 수 있다. 또한, 일 실시예에 따르면, 외부 뱅크(430)와 외부 전극인 제1 전극(210_2) 사이의 간격, 즉 제1 간격(WD)은 외부 전극인 제1 전극(210_2)의 중심부와 제2 전극(220_2)의 중심부 사이의 간격보다 작을 수 있다. 제2 정렬 영역(AA2)은 제1 정렬 영역(AA1)보다 폭이 작되, 비정렬 영역(NAA)의 폭보다는 클 수 있다.

[199] 각 서브 화소(PXn)에 더 많은 수의 전극들이 배치되는 경우, 발광 소자(300)들이 배치되는 정렬 영역(AA1, AA2)의 수가 증가할 수 있다. 상술한

바와 같이, 외부 전극과 외부 뱅크(430) 사이의 비정렬 영역(NAA)이 정렬 영역(AA1, AA2)보다 넓을 경우, 잉크(S)에 분산된 발광 소자(300)들 중 정렬 영역(AA1, AA2)에 위치하는 발광 소자(300)의 수가 적어질 수 있다. 또한, 비정렬 영역(NAA)으로부터 이격된 거리에 따라 정렬 영역(AA1, AA2) 별로 배치되는 발광 소자(300)의 분포가 달라질 수 있다. 잉크(S) 내에서 비정렬 영역(NAA)에 위치하는 발광 소자(300)의 수가 더 많기 때문에 이와 인접한 제2 정렬 영역(AA2)이 제1 정렬 영역(AA1)보다 더 많은 수의 발광 소자(300)가 배치될 수 있다.

[200] 일 실시예에 따른 표시 장치(10_2)는 내부 전극과 외부 전극의 폭을 조절함으로써 비정렬 영역(NAA)의 폭을 최소화하여 정렬 영역(AA1, AA2)에 더 많은 수의 발광 소자(300)가 배치될 수 있다. 나아가, 발광 소자(300)는 제1 정렬 영역(AA1)과 제2 정렬 영역(AA2)에 균일하게 배치될 수 있다.

[201] 또한, 상술한 바와 같이, 내부 전극의 폭은 외부 전극의 폭보다 작을 수도 있다.

[202] 도 13은 도 11의 표시 장치의 다른 실시예에 따른 서브 화소를 가로지르는 개략적인 단면도들이다.

[203] 도 13을 참조하면, 표시 장치(10_2)는 내부 전극의 폭이 외부 전극의 폭보다 작을 수 있다. 복수의 내부 전극을 포함하는 표시 장치(10_2)는 외부 전극으로부터 내부 전극으로 갈수록 폭이 작아질 수 있다. 도 13의 표시 장치(10_2)는 도 12의 표시 장치(10_2)에서 내부 전극과 외부 전극의 폭 관계가 반대인 점에서 차이가 있다. 도 13의 표시 장치(10_2)는 도 12의 표시 장치(10_2)에 도 9의 표시 장치(10)를 부가한 것과 동일하다. 이에 대한 자세한 설명은 생략하기로 한다.

[204] 한편, 도 5 및 도 11의 표시 장치(10, 10_2)들은 각 서브 화소(PXn)가 홀수개의 전극(210, 220)을 포함할 수 있다. 다만, 이에 제한되지 않으며 경우에 따라서 짝수개의 전극을 포함할 수도 있다.

[205] 도 14는 또 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다. 도 15는 도 14의 표시 장치의 서브 화소를 가로지르는 개략적인 단면도들이다.

[206] 도 14 및 도 15를 참조하면, 일 실시예에 따른 표시 장치(10_3)는 각 서브 화소(PXn)마다 2개의 제1 전극(210_3)과 2개의 제2 전극(220_3)을 포함하고, 이들은 서로 교번적으로 배치될 수 있다. 또는 표시 장치(10_3)는 하나의 제1 전극 줄기부(210S_3)와 이로부터 분지된 2개의 제1 전극 가지부(210B_3) 및 하나의 제2 전극 줄기부(220S_3)와 이로부터 분지된 2개의 제2 전극 가지부(220B_3)를 포함할 수 있다. 본 실시예에 따른 표시 장치(10_3)는 각 서브 화소(PXn)에 배치된 제1 전극(210_3) 및 제2 전극(220_3) 또는 제1 전극 가지부(210B_3) 및 제2 전극 가지부(220B_3)가 상이한 점에서 도 6의 표시 장치(10)와 차이가 있다. 이하에서는 중복되는 설명은 생략하고, 차이점을 중심으로 설명하기로 한다.

[207] 도 14 및 도 15의 표시 장치(10_3)는 더 많은 수의 제1 전극(210_3)과 제2

전극(220_3)을 포함한다. 외부 뱅크(430)와 대향하는 외부 전극과 내부 전극은 각각 하나의 제1 전극(210_3)과 하나의 제2 전극(220_3)일 수 있다. 도 6과 같이, 도 14 및 도 15의 표시 장치(10_3)의 경우에도 외부 전극과 외부 뱅크(430) 사이에는 비정렬 영역(NAA)이 위치할 수 있다. 다만, 외부 전극과 내부 전극 사이에는 더 많은 수의 정렬 영역(AA1, AA2)이 위치할 수 있다. 일 실시예에서, 복수의 내부 전극들 사이에도 발광 소자(300)들이 배치되고, 정렬 영역(AA1, AA2)은 내부 전극들 사이의 제1 정렬 영역(AA1) 및 내부 전극과 외부 전극 사이의 제2 정렬 영역(AA2)을 포함할 수 있다.

[208] 일 실시예에 따르면, 내부 전극은 제1 내부 전극과 제2 내부 전극을 포함하고, 이들은 화소 중앙선(CPL)을 기준으로 상호 이격될 수 있다. 즉, 내부 전극은 화소 중앙선(CPL)을 기준으로 서로 이격된 하나의 제1 전극(210_3)과 하나의 제2 전극(220_3)일 수 있다. 외부 전극은 다른 하나의 제1 전극(210_3)과 다른 하나의 제2 전극(220_3)일 수 있다. 내부 전극인 하나의 제1 전극(210_3)과 하나의 제2 전극(220_3)은 동일할 수 있으며, 외부 전극인 다른 하나의 제1 전극(210_3)과 다른 하나의 제2 전극(220_3)의 폭보다 클 수 있다. 도면에 도시된 바와 같이, 화소 중앙선(CPL)을 기준으로, 외부 전극인 제1 전극(210_3)은 내부 전극인 제2 전극(220_3)과 외부 뱅크(430) 상에 배치될 수 있다. 외부 전극인 제1 전극(210_3)은 내부 전극인 제2 전극(220_3)의 폭보다 작을 수 있다.

[209] 제1 정렬 영역(AA1)은 화소 중앙선(CPL)과 중첩하여 위치하고, 제2 정렬 영역(AA2)은 제1 정렬 영역(AA1)의 일 측과 타 측에 위치할 수 있다. 화소 중앙선(CPL)을 기준으로, 일 측에는 제1 정렬 영역(AA1)의 일부, 제2 정렬 영역(AA2) 및 비정렬 영역(NAA)이 순차적으로 위치하고, 이들은 화소 중앙선(CPL)의 타 측에도 위치할 수 있다. 상술한 바와 같이, 내부 전극의 폭은 외부 전극의 폭보다 넓을 수 있고, 상기 식 1을 만족할 수 있다. 이에 따라 비정렬 영역(NAA)의 폭보다 정렬 영역(AA1, AA2)의 폭이 더 넓을 수 있다.

[210] 일 실시예에 따르면, 복수의 내부 전극들은 서로 다른 폭을 가질 수 있다. 내부 전극은 화소 중앙선(CPL)을 기준으로 상호 이격되는 제1 내부 전극, 즉 제1 전극(210_3)과, 제2 내부 전극, 즉 제2 전극(220_3)을 포함할 수 있고, 제1 전극(210_3)과 제2 전극(220_3)은 서로 같은 폭을 가질 수 있다. 여기서, 내부 전극인 제1 전극(210_3)의 폭(W210_3)은 내부 전극인 제2 전극(220_2)의 폭(W220_3)과 같고, 외부 전극의 폭보다 클 수 있다. 즉, 내부 전극과 외부 전극은 화소 중앙선(CPL)을 기준으로 외부 뱅크(430)로 갈수록 전극의 폭이 작아질 수 있다.

[211] 이에 따라, 제1 정렬 영역(AA1)의 폭은 제2 정렬 영역(AA2)의 폭보다 클 수 있다. 또한, 일 실시예에 따르면, 외부 뱅크(430)와 외부 전극인 제1 전극(210_3) 또는 제2 전극(220_3) 사이의 간격, 즉 제1 간격(WD)은 외부 전극인 제1 전극(210_3)의 중심부와 제2 전극(220_3)의 중심부 사이의 간격보다 작을 수 있다. 제2 정렬 영역(AA2)은 제1 정렬 영역(AA1)보다 폭이 작되, 비정렬

영역(NAA)의 폭보다는 클 수 있다.

[212] 도 15의 표시 장치(10_3)는 전극(210_3, 220_3)의 수가 짝수개인 점을 제외하고는 도 12의 표시 장치(10_2)와 동일하다. 도 15의 표시 장치(10_3)는 화소 중앙선(CPL)이 전극(210, 220)과 중첩하지 않고, 내부 전극은 화소 중앙선(CPL)을 기준으로 이격될 수 있다. 그 이외의 구조 및 배치에 관한 설명은 도 11을 참조하여 상술한 바와 실질적으로 동일한 바, 자세한 설명은 생략한다.

[213] 도 16은 도 14의 표시 장치의 다른 실시예에 따른 서브 화소를 가로지르는 개략적인 단면도들이다. 도 16을 참조하면, 표시 장치(10_3)는 내부 전극의 폭이 외부 전극의 폭보다 작을 수 있다. 복수의 내부 전극을 포함하는 표시 장치(10_3)는 외부 전극으로부터 내부 전극으로 갈수록 폭이 작아질 수 있다. 도 16의 표시 장치(10_3)는 도 15의 표시 장치(10_3)에서 내부 전극과 외부 전극의 폭 관계가 반대인 점에서 차이가 있다. 도 16의 표시 장치(10_3)는 도 15의 표시 장치(10_3)에 도 9의 표시 장치(10)를 부가한 것과 동일하다. 이에 대한 자세한 설명은 생략하기로 한다.

[214] 한편, 표시 장치(10)는 제1 전극(210)과 제2 전극(220)의 전극 줄기부(210S, 220S)가 생략될 수 있다.

[215] 도 17 및 도 18은 다른 실시예에 따른 표시 장치의 서브 화소를 나타내는 평면도이다.

[216] 도 17 및 도 18을 참조하면, 표시 장치(10)는 제1 전극(210)과 제2 전극(220)이 일 방향, 즉 제2 방향(DR2)으로 연장되어 배치될 수 있다. 즉, 제1 전극(210)과 제2 전극(220)은 제1 방향(DR1)으로 연장된 전극 줄기부(210S, 220S)들이 생략될 수 있다. 본 실시예들에 따른 표시 장치(10)는 전극 줄기부(210S, 220S)가 생략된 점에서 도 2의 표시 장치(10)와 차이가 있다. 도 17의 Xa-Xa'선, Xb-Xb'선 및 Xc-Xc'선을 따라 자른 단면은 도 3과 실질적으로 동일할 수 있다. 이하에서는 중복되는 설명은 생략하고 차이점을 중심으로 설명하기로 한다.

[217] 먼저, 도 17에 도시된 바와 같이, 복수의 제1 전극(210)과 제2 전극(220)은 각 서브 화소(PXn) 내에서 제2 방향(DR2)으로 연장될 수 있다. 외부 뱅크(430)의 경우에도 제2 방향(DR2)으로 연장될 수 있다. 제2 전극(220)과 외부 뱅크(430)는 제2 방향(DR2)으로 이웃하는 다른 서브 화소(PXn)에도 연장될 수 있다. 이에 따라 제2 방향(DR2)으로 이웃하는 각 서브 화소(PXn)들은 제2 전극(220)으로부터 동일한 전기 신호를 전달 받을 수 있다.

[218] 도 2의 표시 장치(10)와 달리, 도 17의 표시 장치(10)는 제2 전극(220) 마다 제2 전극 컨택홀(CNTS)이 배치될 수 있다. 각 서브 화소(PXn) 마다 위치하는 제2 전극 컨택홀(CNTS)을 통해 제2 전극(220)은 회로소자층(PAL)의 전원 전극(162)과 전기적으로 연결될 수 있다.

[219] 반면에, 제1 전극(210)은 제2 방향(DR2)으로 연장되되 각 서브 화소(PXn)의 경계에서 종지할 수 있다. 제2 방향(DR2)으로 이웃하는 각 서브 화소(PXn)들은 서로 이격된 제1 전극(210)을 각각 포함하고, 이들은 제1 전극 컨택홀(CNTD)을

통해 서로 다른 전기 신호를 전달 받을 수 있다. 이러한 제1 전극(210)의 형상은 제2 방향(DR2)으로 연장되어 배치되었다가 표시 장치(10)의 제조 공정 중 이웃하는 서브 화소(PXn)의 경계에서 단선됨으로써 형성된 것일 수 있다.

[220] 외부 뱅크(430)는 제1 방향(DR1)으로 이웃한 서브 화소(PXn)들의 경계에 배치되어 제2 방향(DR2)으로 연장될 수 있다. 도면에 도시하지 않았으나, 외부 뱅크(430)는 제2 방향(DR2)으로 이웃한 서브 화소(PXn)들의 경계에 배치되어 제1 방향(DR1)으로 연장될 수도 있다. 외부 뱅크(430)에 대한 설명은 도 2를 참조하여 상술한 바와 동일하다.

[221] 도면에서는 3개의 제1 전극(210)과 2개의 제2 전극(220)이 배치되고, 이들이 서로 교번적으로 이격된 것이 도시되어 있다. 다만, 이에 제한되지 않고 표시 장치(10)는 일부 전극들이 생략되거나 더 많은 수의 전극이 배치될 수 있다.

[222] 다음으로, 도 18의 표시 장치(10)는 하나의 서브 화소(PXn) 내에 제2 방향(DR2)으로 연장된 2개의 제1 전극(210)과 2개의 제2 전극(220)이 배치될 수 있다. 본 실시예에 따른 표시 장치(10)는 하나의 제1 전극(210)이 생략된 점에도 도 17의 표시 장치(10)와 차이가 있다. 이 경우, 내부 전극과 외부 전극은 각각 하나의 제1 전극(210)과 하나의 제2 전극(220)을 포함할 수 있다. 외부 뱅크(430)는 각각 하나의 제1 전극(210) 및 하나의 제2 전극(220)과 대향할 수 있다. 이 외에 도 18의 표시 장치(10)에 대한 구체적인 설명은 도 14 및 도 17을 참조하여 상술한 바와 동일한 바, 이하 생략하기로 한다.

[223] 한편, 발광 소자(300)의 구조는 도 5에 도시된 바에 제한되지 않고, 다른 구조를 가질 수도 있다.

[224] 도 19는 다른 실시예에 따른 발광 소자의 개략도이다.

[225] 도 19를 참조하면, 발광 소자(300')는 일 방향으로 연장된 형상을 갖되, 부분적으로 측면이 경사진 형상을 가질 수 있다. 즉, 일 실시예에 따른 발광 소자(300')는 부분적으로 원추형의 형상을 가질 수 있다.

[226] 발광 소자(300')는 복수의 층들이 일 방향으로 적층되지 않고, 각 층들이 어느 다른 층의 외면을 둘러싸도록 형성될 수 있다. 도 19의 발광 소자(300')는 복수의 반도체층들이 어느 다른 층의 외면 중 적어도 일부를 둘러싸도록 형성될 수 있다. 발광 소자(300)는 적어도 일부 영역이 일 방향으로 연장된 반도체 코어와 이를 둘러싸도록 형성된 절연막(380')을 포함할 수 있다. 상기 반도체 코어는 제1 반도체층(310'), 활성층(330'), 제2 반도체층(320') 및 전극층(370')을 포함할 수 있다. 도 19의 발광 소자(300')는 각 층들의 형상이 일부 상이한 것을 제외하고는 도 5의 발광 소자(300)와 동일하다. 이하에서는 동일한 내용은 생략하고 차이점에 대하여 서술한다.

[227] 일 실시예에 따르면, 제1 반도체층(310')은 일 방향으로 연장되고 양 단부가 중심부를 향해 경사지게 형성될 수 있다. 도 19의 제1 반도체층(310')은 로드형 또는 원통형의 본체부와, 상기 본체부의 상부 및 하부에 각각 측면이 경사진 형상의 단부들이 형성된 형상일 수 있다. 상기 본체부의 상단부는 하단부에 비해

더 가파른 경사를 가질 수 있다.

[228] 활성층(330')은 제1 반도체층(310')의 상기 본체부의 외면을 둘러싸도록 배치된다. 활성층(330')은 일 방향으로 연장된 고리형의 형상을 가질 수 있다. 활성층(330')은 제1 반도체층(310')의 상단부 및 하단부 상에는 형성되지 않을 수 있다. 활성층(330')은 제1 반도체층(310')의 경사지지 않은 측면에만 형성될 수 있다. 다만, 이에 제한되는 것은 아니다. 이에 따라 활성층(330')에서 방출되는 광은 발광 소자(300')의 길이방향의 양 단부뿐만 아니라, 길이방향을 기준으로 양 측면으로 방출될 수 있다. 도 5의 발광 소자(300)에 비해 도 19의 발광 소자(300')는 활성층(330')의 면적이 넓어 더 많은 양의 광을 방출할 수 있다.

[229] 제2 반도체층(320')은 활성층(330')의 외면과 제1 반도체층(310')의 상단부를 둘러싸도록 배치된다. 제2 반도체층(320')은 일 방향으로 연장된 고리형의 본체부와 측면이 경사지도록 형성된 상단부를 포함할 수 있다. 즉, 제2 반도체층(320')은 활성층(330')의 평행한 측면과 제1 반도체층(310')의 경사진 상단부에 직접 접촉할 수 있다. 다만, 제2 반도체층(320')은 제1 반도체층(310')의 하단부에는 형성되지 않는다.

[230] 전극층(370')은 제2 반도체층(320')의 외면을 둘러싸도록 배치된다. 즉, 전극층(370')의 형상은 실질적으로 제2 반도체층(320')과 동일할 수 있다. 즉, 전극층(370')은 제2 반도체층(320')의 외면에 전면적으로 접촉할 수 있다.

[231] 절연막(380')은 전극층(370') 및 제1 반도체층(310')의 외면을 둘러싸도록 배치될 수 있다. 절연막(380')은 전극층(370')을 포함하여, 제1 반도체층(310')의 하단부 및 활성층(330')과 제2 반도체층(320')의 노출된 하단부와 직접 접촉할 수 있다.

[232] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

청구범위

[청구항 1] 복수의 화소가 정의되고,
상기 화소 내에 서로 이격되어 배치된 적어도 하나의 전극들; 및 상기 전극들 사이에 배치된 적어도 하나의 발광 소자를 포함하고,
상기 전극은,
상기 화소의 중심부와 인접하여 배치된 적어도 하나의 내부 전극; 및 상기 내부 전극과 이격되고 상기 중심부와 이격된 간격이 상기 내부 전극보다 큰 외부 전극을 포함하며,
상기 내부 전극의 폭과 상기 외부 전극의 폭은 서로 다른 표시 장치.

[청구항 2] 제1 항에 있어서,
상기 복수의 화소들 사이에 배치되고 상기 내부 전극과 상기 외부 전극을 둘러싸는 뱅크를 더 포함하고,
상기 내부 전극의 중심부와 상기 외부 전극의 중심부 사이의 영역으로 상기 발광 소자가 배치된 복수의 정렬 영역; 및
상기 뱅크와 상기 외부 전극의 중심부 사이의 영역으로 상기 정렬 영역 이외의 비정렬 영역이 정의되고,
상기 정렬 영역의 폭은 상기 비정렬 영역의 폭보다 큰 표시 장치.

[청구항 3] 제2 항에 있어서,
상기 뱅크와 상기 외부 전극 사이의 간격은 상기 외부 전극과 상기 중심부 사이의 간격보다 작은 표시 장치.

[청구항 4] 제3 항에 있어서,
상기 발광 소자는 일 방향으로 연장된 형상을 갖고, 상기 내부 전극과 상기 외부 전극 사이의 간격은 상기 발광 소자의 상기 일 방향으로 측정된 길이보다 작은 표시 장치.

[청구항 5] 제4 항에 있어서,
상기 복수의 내부 전극들이 이격된 간격은 상기 내부 전극과 상기 외부 전극 사이에 이격된 간격과 동일하고, 상기 발광 소자는 상기 복수의 내부 전극들 사이에도 배치된 표시 장치.

[청구항 6] 제2 항에 있어서,
상기 내부 전극의 폭은 상기 외부 전극의 폭보다 큰 표시 장치.

[청구항 7] 제6 항에 있어서,
상기 내부 전극은 제1 내부 전극 및 상기 제1 내부 전극과 이격된 제2 내부 전극을 포함하고,
상기 제1 내부 전극과 상기 제2 내부 전극은 상기 화소의 중심부를 기준으로 상호 이격된 표시 장치.

[청구항 8] 제7 항에 있어서,
상기 제1 내부 전극과 상기 제2 내부 전극은 동일한 폭을 갖는 표시 장치.

[청구항 9] 제6 항에 있어서,
상기 내부 전극은 중심부가 상기 화소의 중심부와 동일선 상에 놓이는 제3 내부 전극 및 상기 제3 내부 전극의 양 측과 각각 이격된 복수의 제4 내부 전극을 포함하고,
상기 제3 내부 전극의 폭과 상기 제4 내부 전극의 폭은 서로 다른 표시 장치.

[청구항 10] 제9 항에 있어서,
상기 제4 내부 전극의 폭은 상기 외부 전극의 폭보다 크되, 상기 제3 내부 전극의 폭보다 작은 표시 장치.

[청구항 11] 기판;
상기 기판 상에 배치되어 상기 기판의 중앙으로부터 이격된 제1 뱅크 및 제2 뱅크;
상기 뱅크 사이에서 서로 이격되어 배치된 복수의 제1 전극 및 제2 전극; 및
상기 제1 전극과 상기 제2 전극 사이에 배치된 복수의 발광 소자;를 포함하고,
상기 제1 전극과 상기 제2 전극의 폭은 서로 다른 표시 장치.

[청구항 12] 제11 항에 있어서,
상기 제1 전극과 상기 제2 전극은 상기 기판의 중앙과 상기 제1 뱅크 사이에 배치되고,
상기 제1 전극은 상기 제2 전극과 상기 뱅크 사이에 배치되며, 상기 제2 전극의 폭은 상기 제1 전극의 폭보다 큰 표시 장치.

[청구항 13] 제12 항에 있어서,
상기 제1 전극의 중심부와 상기 뱅크 사이의 간격은 상기 제1 전극의 중심부와 상기 제2 전극의 중심부 사이의 간격보다 작은 표시 장치.

[청구항 14] 제13 항에 있어서,
상기 제1 전극과 상기 뱅크 사이의 제1 간격, 상기 제1 전극과 상기 제2 전극 사이의 제2 간격이 정의되고, 하기 식 1을 만족하는 표시 장치.
[식 1]
$WD<WA+WE/2$
(여기서, 상기 'WD'는 제1 전극과 상기 뱅크 사이의 제1 간격이고, 상기 'WA'는 제1 전극과 제2 전극 사이의 제2 간격이고, 상기 'WE'는 제1 전극 또는 제2 전극의 폭이다.)

[청구항 15] 제14 항에 있어서,
상기 기판의 중앙을 기준으로 상기 제2 전극과 이격되어 배치되고 상기 제2 전극과 동일한 폭을 갖는 제3 전극; 및
상기 제3 전극과 이격되어 상기 제3 전극과 상기 제2 뱅크 사이에 배치되고 상기 제1 전극과 동일한 폭을 갖는 제4 전극을 더 포함하는 표시

장치.

[청구항 16] 제11 항에 있어서,
상기 제2 전극의 중심부는 상기 기판의 중앙과 동일선 상에 놓이고, 상기 제1 전극은 상기 제2 전극과 상기 제1 뱅크 사이에 배치되며,
상기 제2 전극의 폭은 상기 제1 전극의 폭보다 큰 표시 장치.

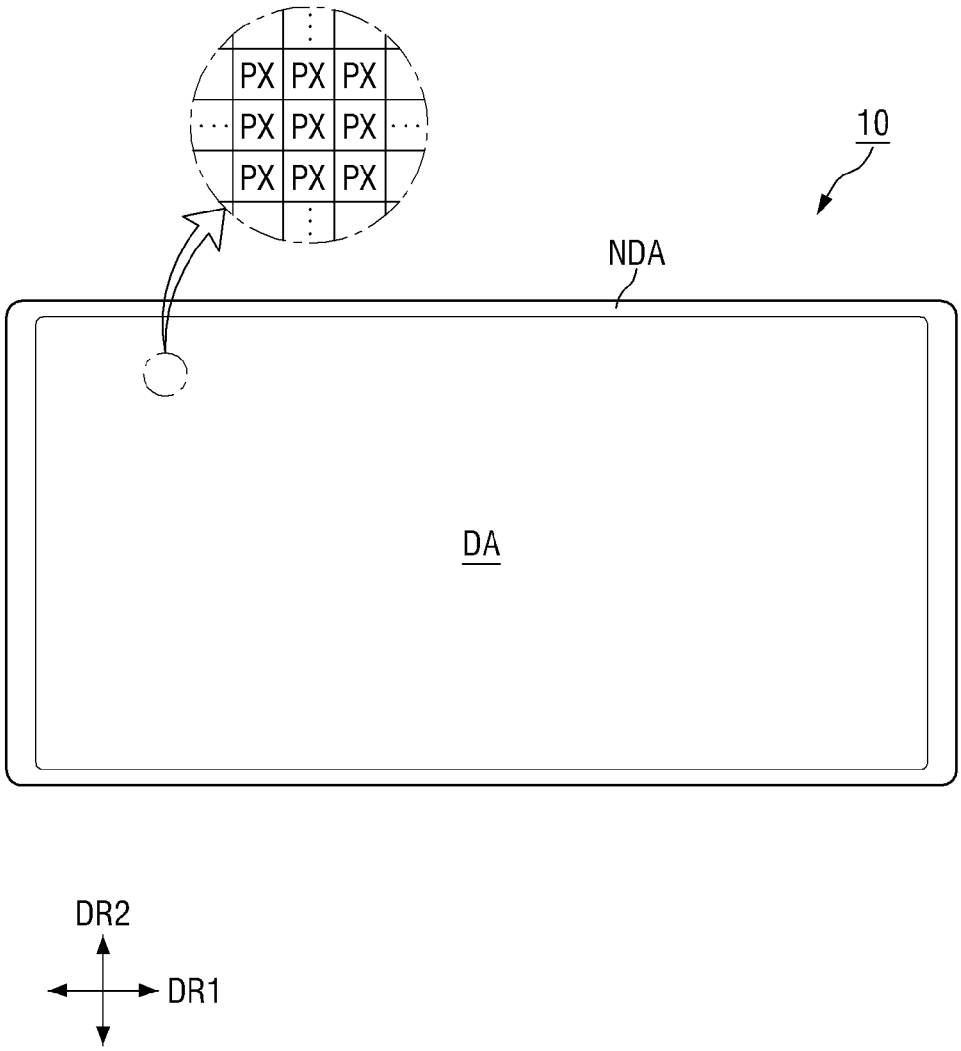
[청구항 17] 제16 항에 있어서,
상기 제1 뱅크와 상기 제1 전극의 중심부 사이의 간격은 상기 제1 전극의 중심부와 상기 제2 전극의 중심부 사이의 간격보다 작은 표시 장치.

[청구항 18] 제1 방향으로 연장되고, 상기 제1 방향과 다른 제2 방향으로 이격된 복수의 뱅크;
상기 뱅크 사이에서 상기 제1 방향으로 연장된 제1 전극;
상기 제1 전극과 상기 제2 방향으로 이격된 제2 전극; 및
상기 제1 전극과 상기 제2 전극 사이에 배치된 적어도 하나의 발광 소자를 포함하고,
상기 제1 전극의 폭과 상기 제2 전극의 폭은 서로 다르고,
상기 제1 전극의 중심부와 상기 제2 전극의 중심부 사이의 간격은 상기 제1 전극과 상기 뱅크 사이의 간격보다 큰 표시 장치.

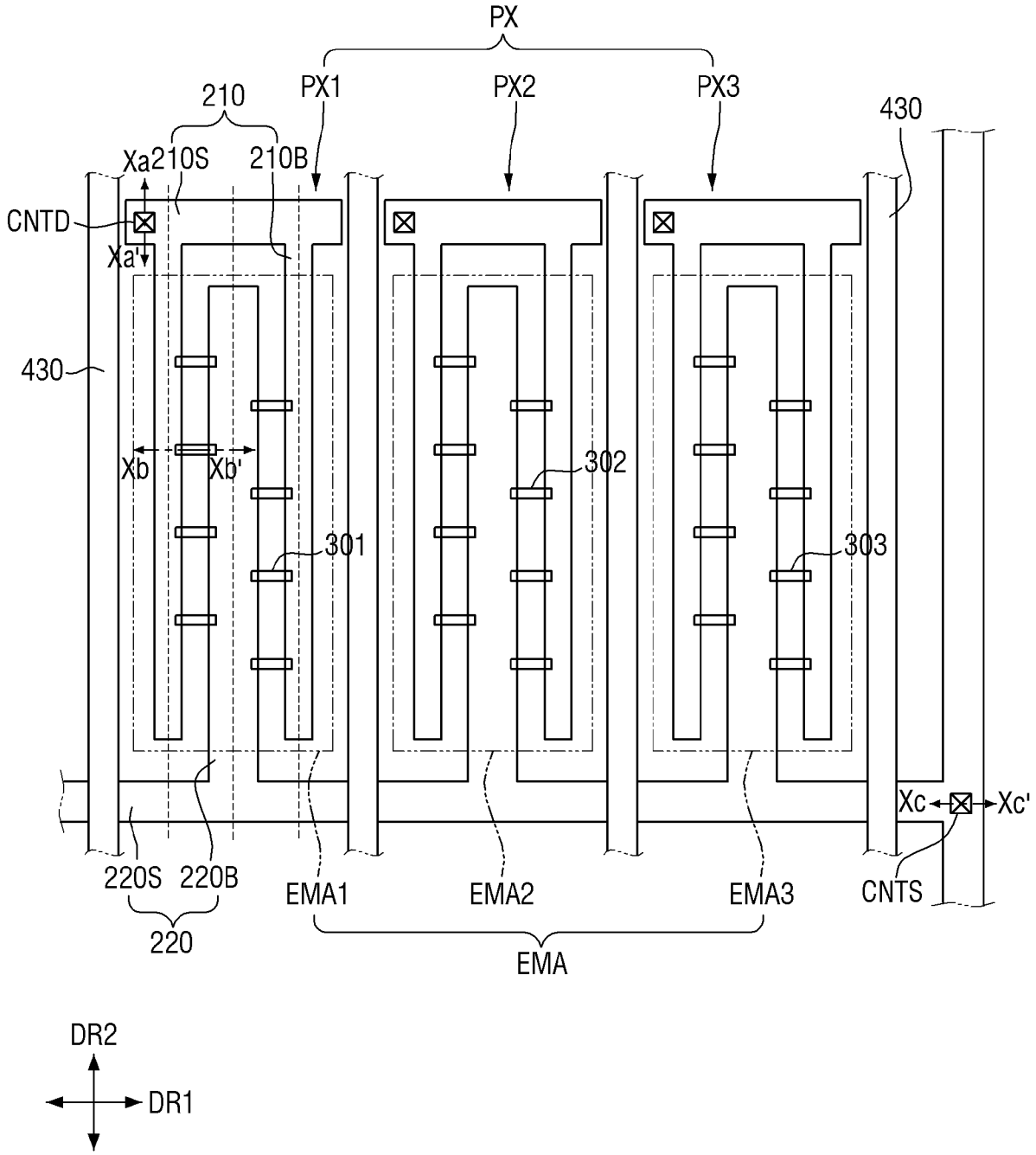
[청구항 19] 제18 항에 있어서,
상기 제1 전극은 상기 제2 전극의 양 측과 이격되어 각각 배치되고, 상기 제2 전극의 폭은 상기 제1 전극의 폭보다 큰 표시 장치.

[청구항 20] 제19 항에 있어서,
상기 복수의 제1 전극과 상기 제2 전극의 양 측과 이격된 간격은 상기 발광 소자의 길이보다 짧은 표시 장치.

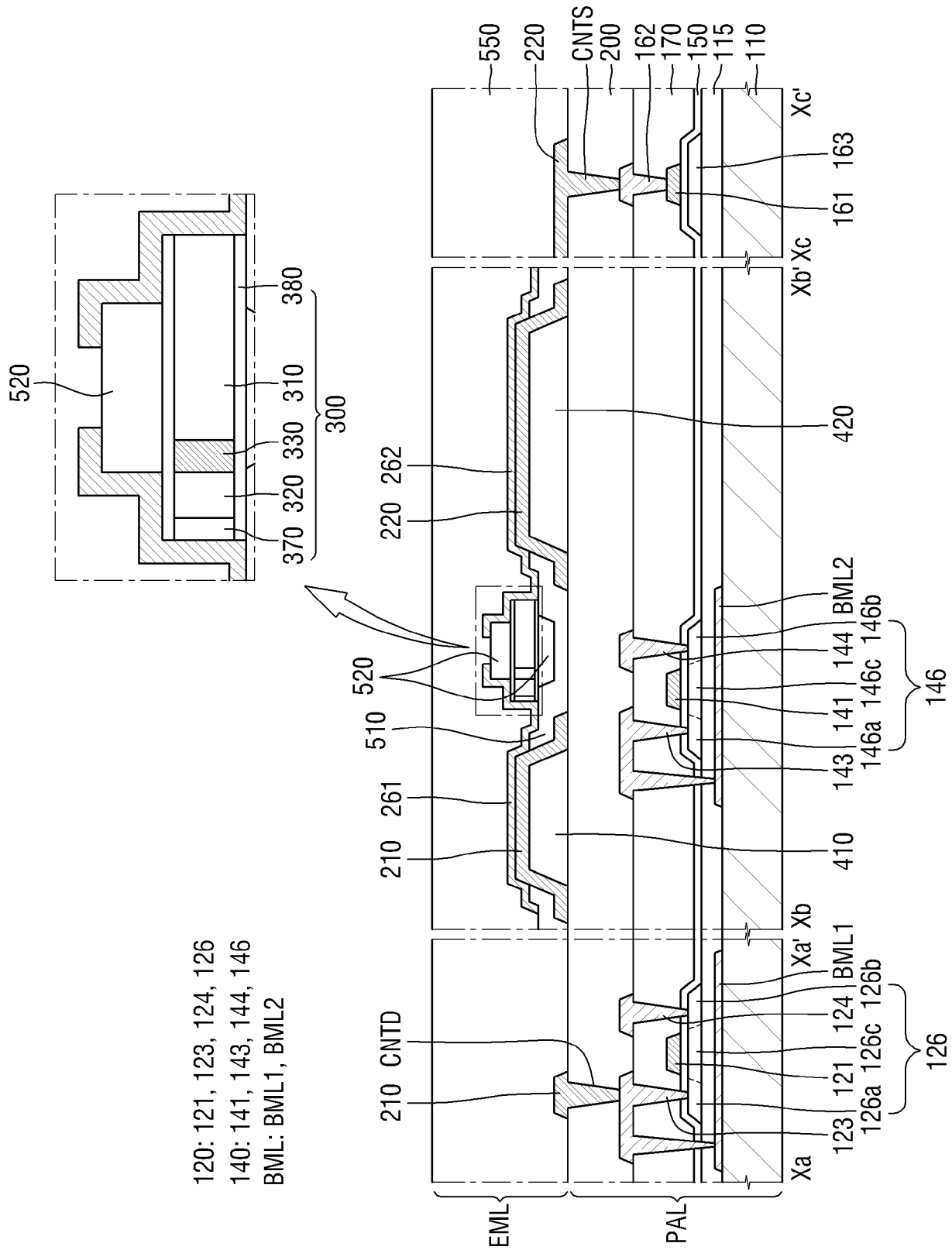
[도1]



[도2]

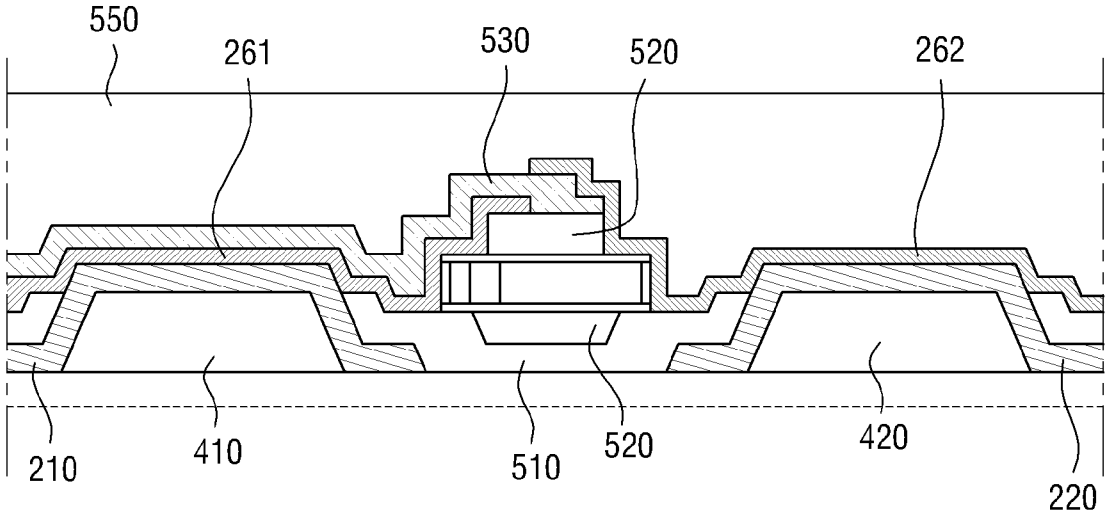

PX
PX1
PX2
PX3
210
210S
210B
Xa
Xa'
CNTD
430
430
Xb
Xb'
301
302
303
Xc
Xc'
220S
220B
220
EMA1
EMA2
EMA3
EMA
CNTS
DR2
DR1

[도3]

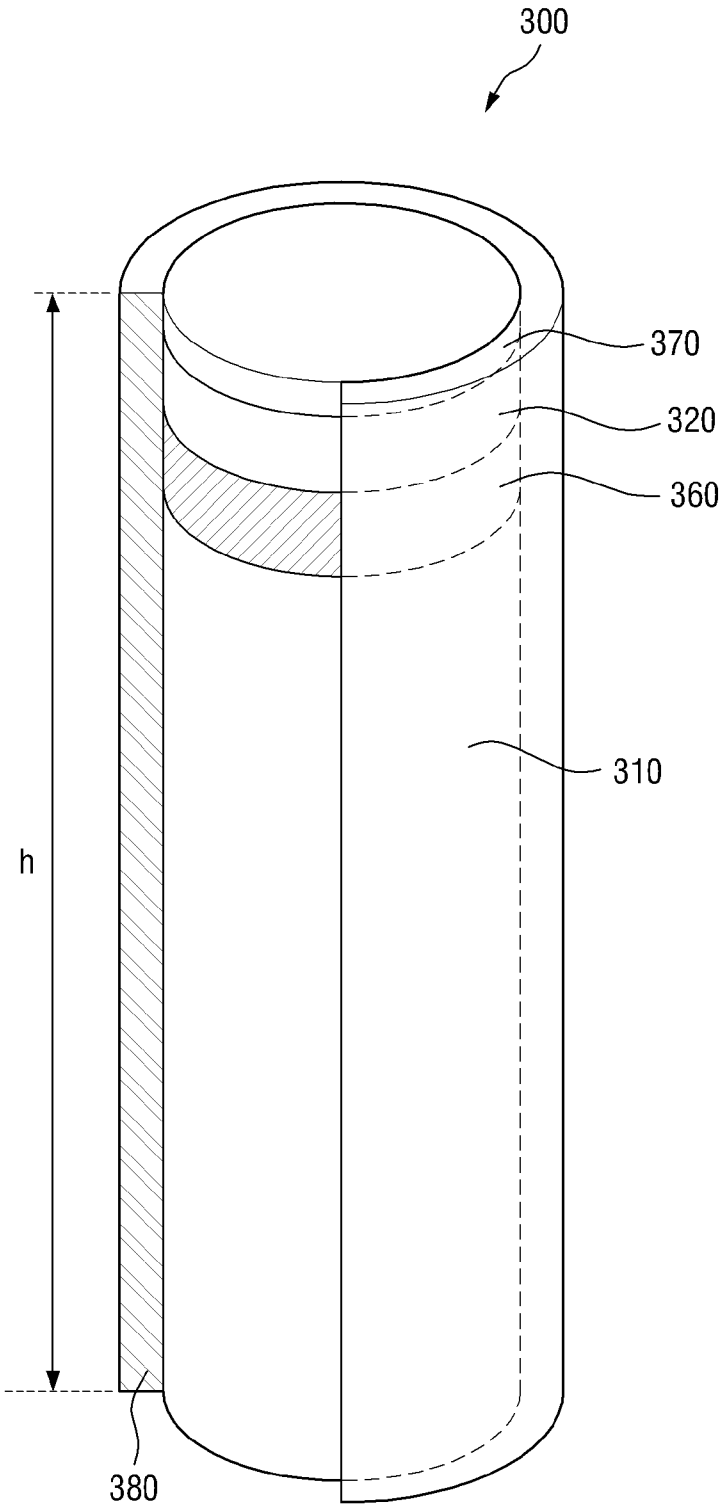

550
220
CNTS
200
162
170
150
115
110
Xc'
163
161
Xb' Xc
420
520
380
310
330
320
370
300
262
220
520
510
261
210
BML2
144
146b
141
146c
146
143
146a
410
Xa' Xb
BML1
124
126b
121
126c
126
123
126a
Xa
210 CNTD
210
EML
PAL
120: 121, 123, 124, 126
140: 141, 143, 144, 146
BML: BML1, BML2

[도4]

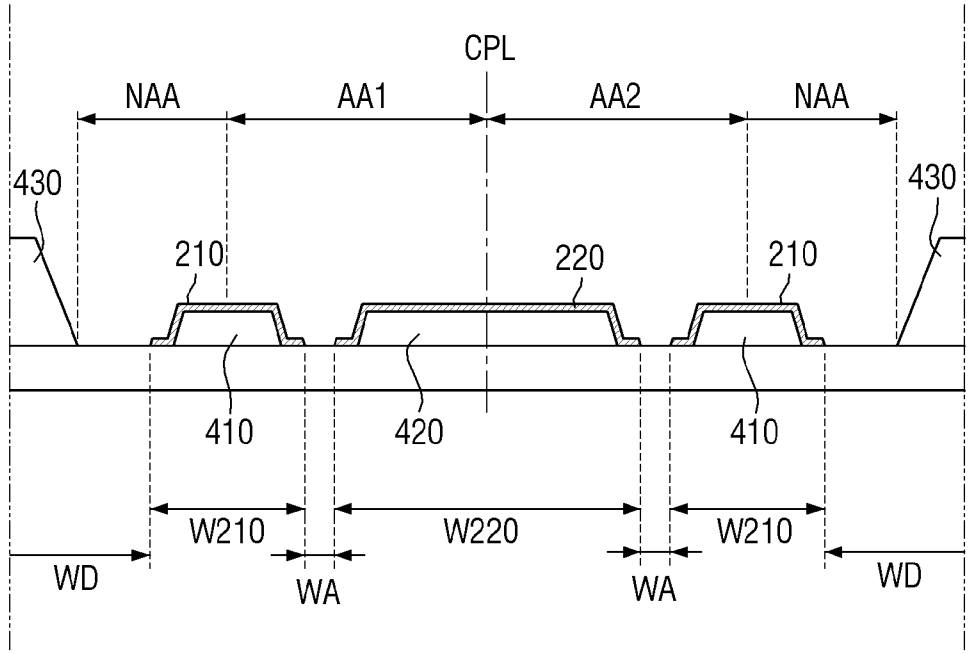
10



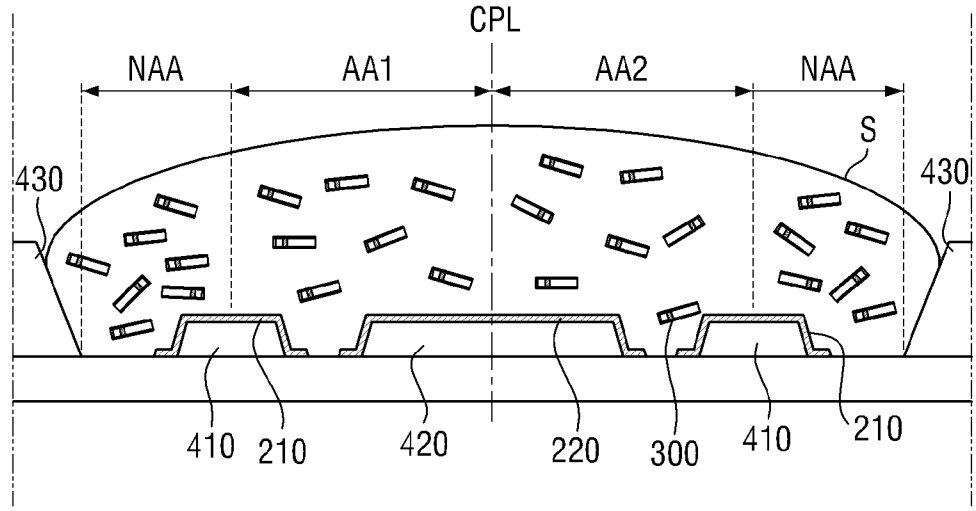
[도5]



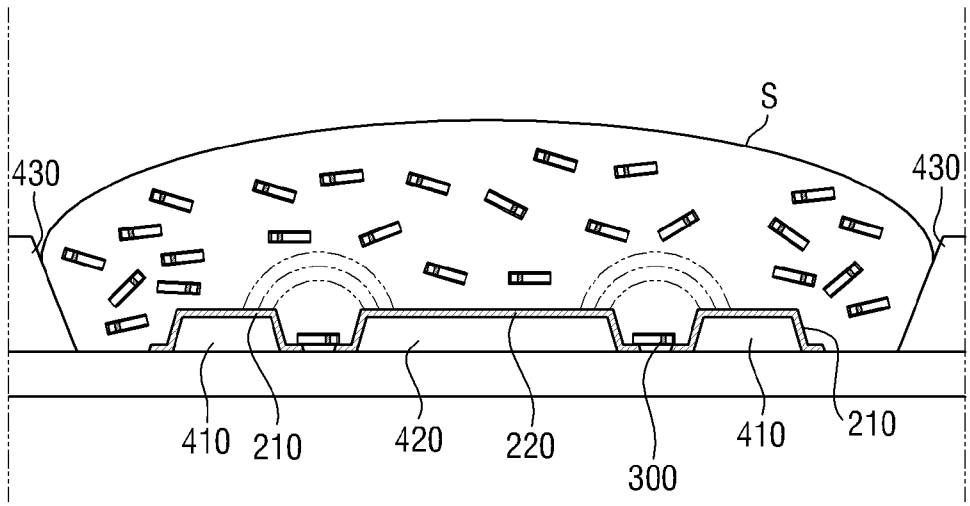
[도6]


CPL
NAA
AA1
AA2
NAA
430
430
210
220
210
410
420
410
W210
W220
W210
WD
WA
WA
WD

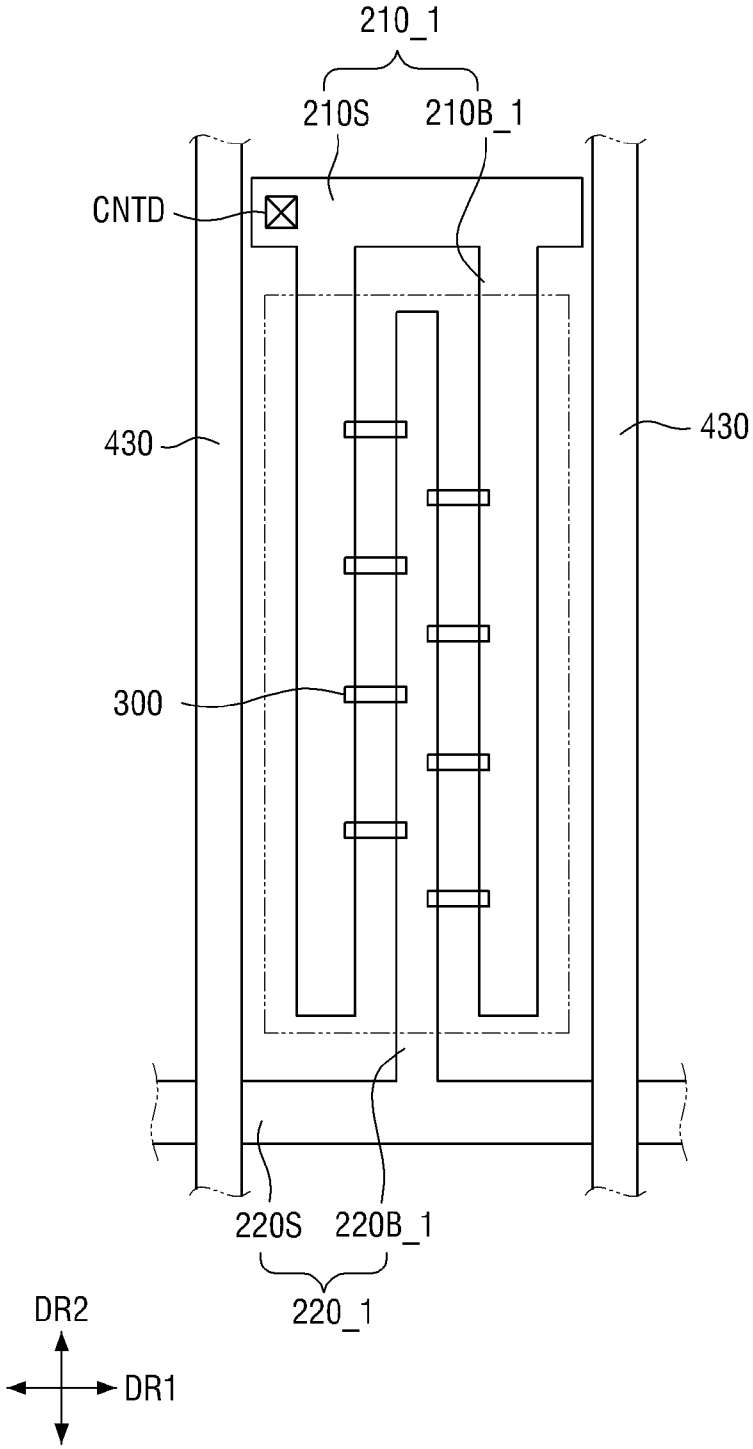
[도7]


CPL
NAA
AA1
AA2
NAA
S
430
430
410
210
420
220
300
410
210

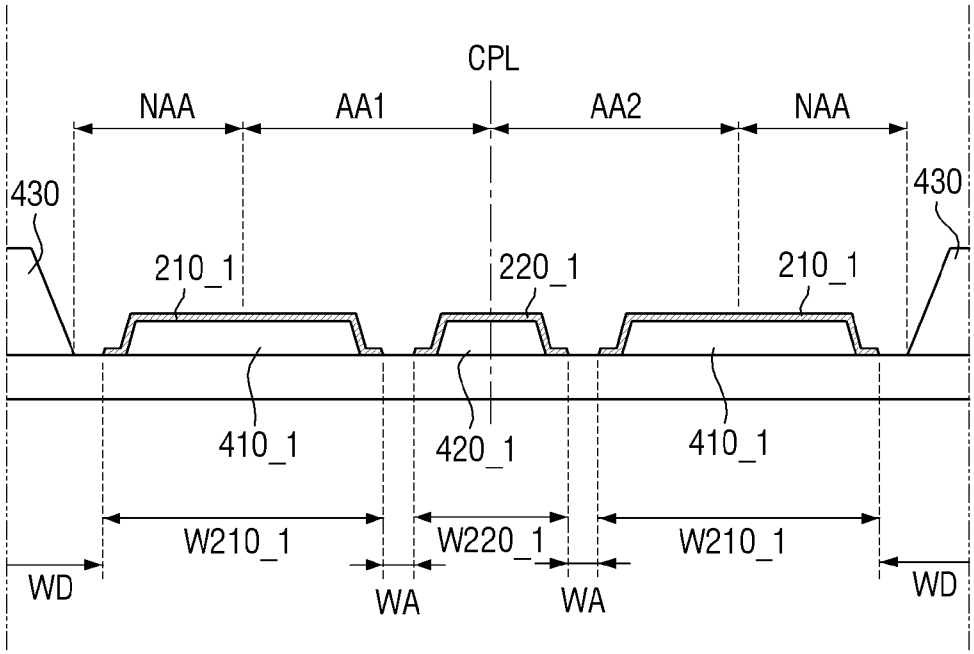
[도8]


S
430
430
410
210
420
220
300
410
210

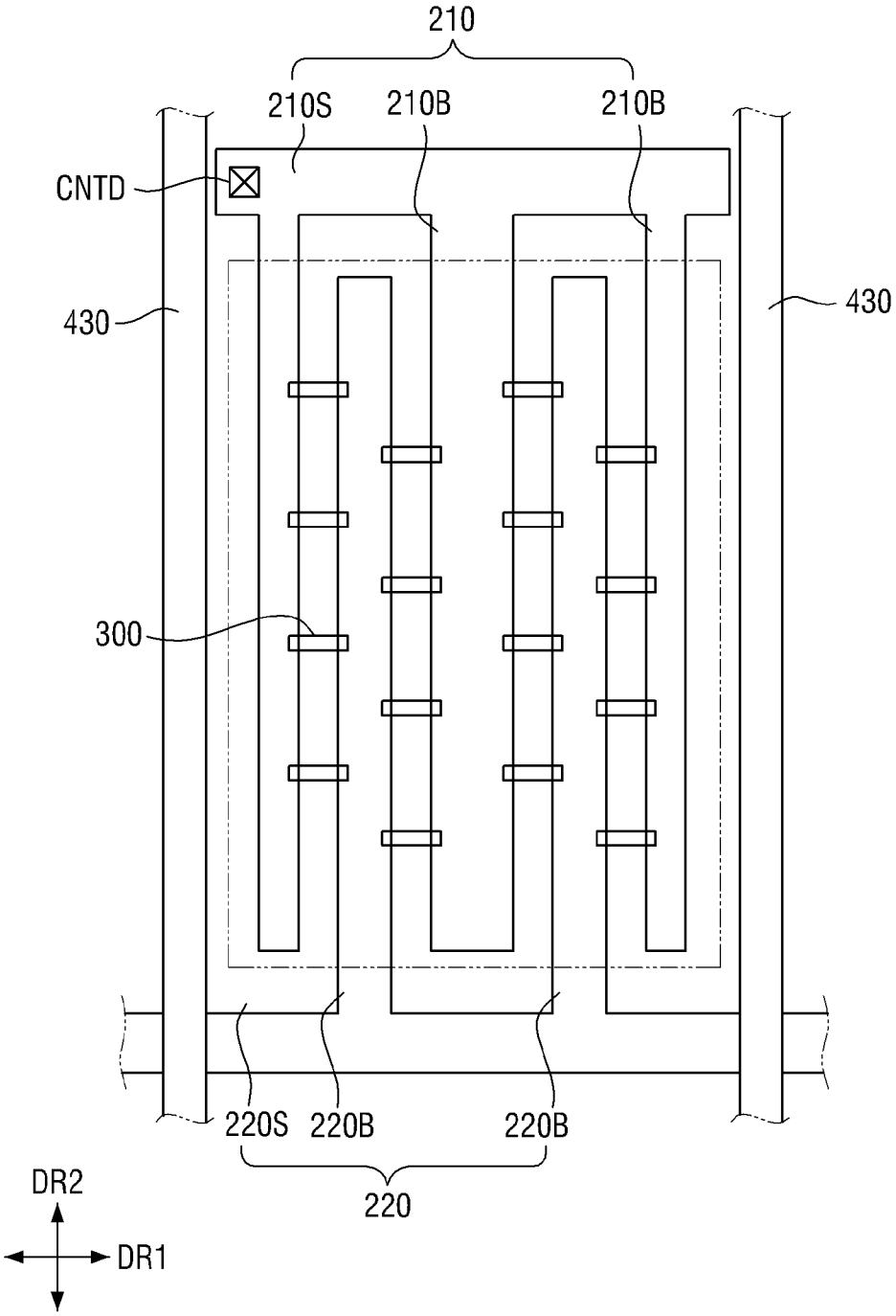
[도9]



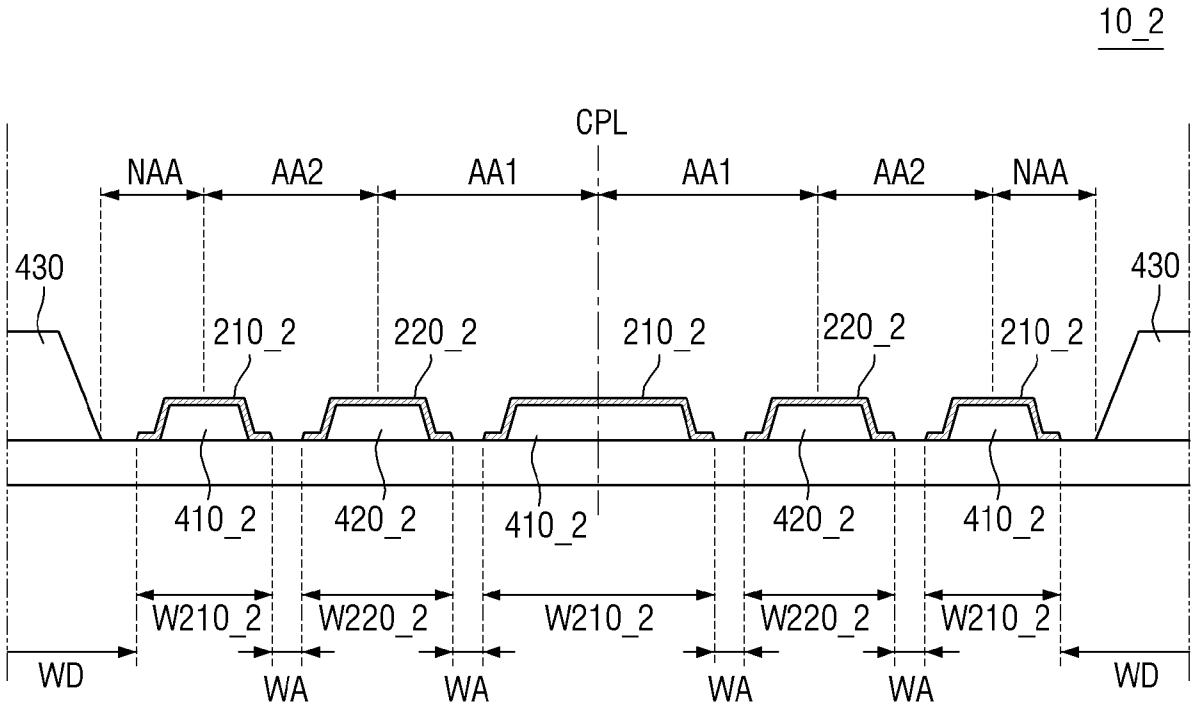
[도10]


CPL
NAA
AA1
AA2
NAA
430
430
210_1
220_1
210_1
410_1
420_1
410_1
W210_1
W220_1
W210_1
WD
WA
WA
WD

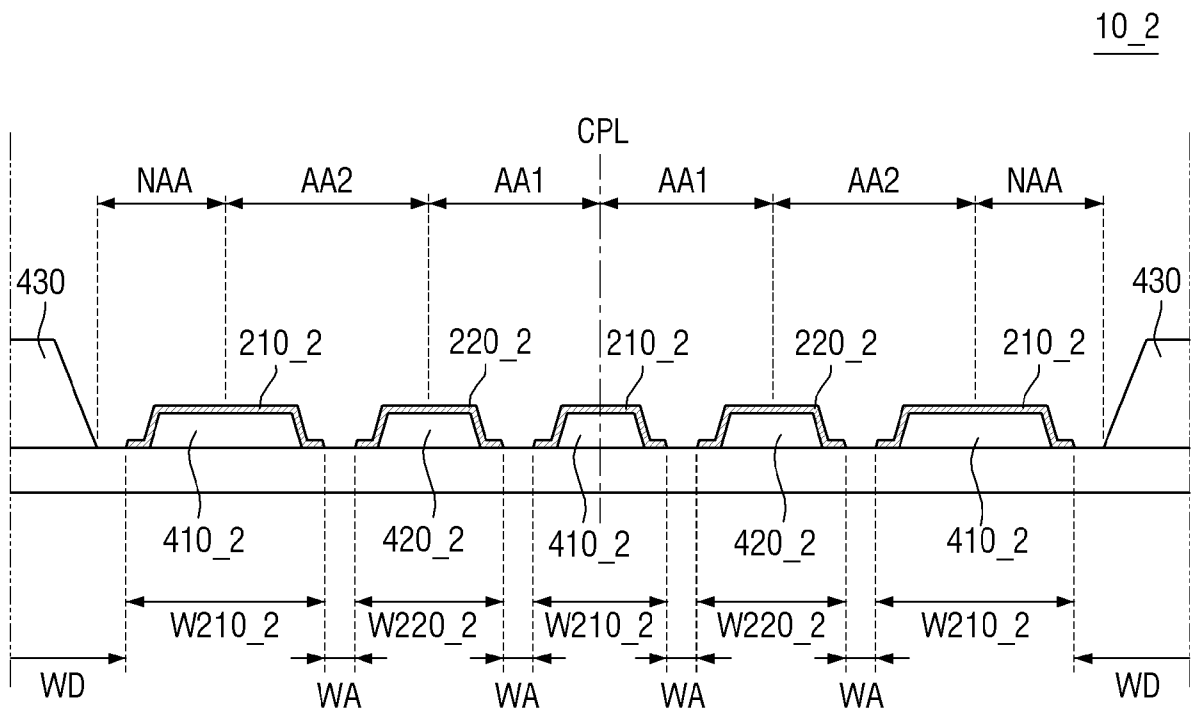
[도11]



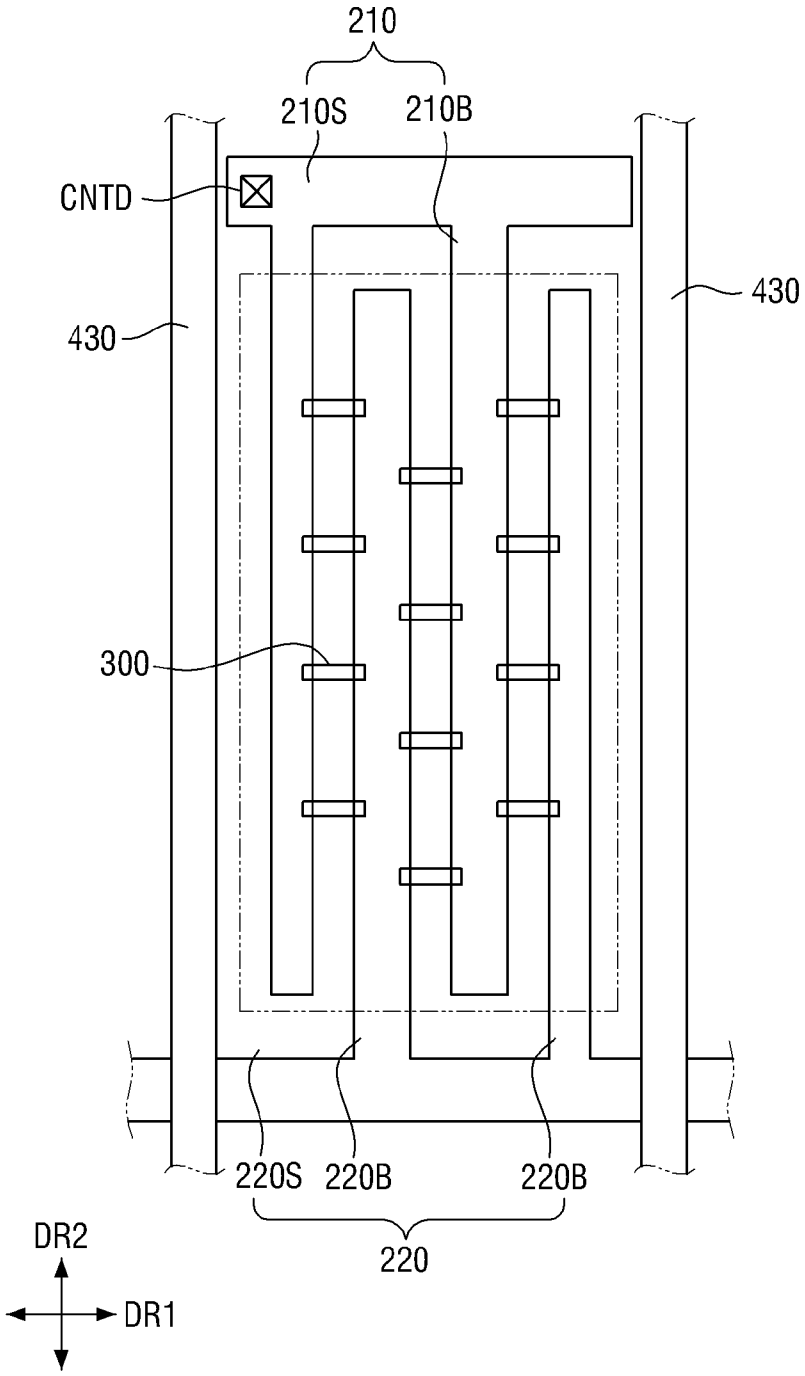
[도12]


10_2
CPL
NAA
AA2
AA1
AA1
AA2
NAA
430
430
210_2
220_2
210_2
220_2
210_2
410_2
420_2
410_2
420_2
410_2
W210_2
W220_2
W210_2
W220_2
W210_2
WD
WA
WA
WA
WA
WD

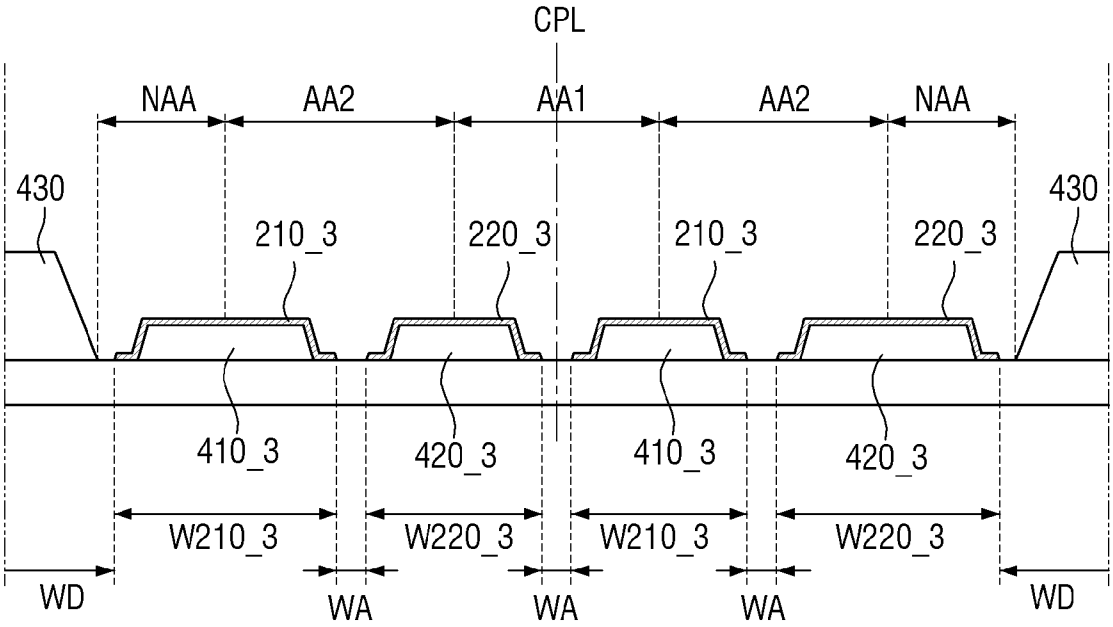
[도13]


10_2
CPL
NAA
AA2
AA1
AA1
AA2
NAA
430
430
210_2
220_2
210_2
220_2
210_2
410_2
420_2
410_2
420_2
410_2
W210_2
W220_2
W210_2
W220_2
W210_2
WD
WA
WA
WA
WA
WD

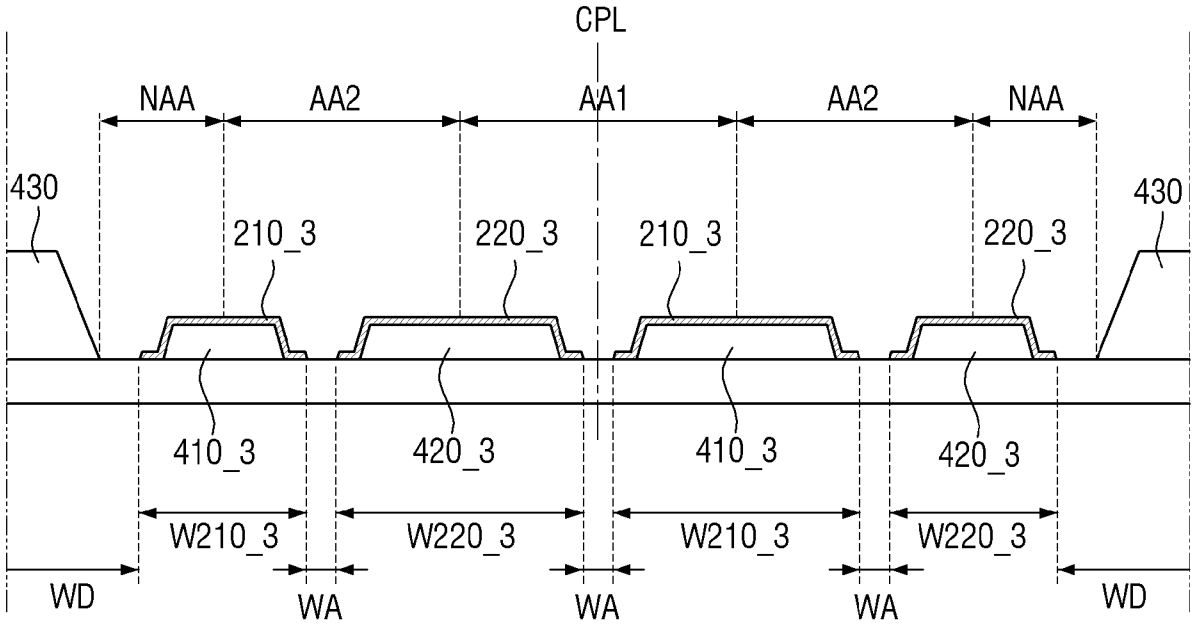
[도14]



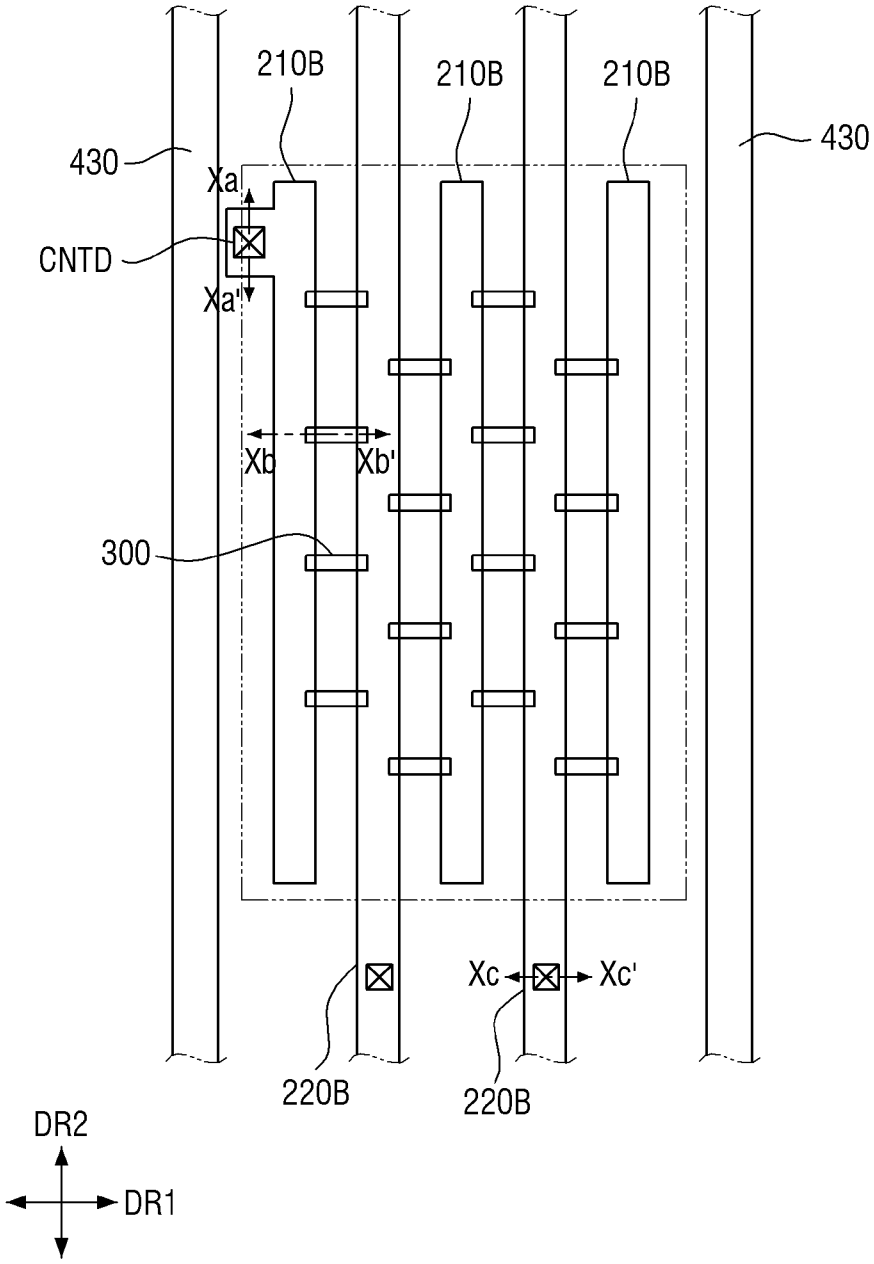
[도15]


CPL
NAA
AA2
AA1
AA2
NAA
430
210_3
220_3
210_3
220_3
430
410_3
420_3
410_3
420_3
W210_3
W220_3
W210_3
W220_3
WD
WA
WA
WA
WD

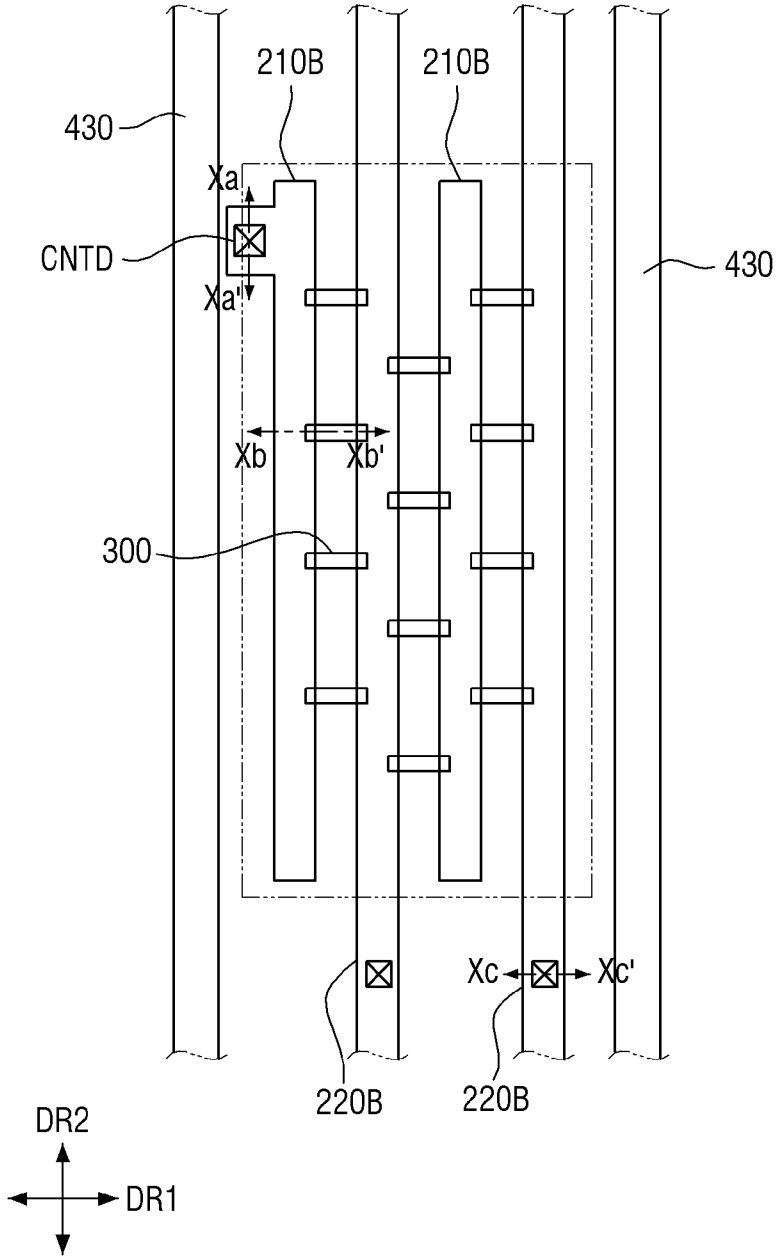
[도16]


CPL
NAA
AA2
AA1
AA2
NAA
430
210_3
220_3
210_3
220_3
430
410_3
420_3
410_3
420_3
W210_3
W220_3
W210_3
W220_3
WD
WA
WA
WA
WD

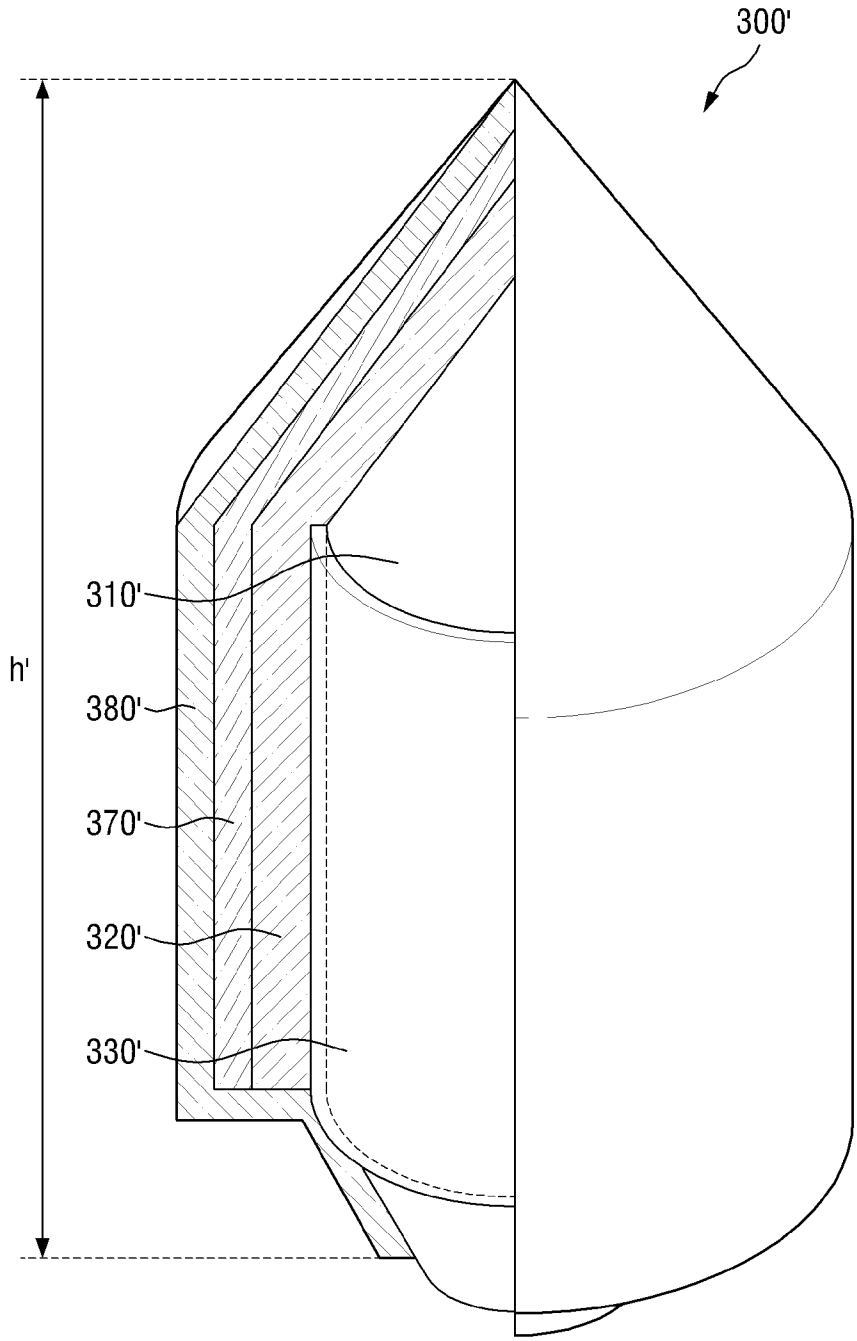
[도17]


210B
210B
210B
430
430
Xa
CNTD
Xa'
Xb
Xb'
300
Xc
Xc'
220B
220B
DR2
DR1

[도18]



[도19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2020/006568

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/15(2006.01)i, H01L 27/12(2006.01)i, H01L 33/38(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15; G03F 7/20; H01L 21/3205; H01L 27/32; H01L 33/40; H01L 33/48; H01L 51/50; H01L 51/56; H05B 33/10; H01L 27/12; H01L 33/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: pixel, separation, electrode, bank, width

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2013-0073013 A (PANASONIC CORPORATION) 02 July 2013 See paragraphs [0008], [0087], [0118]-[0119], [0121]; and figure 4.	1-20
Y	KR 10-2018-0072909 A (SAMSUNG DISPLAY CO., LTD.) 02 July 2018 See paragraphs [0027], [0029], [0068]; claim 1; and figures 1, 6.	1-20
A	JP 2006-319229 A (SEIKO EPSON CORP.) 24 November 2006 See claim 1; and figures 3-5.	1-20
A	US 2014-0284588 A1 (PANASONIC CORPORATION) 25 September 2014 See claim 1; and figure 1.	1-20
A	KR 10-2016-0072010 A (LG DISPLAY CO., LTD.) 22 June 2016 See paragraphs [0065]-[0101]; and figure 1.	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 SEPTEMBER 2020 (01.09.2020)	**01 SEPTEMBER 2020 (01.09.2020)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2020/006568

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2013-0073013 A	02/07/2013	CN 102577615 A	11/07/2012
		CN 102577615 B	27/01/2016
		JP 5677315 B2	25/02/2015
		US 2012-0091440 A1	19/04/2012
		US 8604493 B2	10/12/2013
		WO 2012-049713 A1	19/04/2012
KR 10-2018-0072909 A	02/07/2018	US 10461123 B2	29/10/2019
		US 2018-0175009 A1	21/06/2018
		US 2018-0175106 A1	21/06/2018
		US 2020-0058701 A1	20/02/2020
JP 2006-319229 A	24/11/2006	CN 1866469 A	22/11/2006
		CN 1866469 C	29/10/2008
		JP 4200981 B2	24/12/2008
		KR 10-0805870 B1	20/02/2008
		KR 10-2006-0118340 A	23/11/2006
		TW 200705540 A	01/02/2007
		TW I304600 B	21/12/2008
		US 2006-0257797 A1	16/11/2006
US 2014-0284588 A1	25/09/2014	CN 102388673 A	21/03/2012
		CN 102388673 B	30/09/2015
		JP 5624047 B2	12/11/2014
		KR 10-1729789 B1	24/04/2017
		KR 10-2013-0033258 A	03/04/2013
		US 2012-0040478 A1	16/02/2012
		US 8778712 B2	15/07/2014
		US 9172065 B2	27/10/2015
		WO 2012-001741 A1	05/01/2012
KR 10-2016-0072010 A	22/06/2016	None	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2020/006568

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/15(2006.01)i, H01L 27/12(2006.01)i, H01L 33/38(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 27/15; G03F 7/20; H01L 21/3205; H01L 27/32; H01L 33/40; H01L 33/48; H01L 51/50; H01L 51/56; H05B 33/10; H01L 27/12; H01L 33/38

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 화소(pixel), 이격(separation), 전극(electrode), 뱅크(bank), 폭(width)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2013-0073013 A (파나소닉 주식회사) 2013.07.02 단락 [0008], [0087], [0118]-[0119], [0121]; 및 도면 4 참조.	1-20
Y	KR 10-2018-0072909 A (삼성디스플레이 주식회사) 2018.07.02 단락 [0027], [0029], [0068]; 청구항 1; 및 도면 1, 6 참조.	1-20
A	JP 2006-319229 A (SEIKO EPSON CORP.) 2006.11.24 청구항 1; 및 도면 3-5 참조.	1-20
A	US 2014-0284588 A1 (PANASONIC CORPORATION) 2014.09.25 청구항 1; 및 도면 1 참조.	1-20
A	KR 10-2016-0072010 A (엘지디스플레이 주식회사) 2016.06.22 단락 [0065]-[0101]; 및 도면 1 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2020년 09월 01일 (01.09.2020)	2020년 09월 01일 (01.09.2020)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
강민정
전화번호 +82-42-481-8131

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2020/006568

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2013-0073013 A	2013/07/02	CN 102577615 A	2012/07/11
		CN 102577615 B	2016/01/27
		JP 5677315 B2	2015/02/25
		US 2012-0091440 A1	2012/04/19
		US 8604493 B2	2013/12/10
		WO 2012-049713 A1	2012/04/19
KR 10-2018-0072909 A	2018/07/02	US 10461123 B2	2019/10/29
		US 2018-0175009 A1	2018/06/21
		US 2018-0175106 A1	2018/06/21
		US 2020-0058701 A1	2020/02/20
JP 2006-319229 A	2006/11/24	CN 1866469 A	2006/11/22
		CN 1866469 C	2008/10/29
		JP 4200981 B2	2008/12/24
		KR 10-0805870 B1	2008/02/20
		KR 10-2006-0118340 A	2006/11/23
		TW 200705540 A	2007/02/01
		TW I304600 B	2008/12/21
		US 2006-0257797 A1	2006/11/16
US 2014-0284588 A1	2014/09/25	CN 102388673 A	2012/03/21
		CN 102388673 B	2015/09/30
		JP 5624047 B2	2014/11/12
		KR 10-1729789 B1	2017/04/24
		KR 10-2013-0033258 A	2013/04/03
		US 2012-0040478 A1	2012/02/16
		US 8778712 B2	2014/07/15
		US 9172065 B2	2015/10/27
		WO 2012-001741 A1	2012/01/05
KR 10-2016-0072010 A	2016/06/22	없음	