

I289328

姓 名：(中文/英文)

陳兆成 / CHAN, SIMON S.

住居所地址：(中文/英文)

美國·加州 95070·沙拉朵加·米勒大道 12603 號

12603 Miller Avenue, Saratoga, CA 95070, U. S. A.

國 籍：(中文/英文) 美國/U. S. A.

姓 名：(中文/英文)

豪斯 佛萊得 / HAUSE, FRED

住居所地址：(中文/英文)

美國·德州 78749·奧斯汀·橡園灣 4702 號

4702 Circle Oak Cove, Austin, TX 78749, U. S. A.

國 籍：(中文/英文) 美國/U. S. A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002年5月31日 10/157,807（主張優先權）

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明係有關半導體裝置之製法，特別是有關自對準矽化物(Salicide)技術，以及所得之半導體裝置。本發明特別可應用於具有深次微米規範中之結構之超大規模積體電路(ULSI)系統。

[先前技術]

隨著積體電路幾何構形持續切入深次微米規範中，在呈現必要可靠性之半導體基板上精確地形成周詳之裝置變得更加困難。高性能微處理機應用需要快速的半導體電路。半導體電路的速度隨著互連系統的電阻(R)與電容(C)值而呈現相反的改變。RXC積的值愈高，則電路操作速度的限制愈大。小型化需要具有小觸點及小截面之長互連線。因此，在設計規則中持續縮小至深次微米規範中需降低與互連路徑相關之R及C值。因此，對製造緻密、高性能的裝置而言，低電阻率互連路徑係為關鍵因素。

降低互連線的電阻率至小於由多晶矽單獨所呈現者，例如，小於約15至300ohm/sq的一般方法，包括在摻雜多結晶矽層上形成由低電阻材料(例如，難熔金屬矽化物)所組成之多層結構，一般稱為多矽化(polycide)。有利的是，由於多結晶矽係直接位在閘極氧化物上，故多矽化閘極/互連結構可保持多結晶矽與高度可靠之多結晶矽/氧化矽介面的已知工作功能。

各種金屬矽化物已使用於自對準矽化物技術，如鈦、

鎢、及鈷。然而，在自對準矽化物技術上，鎳比其他金屬提供更特別的優點。在該鎳矽化物中鎳需要較低的熱預算而可於約 250°C 至約 600°C 之相對低溫在單一加熱步驟中予以形成，且附帶減少基板中之矽的消耗，由此而能夠形成超淺源極/汲極接合。

在進行實驗及研究以執行鎳矽化物形成時，發現在摻雜的矽上形成高電阻鎳二矽化物相(NiSi_2)而在其間產生非所要之粗糙介面。該種介面的厚度可為 200 Å 至 1000 Å 且可延伸一短距離，如 1 微米。該種介面粗糙度對電阻率及電容造成負面衝擊，且可導致穿入源極/汲極區域中或穿過閘極介電層。此問題在絕緣體上矽晶片(SOI)結構中變得特別嚴重，其中該種穿入可透過至基底埋置之氧化物層而顯著增加觸點電阻。

粗糙介面的形成圖解說明於第 1 圖中，其中在半導體基板 10 上形成閘極電極 11，其間為閘極介電層 12。在閘極電極 11 的側表面上形成介電側壁間隔物 13。形成淺源極/汲極延伸部 14 及中度或重度源極/汲極區域 15。沈積鎳層，接著加熱以進行矽化，導致在源極/汲極區域 15 上形成鎳矽化物層 16，和在閘極電極 11 上形成鎳矽化物層 17。鎳矽化物層 16 與源極/汲極區域 15 間之介面 18 及鎳矽化物層 17 與閘極電極 11 間之介面 19 極度粗糙而可產生前述問題，包含穿入至基板 10 中以及穿透閘極介電層 12。

習知方法為在約 600°C 之溫度形成 NiSi_2 ，且實際形成溫度為線寬度及摻雜種類的函數。然而，進行進一步實

驗及研究時，發現可在非常低溫，甚至低於 450°C，如 310°C 形成 NiSi₂。由於鎳擴散非常快速，故極難防止 NiSi₂ 變形，因而使介面粗糙。

在試著執行鎳矽化作用時遭遇其他問題。在習知自對準矽化物技術中，在閘極電極上及在源極/汲極區域的曝露表面上沈積金屬層，接著加熱以使金屬與基底矽反應以形成金屬矽化物。然後自介電側壁間隔物移除未反應之金屬，在閘極電極的上表面上及在源極/汲極區域上留下金屬矽化物觸點。在執行自對準矽化物技術時，亦發現由於氮化矽為高度保型且提升裝置性能(特別是針對 P-型電晶體)，故可有利地使用氮化矽側壁間隔物。然而，雖然由該製程觀點來看氮化矽間隔物具有優點，但是發現極難在不產生非所要之鎳矽化物橋接情況下，有效地進行閘極電極及源極/汲極區域之鎳矽化作用，而此橋接會在沿著氮化矽側壁間隔物之表面之間形成短路。

因此，半導體裝置存在著在鎳矽化物層與基底矽間之介面上具有減少粗糙度之鎳矽化物互連的需求，以及能夠達成此需求之方法。亦存在執行鎳矽化物技術而在閘極電極與源極/汲極區域上之鎳矽化物層間無橋接(特別是在閘極電極上使用氮化矽側壁間隔物時)的需求。

[發明內容]

本發明的優點為包括鎳矽化物層且在鎳矽化物層與基底矽間的介面上減少粗糙度之半導體裝置。

本發明之另一優點為在鎳矽化物層與基底矽間之介面

上具有減少之粗糙度之半導體裝置的製造方法。

本發明之又一優點為在閘極電極及關聯之源極/汲極區域上具有鎳矽化物觸點且沿著絕緣側壁間隔物，特別是氮化矽側壁間隔物在其間無橋接之半導體裝置的製造方法。

本發明之另一優點為在閘極電極及關聯之源極/汲極區域上具有鎳矽化物觸點且沿著絕緣側壁間隔物，特別是氮化矽側壁間隔物在其間無橋接之半導體裝置。

本發明之其他優點及特點將部份列示在下述說明中，且對熟知此技藝人士而言，在檢視下述時部份將為顯而易知或可藉由實施本發明而予以學習。可實現且獲得本發明之優點，如在隨附之申請專利範圍中所特別指出者。

依據本發明，前述及其他優點係藉由一半導體裝置而予以部份達成，該半導體裝置包括：在其間具有閘極介電層，位於半導體基板的上表面上具有相對側表面及上表面之閘極電極；在閘極電極之相對側位於半導體基板中之源極/汲極區域；在閘極電極之相對側上之介電側壁間隔物；在源極/汲極區域上及閘極電極之上表面上之阻止鎳擴散之含氮擴散調制層；以及在含氮擴散調制層上之鎳矽化物層。

本發明之另一優點為半導體裝置的製造方法，此方法包括：在矽半導體基板上形成具有相對側表面及上表面之矽閘極電極，其間具有閘極介電層；在閘極電極的相對側上形成介電側壁間隔物；在閘極電極之相對側上之半導體

基板中形成源極/汲極區域；離子注入氮至閘極電極及在閘極電極之相對側上之半導體基板之曝露表面中；在氮注入閘極電極上及半導體基板之氮注入曝露表面上沈積鈦或鉭層；在鈦層或鉭層上沈積鎳層；再加熱以形成：在源極/汲極區域上及閘極電極的上表面上阻止鎳擴散之含氮擴散調制層；以及在含氮擴散調制層上之鎳矽化物層。

本發明之具體實例包含離子注入氮至閘極電極及半導體基板中，沈積厚度為約 10 Å 至約 50 Å 之鈦層或鉭層，沈積厚度為約 100 Å 至約 200 Å 之鎳層，再於約 400°C 至約 600°C 之溫度加熱。在加熱期間，在其中沈積鈦的情形下，形成包括氮化鈦矽化物、氮化鎳矽化物、或氮化鈦矽化物與氮化鎳矽化物之混合物之厚度為約 10 Å 至約 50 Å 之擴散調制層，或者在沈積鉭層的情形下，形成含有氮化鉭矽化物、氮化鎳矽化物、或其混合物之擴散調制層。本發明之具體實例進一步包含在閘極電極之側表面及鄰近於閘極電極之相對側表面之半導體基板之上表面上形成氧化矽襯墊，及在其上之氮化矽之介電側壁間隔物。

由下述之詳細說明，熟知此項技藝人士將可輕易了解本發明之其他優點，其中本發明之具體實例係經由說明意欲實施本發明之最佳模式而予以簡要說明。當將要施行時，本發明能夠具有其他及不同的具體實例，且其種種細節在各種顯知方面能夠予以修飾，皆不偏離本發明。因此，圖式及說明皆自然地視為說明性，而非限制性。

[實施方式]

本發明著手並解決在執行使用鎳作為矽化金屬之習知自對準矽化物技術時所伴隨的問題。該些問題包含在鎳矽化物層與基底矽之間形成極度粗糙的介面，此粗糙度可導致穿入及透過至源極/汲極區域中，以及透過閘極介電層。進一步的問題包含快速消耗閘極電極中的矽，此則破壞多結晶矽與高度可靠之多結晶矽/氧化矽介面的已知工作功能。其他問題包含沿著閘極電極上之鎳矽化物層與關聯之源極/汲極區域上之鎳矽化物層間之氮化矽側壁間隔物之表面的鎳矽化物橋接。一般認為鎳矽化物橋接係由鎳與氮化矽側壁間隔物中之懸空矽鍵的反應所產生。

本發明部份起因於認知鎳矽化物層與基底矽間的表面粗糙度係由甚至在低於預期之溫度時部份由於快速的鎳擴散，特別是在裝置幾何構形收縮深入至次微米規範時形成 NiSi_2 所造成。該種表面粗糙度在各種距離，甚至1微米之非常短的距離上可為200 Å至1000 Å。 NiSi_2 可在極低溫形成，此低溫為鎳矽化時所附帶的優點，但不幸地，由於鎳的快速擴散及形成 NiSi_2 而導致形成粗糙的表面。藉由防止形成 NiSi_2 ，特別是由於鎳的快速擴散，甚至穿過鈷層而執行鎳矽化成為一種挑戰。

依據本發明，由鎳的快速擴散及形成 NiSi_2 所產生之介面粗糙度的問題可藉由在鎳矽化物層與基底矽間之介面上形成擴散調制層而予以著手並解決。該種擴散調制層阻止鎳擴散至矽中且進一步減少矽擴散至鎳的外罩層中。

本發明的具體實例包括離子注入氮至閘極電極中及至

閘極電極之對面側上之矽基板之曝露表面中以形成氮注入區域。然後沈積鈦或鉭層，及沈積於其上之鎳層。然後進行加熱，在此期間在鎳矽化物層與基底矽間之介面上形成含氮之擴散調制層。

給予本文所揭露之目的及基準，在特別情形下可決定氮注入、個別層的厚度、及加熱條件的最佳化條件。例如，發現在約 5×10^{20} 至約 5×10^{21} 離子/cm² 之注入劑量及約 1KeV 至 5KeV 之注入能量可適合於離子注入氮。通常，閘極電極包括多結晶矽，而基板包括摻雜之單結晶矽。氮穿透至閘極介電層中有利地比氮穿透至基板中更深。通常，係在自基板之上表面約 50 Å 至約 300 Å 之距離具有雜質濃度峰值之基板中形成氮注入區域，以及在自閘極電極之上表面約 100 Å 至約 350 Å 之距離具有雜質濃度峰值之閘極電極中形成氮注入區域。

在閘極電極及基板之氮注入區域上沈積鈦或鉭之閃光層，厚度通常為約 10 Å 至 50 Å，且沈積在其上之鎳層的厚度為 100 Å 至 200 Å。然後於約 400°C 至約 600°C 之溫度進行加熱。加熱期間，在所得之鎳矽化物層與基底矽間之介面上形成含氮擴散調制層。當沈積鈦時，含氮擴散調制層通常含有氮化鈦矽化物與氮化鎳矽化物之混合物。當沈積鉭時，擴散調制層通常含有氮化鉭矽化物與氮化鎳矽化物之混合物。所形成之擴散調制層的厚度通常為約 10 Å 至約 50 Å，而複合鎳矽化物層與基底擴散調制層的合併厚度為約 50 Å 至 300 Å。

有利的是減少鎳擴散之擴散調制層的形成可抑制 NiSi_2 形成，因此顯著減少介面粗糙度。此外，在閘極電極中形成擴散調制層可防止因鎳矽化物形成且穿透過閘極介電層所造成之閘極電極的總消耗。本發明之其他利益起因於減少由於氮注入之在氮化矽側壁間隔物之外表面中之矽懸空鍵的數目，因而減少形成在閘極電極上之鎳矽化物層與形成在源極/汲極區域上之鎳矽化物層間的鎳矽化物橋接。

本發明之具體實例圖解說明於第 2 至 7 圖，其中同樣的參考數值表示同樣的結構。論及第 2 圖，閘極電極 22(例如，摻雜之多結晶矽)形成在半導體基板 20 上，其可為 n-型或 p-型，其間具有閘極絕緣層 21。閘極絕緣層 21 通常為由熱氧化或化學蒸氣沈積(CVD)所形成之二氧化矽。依據本發明之具體實例，在閘極電極 22 之相對側表面上形成厚度為約 130 Å 至約 170 Å 之薄氧化物襯層 23。氧化矽襯層可使用於約 50 至約 100sccm 之流動速率之矽烷，於約 1,000 至約 4,000sccm 之流動速率之 N_2O ，約 100 瓦特至約 300 瓦特之 RF 功率，約 2.4 托至約 3.2 托之壓力，及約 380 °C 至約 420 °C，例如約 400 °C 之溫度藉由電漿強化化學蒸氣沈積(PECVD)予以形成。氧化矽襯層 23 有利地防止因自其側表面矽化所造成之閘極電極 21 的消耗。

接著形成氧化矽襯層 23 後，藉由沈積保型層接著各向異性地蝕刻而形成氮化矽側壁間隔物 24。氮化矽側壁間隔物可使用約 200 至約 400sccm，例如約 375sccm 之矽烷流

動速率，約 2,000 至約 4,000sccm，例如約 2,800sccm 之氮流動速率，約 2,500 至約 4,000sccm，例如約 3,000sccm 之氮流動速率，約 250 瓦特至約 450 瓦特，例如約 350 瓦特之高頻率 RF 功率，約 100 至約 200 瓦特，例如約 140 瓦特之低頻率 RF 功率，約 1.6 托至約 2.2 托，例如約 1.9 托之壓力，及約 380°C 至約 420°C，例如約 400°C 之溫度藉由 PECVD 予以形成。氮化矽側壁間隔物通常具有約 850 Å 至約 950 Å 之厚度。

接著，依據本發明之具體實例，將氮離子注入閘極電極 22 及閘極電極 22 之對面側上之基板 20 之曝露表面中，如第 3 圖之箭號 30 所示。結果，在基板中形成氮注入區域 31 且在閘極電極之上表面中形成氮注入區域 32。

接著，如圖解說明於第 4 圖者，在閘極電極及基板上沈積鈦層或鈮層 40。然後在層 40 上沈積如第 5 圖所示之鎳層 50。

論及第 6 圖，然後進行加熱，由而在源極/汲極區域中形成含氮擴散調制層 61 且在其上形成鎳矽化物層 63。此外，在閘極電極之上表面中形成含氮擴散調制層 62，且在其上形成鎳矽化物層 64。在其中層 40 為鈦的情形下，擴散調制區域 61、62 包括氮化鈦矽化物與氮化鎳矽化物之混合物。在其中，層 40 為鈮的情形下，擴散調制區域 61、62 包括氮化鈮矽化物與氮化鎳矽化物之混合物。接著，如第 7 圖中所示，自側壁間隔物移除層 40 及 50 之未反應的部份。

於另一具體實例中，在形成源極/汲極區域後，在閘極電極及基板之曝露表面上藉由導入氮同時濺鍍鈦或鈮而濺鍍沈積氮化鈦或氮化鈮層。然後沈積鎳層。然後進行加熱以形成包括氮化鎳矽化物與氮化鈦矽化物或氮化鈮矽化物之混合物的擴散調制層。

本發明藉由策略性地注入氮至基板及閘極電極中，接著沈積鈦或鈮之閃光層、沈積鎳層、然後加熱而能夠有利地注入鎳矽化，由而顯著減少鎳矽化物層與基底矽間之介面粗糙度。加熱期間，在基板及閘極電極上形成阻止鎳擴散之氮化擴散調制層，將鎳矽化物層與基底矽分離。此擴散調制層相對較平滑且可防止因鎳所造成之穿入以及閘極電極的消耗。此外，氮注入減少沿著閘極電極上之鎳矽化物層與關聯之源極/汲極區域上之鎳矽化物層間之氮化矽側壁間隔物的橋接。

本發明在各種半導體裝置，包含基於 SOI 基板之半導體裝置的製造上享有產業應用性。本發明在具有深次微米規範中之設計特點之半導體裝置的製造上享有特別的產業應用性。

在前述詳細說明中，本發明係參照其特定示例之具體實例予以說明。然而，顯然可對其進行各種修飾及改變而不會偏離如申請專利範圍所示之本發明之較廣的精神及範圍。因此，說明書及圖式係視為說明性而非限制性。應可了解本發明能夠利用各種其他組合及環境且能夠在如本文所示之發明概念的範圍內改變或修飾。

[圖式簡單說明]

第 1 圖係圖解說明在鎳矽化物層與基底矽間之介面上成問題之表面粗糙度。

第 2 至 7 圖係圖解說明依據本發明具體實例之方法的序列階段，其中以同樣的參考數值表示同樣的結構。

[主要元件符號說明]

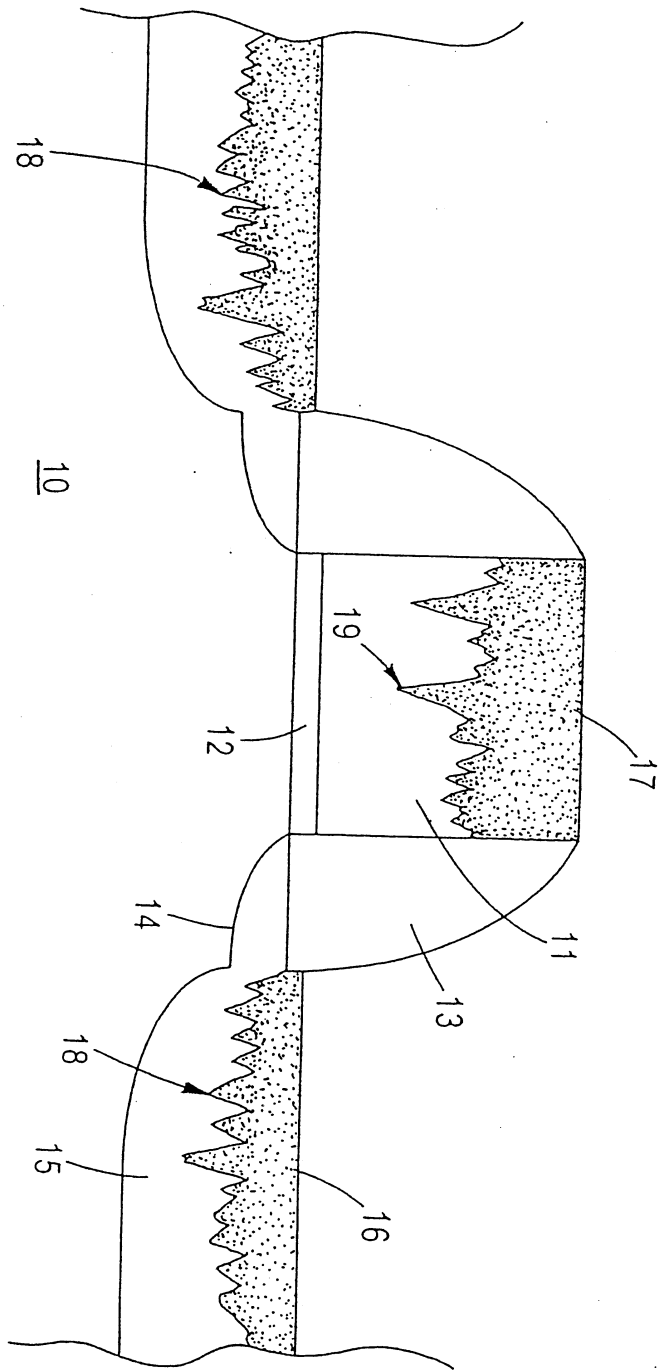
10、20	半導體基板	11、22	閘極電極
12	閘極介電層	13、24	側壁間隔物
14	源極/汲極延伸部		
15	源極/汲極區域	16、17、63、64	鎳矽化物層
18、19	界面	21	閘極絕緣層
23	薄氧化物襯層(氧化矽襯層)		
30	箭號	32	氮注入區域
40	鈦層或鉭層	50	鎳層
61、62	氮擴散調制層(區域)		

伍、中文發明摘要：

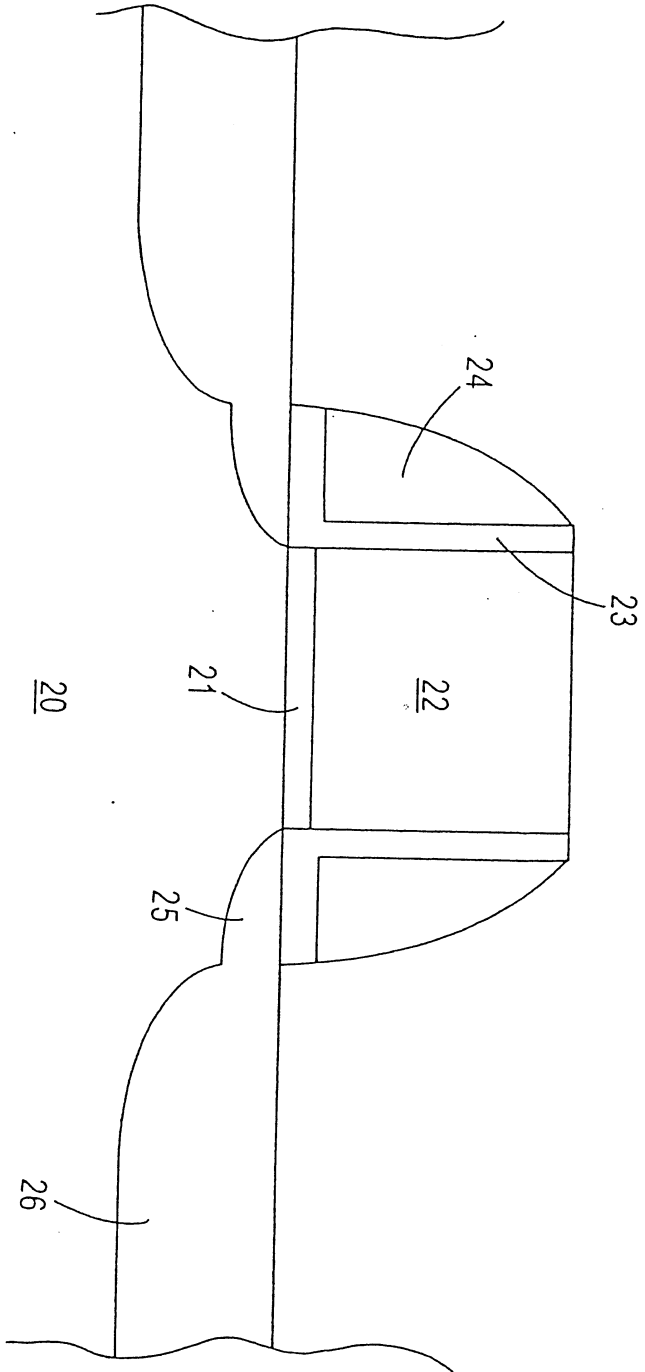
藉由在基底矽(22, 26)與鎳矽化物層(63, 64)之間形成擴散調制層(61, 62)而達成具有顯著減少介面粗糙度之鎳矽化物(63, 64)的形成。具體實例包含離子注入氮(31, 32)至基板(20)及閘極電極(22)中，沈積鈦或鉭(40)之薄層，沈積鎳層(50)，然後加熱以在基底矽(22, 26)與鎳矽化物層(63, 64)間之介面上形成含氮之擴散調制層(61, 62)。

陸、英文發明摘要：

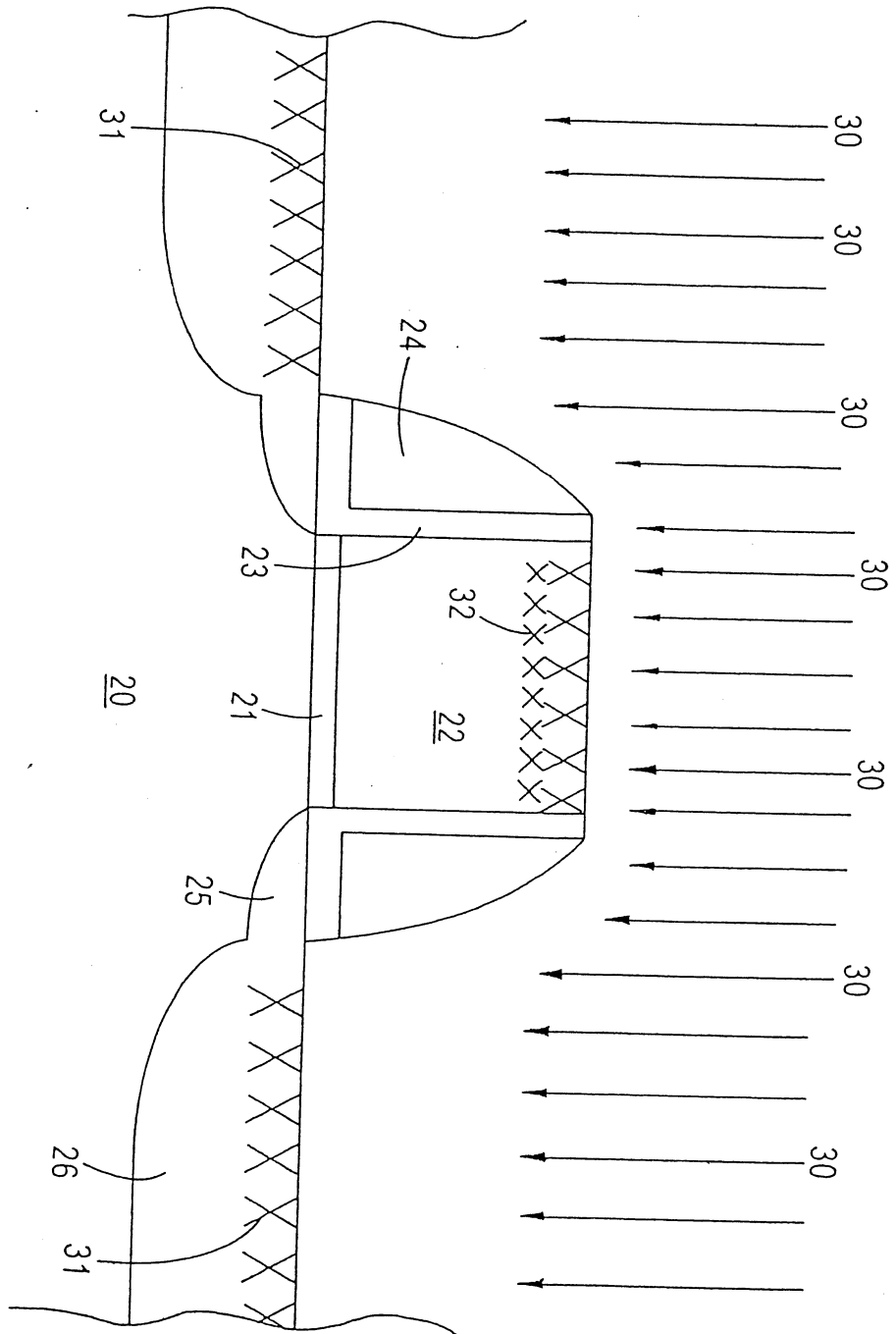
Nickel silicide (63, 64) formation with significantly reduced interface roughness is achieved by forming a diffusion modulating layer (61, 62) between the underlying silicon (22, 26) and nickel silicide layers (63, 64). Embodiments include ion implanting nitrogen (31, 32) into the substrate (20) and gate electrode (22), depositing a thin layer of titanium or tantalum (40), depositing a layer of nickel (50), and then heating to form a diffusion modulating layer (61, 62) containing nitrogen at the interface between the underlying silicon (22, 26) and nickel silicide layers (63, 64).



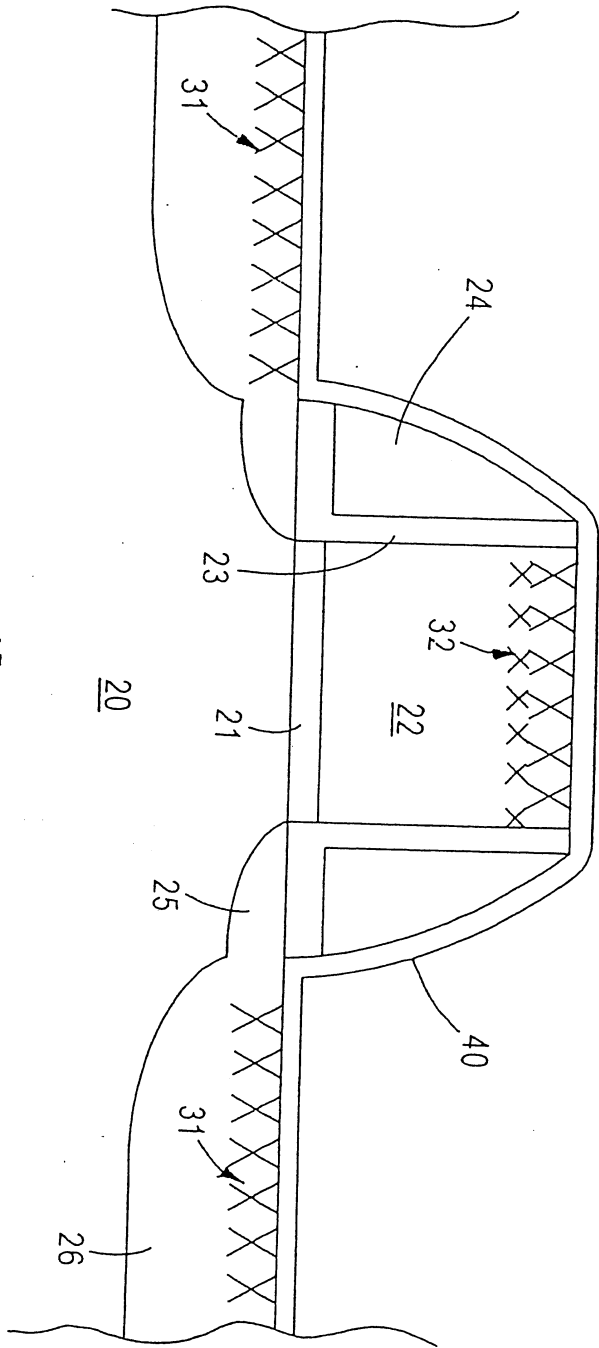
第 1 圖 (先前技術)



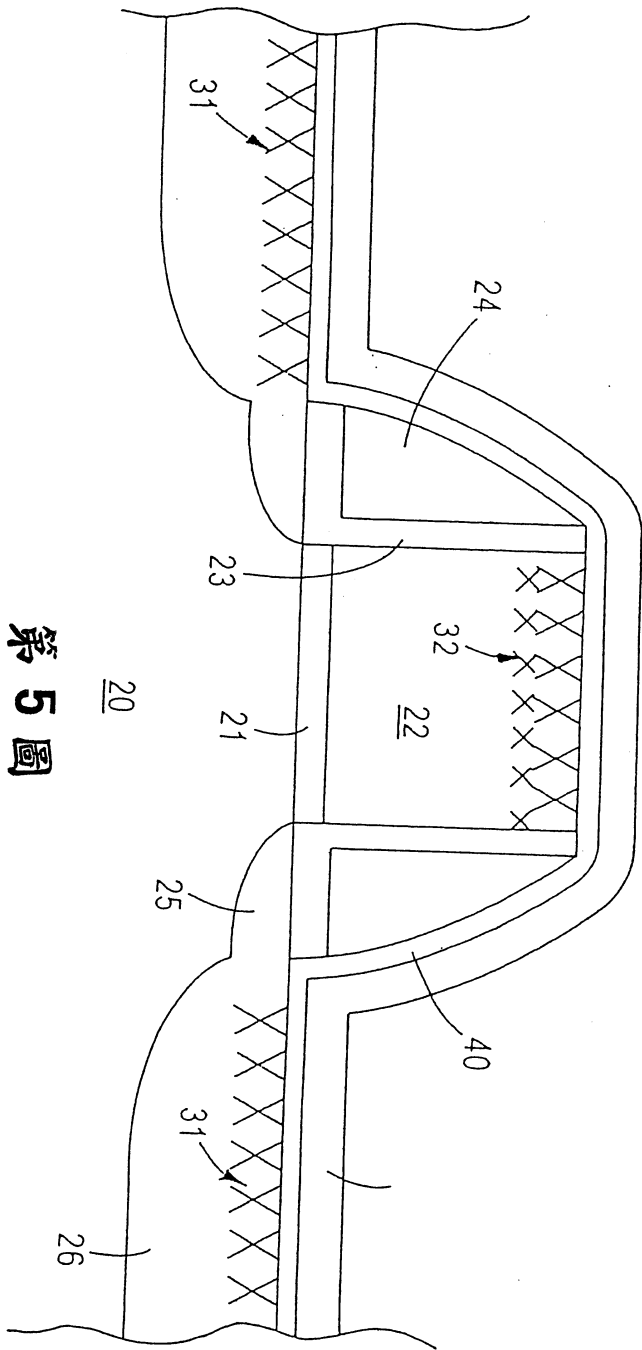
第2圖



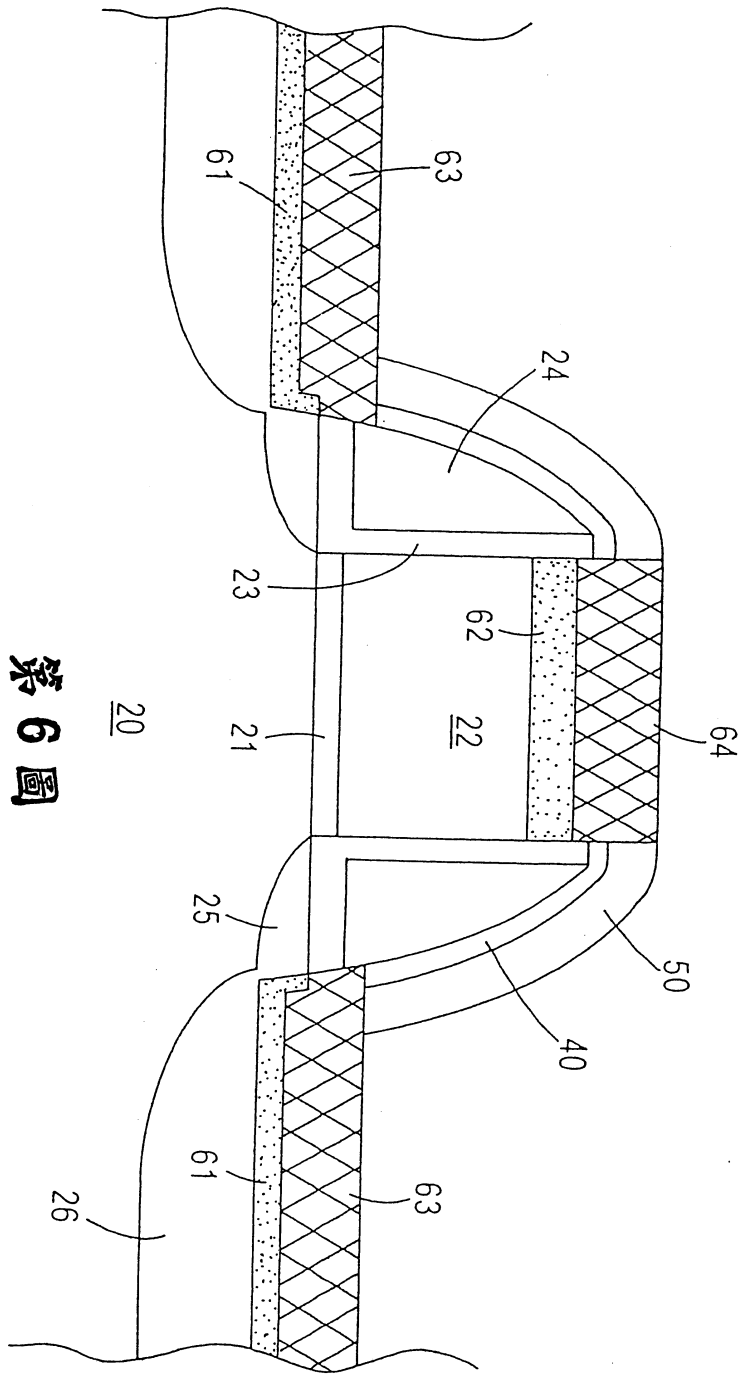
第 3 圖



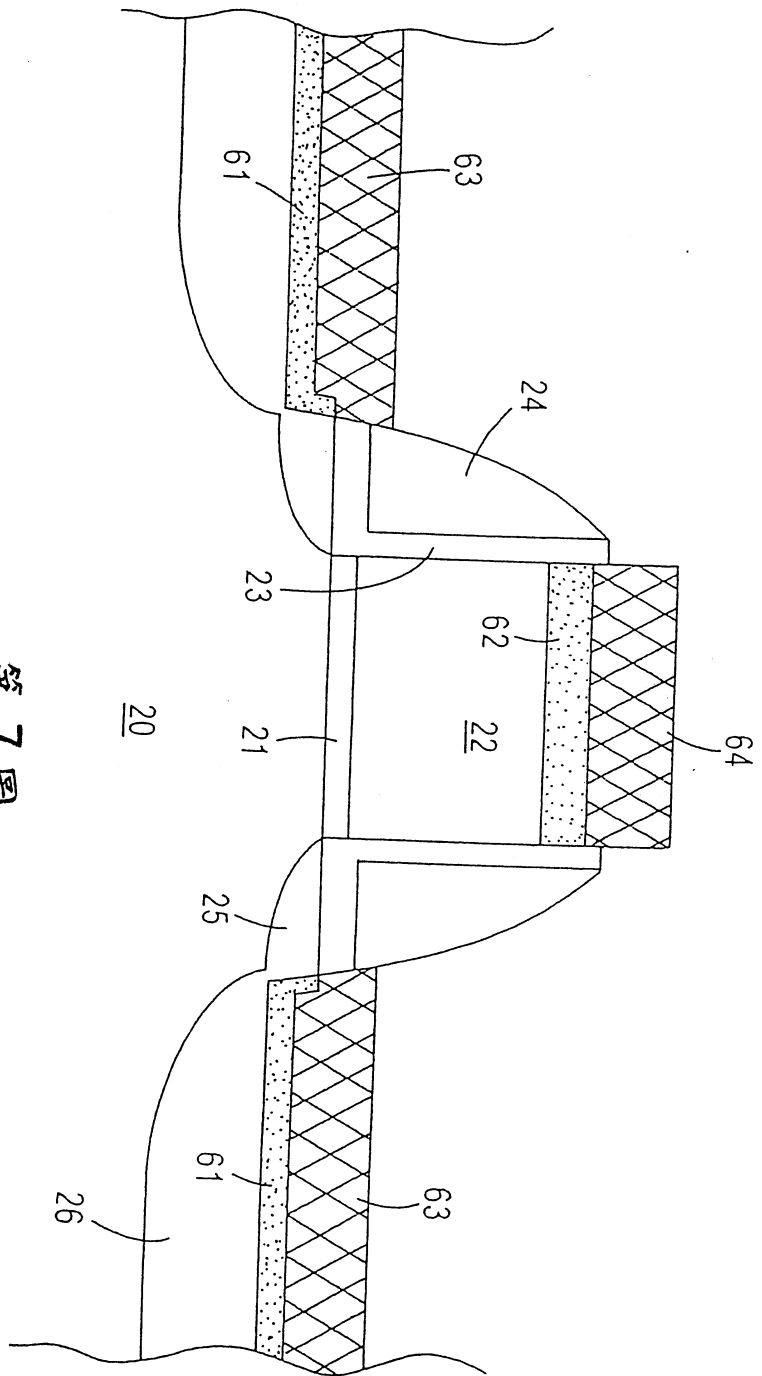
第 4 圖



第 5 圖



第 6 圖



第 7 圖

柒、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件代表符號簡單說明：

- | | | | |
|-------|---------------|-------|------------|
| 20 | 半導體基板 | 21 | 閘極絕緣層 |
| 22 | 閘極電極 | | |
| 23 | 薄氧化物襯層(氧化矽襯層) | | |
| 24 | 側壁間隔物 | 61、62 | 氮擴散調制層(區域) |
| 63、64 | 鎳矽化物層 | | |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

95年3月17日 修正
第 21 / 28 頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92113429

※申請日期：92.5.19

※IPC 分類：H01L 21/08

壹、發明名稱：(中文/英文)

減少介面粗糙度之鎳矽化物

NICKEL SILICIDE WITH REDUCED INTERFACE ROUGHNESS

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 柯洛皮 丹尼爾 R / COLLOPY, DANIEL R.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號
One AMD Place, P.O. Box 3453, Sunnyvale, Mail Stop 68, CA, 94088-3453,
U.S.A.

國籍：(中文/英文) 美國/U.S.A.

參、發明人：(共4人)

姓名：(中文/英文)

培頓 艾瑞克 / PATON, ERIC

住居所地址：(中文/英文)

美國·加州 95037·摩根丘·瑞奧格蘭的院 498 號
498 Rio Grande Court, Morgan Hill, CA 95037, U.S.A.

國籍：(中文/英文) 美國/U.S.A.

姓名：(中文/英文)

培塞 保羅 羅門 / BESSER, PAUL RAYMOND.

住居所地址：(中文/英文)

美國·加州 94087·太陽谷·約克鎮道 1087 號
1087 Yorktown Drive, Sunnyvale, CA 94087, U.S.A.

國籍：(中文/英文) 美國/U.S.A.

第 92113429 號專利申請案

申請專利範圍修正本

(96 年 1 月 22 日)

1. 一種半導體裝置，包括：

在半導體基板(20)之上表面上之具有相對側表面及上表面之閘極電極(22)，在該閘極電極(22)與該半導體基板(20)間具有閘極介電層(21)；

在該閘極電極(22)之相對側且於該半導體基板(20)中之源極/汲極區域(26)；

在該閘極電極(22)之相對側上之介電側壁間隔物(24)；

在該源極/汲極區域(26)上及該閘極電極(22)之上表面上之阻止鎳擴散之含氮擴散調制層(61、62)；以及

在該含氮擴散調制層(61、62)上之鎳矽化物層(63、64)。

2. 如申請專利範圍第 1 項之半導體裝置，其中該含氮擴散調制層(61、62)含有氮化鈦矽化物、氮化鎳矽化物、氮化鈦矽化物與氮化鎳矽化物之混合物、氮化鉭矽化物、或者氮化鉭矽化物與氮化鎳矽化物之混合物。

3. 如申請專利範圍第 1 項之半導體裝置，其中該含氮擴散調制層(61、62)具有 10 Å 至 50 Å 之厚度，且該含氮擴散調制層(61、62)與該鎳矽化物層(63、64)的合併厚度為 50 Å 至 300 Å。

4. 一種製造半導體裝置之方法，該方法包括下列步驟：

在矽半導體基板(20)之上表面上形成具有相對側表面及上表面之矽閘極電極(27)，在該矽閘極電極(27)與該矽半導體基板(20)之間具有閘極介電層(21)；

在該閘極電極(22)之相對側表面上形成介電側壁間隔物(24)；

在該閘極電極(22)之相對側上之半導體基板(20)中形成源極/汲極區域(26)；

離子注入氮(31、32)至該矽閘極電極(27)及在該閘極電極之相對側上之半導體基板(20)的曝露表面中；

在該氮注入之閘極電極(22)上及該半導體基板(20)之氮注入曝露表面上沈積鈦或鈮層(40)；

在該鈦層或鈮層(40)上沈積鎳層(50)；以及加熱以形成：

在該閘極電極(22)之上表面上及該源極/汲極區域(26)上之阻止鎳擴散之含氮擴散調制層(61、62)；以及

在該含氮擴散調制層(61、62)上之鎳矽化物層(63、64)。

5. 如申請專利範圍第4項之方法，包括在400°C至600°C之溫度加熱以形成厚度為10 Å至50 Å之該含氮擴散調制層(61、62)。
6. 如申請專利範圍第4項之方法，包括於 5×10^{20} 至 5×10^{21} 離子/cm²之注入劑量及1KeV至5KeV之注入能量離子注入氮。
7. 如申請專利範圍第4項之方法，包括離子注入氮以形

成：

在自該半導體基板(20)表面 50 Å 至 300 Å 之深度具有雜質濃度峰值之該基板(20)中之氮注入層(31)；以及

在自該閘極電極(22)上表面 100 Å 至 350 Å 之距離具有雜質濃度峰值之該閘極電極中之氮注入層(32)。

8. 如申請專利範圍第 7 項之方法，包括沈積厚度為 10 Å 至 50 Å 之鈦層或鉭層(40)。
9. 如申請專利範圍第 7 項之方法，包括沈積鈦層(40)，其中該含氮擴散調制層包括氮化鈦矽化物、氮化鎳矽化物、或其混合物。