

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月12日(12.09.2024)



(10) 国際公開番号

WO 2024/185293 A1

- (51) 国際特許分類:
H03L 7/06 (2006.01) H03K 3/354 (2006.01)
H03K 3/03 (2006.01) H03L 7/099 (2006.01)
- (21) 国際出願番号: PCT/JP2024/000603
- (22) 国際出願日: 2024年1月12日(12.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-035201 2023年3月8日(08.03.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

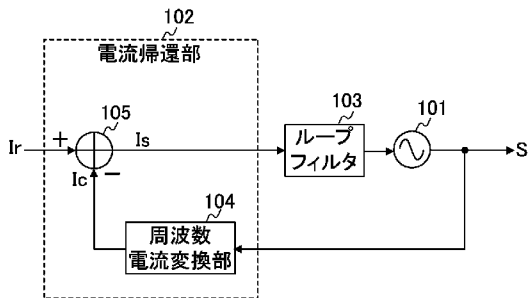
(72) 発明者: 本間 龍太郎 (HOMMA, Ryutaro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 新家 暁 (SHINKE, Satoru); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: OSCILLATOR CIRCUIT

(54) 発明の名称: 発振回路

[図1]



- 102 Current feedback unit
103 Loop filter
104 Frequency-current converter

(57) Abstract: The present invention is capable of reducing limitations on the operation of an oscillator circuit which uses a feedback loop. The oscillator circuit is equipped with an oscillator, and a current feedback unit which constitutes a feedback loop for the oscillator, on the basis of an electrical current obtained by converting the oscillation frequency of the oscillator. The current feedback unit may be equipped with a frequency-current converter for converting the oscillation frequency of the oscillator to a current, and a differential current generation unit for generating a differential current

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

between a reference current and the current generated by the frequency-current converter. The frequency-current converter may be equipped with a switched capacitor for generating a current which corresponds to the oscillation frequency. The oscillator may be an LC oscillator or a ring oscillator.

(57) 要約: フィードバックループが用いられた発振回路の動作の制約を緩和可能とする。発振回路は、発振器と、発振器の発振周波数が変換された電流に基づいて、発振器に対する帰還ループを構成する電流帰還部とを備える。電流帰還部は、記発振器の発振周波数を電流に変換する周波数電流変換部と、周波数電流変換部で生成された電流と参照電流との差分電流を生成する差分電流生成部とを備えてもよい。周波数電流変換部は、発振周波数に応じた電流を生成するスイッチトキャパシタを備えてもよい。発振器は、LC発振器またはリングオシレータでもよい。

明 細 書

発明の名称：発振回路

技術分野

[0001] 本技術は、発振回路に関する。詳しくは、本技術は、周波数同期ループ（FLL：Frequency Locked Loop）に基づいて発振周波数を安定化可能な発振回路に関する。

背景技術

[0002] LC発振器やリングオシレータなどの様々な発振器がクロックなどの発生に用いられる。ここで、発振器の発振周波数の安定化のためにPLL（Phase Locked Loop）が用いられることがある（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-167527号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、PLLを用いた発振周波数の安定化では、消費電力が増大する・チップ面積が増大する・基準発振信号源を別に用意する必要があるなどのデメリットがあり、より単純化された周波数安定化の手法が検討されている。しかし、より単純化したシステムでの発振器の使用条件などによっては、発振周波数に制約が生じる、発振周波数が不安定になるなどのおそれがあった。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、フィードバックループが用いられた発振回路の動作の制約を緩和可能とすることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、発振器と、前記発振器の発振周波数が変換された電流に基づいて

、前記発振器に対する帰還ループを構成する電流帰還部とを備える発振回路である。これにより、発振器の発振周波数に応じた電圧の比較を伴うことなく、発振器に対する帰還ループが構成されるという作用をもたらす。

[0007] また、第1の側面において、前記電流帰還部は、前記発振器の発振周波数を電流に変換する周波数電流変換部と、前記周波数電流変換部で生成された電流と参照電流との差分電流を生成する差分電流生成部とを備えてもよい。これにより、発振器の発振周波数の増減がインピーダンスの増減に変換されるという作用をもたらす。

[0008] また、第1の側面において、前記周波数電流変換部は、前記発振周波数に応じた電流を生成するスイッチトキャパシタを備えてもよい。これにより、スイッチング動作に基づいて、発振器の発振周波数が電流に変換されるという作用をもたらす。

[0009] また、第1の側面において、前記スイッチトキャパシタは可変容量素子を備えてもよい。これにより、スイッチトキャパシタを用いた周波数調整が実現されるという作用をもたらす。

[0010] また、第1の側面において、前記差分電流生成部は、前記スイッチトキャパシタで生成された電流と前記参照電流とを入力とするカスコードカレントミラー回路を備えてもよい。これにより、発振器の発振周波数のインピーダンス変換に基づいて差分電流が生成されるという作用をもたらす。

[0011] また、第1の側面において、前記参照電流の生成に用いられる参照抵抗と、前記スイッチトキャパシタに直列に接続され、前記参照抵抗と温度特性が異なる補償抵抗とをさらに備えてもよい。これにより、FLLの温度特性が補償されるという作用をもたらす。

[0012] また、第1の側面において、前記スイッチトキャパシタで生成された電流の出力先および前記参照電流の出力先を交互に切り替えるチョッパ回路をさらに備えてもよい。これにより、スイッチング動作に基づいて、カレントミラーに用いられるミラートランジスタ間のミスマッチが解消されるという作用をもたらす。

- [0013] また、第1の側面において、前記差分電流生成部は、前記スイッチトキャパシタで生成された電流を入力とするカレントミラー回路を備えてもよい。これにより、発振器の発振周波数のインピーダンス変換に基づいて差分電流が生成されるという作用をもたらす。
- [0014] また、第1の側面において、前記参照電流の生成に用いられる参照抵抗と、前記参照抵抗に直列に接続され、前記カレントミラー回路においてダイオード接続されたミラートランジスタと同等の特性を持つダイオード接続トランジスタとをさらに備えてもよい。これにより、参照電流の電流経路と、カレントミラー回路のミラートランジスタに流れる電流の電流経路とでインピーダンスが揃えられるという作用をもたらす。
- [0015] また、第1の側面において、前記カレントミラー回路のミラートランジスタに直列に接続され、前記参照抵抗と温度特性が異なる補償抵抗をさらに備えてもよい。これにより、FLLの温度特性が補償されるという作用をもたらす。
- [0016] また、第1の側面において、前記スイッチトキャパシタのスイッチングに用いられるブートストラップ回路をさらに備えてもよい。これにより、スイッチトキャパシタのスイッチング時のオン抵抗が低下されるという作用をもたらす。
- [0017] また、第1の側面において、集積回路の基準クロック源として用いられてもよい。これにより、クロックに基づいて動作する集積回路の動作が安定化されるという作用をもたらす。
- [0018] また、第1の側面において、前記集積回路が形成される半導体チップに集積化されてもよい。これにより、集積回路にクロックを供給する外部発振器が不要になるという作用をもたらす。
- [0019] また、第1の側面において、前記発振器は、LC発振器またはリングオシレータでもよい。これにより、PLLを用いた帰還型発振回路が構成されるという作用をもたらす。
- [0020] また、第2の側面は、発振器と、前記発振器の発振周波数に基づいて、前

記発振器に対する帰還ループを構成する周波数同期部と、前記発振器の後段に接続されたPLL（Phase Locked Loop）とを備える発振回路である。これにより、PLLの前段に接続される発振器の発振周波数が安定化されるという作用をもたらす。

[0021] また、第2の側面において、前記周波数同期部は、前記発振器の発振周波数に応じた制御電圧を生成する周波数電圧変換部を備えてもよい。これにより、発振器の発振周波数に基づいて発振器の発振周波数が制御されるという作用をもたらす。

[0022] また、第2の側面において、前記周波数電圧変換部は、前記発振器の発振周波数に応じた電圧を生成するスイッチトキャパシタと、前記スイッチトキャパシタで生成された電圧と参照電圧との差分を生成するアンプと、前記アンプの出力から低域成分を抽出するローパスフィルタとを備えてもよい。これにより、発振器の発振周波数に基づいて発振器の発振周波数の制御に用いられる制御電圧が生成されるという作用をもたらす。

[0023] また、第2の側面において、前記周波数同期部から出力される前記発振器の制御電圧の検知結果に基づいて、前記PLLの制御に用いられるパラメータを補正するパラメータ補正部をさらに備えてもよい。これにより、PLLに基づいて発振器の発振周波数を安定化させつつ、発振器の後段に接続されるPLLの動作周波数が安定化されるという作用をもたらす。

[0024] また、第2の側面において、前記パラメータ補正部は、前記周波数同期部の電源電圧の補正値を算出する電源電圧補正値算出部と、前記発振器の制御電圧の補正値を算出する制御電圧補正値算出部と、前記周波数同期部の温度の補正値を算出する温度補正値算出部とを備え、前記電源電圧の補正値、前記制御電圧の補正値および前記温度の補正値に基づいて、前記パラメータを補正してもよい。これにより、PLLに基づいて発振器の発振周波数を安定化させつつ、PLLの動作環境に応じてPLLの動作周波数が安定化されるという作用をもたらす。

[0025] また、第3の側面は、発振器と、前記発振器の後段に接続されたPLL（P

hase Locked Loop) と、前記発振器の発振周波数に応じた電圧を生成する周波数電圧変換部と、前記周波数電圧変換部で生成された電圧に基づいて、前記 PLL の制御に用いられるパラメータを補正するパラメータ補正部とを備える発振回路である。これにより、発振器を PLL の源発振回路として用い、PLL の動作周波数が安定化されるという作用をもたらす。

図面の簡単な説明

- [0026] [図1]第1の実施の形態に係る発振回路の構成例を示すブロック図である。
- [図2]第1の実施の形態に係る発振回路の構成例を示す回路図である。
- [図3]第1の実施の形態に係る発振器の第1の例を示す回路図である。
- [図4]第1の実施の形態に係る発振器の第2の例を示す回路図である。
- [図5]第2の実施の形態に係る発振回路の構成例を示す回路図である。
- [図6]第3の実施の形態に係る発振回路の構成例を示す回路図である。
- [図7]第4の実施の形態に係る発振回路の構成例を示す回路図である。
- [図8]第5の実施の形態に係る発振回路の構成例を示す回路図である。
- [図9]第6の実施の形態に係る発振回路の構成例を示す回路図である。
- [図10]第6の実施の形態に係るチョッパ回路の第1の例を示す回路図である。
- [図11]第6の実施の形態に係るチョッパ回路の第2の例を示す回路図である。
- [図12]第6の実施の形態に係る発振回路のチョッパ動作を示すタイミングチャートである。
- [図13]第7の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。
- [図14]第8の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。
- [図15]第9の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。
- [図16]第10の実施の形態に係る発振回路が適用される固体撮像装置の構成

例を示すブロック図である。

[図17]第11の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[図18]第12の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[図19]第13の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[図20]第14の実施の形態に係る発振回路の構成例を示すブロック図である。

[図21]第14の実施の形態に係る発振回路の動作環境と発振周波数との関係を示す図である。

[図22]第15の実施の形態に係る発振回路の構成例を示す回路図である。

[図23]第15の実施の形態に係る発振回路の動作時の各部の状態を示す図である。

[図24]第16の実施の形態に係る発振回路の構成例を示す回路図である。

[図25]第17の実施の形態に係る発振回路の構成例を示す回路図である。

[図26]第18の実施の形態に係る固体撮像装置の積層例を示す斜視図である。

[図27]車両制御システムの概略的な構成例を示すブロック図である。

[図28]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0027] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（FLLにおいて参照電流との比較結果に基づいて電流帰還を実施する例）

2. 第2の実施の形態（参照電流との比較結果に基づいて電流帰還が実施されるFLLの温度補償を行う例）

3. 第3の実施の形態（FLLにおいて参照電流との比較を行うことなく

電流帰還を実施する例)

4. 第4の実施の形態(参照電流との比較を行うことなく電流帰還が実施されるFLLの温度補償を行う例)

5. 第5の実施の形態(スイッチトキャパシタのスイッチングにブートストラップ回路を用いる例)

6. 第6の実施の形態(スイッチトキャパシタで生成された電流の出力先および参照電流の出力先を交互に切り替える例)

7. 第7の実施の形態(FLLを固体撮像装置に適用した例)

8. 第8の実施の形態(ADコンバータおよびロジック回路に用いられるPLLと、通信インタフェースに用いられるPLLとをFLLの後段に設けた例)

9. 第9の実施の形態(ADコンバータおよびロジック回路に用いられるPLLをFLLの後段に設けた例)

10. 第10の実施の形態(通信インタフェースに用いられるPLLをFLLの後段に設けた例)

11. 第11の実施の形態(ADコンバータ、ロジック回路および通信インタフェースに用いられるPLLをFLLの後段に設けた例)

12. 第12の実施の形態(ADコンバータおよびロジック回路に用いられるFLLと、通信インタフェースに用いられるFLLとを設けた例)

13. 第13の実施の形態(固体撮像装置に用いられるFLLの周波数を外部制御可能とした例)

14. 第14の実施の形態(PLLの源発振回路としてFLLを用いた上で、FLLの発振周波数に関する検出値に基づいて、PLLの周波数を補正可能とした例)

15. 第15の実施の形態(PLLの源発振回路として用いられるFLLの発振器にLC発振器を用いた例)

16. 第16の実施の形態(PLLの源発振回路として用いられるFLLの発振器にリングオシレータを用いた例)

17. 第17の実施の形態（PLLの源発振回路としてLC発振器を用いた上で、LC発振器の発振周波数に関係する検出値に基づいて、PLLの周波数を補正可能とした例）

18. 第18の実施の形態（固体撮像装置が形成される基板を積層化した例）

19. 移動体への応用例

[0028] <1. 第1の実施の形態>

図1は、第1の実施の形態に係る発振回路の構成例を示すブロック図である。

[0029] 同図において、発振回路は、発振器101、電流帰還部102およびループフィルタ103を備える。このとき、発振回路は、PLLとして動作することができる。

[0030] 発振器101は、発振動作に基づいて発振信号Scを生成する。発振器101は、電圧制御に基づいて発振周波数fsを変化させることができる。発振器101は、リングオシレータでもよいし、LC発振器でもよい。

[0031] 電流帰還部102は、発振器101の発振周波数fsが変換された電流Icに基づいて、発振器101に対する帰還ループを構成する。電流帰還部102は、周波数電流変換部104および差分電流生成部105を備える。

[0032] 周波数電流変換部104は、発振器101の発振周波数fsを電流Icに変換する。周波数電流変換部104は、発振器101の発振周波数fsに応じた電流Icを生成するスイッチトキャパシタを備えてもよい。なお、発振器101の発振周波数fsは分周されてもよい。

[0033] 差分電流生成部105は、周波数電流変換部104で生成された電流Icと参照電流Irとの差分電流Isを生成する。差分電流生成部105は、スイッチトキャパシタで生成された電流Icと参照電流Irとを入力とするカスコードカレントミラー回路を備えてもよいし、スイッチトキャパシタで生成された電流Icを入力とするカレントミラー回路を備えてもよい。

[0034] ループフィルタ103は、電流帰還部102から出力された差分電流Is

に応じた制御電圧を発振器 101 に印加する。

[0035] 図 2 は、第 1 の実施の形態に係る発振回路の構成例を示す回路図である。

[0036] 同図において、電流帰還部 102 は、スイッチトキャパシタ 106、カスコードカレントミラー回路 107、電流源 111 および参照抵抗 112 を備える。

[0037] スwitchトキャパシタ 106 は、スイッチング動作に基づいて、発振器 101 の発振周波数 f_s に応じた電流 I_c を生成する。スイッチトキャパシタ 106 は、スイッチ 113、114 およびキャパシタ 115 を備える。

[0038] スwitch 113、114 は、互いに直列に接続され、その接続点にはキャパシタ 115 が接続される。各スitch 113、114 は、発振器 101 の発振周波数 f_s に基づいてスイッチングされる。このとき、各スitch 113、114 のスイッチングは、互いに逆位相に設定される。スitch 113、114 は、電界効果トランジスタでもよい。スイッチトキャパシタ 106 は、電流源 111 に対して参照抵抗 112 に並列に接続される。スイッチトキャパシタ 106 は、発振器 101 の発振周波数 f_s に応じた電流 I_c をカスコードカレントミラー回路 107 に出力する。

[0039] 参照抵抗 112 は、電流源 111 から供給される電流に基づいて参照電流 I_r を生成し、カスコードカレントミラー回路 107 に出力する。

[0040] カスコードカレントミラー回路 107 は、スイッチトキャパシタ 106 で生成された電流 I_c と参照電流 I_r とを入力とし、それらの差分電流 I_s を生成する。カスコードカレントミラー回路 107 は、ミラートランジスタ 123 から 128 および電流源 121、122 を備える。ミラートランジスタ 123、124 は P チャンネル電界効果トランジスタ、ミラートランジスタ 125 から 128 は N チャンネル電界効果トランジスタを用いてもよい。

[0041] 電流源 121 およびミラートランジスタ 123、125、127 は、順次直列に接続され、電流源 122 およびミラートランジスタ 124、126、128 は、順次直列に接続される。ミラートランジスタ 123、124 のゲートには、バイアス電圧 V_{b1} が入力され、ミラートランジスタ 125、1

26のゲートには、バイアス電圧 V_{b2} が入力される。ミラートランジスタ127、128の各ゲートは、ミラートランジスタ123、125の接続点に接続される。ミラートランジスタ125、127の接続点は、参照抵抗112に接続される。ミラートランジスタ126、128の接続点は、スイッチトキャパシタ106に接続される。ミラートランジスタ124、126の接続点は、ループフィルタ103に接続される。

[0042] スイッチトキャパシタ106において、スイッチ113がオン、スイッチ114がオフすると、スイッチ113を介して電流源111からキャパシタ115に電流が供給され、キャパシタ115に電荷が蓄積される。スイッチ113がオフ、スイッチ114がオンすると、キャパシタ115に蓄積された電荷がスイッチ114を介して放電され、スイッチトキャパシタ106で生成された電流 I_c がミラートランジスタ128に供給される。ここで、発振器101の発振周波数 f_s が増大すると、キャパシタ115に蓄積された電荷の放電回数が増大し、スイッチトキャパシタ106で生成される電流 I_c が増大する。このとき、スイッチトキャパシタ106は、抵抗 R のインピーダンスとみなすことができ、キャパシタ115の容量値を C とすると、スイッチトキャパシタ106の抵抗 R は、 $1 / (f_s \cdot C)$ という式で与えることができる。このため、発振器101の発振周波数 f_s が増大すると、スイッチトキャパシタ106の抵抗 R は小さくなるが、スイッチトキャパシタ106および参照抵抗112は電流源111で駆動されるため、電流総量は変化せず、電力は増大しない。

[0043] カスコードカレントミラー回路107において、スイッチトキャパシタ106で生成された電流 I_c はミラートランジスタ128に供給され、参照抵抗112で生成された参照電流 I_r はミラートランジスタ127に供給される。ミラートランジスタ127に参照電流 I_r が供給されると、ミラートランジスタ127、128のカレントミラー動作に基づいて、ミラートランジスタ128に参照電流 I_r が流れる。このとき、ミラートランジスタ128において、スイッチトキャパシタ106より供給された電流 I_c から参照電

流 I_r が引かれることにより差分電流 I_s が生成され、ミラートランジスタ 126 に流れる。この差分電流 I_s はループフィルタ 103 から引き抜かれることにより、その差分電流 I_s に応じて発振器 101 の制御電圧が変化し、発振器 101 の発振周波数 f_s が変化する。差分電流 I_s が 0 になると、 $I_c = I_r$ となり、発振器 101 は定常状態になる。このとき、スイッチトキャパシタ 106 をインピーダンスとみなしたときの抵抗 R は、参照抵抗 112 の抵抗値 R_r と等しくなり、発振周波数 $f_s = 1 / (R_r \cdot C)$ で与えることができる。

[0044] 図 3 は、第 1 の実施の形態に係る発振器の第 1 の例を示す回路図である。

なお、同図では、発振器がリングオシレータの例を示した。

[0045] 同図において、リングオシレータは、複数（奇数個）のインバータ 131 が多段接続され、最後段のインバータ出力は最前段のインバータ入力にフィードバックされる。

[0046] 図 4 は、第 1 の実施の形態に係る発振器の第 2 の例を示す回路図である。

なお、同図では、発振器が LC 発振器の例を示した。

[0047] 同図において、LC 発振器は、インダクタ 141 とキャパシタ 142 との共振に基づいて発振信号を生成する。発振信号は差動出力信号である。LC 発振器は、インダクタ 141、キャパシタ 142、トランジスタ 143、144 および電流源 145 を備える。トランジスタ 143、144 は、N チャネル電界効果トランジスタである。

[0048] インダクタ 141 とキャパシタ 142 とは互いに並列に接続されている。キャパシタ 142 の両端には、トランジスタ 143、144 のドレインがそれぞれ接続されている。また、トランジスタ 143 のドレインは、トランジスタ 144 のゲートに接続され、トランジスタ 144 のドレインは、トランジスタ 143 のゲートに接続されている。各トランジスタ 143、144 のソースは、電流源 145 を介して接地電位に接続される。

[0049] このように、上述の第 1 の実施の形態では、FLL においてスイッチトキャパシタ 106 で生成された電流 I_c と参照抵抗 112 で生成された参照電

流 I_r との比較結果に基づいて電流帰還を実施する。これにより、発振器 101 の発振周波数 f_s に応じた電圧の比較を伴うことなく、発振器 101 に対する帰還ループを構成することができる。このため、発振器 101 の発振周波数 f_s の増大に伴って RC 時定数 $R_r \cdot C$ が小さくなる場合においても、電流増加を抑制することができ、電力の増大を抑制することができる。

[0050] < 2. 第 2 の実施の形態 >

上述の第 1 の実施の形態では、FLL において電流帰還を実施するため、参照電流 I_r の生成に用いられる参照抵抗 112 を設けた。この第 2 の実施の形態では、FLL において電流帰還を実施しつつ温度補償を実現するため、参照抵抗 112 と温度特性が異なる補償抵抗を設ける。

[0051] 図 5 は、第 2 の実施の形態に係る発振回路の構成例を示す回路図である。

[0052] 同図において、この発振回路は、上述の第 1 の実施の形態の電流帰還部 102 に代えて、電流帰還部 152 を備える。第 2 の実施の形態の発振回路のそれ以外の構成は、上述の第 1 の実施の形態の発振回路の構成と同様である。

[0053] 電流帰還部 152 は、上述の第 1 の実施の形態の電流帰還部 102 に補償抵抗 116 が追加されている。電流帰還部 152 のそれ以外の構成は、上述の第 1 の実施の形態の電流帰還部 102 の構成と同様である。

[0054] 補償抵抗 116 は、参照抵抗 112 と温度特性が異なる。このとき、参照抵抗 112 の温度特性が補償されるように、補償抵抗 116 の温度特性を設定することができる。補償抵抗 116 は、スイッチトキャパシタ 106 に直列に接続されている。ここで、補償抵抗 116 の抵抗値を R' とすると、発振器 101 が定常状態にあるときには、スイッチトキャパシタ 106 をインピーダンスとみなしたときの抵抗 R は、 $R_r - R'$ と等しくなり、発振周波数 $f_s = 1 / ((R_r - R') \cdot C)$ で与えることができる。

[0055] このように、上述の第 2 の実施の形態では、参照抵抗 112 と温度特性が異なる補償抵抗 116 をスイッチトキャパシタ 106 に直列に接続する。 R_r と C の温度特性を相殺するように R' の倍率を選択することで、 f_s の温

度特性を改善することができる。これにより、温度変化に対する発振器 101 の発振周波数 f_s を安定化することができる。

[0056] <3. 第3の実施の形態>

上述の第1の実施の形態では、スイッチトキャパシタ 106 で生成された電流 I_c と参照抵抗 112 で生成された参照電流 I_r との差分電流 I_s を生成するため、これらの電流 I_c および参照電流 I_r をカスコードカレントミラー回路 107 に入力した。この第3の実施の形態では、スイッチトキャパシタ 106 で生成された電流 I_c のカレントミラーに基づいて、スイッチトキャパシタ 106 で生成された電流 I_c と電流源 221 で生成された参照電流 I_r との差分電流 I_s を生成する。

[0057] 図6は、第3の実施の形態に係る発振回路の構成例を示す回路図である。

[0058] 同図において、この発振回路は、上述の第1の実施の形態の電流帰還部 102 に代えて、電流帰還部 202 を備える。第3の実施の形態の発振回路のそれ以外の構成は、上述の第1の実施の形態の発振回路の構成と同様である。

[0059] 電流帰還部 202 は、スイッチトキャパシタ 206、カレントミラー回路 207、電流源 211、参照抵抗 212 およびダイオード接続トランジスタ 216 を備える。

[0060] スwitchトキャパシタ 206 は、スイッチング動作に基づいて、発振器 101 の発振周波数 f_s に応じた電流 I_c を生成する。スイッチトキャパシタ 206 は、スイッチ 213、214 およびキャパシタ 215 を備える。

[0061] スイッチ 213、214 は、互いに直列に接続され、その接続点にはキャパシタ 215 が接続される。各スイッチ 213、214 は、発振器 101 の発振周波数 f_s に基づいてスイッチングされる。このとき、各スイッチ 213、214 のスイッチングは、互いに逆位相に設定される。スイッチトキャパシタ 206 は、電流源 211 と参照抵抗 212 との接続点に接続される。スイッチトキャパシタ 206 は、発振器 101 の発振周波数 f_s に応じた電流 I_c をカレントミラー回路 207 に出力する。

- [0062] 電流源 211 は、参照電流 I_r を生成する。参照抵抗 212 は、電流源 211 に直列に接続される。ダイオード接続トランジスタ 216 は、参照抵抗 212 に直列に接続される。ダイオード接続トランジスタ 216 は、カレントミラー回路 207 のミラートランジスタ 222 と同等の特性を持つことができる。このとき、ダイオード接続トランジスタ 216 は、参照電流 I_r が流れる経路のインピーダンスと、スイッチトキャパシタ 106 で生成された電流 I_c が流れる経路のインピーダンスとを揃えることができる。ダイオード接続トランジスタ 216 は、Nチャンネル電界効果トランジスタを用いてもよい。
- [0063] カレントミラー回路 207 は、スイッチトキャパシタ 206 で生成された電流 I_c を入力とし、スイッチトキャパシタ 206 で生成された電流 I_c と参照電流 I_r との差分電流 I_s を生成する。カレントミラー回路 207 は、電流源 221 およびミラートランジスタ 222、223 を備える。電流源 221 は、参照電流 I_r を生成する。ミラートランジスタ 222、223 に流れる電流の電流比は 1 : 2 に設定することができる。ミラートランジスタ 222、223 は Nチャンネル電界効果トランジスタを用いてもよい。
- [0064] ミラートランジスタ 222、223 の各ゲートは、ミラートランジスタ 222 のドレインおよびスイッチトキャパシタ 206 に接続される。ミラートランジスタ 223 のドレインは、電流源 221 およびループフィルタ 103 に接続される。
- [0065] スwitchトキャパシタ 206 において、スイッチ 213 がオン、スイッチ 214 がオフすると、スイッチ 213 を介して電流源 211 からキャパシタ 215 に電流が供給され、キャパシタ 215 に電荷が蓄積される。スイッチ 213 がオフ、スイッチ 214 がオンすると、キャパシタ 215 に蓄積された電荷がスイッチ 214 を介して放電され、スイッチトキャパシタ 206 で生成された電流 I_c がミラートランジスタ 222 に供給される。
- [0066] カレントミラー回路 207 において、スイッチトキャパシタ 206 で生成された電流 I_c はミラートランジスタ 222 に供給される。ミラートランジ

スタ 222 に電流 I_c が供給されると、ミラートランジスタ 222、223 のカレントミラー動作に基づいて、スイッチトキャパシタ 206 で生成された電流 I_c の 2 倍の電流がミラートランジスタ 223 に供給される。このとき、ミラートランジスタ 223 において、スイッチトキャパシタ 106 より供給された電流 I_c の 2 倍の電流から参照電流 I_r が引かれることにより差分電流 I_s が生成され、ミラートランジスタ 223 に流れる。この差分電流 I_s がループフィルタ 103 から引き抜かれることにより、その差分電流 I_s に応じて発振器 101 の制御電圧が変化し、発振器 101 の発振周波数 f_s が変化する。差分電流 I_s が 0 になると、 $2I_c = I_r$ となり、発振器 101 は定常状態になる。このとき、 $I_c = I_r / 2$ となり、参照抵抗 212 に流れる電流は $I_r / 2$ となる。ここで、スイッチトキャパシタ 106 をインピーダンスとみなしたときの抵抗 R は、参照抵抗 112 の抵抗値 R_r と等しくなり、発振周波数 $f_s = 1 / (R_r \cdot C)$ で与えることができる。

[0067] このように、上述の第 3 の実施の形態では、スイッチトキャパシタ 106 で生成された電流 I_c のカレントミラー動作に基づいて、FLL における電流帰還を実施する。これにより、FLL における電流帰還を実施する差分電流 I_s を生成するために、カスコードカレントミラー回路 107 を用いる必要がなくなり、トランジスタ数を低減することができる。

[0068] <4. 第 4 の実施の形態>

上述の第 3 の実施の形態では、FLL において電流帰還を実施するため、スイッチトキャパシタ 206 で生成された電流 I_c のカレントミラーに基づいて差分電流 I_s を生成した。この第 4 の実施の形態では、FLL において電流帰還を実施しつつ温度補償を実現するため、参照抵抗 212 と温度特性が異なる補償抵抗を設ける。

[0069] 図 7 は、第 4 の実施の形態に係る発振回路の構成例を示す回路図である。

[0070] 同図において、この発振回路は、上述の第 3 の実施の形態の電流帰還部 202 に代えて、電流帰還部 252 を備える。第 4 の実施の形態の発振回路のそれ以外の構成は、上述の第 3 の実施の形態の発振回路の構成と同様である

。

[0071] 電流帰還部 252 は、上述の第 3 の実施の形態の電流帰還部 202 に補償抵抗 224 が追加されている。電流帰還部 252 のそれ以外の構成は、上述の第 3 の実施の形態の電流帰還部 202 の構成と同様である。

[0072] 補償抵抗 224 は、参照抵抗 212 と温度特性が異なる。このとき、参照抵抗 212 の温度特性が補償されるように、補償抵抗 224 の温度特性を設定することができる。補償抵抗 224 は、スイッチトキャパシタ 206 に直列に接続される。ここで、補償抵抗 224 の抵抗値を R' とすると、発振器 101 が定常状態にあるときには、スイッチトキャパシタ 206 をインピーダンスとみなしたときの抵抗 R は、 $R_r - R'$ と等しくなり、発振周波数 $f_s = 1 / ((R_r - R') \cdot C)$ で与えることができる。

[0073] このように、上述の第 4 の実施の形態では、参照抵抗 212 と温度特性が異なる補償抵抗 224 をスイッチトキャパシタ 206 に直列に接続する。 R_r と C の温度特性を相殺するように R' の倍率を選択することで、 f_s の温度特性を改善することができる。これにより、温度変化に対する発振器 101 の発振周波数 f_s を安定化することができる。

[0074] <5. 第 5 の実施の形態>

上述の第 1 の実施の形態では、FLCにおいて、発振器 101 の発振周波数 f_s に応じた電流 I_c を生成するため、スイッチトキャパシタ 106 を設けた。この第 5 の実施の形態では、スイッチトキャパシタ 106 のスイッチングに用いられるブートストラップ回路を設ける。

[0075] 図 8 は、第 5 の実施の形態に係る発振回路の構成例を示す回路図である。

[0076] 同図において、この発振回路は、上述の第 1 の実施の形態のスイッチトキャパシタ 106 に代えて、スイッチトキャパシタ 302 を備える。また、この発振回路は、上述の第 1 の実施の形態の発振回路にブートストラップ回路 301 が追加されている。第 5 の実施の形態の発振回路のそれ以外の構成は、上述の第 1 の実施の形態の発振回路の構成と同様である。

[0077] スwitchトキャパシタ 302 は、スイッチング動作に基づいて、発振器 1

01の発振周波数 f_s に応じた電流 I_c を生成する。スイッチトキャパシタ302は、トランジスタ321、322、キャパシタ325、326および可変容量323、324を備える。

[0078] トランジスタ321、322は、互いに直列に接続され、その接続点には可変容量323、324が互いに並列に接続される。また、トランジスタ321、322の直列回路の両端には、キャパシタ325、326がそれぞれ接続される。トランジスタ321、322はNチャンネル電界効果トランジスタを用いてもよい。

[0079] ブートストラップ回路301は、各トランジスタ321、322のゲートを駆動する。このとき、ブートストラップ回路301は、各トランジスタ321、322の駆動電圧を昇圧することができる。ブートストラップ回路301は、電圧生成源310、NOR回路311、キャパシタ312、313、トランジスタ314から319を備える。トランジスタ316、317はPチャンネル電界効果トランジスタ、トランジスタ314、315、318、319はNチャンネル電界効果トランジスタを用いてもよい。

[0080] トランジスタ316は、トランジスタ321のゲートとキャパシタ312との間に接続される。トランジスタ317は、トランジスタ322のゲートとキャパシタ313との間に接続される。トランジスタ318は、トランジスタ321のゲートと接地電位との間に接続される。トランジスタ319は、トランジスタ322のゲートと接地電位との間に接続される。トランジスタ314は、トランジスタ316とキャパシタ312との接続点と電圧生成源310との間に接続される。トランジスタ315は、トランジスタ317とキャパシタ313との接続点と電圧生成源310との間に接続される。NOR回路311の出力は、キャパシタ312に接続される。

[0081] クロック信号CKは、各トランジスタ314、316、318のゲートおよびNOR回路311に入力される。反転クロック信号XCKは、各トランジスタ315、317、319のゲートに入力される。反転クロック信号XCKは、クロック信号CKを反転させた信号である。ノンオーバーラップ信号

XXCKは、キャパシタ313およびNOR回路311に入力される。ノンオーバーラップ信号XXCKは、クロック信号CKのオン期間と反転クロック信号XCKのオン期間との間にノンオーバーラップ期間を付与することができる。

[0082] そして、トランジスタ314はクロック信号CKに従ってオンし、トランジスタ315は反転クロック信号XCKに従ってオンする。このとき、各キャパシタ312、313は、電圧生成源310を介してチャージアップされる。

[0083] また、トランジスタ316、318はクロック信号CKに従って交互にオンし、トランジスタ317、319は反転クロック信号XCKに従って交互にオンする。このとき、トランジスタ321のゲートは、クロック信号CKに従ってキャパシタ312への接続および接地電位への接続が交互に切り替えられる。また、トランジスタ322のゲートは、反転クロック信号XCKに従ってキャパシタ313への接続および接地電位への接続が交互に切り替えられる。これにより、スイッチトキャパシタ302にて電流 I_c が生成され、図2のカスコードカレントミラー回路107に出力される。ここで、各トランジスタ321、322のゲートに印加される駆動電圧は、各キャパシタ312、322に蓄積された電荷に基づいて昇圧され、各トランジスタ321、322のオン抵抗が低減される。

[0084] このように、上述の第5の実施の形態では、スイッチトキャパシタ302を駆動するブートストラップ回路301を設ける。これにより、スイッチトキャパシタ302のスイッチング時のオン抵抗を低下させることが可能となり、FLLの周波数を高精度化することができる。

[0085] なお、ブートストラップ回路301を設けた構成では、そのバイアス電圧は任意でもよいし、自分の電圧を参照してもよい。また、ブートストラップのレプリカ回路で発生させたバイアス電圧を用いてもよい。

[0086] <6. 第6の実施の形態>

上述の第1の実施の形態では、スイッチトキャパシタ106で生成された

電流 I_c と参照抵抗 112 で生成された参照電流 I_r との差分電流 I_s を生成するため、これらの電流 I_c および参照電流 I_r をカスコードカレントミラー回路 107 に入力した。この第6の実施の形態では、スイッチトキャパシタ 106 で生成された電流 I_c と参照抵抗 112 で生成された参照電流 I_r とを比較するためのカレントミラーのミスマッチを防止するため、チョッパ回路を設ける。

[0087] 図9は、第6の実施の形態に係る発振回路の構成例を示す回路図である。

[0088] 同図において、この発振回路は、上述の第1の実施の形態のカスコードカレントミラー回路 107 に代えて、カスコードカレントミラー回路 407 を備える。また、この発振回路は、上述の第1の実施の形態の発振回路にチョッパ回路 411 が追加されている。第6の実施の形態の発振回路のそれ以外の構成は、上述の第1の実施の形態の発振回路の構成と同様である。

[0089] カスコードカレントミラー回路 407 は、上述の第1の実施の形態のカスコードカレントミラー回路 107 にチョッパ回路 412 が追加されている。第6の実施の形態のカスコードカレントミラー回路 407 のそれ以外の構成は、上述の第1の実施の形態のカスコードカレントミラー回路 407 の構成と同様である。

[0090] 各チョッパ回路 411、412 は、スイッチトキャパシタ 106 で生成された電流 I_c の出力先および参照電流 I_r の出力先を交互に切り替える。このとき、チョッパ回路 411 は、これらの出力先をカスコードカレントミラー回路 407 の入力側で交互に切り替える。チョッパ回路 412 は、これらの出力先をカスコードカレントミラー回路 407 の出力側で交互に切り替える。

[0091] このとき、チョッパ回路 411 の入力端子 AP は参照抵抗 112 に接続され、チョッパ回路 411 の入力端子 AN はスイッチトキャパシタ 106 に接続される。チョッパ回路 411 の出力端子 BP はミラートランジスタ 125、127 の接続点に接続され、チョッパ回路 411 の出力端子 BN はミラートランジスタ 126、128 の接続点に接続される。

[0092] チョッパ回路412の入力端子APはミラートランジスタ123、125の接続点に接続され、チョッパ回路412の入力端子ANはミラートランジスタ124、126の接続点に接続される。チョッパ回路412の出力端子BPは各ミラートランジスタ127、128のゲートに接続され、チョッパ回路412の出力端子BNはループフィルタ103に接続される。

[0093] 図10は、第6の実施の形態に係るチョッパ回路の第1の例を示す回路図である。

[0094] 同図において、チョッパ回路は、トランジスタ421から424を備える。各トランジスタ421から424は、Nチャンネル電界効果トランジスタを用いることができる。トランジスタ421は、チョッパ回路の入力端子APと出力端子BPとの間に接続される。トランジスタ422は、チョッパ回路の入力端子APと出力端子BNとの間に接続される。トランジスタ423は、チョッパ回路の入力端子ANと出力端子BPとの間に接続される。トランジスタ424は、チョッパ回路の入力端子ANと出力端子BNとの間に接続される。

[0095] 各トランジスタ421、424のゲートには、チョッパ信号CPが印加され、各トランジスタ422、423のゲートには、反転チョッパ信号CPBが印加される。反転チョッパ信号CPBは、チョッパ信号CPを反転させた信号である。チョッパ信号CPは、FLC出力を分周させて生成してもよい。

[0096] 図11は、第6の実施の形態に係るチョッパ回路の第2の例を示す回路図である。

[0097] 同図において、チョッパ回路は、トランスミッションゲート431から434を備える。各トランスミッションゲート431から434は、Nチャンネル電界効果トランジスタとPチャンネル電界効果トランジスタを対として用いることができる。トランスミッションゲート431は、チョッパ回路の入力端子APと出力端子BPとの間に接続される。トランスミッションゲート432は、チョッパ回路の入力端子APと出力端子BNとの間に接続され

る。トランスミッションゲート433は、チョッパ回路の入力端子ANと出力端子BPとの間に接続される。トランスミッションゲート434は、チョッパ回路の入力端子ANと出力端子BNとの間に接続される。

[0098] 各トランスミッションゲートトランジスタ431、434の非反転ゲートには、チョッパ信号CPが印加され、各トランスミッションゲートトランジスタ431、434の反転ゲートには、反転チョッパ信号CPBが印加される。各トランスミッションゲートトランジスタ432、433の反転ゲートには、チョッパ信号CPが印加され、各トランスミッションゲートトランジスタ432、433の非反転ゲートには、反転チョッパ信号CPBが印加される。

[0099] 図12は、第6の実施の形態に係る発振回路のチョッパ動作を示すタイミングチャートである。

[0100] 同図において、チョッパ信号CPは、例えば、発振器101の発振信号Scを16分周させて生成することができる。チョッパ信号CPと反転チョッパ信号CPBとの間には、ノンオーバーラップ期間を設けることができる。

[0101] そして、チョッパ信号CPがオンすると、各チョッパ回路411、412の入力端子APと出力端子BPとが接続され、各チョッパ回路411、412の入力端子ANと出力端子BNとが接続される。反転チョッパ信号CPBがオンすると、各チョッパ回路411、412の入力端子APと出力端子BNとが接続され、各チョッパ回路411、412の入力端子ANと出力端子BPとが接続される。これにより、スイッチトキャパシタ106で生成された電流Icおよび参照抵抗112で生成された参照電流Irは、ミラートランジスタ127、128に交互に流れ、スイッチトキャパシタ106で生成された電流Icおよび参照抵抗112を各ミラートランジスタ127、128に均等に流すことができる。

[0102] このように、上述の第6の実施の形態では、スイッチトキャパシタ106で生成された電流Icの出力先および参照電流Irの出力先を交互に切り替えるチョッパ回路411、412を設ける。これにより、スイッチトキャパ

シタ 106 で生成された電流 I_c と参照抵抗 112 で生成された参照電流 I_r とを比較するためのカレントミラーのミスマッチを防止することができ、FLL の周波数を高精度化することができる。

[0103] 上述の実施の形態では、電流帰還に基づいて駆動される FLL について説明した。以下の実施の形態では、電流帰還に基づいて駆動される FLL を固体撮像装置に適用した構成例について説明する。

[0104] < 7. 第 7 の実施の形態 >

上述の第 1 の実施の形態では、電流帰還に基づいて FLL の発振周波数を制御した。この第 7 の実施の形態では、電流帰還に基づいて発振周波数が制御される FLL を固体撮像装置に適用する。

[0105] 図 13 は、第 7 の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。なお、同図では、固体撮像装置 501 に用いられるブロックのうち、クロック信号に基づいて動作するブロックを抜粋して示した。

[0106] 同図において、固体撮像装置 501 は、FLL 502、分周回路 503、505、AD コンバータ 504、ロジック回路 506 および通信インタフェース 507 を備える。FLL 502 は、AD コンバータ 504、ロジック回路 506 および通信インタフェース 507 のクロック源として用いることができる。

[0107] このとき、FLL 502 のクロック周波数は、通信インタフェース 507 の動作周波数に応じて設定することができる。また、AD コンバータ 504 およびロジック回路 506 の動作周波数に応じて、AD コンバータ 504 およびロジック回路 506 の前段に分周回路 503、505 をそれぞれ設けてもよい。

[0108] このように、上述の第 7 の実施の形態では、電流帰還に基づいて発振周波数が制御される FLL 502 を固体撮像装置 501 に適用する。これにより、発振回路の消費電力の増大を抑制しつつ、固体撮像装置 501 に用いられるクロック信号を高周波数化することができ、固体撮像装置 501 の消費電

力の増大を抑制しつつ、高解像度化や高フレームレート化を図ることができる。

[0109] なお、バイフレームレートでの画像読出しなどに対応するため、ＡＤコンバータ５０４の高速化に応じてＦＬＬ５０２を高周波動作に対応させてもよい。このとき、例えば、上述の第５の実施の形態のブートストラップ回路３０１をＦＬＬ５０２に適用してもよい。

[0110] ＜８．第８の実施の形態＞

上述の第７の実施の形態では、電流帰還に基づいて発振周波数が制御されるＦＬＬ５０２を固体撮像装置５０１に適用した。この第８の実施の形態では、ＡＤコンバータ５０４およびロジック回路５０６に用いられるＰＬＬと、通信インタフェース５０７に用いられるＰＬＬとをＦＬＬ５０２の後段に設ける。

[0111] 図１４は、第８の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[0112] 同図において、固体撮像装置５１１は、上述の第７の実施の形態の固体撮像装置５０１にＰＬＬ５１２、５１３が追加されている。第８の実施の形態の固体撮像装置５１１のそれ以外の構成は、上述の第７の実施の形態の固体撮像装置５０１の構成と同様である。

[0113] ＰＬＬ５１２は、分周回路５０３、５０５の前段に接続される。ＰＬＬ５１３は、通信インタフェース５０７の前段に接続される。このとき、ＦＬＬ５０２の出力は、ＰＬＬ５１２を介して分周回路５０３、５０５に入力され、分周回路５０３、５０５にて分周されてからＡＤコンバータ５０４およびロジック回路５０６に入力される。また、ＦＬＬ５０２の出力は、ＰＬＬ５１３を介して通信インタフェース５０７に入力される。

[0114] このように、上述の第８の実施の形態では、電流帰還に基づいて発振周波数が制御されるＦＬＬ５０２の後段にＰＬＬ５１２、５１３を接続する。これにより、固体撮像装置５０１に用いられるクロック信号の高周波数化を図りつつ、クロック信号の周波数を安定化・高精度化することができる。

[0115] ＜ 9. 第 9 の実施の形態＞

上述の第 8 の実施の形態では、A D コンバータ 5 0 4 およびロジック回路 5 0 6 に用いられる P L L 5 1 2 と、通信インタフェース 5 0 7 に用いられる P L L 5 1 3 とを F L L 5 0 2 の後段に設けた。この第 9 の実施の形態では、A D コンバータ 5 0 4 およびロジック回路 5 0 6 に用いられる P L L 5 1 2 を F L L 5 0 2 の後段に設ける。

[0116] 図 1 5 は、第 9 の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[0117] 同図において、固体撮像装置 5 2 1 は、上述の第 7 の実施の形態の固体撮像装置 5 0 1 に P L L 5 1 2 が追加されている。第 9 の実施の形態の固体撮像装置 5 2 1 のそれ以外の構成は、上述の第 7 の実施の形態の固体撮像装置 5 0 1 の構成と同様である。

[0118] P L L 5 1 2 は、分周回路 5 0 3、5 0 5 の前段に接続される。このとき、F L L 5 0 2 の出力は、P L L 5 1 2 を介して分周回路 5 0 3、5 0 5 に入力され、分周回路 5 0 3、5 0 5 にて分周されてから A D コンバータ 5 0 4 およびロジック回路 5 0 6 に入力される。

[0119] このように、上述の第 9 の実施の形態では、A D コンバータ 5 0 4 およびロジック回路 5 0 6 に用いられる P L L 5 1 2 を F L L 5 0 2 の後段に設ける。これにより、A D コンバータ 5 0 4 およびロジック回路 5 0 6 に用いられるクロック信号の高周波数化を図りつつ、クロック信号の周波数を安定化・高精度化することができる。

[0120] ＜ 1 0. 第 1 0 の実施の形態＞

上述の第 9 の実施の形態では、A D コンバータ 5 0 4 およびロジック回路 5 0 6 に用いられる P L L 5 1 2 を F L L 5 0 2 の後段に設けた。この第 1 0 の実施の形態では、通信インタフェース 5 0 7 に用いられる P L L 5 1 3 を F L L 5 0 2 の後段に設ける。

[0121] 図 1 6 は、第 1 0 の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[0122] 同図において、固体撮像装置 531 は、上述の第 7 の実施の形態の固体撮像装置 501 に PLL 513 が追加されている。第 10 の実施の形態の固体撮像装置 531 のそれ以外の構成は、上述の第 7 の実施の形態の固体撮像装置 501 の構成と同様である。

[0123] PLL 513 は、通信インタフェース 507 の前段に接続される。このとき、FLL 502 の出力は、PLL 513 を介して通信インタフェース 507 に入力される。

[0124] このように、上述の第 10 の実施の形態では、通信インタフェース 507 に用いられる PLL 513 を FLL 502 の後段に設ける。これにより、通信インタフェース 507 に用いられるクロック信号の高周波数化を図りつつ、クロック信号の周波数を安定化・高精度化することができる。

[0125] <11. 第 11 の実施の形態>

上述の第 8 の実施の形態では、AD コンバータ 504 およびロジック回路 506 に用いられる PLL 512 と、通信インタフェース 507 に用いられる PLL 513 とを FLL 502 の後段に設けた。この第 11 の実施の形態では、AD コンバータ 504、ロジック回路 506 および通信インタフェース 507 に用いられる PLL 514 を FLL 502 の後段に設ける。

[0126] 図 17 は、第 11 の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[0127] 同図において、固体撮像装置 541 は、上述の第 7 の実施の形態の固体撮像装置 501 に PLL 514 が追加されている。第 11 の実施の形態の固体撮像装置 541 のそれ以外の構成は、上述の第 7 の実施の形態の固体撮像装置 501 の構成と同様である。

[0128] PLL 514 は、FLL 502 の後段に接続される。このとき、FLL 502 の出力は、PLL 514 を介して分周回路 503、505 に入力され、分周回路 503、505 にて分周されてから AD コンバータ 504 およびロジック回路 506 に入力される。また、FLL 502 の出力は、PLL 514 を介して通信インタフェース 507 に入力される。

[0129] このように、上述の第 11 の実施の形態では、AD コンバータ 504、ロジック回路 506 および通信インタフェース 507 に用いられる PLL 514 を FLL 502 の後段に設ける。これにより、AD コンバータ 504、ロジック回路 506 および通信インタフェース 507 に用いられるクロック信号の高周波数化を図りつつ、クロック信号の周波数を安定化・高精度化することができる。

[0130] < 12. 第 12 の実施の形態 >

上述の第 7 の実施の形態では、電流帰還に基づいて発振周波数が制御される FLL 502 を固体撮像装置 501 に適用した。この第 12 の実施の形態では、AD コンバータ 504 およびロジック回路 506 に用いられる FLL と、通信インタフェース 507 に用いられる FLL とを設ける。

[0131] 図 18 は、第 12 の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[0132] 同図において、固体撮像装置 551 は、上述の第 7 の実施の形態の FLL 502 に代えて、FLL 552、553 を備える。第 12 の実施の形態の固体撮像装置 551 のそれ以外の構成は、上述の第 1 の実施の形態の固体撮像装置 501 の構成と同様である。

[0133] FLL 552 は、AD コンバータ 504 およびロジック回路 506 のクロック源として用いることができる。FLL 553 は、通信インタフェース 507 のクロック源として用いることができる。

[0134] このとき、FLL 553 のクロック周波数は、通信インタフェース 507 の動作周波数に応じて設定することができる。また、AD コンバータ 504 およびロジック回路 506 の動作周波数に応じて、AD コンバータ 504 およびロジック回路 506 の前段に分周回路 503、505 をそれぞれ設けてもよい。

[0135] このように、上述の第 12 の実施の形態では、AD コンバータ 504 およびロジック回路 506 に用いられる FLL 552 と、通信インタフェース 507 に用いられる FLL 553 とを設ける。これにより、発振回路の消費電

力の増大を抑制しつつ、固体撮像装置 501 に用いられるクロック信号を高周波数化することができ、固体撮像装置 501 の消費電力の増大を抑制しつつ、高解像度化や高フレームレート化を図ることができる。

[0136] < 13. 第 13 の実施の形態 >

上述の第 7 の実施の形態では、電流帰還に基づいて発振周波数が制御される FLL 502 を固体撮像装置 501 に適用した。この第 13 の実施の形態では、固体撮像装置に用いられる FLL 502 の周波数を外部制御可能とする。

[0137] 図 19 は、第 13 の実施の形態に係る発振回路が適用される固体撮像装置の構成例を示すブロック図である。

[0138] 同図において、固体撮像装置 561 は、上述の第 7 の実施の形態の固体撮像装置 501 にロジック回路 562 が追加されている。第 13 の実施の形態の固体撮像装置 561 のそれ以外の構成は、上述の第 7 の実施の形態の固体撮像装置 501 の構成と同様である。

[0139] 固体撮像装置 561 はプロセッサ 563 に接続される。プロセッサ 563 は、FLL 502 の周波数情報 FIM を受信することができる。そして、プロセッサ 563 は、FLL 502 の周波数のずれに応じて FLL 502 の周波数を調整する周波数調整情報 FID を固体撮像装置 561 に送信することができる。プロセッサ 563 は、CPU (Central Processing Unit) であってもよいし、GPU (Graphics Processing Unit) であってもよい。プロセッサ 563 は、シングルコアプロセッサであってもよいし、マルチコアプロセッサであってもよい。

[0140] ロジック回路 562 は、プロセッサ 563 から送信された周波数調整情報 FID に基づいて、FLL 502 の周波数を調整することができる。FLL 502 の周波数を調整するために、FLL 502 に可変容量素子を設けてもよい。このとき、ロジック回路 562 は、周波数調整情報 FID に基づいて、FLL 502 の可変容量素子の容量を変化させることにより、FLL 502 の周波数を調整することができる。

[0141] このように、上述の第13の実施の形態では、固体撮像装置561に用いられるFLL502の周波数をプロセッサ563から調整可能とする。これにより、固体撮像装置561に用いられるクロック信号の周波数を高精度化することができる。

[0142] <14. 第14の実施の形態>

上述の第1の実施の形態では、電流帰還に基づいてFLLの発振周波数を制御した。この第14の実施の形態では、PLLの源発振回路としてFLLを用いた上で、FLLの発振周波数に関係する検出値に基づいて、PLLの周波数を補正可能とする。

[0143] 図20は、第14の実施の形態に係る発振回路の構成例を示す回路図である。

[0144] 同図において、発振回路は、FLL601、分周回路621、ADPLL(All Digital PLL)611、温度センサ631、検出データ入力部641およびパラメータ補正部651を備える。

[0145] FLL601は、発振周波数に基づいて同期ループを構成する。この同期ループでは、電流帰還を用いてもよいし、電圧帰還を用いてもよい。電流帰還では、上述の第1から第6のいずれの実施の形態を用いてもよい。FLL601は、発振器602および周波数同期部603を備える。

[0146] 発振器602は、発振動作に基づいて発振信号Scを生成する。発振器602は、電圧制御に基づいて発振周波数fsを変化させることができる。発振器602は、リングオシレータでもよいし、LC発振器でもよい。

[0147] 周波数同期部603は、発振器602の発振周波数fsに基づいて、発振器602に対する帰還ループを構成する。このとき、周波数同期部603は、電流帰還を用いた同期ループでは、発振器602の発振周波数fsを電流に変換する周波数電流変換部を備えることができる。周波数同期部603は、電圧帰還を用いた同期ループでは、発振器602の発振周波数fsを電圧に変換する周波数電圧変換部を備えることができる。

[0148] 分周回路621は、FLL601の出力を分周し、ADPLL611に入

力する。

- [0149] ADPLL 611は、位相同期に基づいて帰還ループを構成し、クロック信号CLKを出力する。ADPLL 611の源発振回路としてFLL 601を用いることができる。このとき、クロック信号CLKは、発振信号Scと、FCW (Frequency Command Word) パラメータとに基づいて定めることができる。FCWパラメータは、発振信号Scの周波数に対するクロック信号CLKの周波数の比率を指定することができる。FCWパラメータは、ADPLL 611の外部から与えることができる。ADPLL 611は、発振器612、カウンタ613、TDC (Time to Digital Converter) 614、アキュムレータ615、加算器616およびループフィルタ617を備える。
- [0150] 発振器612は、発振動作に基づいてクロック信号CLKを生成する。発振器612は、発振器チューニングワード (Oscillator Tuning Word) に基づいて発振周波数を変化させることができる。発振器612は、リングオシレータでもよいし、LC発振器でもよい。
- [0151] カウンタ613は、クロック信号CLKの1クロックごとにカウントアップし、加算器616に出力する。このとき、カウンタ613は、クロック信号CLKの1周期単位で位相を検知することができる。
- [0152] TDC 614は、クロック信号CLKの1周期以下の位相を検知し、加算器616に出力する。
- [0153] アキュムレータ615は、FCWパラメータに基づいて、発振信号Scの周期ごとにカウントアップ値を設定し、加算器616に出力する。このとき、アキュムレータ615には、パラメータ補正部651にて補正されたFCWパラメータが入力される。
- [0154] 加算器616は、アキュムレータ615の出力からカウンタ613の出力およびTDC 614の出力を減算し、ループフィルタ617に出力する。加算器616の出力は、発振信号Scとクロック信号CLKとの間の位相誤差を示すことができる。
- [0155] ループフィルタ617は、発振器612への入力を帯域制限し、量子化誤

差の影響を低減する。

- [0156] 温度センサ631は、発振回路の温度を検出し、その検出結果を検出データ入力部641に出力する。
- [0157] 検出データ入力部641は、FLL601の状態に関する検出データをパラメータ補正部651に入力する。FLL601の状態は、FLL601に供給される電源電圧VDD、FLL601の温度および発振器602の制御電圧VCTを含むことができる。FLL601の温度は、温度センサ631で検出することができる。検出データ入力部641は、スイッチ642から644、ADコンバータ645およびセクタ646を備える。スイッチ642から644は、電界効果トランジスタを用いてもよい。
- [0158] スイッチ642は、制御信号CNTで指定されるタイミングに基づいて、電源電圧VDDをADコンバータ645に入力する。スイッチ643は、制御信号CNTで指定されるタイミングに基づいて、制御電圧VCTをADコンバータ645に入力する。スイッチ644は、制御信号CNTで指定されるタイミングに基づいて、温度センサ631の検出値をADコンバータ645に入力する。
- [0159] ADコンバータ645は、電源電圧VDD、制御電圧VCTおよび温度センサ631の検出値をそれぞれAD変換し、セクタ646に入力する。
- [0160] セクタ646は、制御信号CNTで指定されるタイミングに基づいて、ADコンバータ645の出力先を切り替える。このとき、セクタ646は、電源電圧VDDのAD変換値を電源電圧補正值算出部652に入力し、制御電圧VCTのAD変換値を制御電圧補正值算出部653に入力し、温度センサ631の検出値のAD変換値を温度補正值算出部654に入力する。
- [0161] パラメータ補正部651は、電源電圧VDD、制御電圧VCTおよび温度センサ631の検出値に基づいて、FCWパラメータを補正する。パラメータ補正部651は、電源電圧補正值算出部652、制御電圧補正值算出部653、温度補正值算出部654、補正係数記憶部655、乗算器656から658を備える。

[0162] 電源電圧補正值算出部652は、電源電圧VDDのモニタ電圧Vに基づいて電源電圧VDDに対する補正值を算出する。例えば、モニタ電圧Vの基準値を V_0 、補正係数を α_1 、 α_2 、 α_3 、 $\dots$ とすると、電源電圧VDDの補正值は以下の式で与えることができる。

$$1 + \alpha_1 (V - V_0) + \alpha_2 (V - V_0)^2 + \alpha_3 (V - V_0)^3 + \dots$$

[0163] 制御電圧補正值算出部653は、制御電圧VCTのモニタ電圧Cに基づいて制御電圧VCTの補正值を算出する。例えば、モニタ電圧Cの基準値を C_0 、補正係数を β_1 、 β_2 、 β_3 、 $\dots$ とすると、制御電圧VCTの補正值は以下の式で与えることができる。

$$1 + \beta_1 (C - C_0) + \beta_2 (C - C_0)^2 + \beta_3 (C - C_0)^3 + \dots$$

[0164] 温度補正值算出部654は、温度センサ631の検出値Tに基づいて温度補正值を算出する。例えば、温度センサ631の検出値Tの基準値を T_0 、補正係数を γ_1 、 γ_2 、 γ_3 、 $\dots$ とすると、温度補正值は以下の式で与えることができる。

$$1 + \gamma_1 (T - T_0) + \gamma_2 (T - T_0)^2 + \gamma_3 (T - T_0)^3 + \dots$$

[0165] 補正係数記憶部655は、基準値 V_0 、 C_0 、 T_0 および補正係数 α_1 、 α_2 、 α_3 、 $\dots$ 、 β_1 、 β_2 、 β_3 、 $\dots$ 、 γ_1 、 γ_2 、 γ_3 、 $\dots$ を記憶する。

[0166] なお、補正係数 α_1 、 α_2 、 α_3 、 $\dots$ は、電源電圧VDDの変動に対する周波数の変動と逆特性になるように設定することができる。補正係数 β_1 、 β_2 、 β_3 、 $\dots$ は、制御電圧VCTの変動に対する周波数の変動と逆特性になるように設定することができる。補正係数 γ_1 、 γ_2 、 γ_3 、 $\dots$ は、温度の変動に対する周波数の変動と逆特性になるように設定することができる。

[0167] 乗算器656は、温度補正值算出部654で算出された補正值をFCWパラメータに乗算し、乗算器657に出力する。

[0168] 乗算器657は、制御電圧補正值算出部653で算出された補正值を乗算器656の出力に乗算し、乗算器658に出力する。

[0169] 乗算器658は、電源電圧補正值算出部652で算出された補正值を乗算

器 6 5 7 の出力 F C W パラメータに乗算し、アキュムレータ 6 1 5 に出力する。

[0170] 図 2 1 は、第 1 4 の実施の形態に係る発振回路の動作環境と発振周波数との関係を示す図である。なお、同図における a は、周波数同期部 6 0 3 がいないときの発振器 6 0 2 の発振信号 S c について、温度センサ 6 3 1 の検出値および電源電圧 V D D と、発振信号 S c の周波数との関係を示す。同図における b は、F L L 6 0 1 の発振信号 S c について、温度センサ 6 3 1 の検出値、電源電圧 V D D および制御電圧 V C T と、発振信号 S c の周波数との関係を示す。同図における c は、A D P L L 6 1 1 のクロック信号 C L K について、温度センサ 6 3 1 の検出値、電源電圧 V D D および制御電圧 V C T と、クロック信号 C L K の周波数との関係を示す。

[0171] 同図における a において、周波数同期部 6 0 3 がいないときの発振器 6 0 2 の発振信号 S c は、発振器 6 0 2 の周辺温度および電源電圧 V D D の変動に従って周波数が大きく変動する。

[0172] 同図における b において、F L L 6 0 1 の発振信号 S c は、F L L 6 0 1 の周辺温度および電源電圧 V D D の変動に対し、周波数の変動が抑制される。

[0173] 同図における c において、A D P L L 6 1 1 のクロック信号 C L K は、F L L 6 0 1 の周辺温度、電源電圧 V D D および制御電圧 V C T の変動に対し、周波数がほぼ一定に維持される。

[0174] このように、上述の第 1 4 の実施の形態では、A D P L L 6 1 1 の源発振回路として F L L 6 0 1 を用いた上で、F L L 6 0 1 の発振周波数 f_s に関係する検出値に基づいて、A D P L L 6 1 1 のクロック周波数を補正可能とする。これにより、発振回路の動作環境の変動に対応しつつ、クロック信号 C L K のクロック周波数を安定化させることができる。このとき、A D P L L 6 1 1 の源発振回路として F L L 6 0 1 を用いることにより、A D P L L 6 1 1 の源発振回路として発振器 6 0 2 を用いた場合に比べて、パラメータ補正部 6 5 1 による補正量のレンジを小さくすることができ、A D P L L 6

11のクロック周波数を安定化させることができる。

[0175] <15. 第15の実施の形態>

上述の第14の実施の形態では、ADPLL611の源発振回路としてFLL601を用いた上で、FLL601の発振周波数 f_s に関する検出値に基づいて、ADPLL611のクロック周波数を補正可能とした。この第15の実施の形態では、ADPLL611の源発振回路として用いられるFLL601の発振器602にLC発振器を用いる。

[0176] 図22は、第15の実施の形態に係る発振回路の構成例を示す回路図である。

[0177] 同図において、発振器602は、LC発振器702を備える。LC発振器702は、図4のLC発振器にバラクタ751、752が追加されている。各バラクタ751、752の可変容量として、電界効果トランジスタのゲート容量を用いることができる。バラクタ751は、ローパスフィルタ714とキャパシタ142の一端との間に接続され、バラクタ752は、ローパスフィルタ714とキャパシタ142の他端との間に接続される。インダクタ141の中間タップには、電源電圧VDDを印加してもよい。

[0178] 周波数同期部603は、周波数電圧変換部701および分周回路703を備える。

[0179] 周波数電圧変換部701は、LC発振器702の発振周波数 f_s に応じた制御電圧VCTを生成する。周波数電圧変換部701は、スイッチトキャパシタ712、アンプ713およびローパスフィルタ714を備える。スイッチトキャパシタ712の後段にはアンプ713が接続され、アンプ713の後段にはローパスフィルタ714が接続され、ローパスフィルタ714の後段にはLC発振器702が接続される。

[0180] スwitchトキャパシタ712は、スイッチング動作に基づいて、LC発振器702の発振周波数 f_s に応じた電圧Vsを生成する。スイッチトキャパシタ712は、トランジスタ721、722、抵抗724およびキャパシタ723、725を備える。トランジスタ721、722は、Pチャンネル電

界効果トランジスタを用いることができる。

- [0181] トランジスタ 721、722 は、互いに直列に接続され、その接続点にはキャパシタ 723 が接続される。各トランジスタ 721、722 は、分周回路 703 の出力に基づいてスイッチングされる。抵抗 724 およびキャパシタ 725 は、互いに並列に接続され、その並列回路は、トランジスタ 722 と接地電位との間に接続される。
- [0182] このとき、各トランジスタ 721、722 とキャパシタ 723 は、抵抗 R のインピーダンスとみなすことができ、各トランジスタ 721、722 とキャパシタ 723 で定められる抵抗 R および抵抗 724 の分圧電圧として、LC 発振器 702 の発振周波数 f_s に応じた電圧 V_s が生成される。
- [0183] アンプ 713 は、差分増幅器 731 および抵抗 732、733 を備える。抵抗 732、733 は、互いに直列に接続され、その接続点には差分増幅器 731 の一方の入力端子が接続される。このとき、抵抗 732、733 は、参照電圧 V_r を生成し、差分増幅器 731 の一方の入力端子に入力することができる。アンプ 713 の出力端子には、ローパスフィルタ 714 が接続される。ここで、差分増幅器 731 は、スイッチトキャパシタ 712 で生成された電圧 V_s と参照電圧 V_r とを比較し、それらの差分をローパスフィルタ 714 に出力する。
- [0184] ローパスフィルタ 714 は、アンプ 713 の出力の低域成分を抽出し、LC 発振器 702 の制御電圧 V_{CT} として出力する。ローパスフィルタ 714 は、抵抗 741 およびキャパシタ 742 を備える。抵抗 741 は、ローパスフィルタ 714 と LC 発振器 702 との間に接続される。キャパシタ 742 は、抵抗 741 および LC 発振器 702 の接続点と接地電位との間に接続される。また、ローパスフィルタ 714 は、バッファ 705 を介して制御電圧 V_{CT} をスイッチ 643 に入力する。
- [0185] 分周回路 703 は、LC 発振器 702 の出力を分周し、スイッチトキャパシタ 712 に入力する。このとき、分周回路 703 は、LC 発振器 702 の差動出力に応じた 2 系統の帰還ループを備えることができる。

[0186] 図23は、第15の実施の形態に係る発振回路の動作時の各部の状態を示す図である。なお、同図におけるaは、分周回路703でN分周されたときのLC発振器702の発振周波数 f_s/N と、スイッチトキャパシタ712で生成された電圧 V_s との関係を示す。同図におけるbは、周波数電圧変換部701から出力される制御電圧 V_{CT} と時間 t との関係を示す。同図におけるcは、周波数電圧変換部701から出力される制御電圧 V_{CT} とLC発振器702の発振周波数 f_s との関係を示す。同図におけるdは、LC発振器702の発振信号の波形（振幅 V ）と時間 t との関係を示す。同図におけるeは、LC発振器702の発振周波数 f_s と時間 t との関係を示す。

[0187] 同図において、LC発振器702は、制御電圧 $V_{CT} = V_{c0}$ に対応する発振周波数 $f_s = f_0$ で発振を開始したものとする。このとき、スイッチトキャパシタ712は、分周回路703でN分周された発振周波数 $f_s = f_0/N$ で駆動される。そして、スイッチトキャパシタ106は、キャパシタ723の容量値をCとすると、 $1/(f_s \cdot C)$ で決まる抵抗Rと抵抗724との分圧電圧に対応した電圧 $V_s = V_{s0}$ を差分増幅器731に出力する。

[0188] 差分増幅器731は、スイッチトキャパシタ712で生成された電圧 V_s と参照電圧 V_r との差分電圧を生成し、ローパスフィルタ714に出力する。ローパスフィルタ714は、差分増幅器731の出力の低域成分を抽出して制御電圧 V_{CT} を生成し、LC発振器702に出力する。

[0189] LC発振器702において、制御電圧 V_{CT} はバラクタ751、752に印加される。このとき、制御電圧 V_{CT} に基づいてバラクタ751、752の容量が変化され、LC発振器702の発振周波数 f_s が変化する。このとき、 V_{s0} は V_r と等しくないためその差分電圧を増幅したDC信号が V_{CT} を下げる方向に進むとする。 f_s は V_{CT} が下がると上がるため f_1 に近づいていき分周回路は f_1/N に近づく。スイッチトキャパシタは f_s/N が上がるために V_{s1} に近づいていく動作を行う。最終的には V_{s0} と V_r が等しくなったところで V_{CT} は V_{c1} となり安定し、結果的に f_s も f_1 で安定する。

[0190] このように、上述の第15の実施の形態では、ADPLL611の源発振回路としてLC発振器702を周波数同期させて安定した f_s を提供した上で、FLL601の発振周波数 f_s に関係する検出値に基づいて、ADPLL611のクロック周波数を補正可能とする。これにより、LC発振器702の特性バラつきに対してクロック信号CLKのクロック周波数を安定化させつつ、周波数電圧変換部701の動作バラつきに対してもクロック信号CLKのクロック周波数の安定化に寄与することができる。

[0191] また、FLL601の後段にADPLL611を設けることにより、ADPLL611のループ特性に基づいてADPLL611をハイパスフィルタとして動作させることができる。このため、FLL601で発生する低周波域のフリッカ雑音による影響を抑制することができ、クロック信号CLKの周波数精度の低下を抑制することができる。

[0192] また、ADPLL611の源発振回路としてFLL601を用いることにより、LC発振器702に低Q値のインダクタを用いた場合においても、温度特性を抑制することができる。

[0193] また、制御電圧補正值算出部653を設けることにより、制御電圧VCTが調整範囲を超えた場合においても、クロック信号CLKの周波数精度の低下を抑制することができる。

[0194] また、電源電圧補正值算出部652および温度補正值算出部654を設ける。これにより、FLL601の電源電圧および周辺温度が変動し、スイッチトキャパシタ712およびアンプ713の動作がバラつく場合においても、クロック信号CLKの周波数精度の低下を抑制することができる。

[0195] <16. 第16の実施の形態>

上述の第1の実施の形態では、ADPLL611の源発振回路として用いられるFLL601の発振器602にLC発振器を用いた。この第16の実施の形態では、ADPLL611の源発振回路として用いられるFLL601の発振器602にリングオシレータを用いる。

[0196] 図24は、第16の実施の形態に係る発振回路の構成例を示す回路図であ

る。

[0197] 同図において、この発振回路は、上述の第15の実施の形態のLC発振器702に代えて、リングオシレータ802、トランジスタ803およびバッファ804を備える。第16の実施の形態の発振回路のそれ以外の構成は、上述の第15の実施の形態の発振回路の構成と同様である。

[0198] リングオシレータ802は、図3のリングオシレータと同様に構成することができる。リングオシレータ802は、バッファ804を介して分周回路704に接続される。

[0199] トランジスタ803は、リングオシレータ802に用いられる各インバータ131のテール電流を制御する。トランジスタ803は、Nチャンネル電界効果トランジスタを用いることができる。トランジスタ803は、各インバータ131の低圧電源端子と接地電位との間に接続される。トランジスタ803のゲートには、制御電圧VCTが入力される。このとき、制御電圧VCTは、トランジスタ803に流れる電流を調整し、リングオシレータ802の発振周波数を調整することができる。

[0200] このように、上述の第16の実施の形態では、ADPLL611の源発振回路としてリングオシレータ802を周波数同期させて安定した f_s を提供した上で、FLL801の発振周波数 f_s に関する検出値に基づいて、ADPLL611のクロック周波数を補正可能とする。これにより、リングオシレータ802の特性バラつきに対してクロック信号CLKのクロック周波数を安定化させつつ、周波数電圧変換部701の動作バラつきに対してもクロック信号CLKのクロック周波数の安定化に寄与することができる。

[0201] <17. 第17の実施の形態>

上述の第1の実施の形態では、ADPLL611の源発振回路としてFLL601を用いた上で、FLL601の発振周波数 f_s に関する検出値に基づいて、ADPLL611のクロック周波数を補正可能とした。この第17の実施の形態では、ADPLL611の源発振回路としてLC発振器を用いた上で、LC発振器の発振周波数に関する検出値に基づいて、ADPLL

L 6 1 1 の周波数を補正可能とする。

[0202] 図 2 5 は、第 1 7 の実施の形態に係る発振回路の構成例を示す回路図である。

[0203] 同図において、この発振回路は、上述の第 1 5 の実施の形態の周波数電圧変換部 7 0 1 に代えて、L C 発振器 9 0 2 および周波数電圧変換部 9 0 1 を備える。第 1 7 の実施の形態の発振回路のそれ以外の構成は、上述の第 1 5 の実施の形態の発振回路の構成と同様である。

[0204] L C 発振器 9 0 2 は、上述の第 1 5 の実施の形態の L C 発振器 7 0 2 からバラクタ 7 5 1、7 5 2 が除去されている。第 1 7 の実施の形態の L C 発振器 9 0 2 のそれ以外の構成は、上述の第 1 5 の実施の形態の L C 発振器 7 0 2 の構成と同様である。

[0205] 周波数電圧変換部 9 0 1 は、上述の第 1 5 の実施の形態のアンプ 7 1 3 に代えて、アンプ 9 1 3 を備える。第 1 7 の実施の形態の周波数電圧変換部 9 0 1 のそれ以外の構成は、上述の第 1 5 の実施の形態の周波数電圧変換部 7 0 1 の構成と同様である。

[0206] アンプ 9 1 3 の前段には、スイッチトキャパシタ 7 1 2 が接続され、アンプ 9 1 3 の後段にはローパスフィルタ 7 1 4 が接続される。ここで、上述の第 1 5 の実施の形態では、ローパスフィルタ 7 1 4 の後段には L C 発振器 7 0 2 が接続されたが、この第 1 7 の実施の形態では、ローパスフィルタ 7 1 4 の後段には L C 発振器 7 0 2 が接続されない。このため、上述の第 1 5 の実施の形態では、A D P L L 6 1 1 の源発振回路として F L L 6 0 1 が用いられるが、この第 1 7 の実施の形態では、A D P L L 6 1 1 の源発振回路として L C 発振器 9 0 2 が用いられる。

[0207] アンプ 9 1 3 は、ボルテージフォロア回路 9 1 4 を備える。スイッチトキャパシタ 7 1 2 で生成された電圧 V_s は、ボルテージフォロア回路 9 1 4 を介してローパスフィルタ 7 1 4 に入力される。

[0208] このように、上述の第 1 7 の実施の形態では、A D P L L 6 1 1 の源発振回路として L C 発振器 9 0 2 を用いた上で、L C 発振器 9 0 2 の発振周波数

に関する検出値に基づいて、ADPLL611の周波数を補正可能とする。これにより、発振回路の動作環境の変動に対応しつつ、ADPLL611の源発振回路としてLC発振器902が用いられたクロック信号CLKのクロック周波数を安定化させることができる。

[0209] なお、上述の第17の実施の形態では、ADPLL611の源発振回路としてLC発振器902を用いた上で、LC発振器902の発振周波数に関する検出値に基づいて、ADPLL611の周波数を補正可能とした。ADPLL611の源発振回路として、LC発振器902に代えてリングオシレータ802を用いてもよい。

[0210] <18. 第18の実施の形態>

上述の第1の実施の形態では、電流帰還に基づいてFLLの発振周波数を制御した。この第18の実施の形態では、画素がマトリックス状に配列された画素アレイ部が設けられた固体撮像装置が形成される基板を積層化する。

[0211] 図26は、第18の実施の形態に係る固体撮像装置の積層例を示す斜視図である。

[0212] 同図において、固体撮像装置は、半導体基板921、922を備える。半導体基板922は、半導体基板921上に積層される。半導体基板921、922の材料は、Siでもよいし、InGaAsでもよいし、InPでもよい。

[0213] 半導体基板922には、画素アレイ部923が形成される。画素アレイ部923には、画素931がロウ方向およびカラム方向にマトリックス状に配置される。画素アレイ部923の周辺には、パッド電極932およびビア電極933が形成される。ビア電極933は、半導体基板922を貫通し、半導体基板921、922同士を電氣的に接続することができる。

[0214] 半導体基板921には、周辺回路924が形成される。周辺回路924には、カラム読出し回路925、カラムADC926、通信インタフェース927および発振回路928が形成される。カラム読出し回路925およびカ

ラムADC926は、画素アレイ部923のカラム方向の両側の位置に対応するように形成してもよい。発振回路928は、上述の第1から第17の実施の形態のいずれの構成を用いてもよい。

[0215] このように、上述の第18の実施の形態では、画素アレイ部923が形成される半導体基板922を、周辺回路924が形成される半導体基板921上に積層する。これにより、固体撮像装置が形成された半導体チップの実装面積の増大を抑制しつつ、固体撮像装置の感度を増大させることが可能となる。

[0216] なお、上述の実施の形態では、発振回路を固体撮像装置に適用した例を示したが、クロック信号に基づいて動作する回路ならば、集積回路などの任意の回路に適用することができる。このとき、発振回路は、集積回路の基準クロック源として用いてもよい。例えば、発振回路は、プロセッサ、通信装置、ADコンバータ、ロジック回路、画像処理回路、表示装置などの基準クロック源として用いてもよい。

[0217] <19. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0218] 図27は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0219] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図27に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、

音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0220] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0221] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker 又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0222] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0223] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であってもよいし、赤外線等の非可視光

であってもよい。

[0224] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0225] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0226] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0227] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0228] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又

は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 27 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0229] 図 28 は、撮像部 12031 の設置位置の例を示す図である。

[0230] 図 28 では、撮像部 12031 として、撮像部 12101, 12102, 12103, 12104, 12105 を有する。

[0231] 撮像部 12101, 12102, 12103, 12104, 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0232] なお、図 28 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0233] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0234] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0235] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0236] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051

は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0237] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、マイクロコンピュータ１２０５１、車載ネットワークＩ／Ｆ１２０５３、表示部１２０６２および撮像部１２０３１などに適用され得る。具体的には、例えば、上述の発振回路は、マイクロコンピュータ１２０５１、車載ネットワークＩ／Ｆ１２０５３、表示部１２０６２および撮像部１２０３１などに適用することができる。車両制御システム１２０００に本開示に係る技術を適用することにより、クロックの周波数精度を安定させることが可能となり、車両制御システム１２０００の高精度化を図ることができる。

[0238] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

。

[0239] なお、本技術は以下のような構成もとることができる。

(1) 発振器と、

前記発振器の発振周波数が変換された電流に基づいて、前記発振器に対する帰還ループを構成する電流帰還部と
を備える発振回路。

(2) 前記電流帰還部は、

前記発振器の発振周波数を電流に変換する周波数電流変換部と、
前記周波数電流変換部で生成された電流と参照電流との差分電流を生成する差分電流生成部と
を備える前記(1)に記載の発振回路。

(3) 前記周波数電流変換部は、前記発振周波数に応じた電流を生成するスイッチトキャパシタ
を備える前記(2)に記載の発振回路。

(4) 前記スイッチトキャパシタは可変容量素子
を備える前記(3)に記載のカウンタ回路。

(5) 前記差分電流生成部は、前記スイッチトキャパシタで生成された電流と前記参照電流とを入力とするカスコードカレントミラー回路
を備える前記(3)または(4)に記載のカウンタ回路。

(6) 前記参照電流の生成に用いられる参照抵抗と、
前記スイッチトキャパシタに直列に接続され、前記参照抵抗と温度特性が異なる補償抵抗と
をさらに備える前記(3)から(5)のいずれかに記載のカウンタ回路。

(7) 前記スイッチトキャパシタで生成された電流の出力先および前記参照電流の出力先を交互に切り替えるチョッパ回路
をさらに備える前記(3)から(6)のいずれかに記載の発振回路。

(8) 前記差分電流生成部は、前記スイッチトキャパシタで生成された電流を入力とするカレントミラー回路

を備える前記（３）に記載の発振回路。

（９）前記参照電流の生成に用いられる参照抵抗と、

前記参照抵抗に直列に接続され、前記カレントミラー回路においてダイオード接続されたミラートランジスタと同等の特性を持つダイオード接続トランジスタと

をさらに備える前記（８）に記載の発振回路。

（１０）前記カレントミラー回路のミラートランジスタに直列に接続され、前記参照抵抗と温度特性が異なる補償抵抗

をさらに備える前記（９）に記載の発振回路。

（１１）前記スイッチトキャパシタのスイッチングに用いられるブートストラップ回路

をさらに備える前記（３）から（１０）のいずれかに記載の発振回路。

（１２）集積回路の基準クロック源として用いられる

前記（１）から（１１）のいずれかに記載の発振回路。

（１３）前記集積回路が形成される半導体チップに集積化される

前記（１２）に記載の発振回路。

（１４）前記発振器は、ＬＣ発振器またはリングオシレータである

前記（１）から（１３）のいずれかに記載の発振回路。

（１５）発振器と、

前記発振器の発振周波数に基づいて、前記発振器に対する帰還ループを構成する周波数同期部と、

前記発振器の後段に接続されたPLL（Phase Locked Loop）とを備える発振回路。

（１６）前記周波数同期部は、前記発振器の発振周波数に応じた制御電圧を生成する周波数電圧変換部

を備える前記（１５）に発振回路。

（１７）前記周波数電圧変換部は、

前記発振器の発振周波数に応じた電圧を生成するスイッチトキャパシタと

、

前記スイッチトキャパシタで生成された電圧と参照電圧との差分を生成するアンプと、

前記アンプの出力から低域成分を抽出するローパスフィルタとを備える前記（１６）に発振回路。

（１８）前記周波数同期部から出力される前記発振器の制御電圧の検知結果に基づいて、前記PLLの制御に用いられるパラメータを補正するパラメータ補正部

をさらに備える前記（１５）から（１７）のいずれかに記載の発振回路。

（１９）前記パラメータ補正部は、

前記周波数同期部の電源電圧の補正値を算出する電源電圧補正値算出部と

、

前記発振器の制御電圧の補正値を算出する制御電圧補正値算出部と、

前記周波数同期部の温度の補正値を算出する温度補正値算出部とを備え、

前記電源電圧の補正値、前記制御電圧の補正値および前記温度の補正値に基づいて、前記パラメータを補正する

前記（１８）に記載の発振回路。

（２０）発振器と、

前記発振器の後段に接続されたPLL（Phase Locked Loop）と、

前記発振器の発振周波数に応じた電圧を生成する周波数電圧変換部と、

前記周波数電圧変換部で生成された電圧に基づいて、前記PLLの制御に用いられるパラメータを補正するパラメータ補正部と

を備える発振回路。

符号の説明

- [0240] １０１ 発振器
 １０２ 電流帰還部
 １０３ ループフィルタ
 １０４ 周波数電圧変換部

- 1 0 5 差分電流生成部
- 1 0 6 スイッチトキャパシタ
- 1 0 7 カスコードカレントミラー回路
- 1 1 1、1 2 1、1 2 2 電流源
- 1 1 2 参照抵抗
- 1 1 3、1 1 4 スイッチ
- 1 1 5 キャパシタ
- 1 2 3 から 1 2 8 ミラートランジスタ

請求の範囲

- [請求項1] 発振器と、
前記発振器の発振周波数が変換された電流に基づいて、前記発振器に対する帰還ループを構成する電流帰還部と
を備える発振回路。
- [請求項2] 前記電流帰還部は、
前記発振器の発振周波数を電流に変換する周波数電流変換部と、
前記周波数電流変換部で生成された電流と参照電流との差分電流を生成する差分電流生成部と
を備える請求項1に記載の発振回路。
- [請求項3] 前記周波数電流変換部は、前記発振周波数に応じた電流を生成するスイッチトキャパシタ
を備える請求項1に記載の発振回路。
- [請求項4] 前記スイッチトキャパシタは可変容量素子
を備える請求項3に記載の発振回路。
- [請求項5] 前記差分電流生成部は、前記スイッチトキャパシタで生成された電流と前記参照電流とを入力とするカスコードカレントミラー回路
を備える請求項3に記載の発振回路。
- [請求項6] 前記参照電流の生成に用いられる参照抵抗と、
前記スイッチトキャパシタに直列に接続され、前記参照抵抗と温度特性が異なる補償抵抗と
をさらに備える請求項3に記載の発振回路。
- [請求項7] 前記スイッチトキャパシタで生成された電流の出力先および前記参照電流の出力先を交互に切り替えるチョッパ回路
をさらに備える請求項3に記載の発振回路。
- [請求項8] 前記差分電流生成部は、前記スイッチトキャパシタで生成された電流を入力とするカレントミラー回路
を備える請求項3に記載の発振回路。

- [請求項9] 前記参照電流の生成に用いられる参照抵抗と、
前記参照抵抗に直列に接続され、前記カレントミラー回路においてダイオード接続されたミラートランジスタと同等の特性を持つダイオード接続トランジスタと
をさらに備える請求項8に記載の発振回路。
- [請求項10] 前記カレントミラー回路のミラートランジスタに直列に接続され、
前記参照抵抗と温度特性が異なる補償抵抗
をさらに備える請求項9に記載の発振回路。
- [請求項11] 前記スイッチトキャパシタのスイッチングに用いられるブートストラップ回路
をさらに備える請求項8に記載の発振回路。
- [請求項12] 集積回路の基準クロック源として用いられる
請求項1に記載の発振回路。
- [請求項13] 前記集積回路が形成される半導体チップに集積化される
請求項12に記載の発振回路。
- [請求項14] 前記発振器は、LC発振器またはリングオシレータである
請求項1に記載の発振回路。
- [請求項15] 発振器と、
前記発振器の発振周波数に基づいて、前記発振器に対する帰還ループを構成する周波数同期部と、
前記発振器の後段に接続されたPLL (Phase Locked Loop) と
を備える発振回路。
- [請求項16] 前記周波数同期部は、前記発振器の発振周波数に応じた制御電圧を生成する周波数電圧変換部
を備える請求項15に記載の発振回路。
- [請求項17] 前記周波数電圧変換部は、
前記発振器の発振周波数に応じた電圧を生成するスイッチトキャパシタと、

前記スイッチトキャパシタで生成された電圧と参照電圧との差分を生成するアンプと、

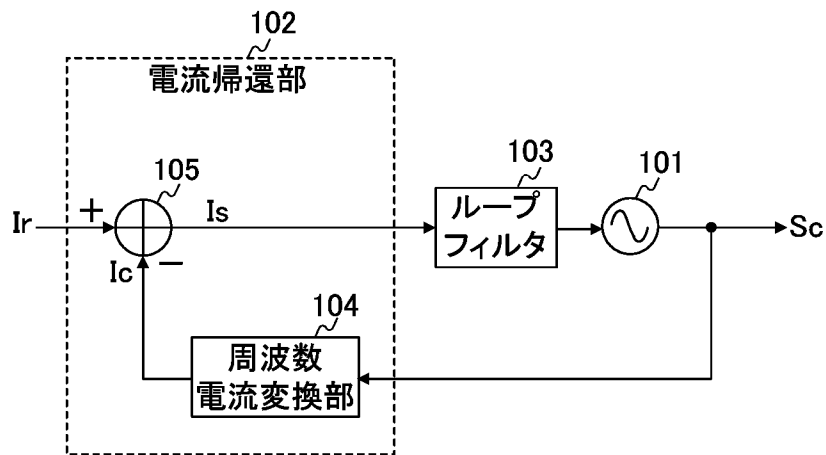
前記アンプの出力から低域成分を抽出するローパスフィルタとを備える請求項 16 に記載の発振回路。

[請求項18] 前記周波数同期部から出力される前記発振器の制御電圧の検知結果に基づいて、前記 PLL の制御に用いられるパラメータを補正するパラメータ補正部をさらに備える請求項 15 に記載の発振回路。

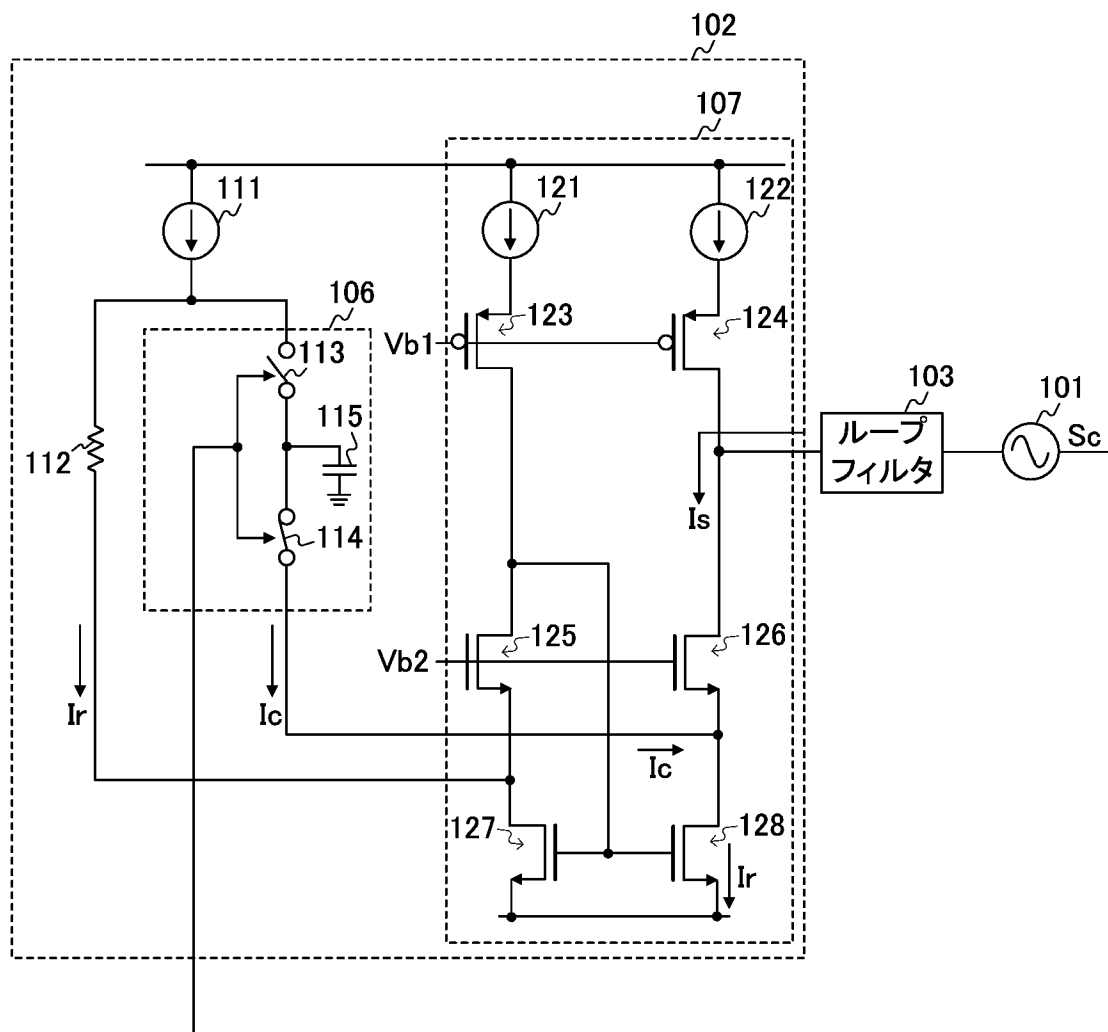
[請求項19] 前記パラメータ補正部は、
前記周波数同期部の電源電圧の補正値を算出する電源電圧補正値算出部と、
前記発振器の制御電圧の補正値を算出する制御電圧補正値算出部と、
前記周波数同期部の温度の補正値を算出する温度補正値算出部とを備え、
前記電源電圧の補正値、前記制御電圧の補正値および前記温度の補正値に基づいて、前記パラメータを補正する請求項 18 に記載の発振回路。

[請求項20] 発振器と、
前記発振器の後段に接続された PLL (Phase Locked Loop) と、
前記発振器の発振周波数に応じた電圧を生成する周波数電圧変換部と、
前記周波数電圧変換部で生成された電圧に基づいて、前記 PLL の制御に用いられるパラメータを補正するパラメータ補正部とを備える発振回路。

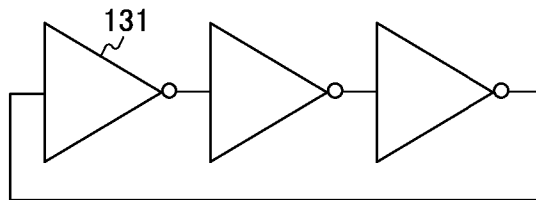
[図1]



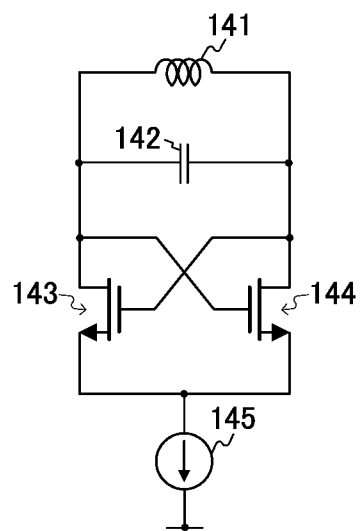
[図2]



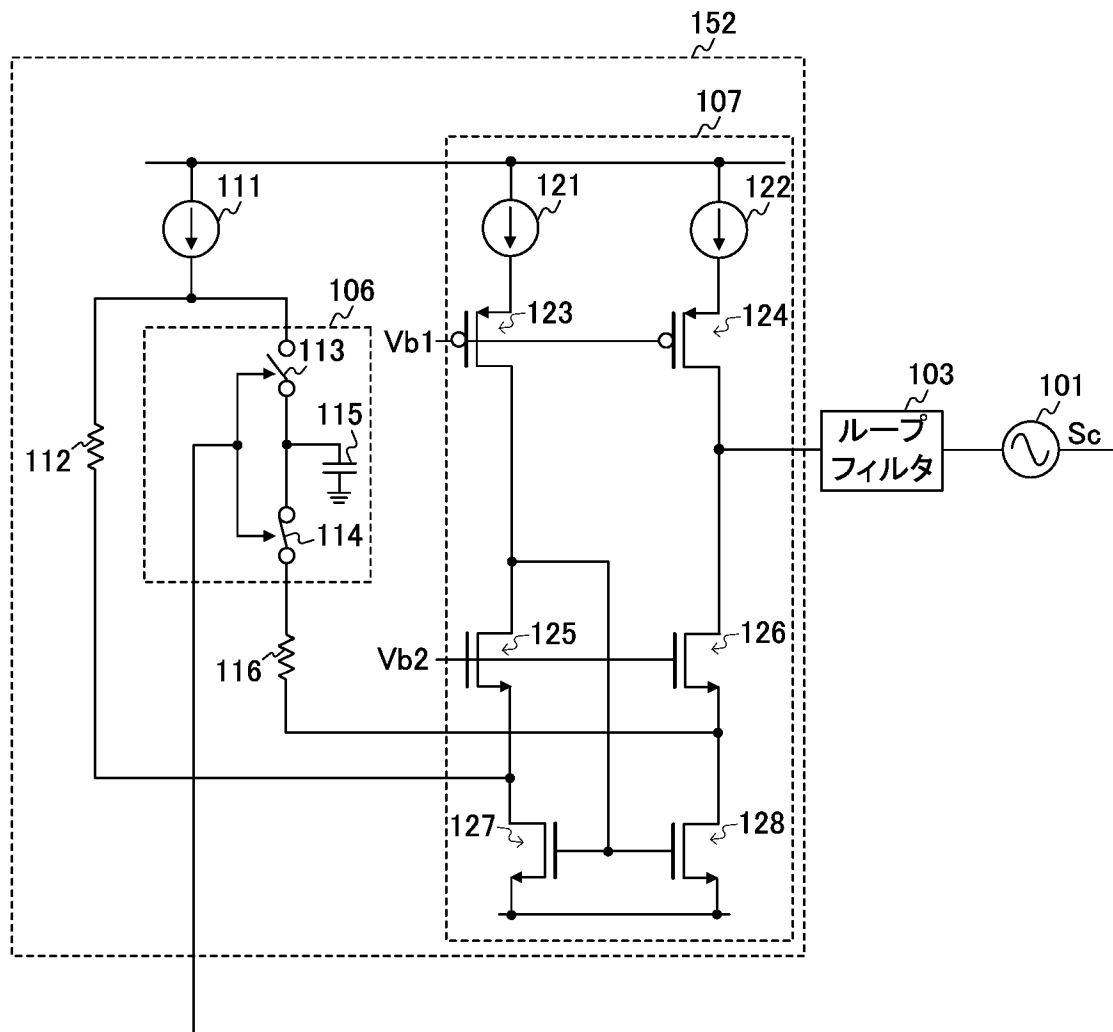
[図3]



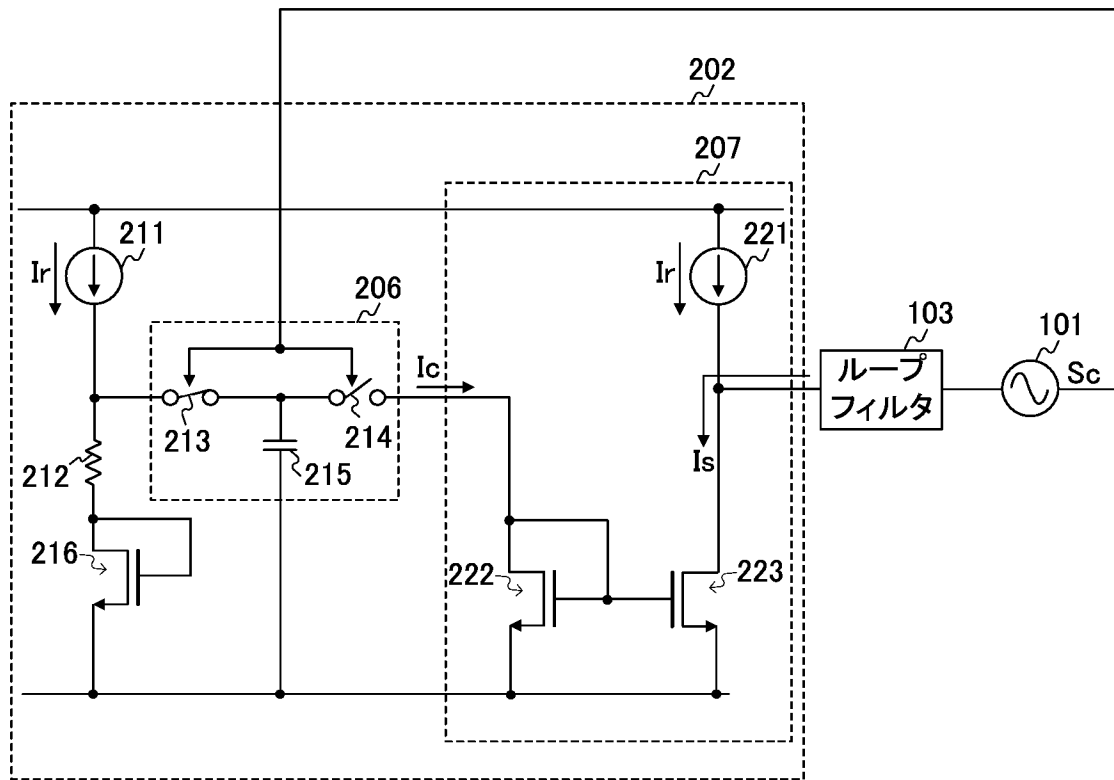
[図4]



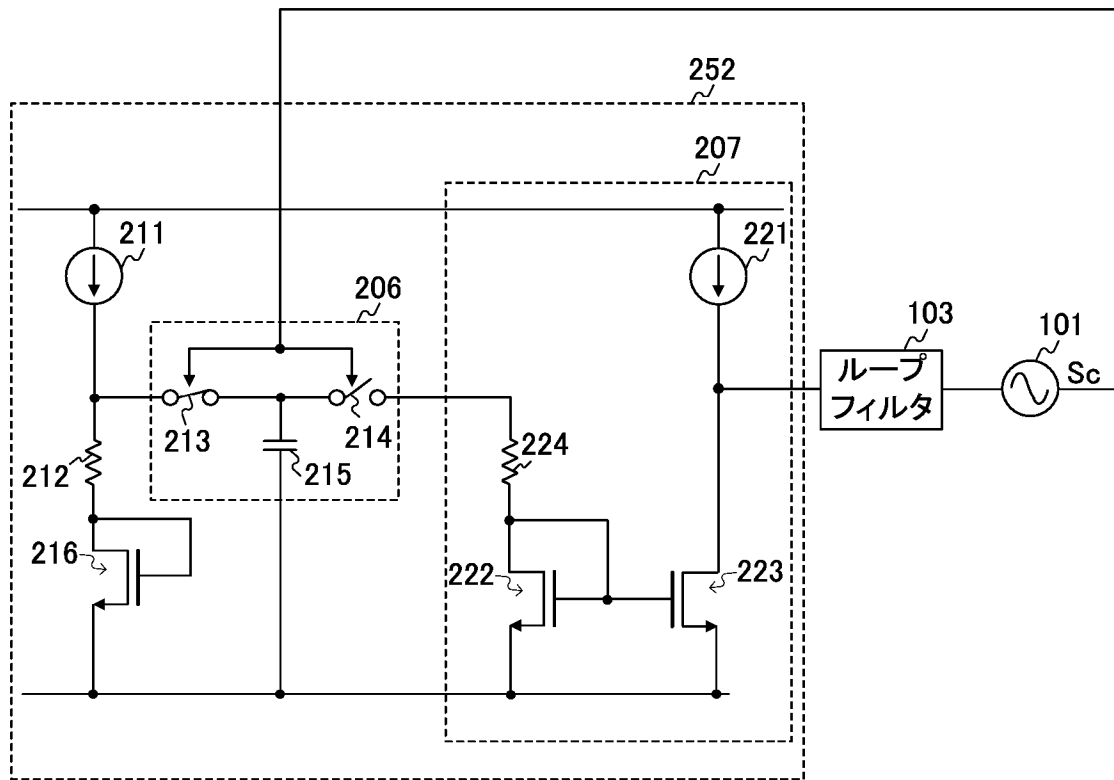
[図5]



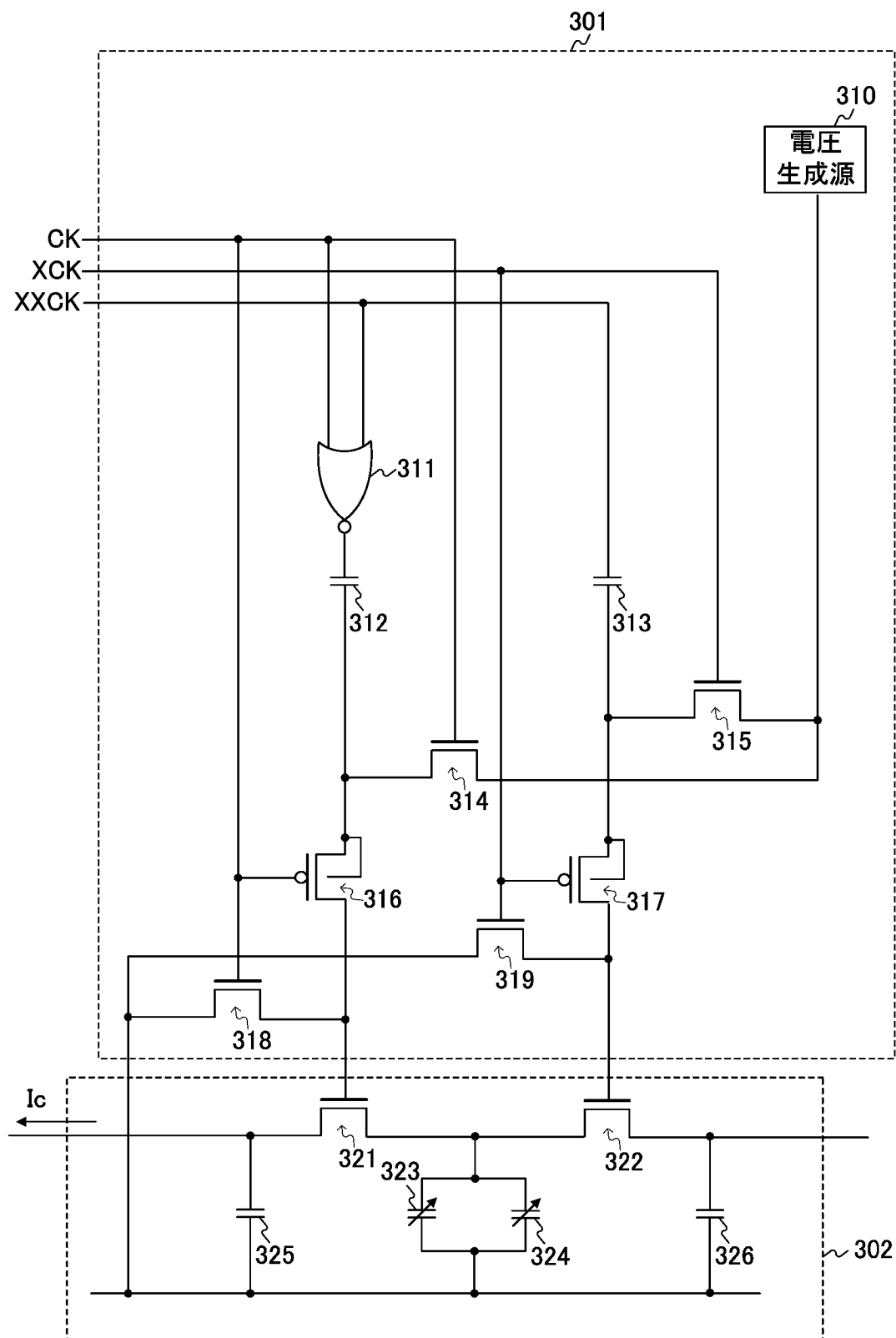
[図6]



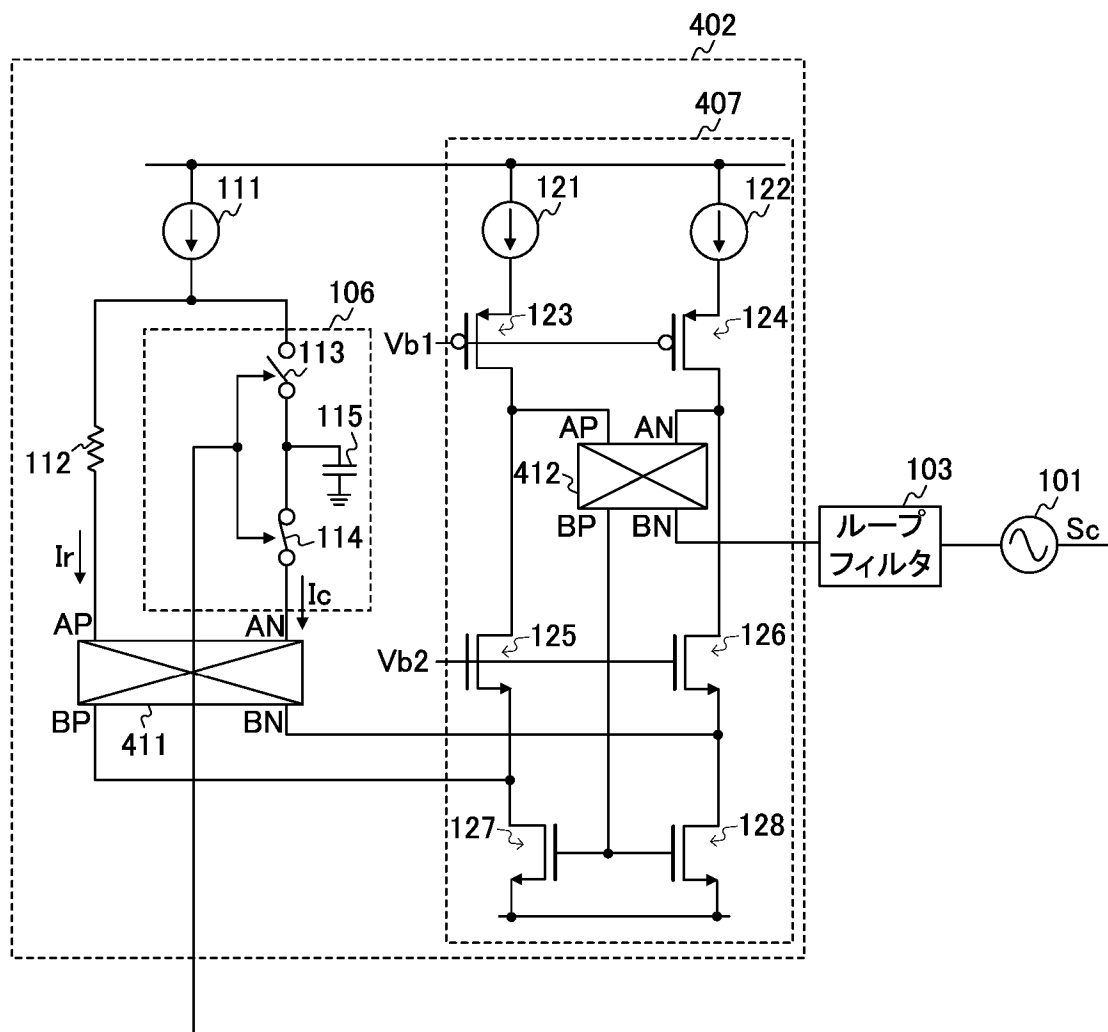
[図7]



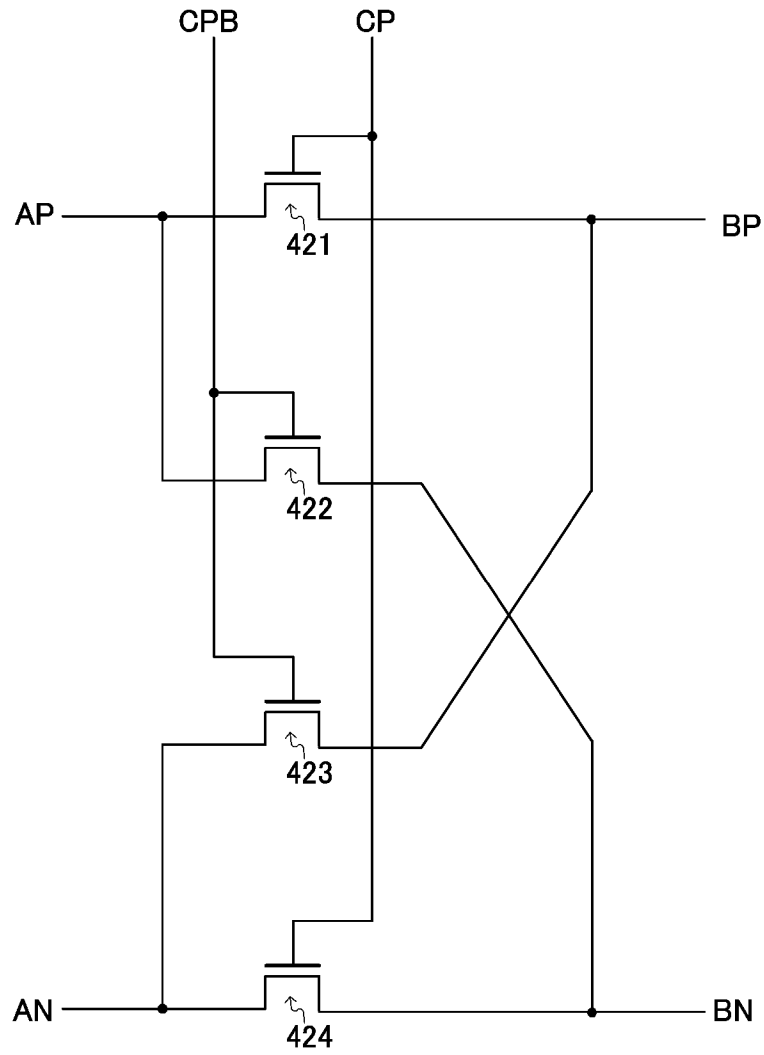
[図8]



[図9]

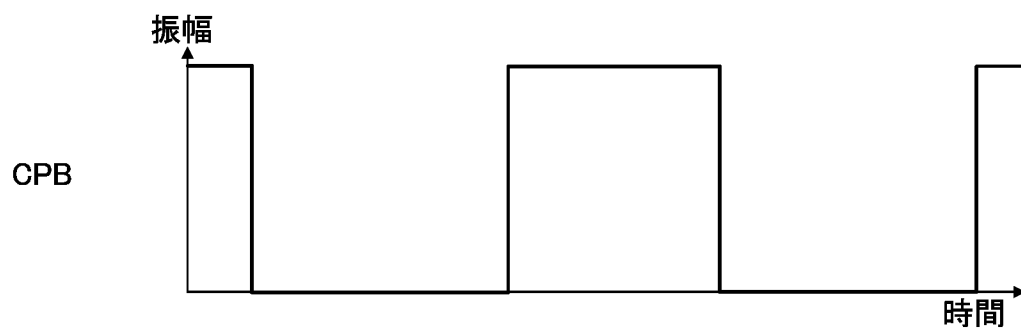
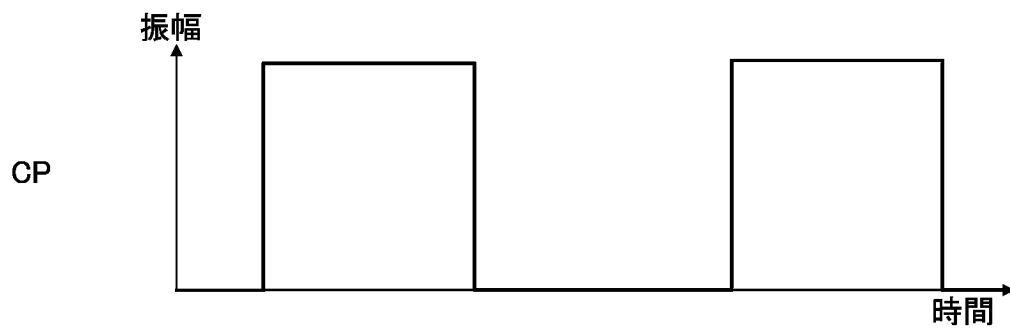
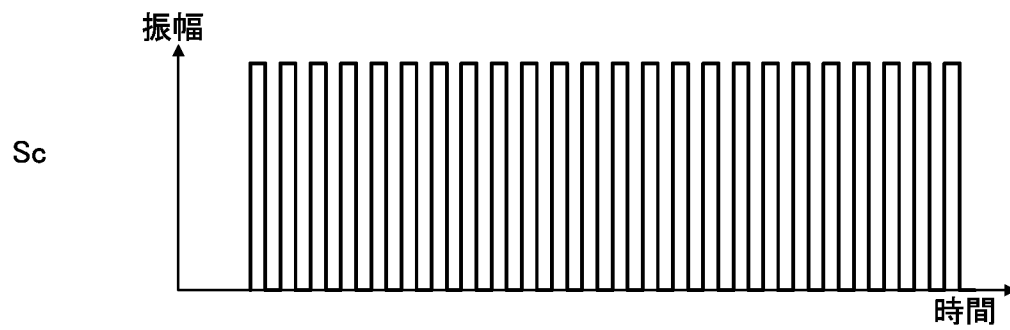


[図10]

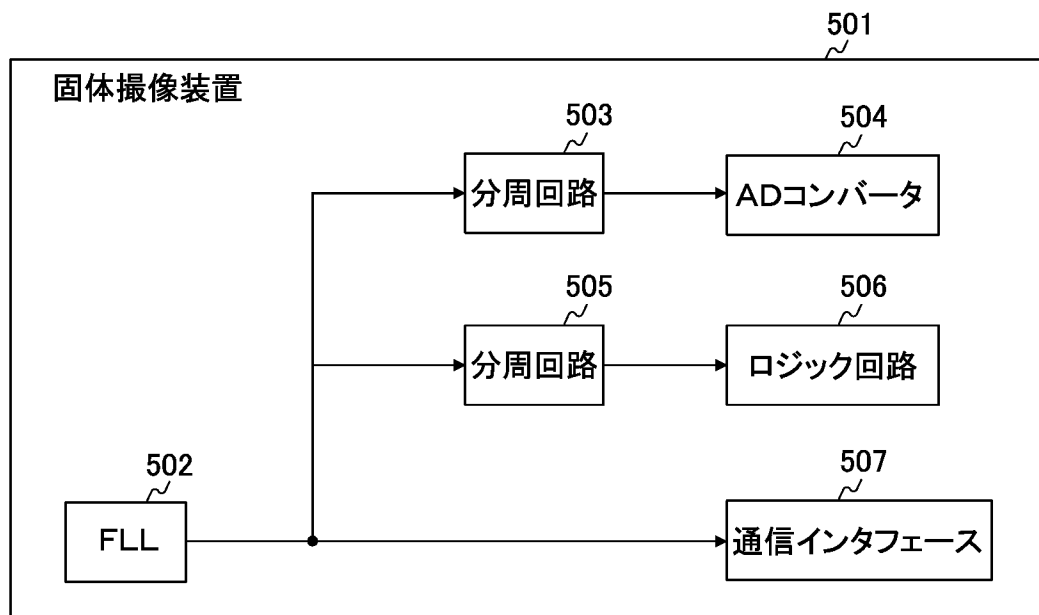


The diagram shows a 2N2T2C crossbar switch circuit. It consists of four vertical lines labeled CPB, CP, AN, and BN from left to right. There are four horizontal lines labeled AP, BP, AN, and BN from top to bottom. Four transistors, labeled 431, 432, 433, and 434, are arranged in a 2x2 grid. Transistor 431 is connected to CPB and AP. Transistor 432 is connected to CPB and BP. Transistor 433 is connected to CP and AN. Transistor 434 is connected to AN and BN. The connections form a crossbar switch matrix.

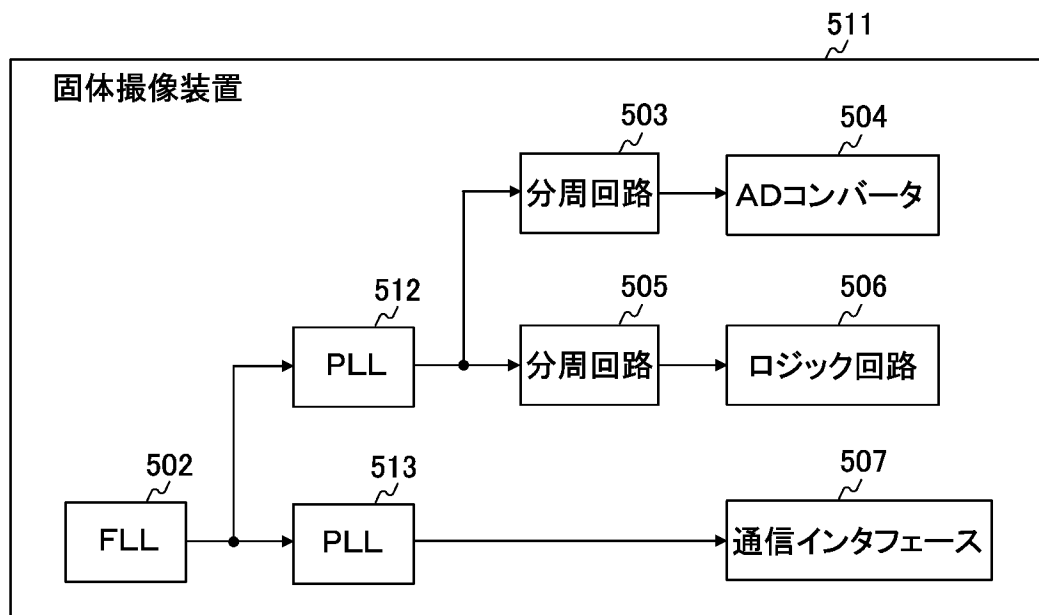
[図12]



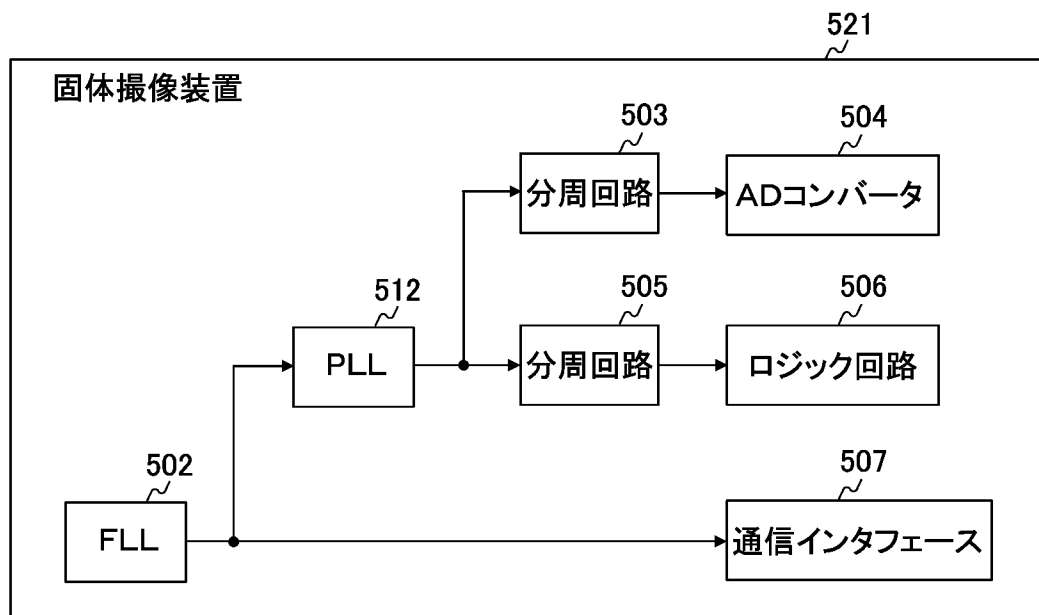
[図13]



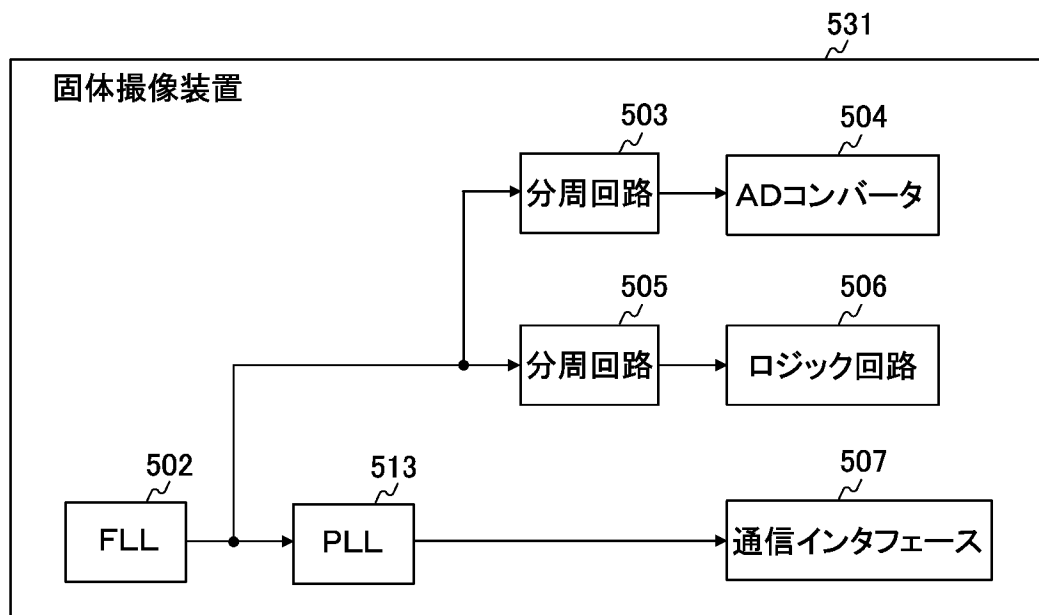
[図14]



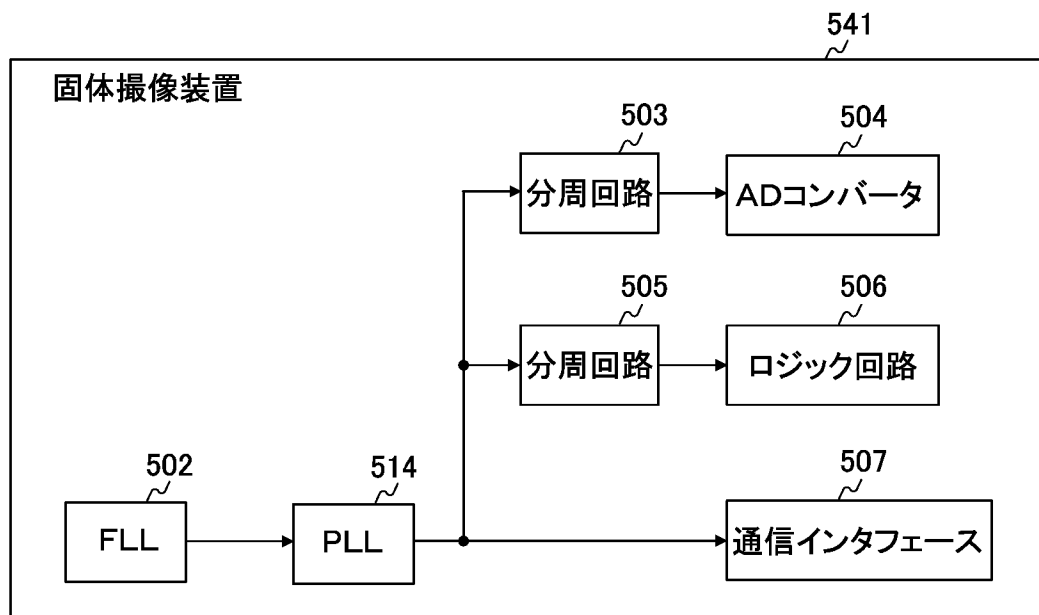
[図15]



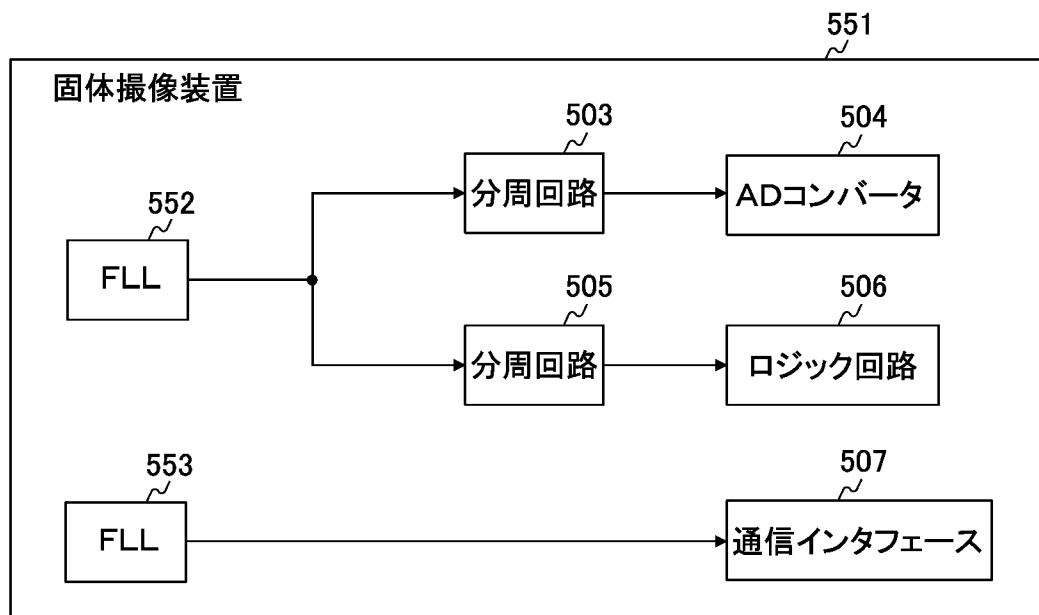
[図16]



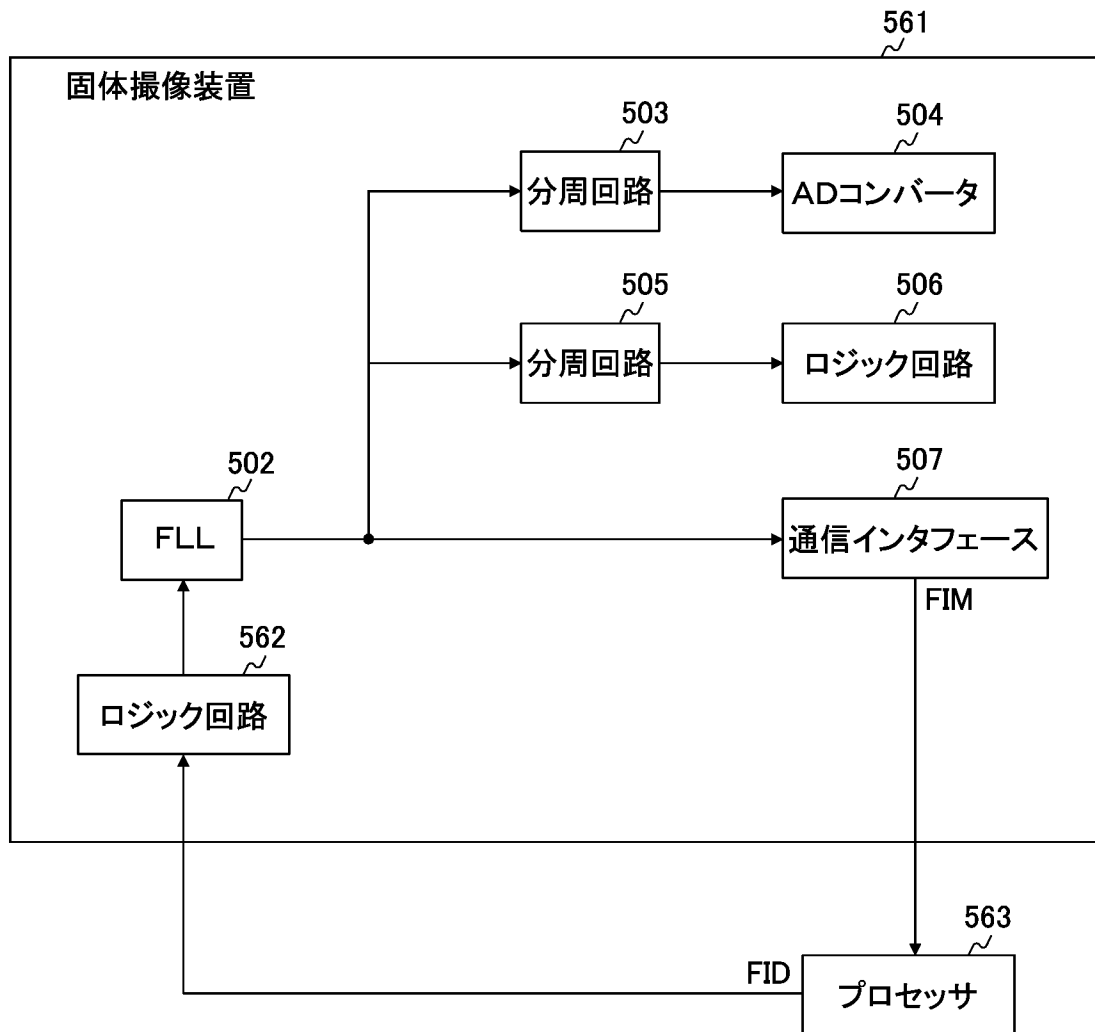
[図17]



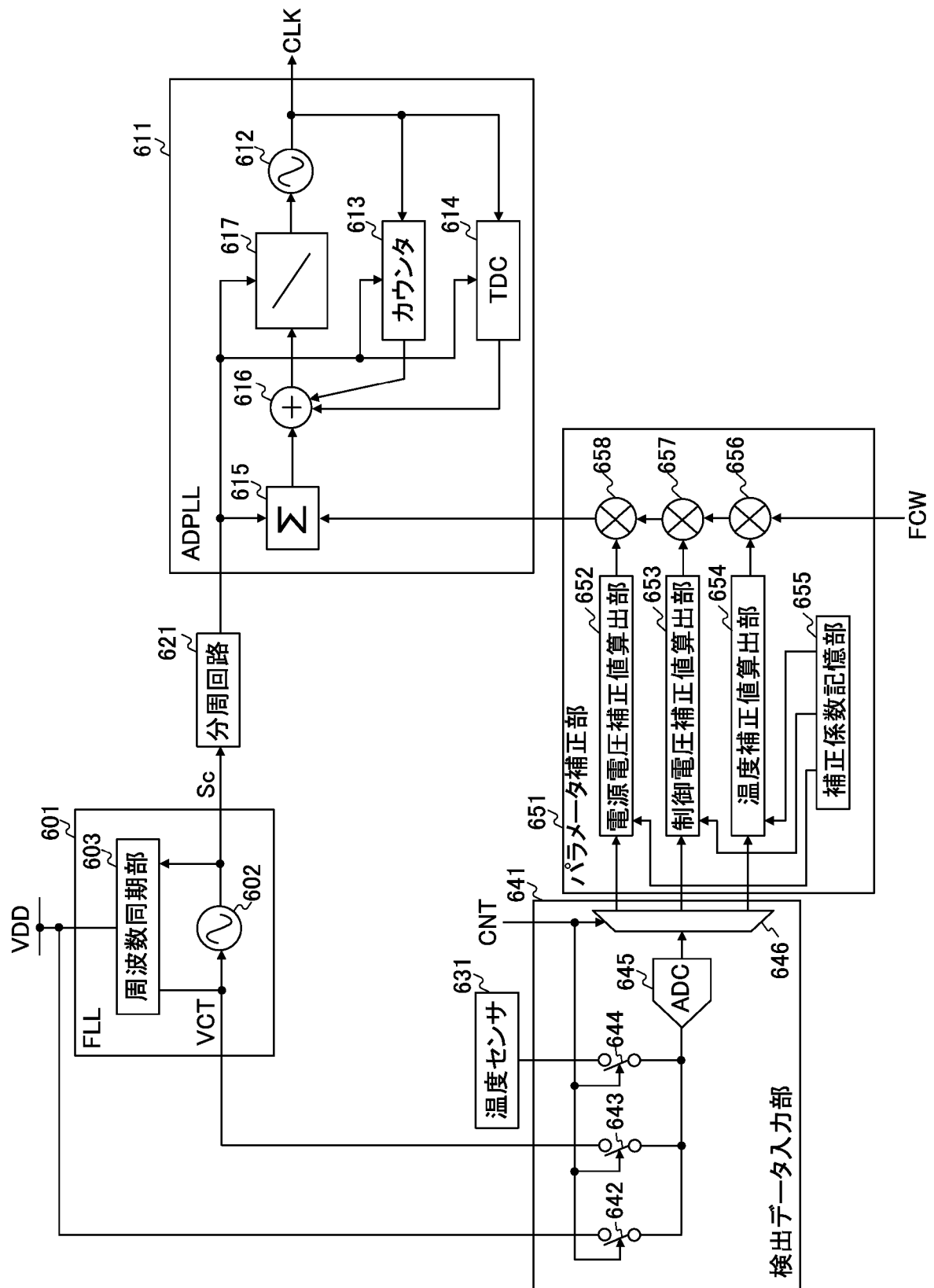
[図18]



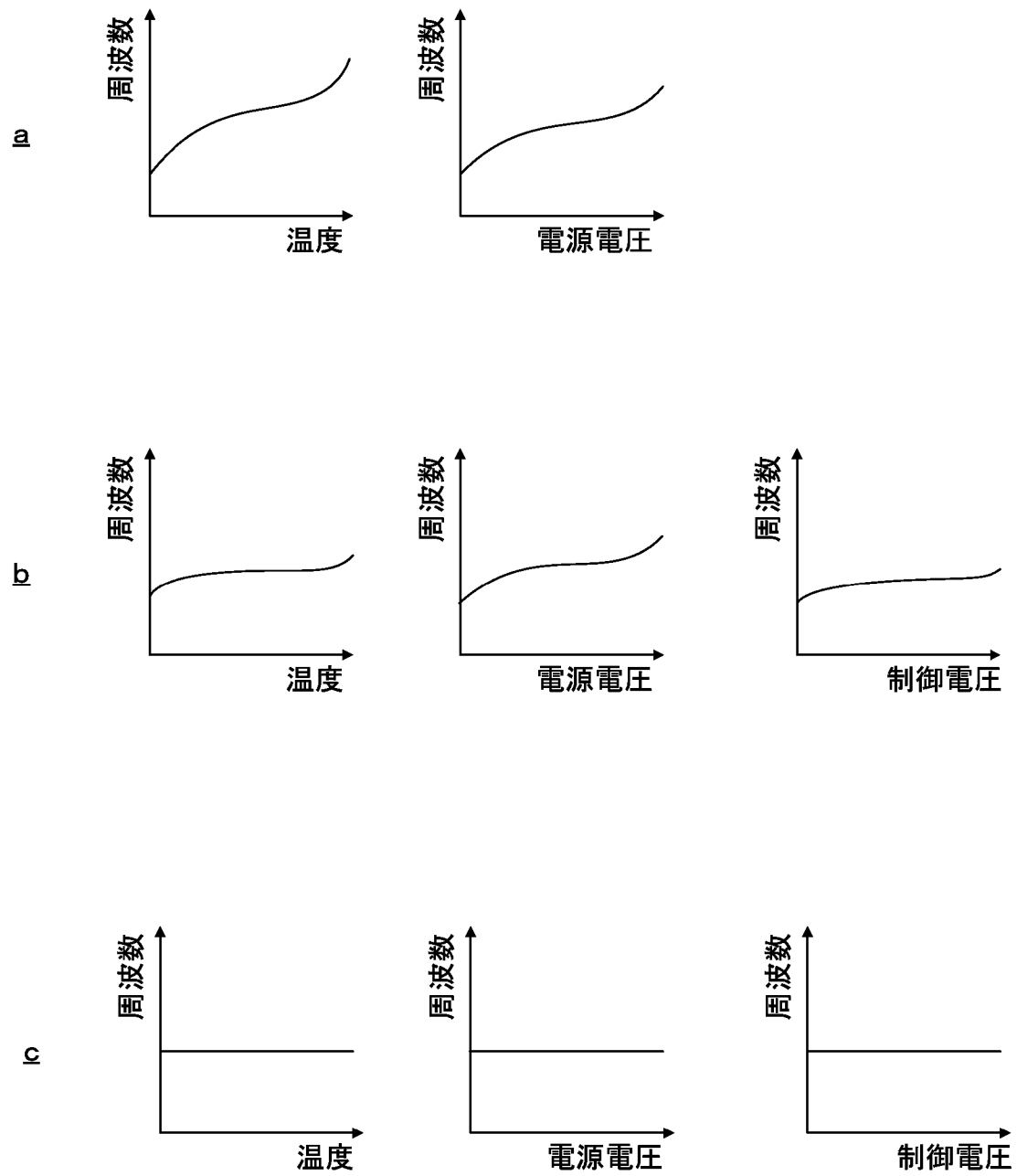
[図19]



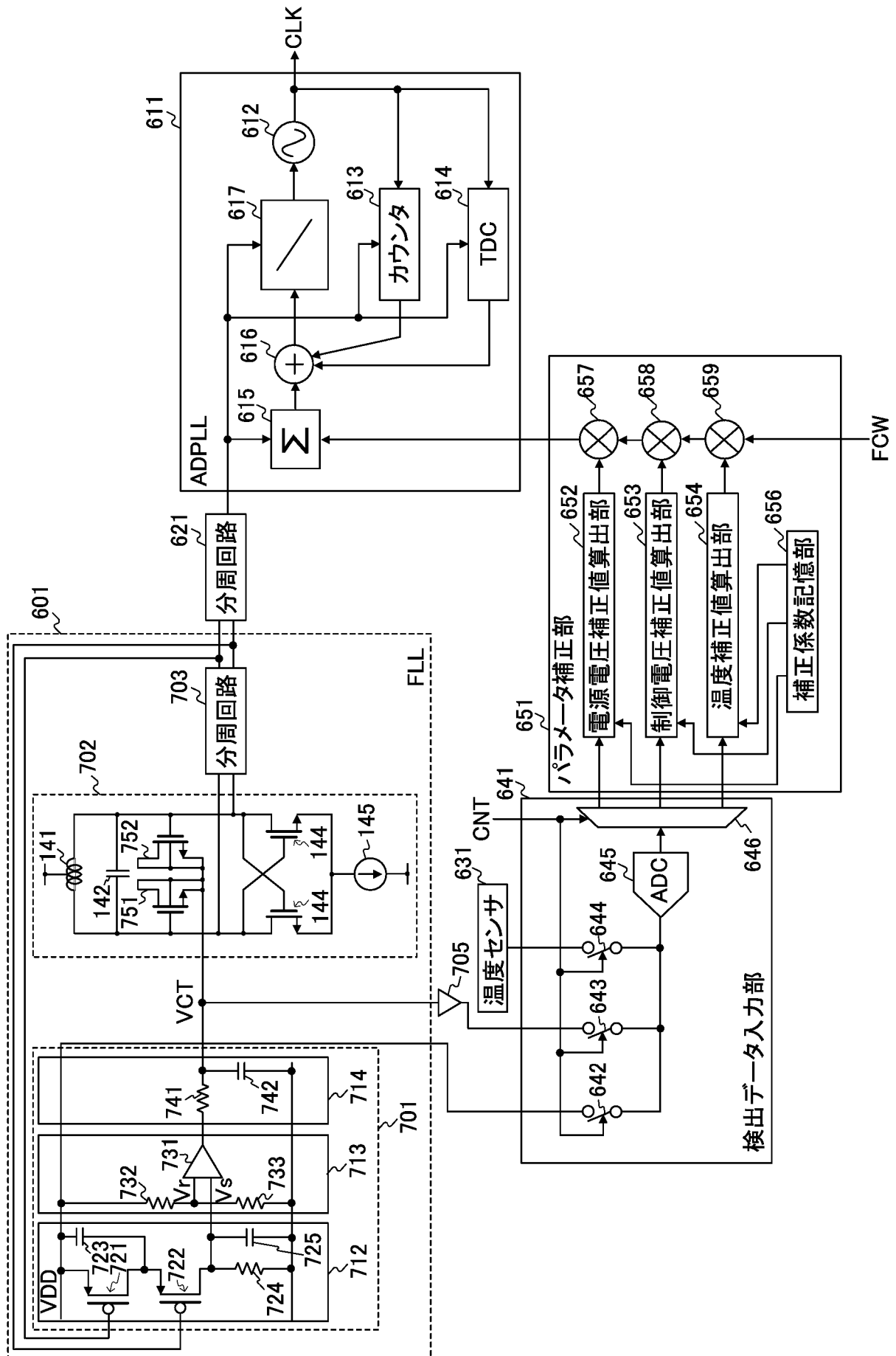
[図20]



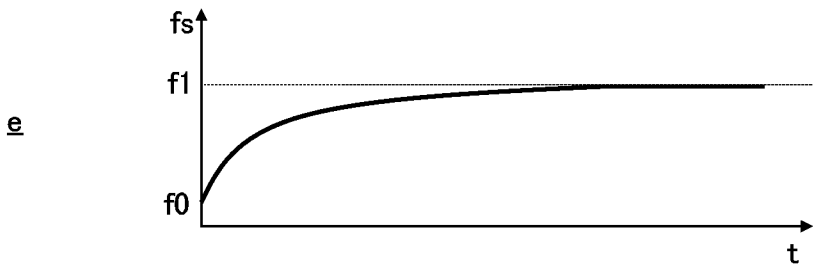
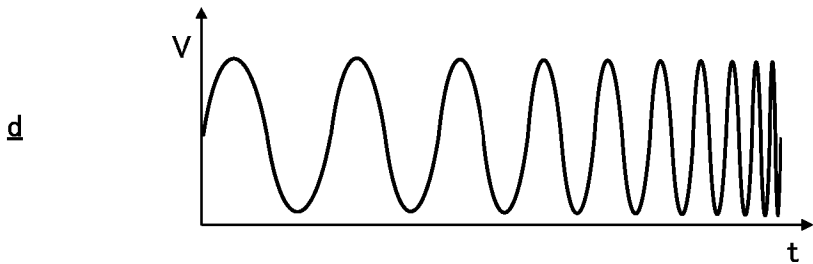
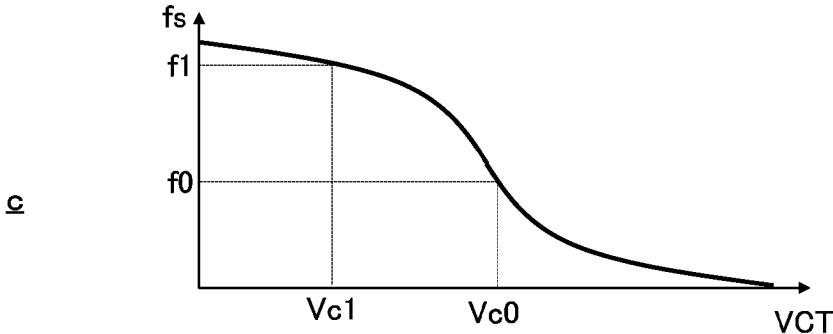
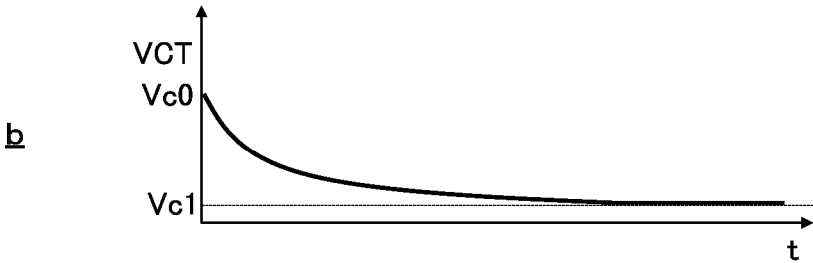
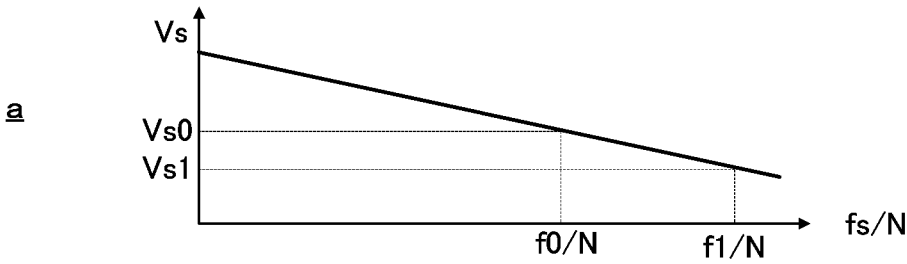
[図21]



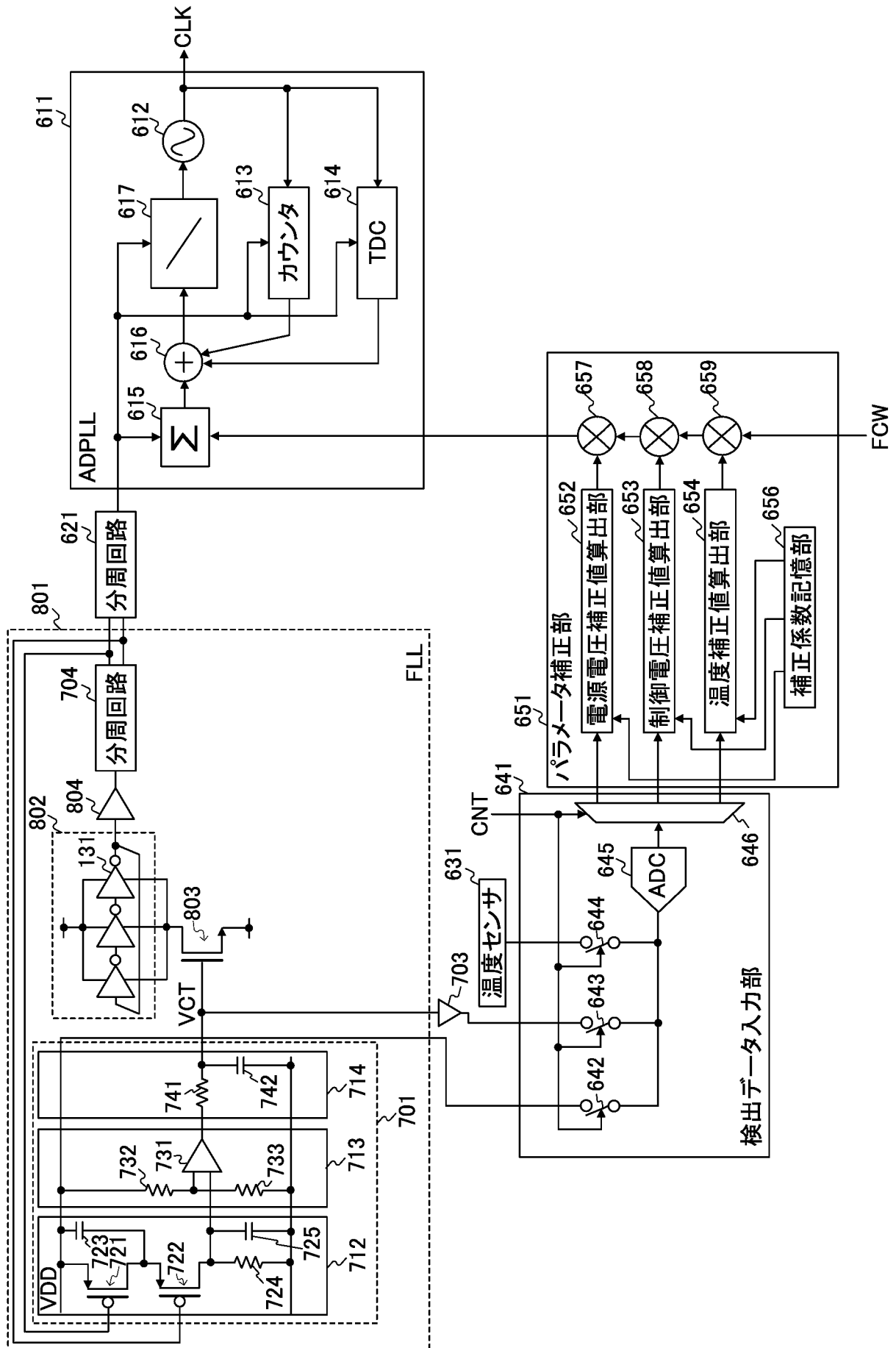
[図22]



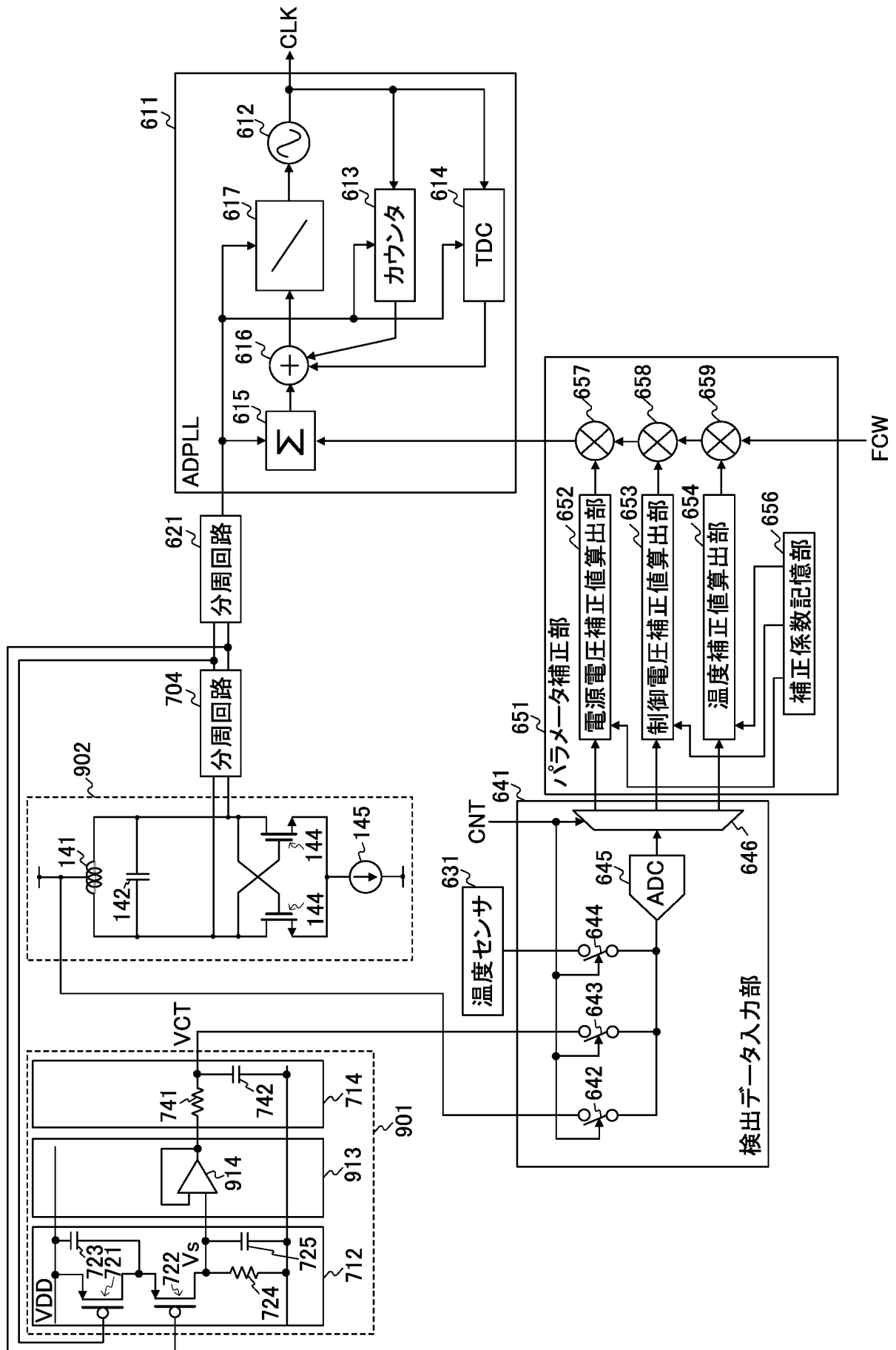
[図23]



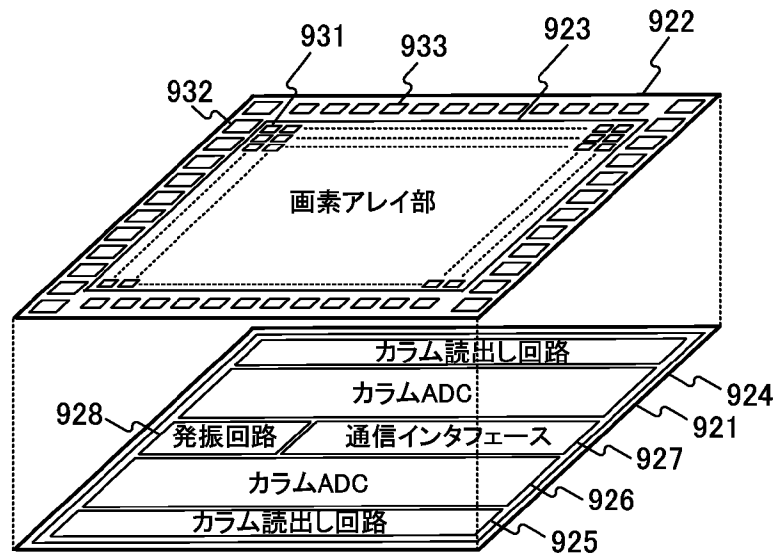
[図24]



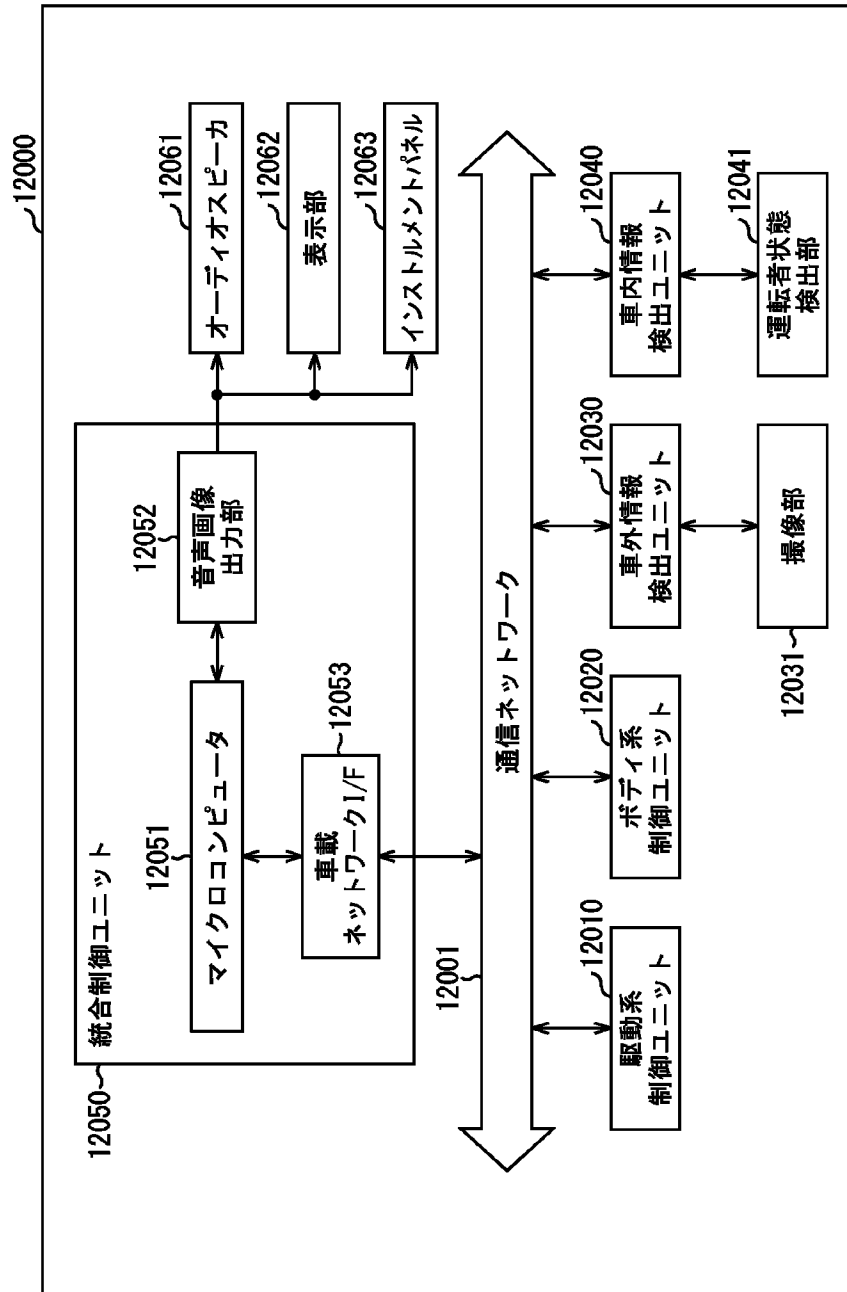
[図25]



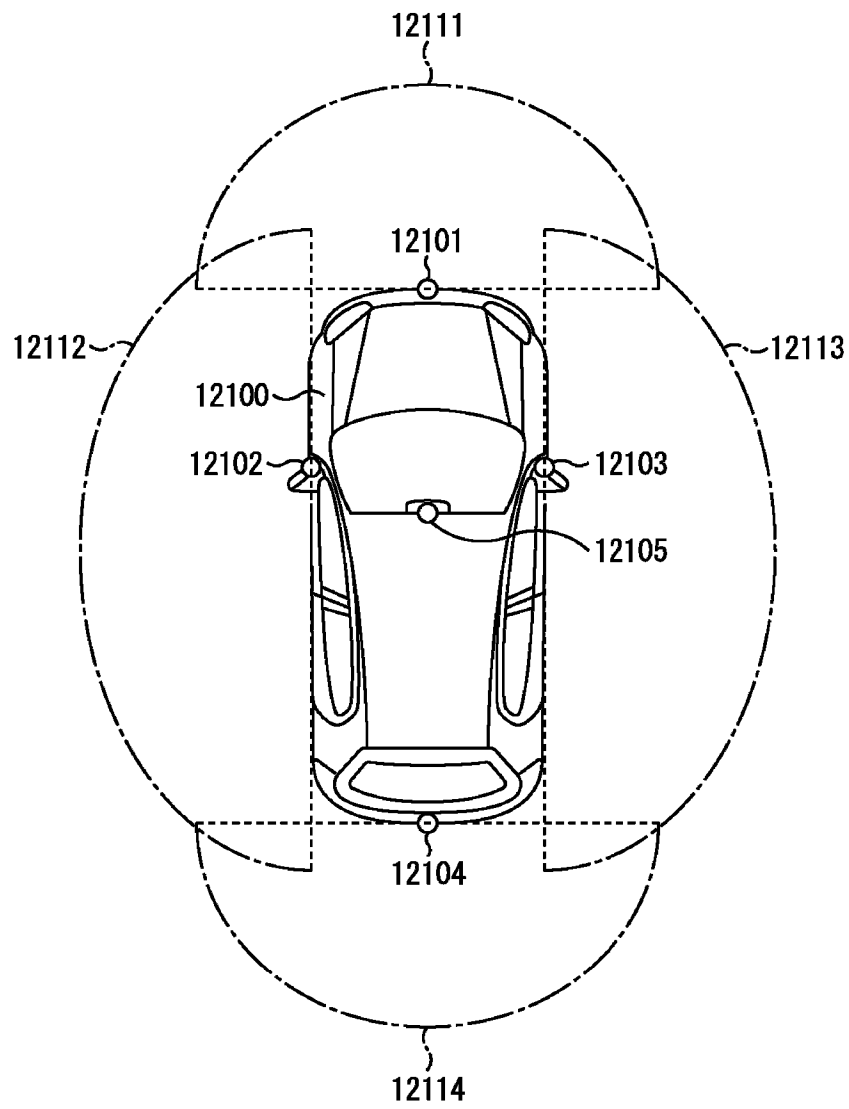
[図26]



[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000603

A. CLASSIFICATION OF SUBJECT MATTER**H03L 7/06**(2006.01)i; **H03K 3/03**(2006.01)i; **H03K 3/354**(2006.01)i; **H03L 7/099**(2006.01)i

FI: H03L7/06; H03L7/06 240; H03L7/099 150; H03K3/03; H03K3/354 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/06; H03K3/03; H03K3/354; H03L7/099

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-516836 A (SANDISK TECHNOLOGIES INC.) 13 May 2013 (2013-05-13) paragraphs [0007]-[0026], [0031], fig. 1-3	1-3, 12-14
Y	paragraphs [0007]-[0026], [0031], fig. 1-3	4-5, 11, 15-17
A	paragraphs [0007]-[0026], [0031], fig. 1-3	6-10, 18-20
X	JP 2007-124394 A (MITSUMI ELECTRIC CO., LTD.) 17 May 2007 (2007-05-17) paragraphs [0014]-[0027], fig. 1-3	1, 3, 8, 12-13
Y	paragraphs [0014]-[0027], fig. 1-3	4-5, 11, 15-17
A	paragraphs [0014]-[0027], fig. 1-3	2, 6-7, 9-10, 14, 18-20
Y	JP 2013-192215 A (MEGA CHIPS CORP.) 26 September 2013 (2013-09-26) paragraphs [0024]-[0027], fig. 1	4
Y	WO 2019/229593 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 December 2019 (2019-12-05) paragraph [0126], fig. 6-7, 10	5

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 March 2024

Date of mailing of the international search report

26 March 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000603

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-229850 A (ASAHI KASEI ELECTRONICS CO., LTD.) 07 November 2013 (2013-11-07) paragraph [0049], fig. 1-2	11
Y	JP 2013-110511 A (NIPPON DEMPA KOGYO CO., LTD.) 06 June 2013 (2013-06-06) paragraphs [0019]-[0022], fig. 1	15-17

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(Invention 1) Claims 1-3, 4-14

Document 1 discloses invention related to a temperature stable oscillation circuit with frequency-current feedback, a configuration is disclosed which includes a frequency-current conversion circuit 310 that converts an output signal frequency of a current control oscillator 302 into a current and a feedback conversion circuit 312 that generates a difference between an output current of a frequency-current conversion circuit 310 and a current provided with a constant current reference 354 as a current comparison signal by using a current comparison node 344 and feeds back the current comparison signal to the current control oscillator 302, and claims 1-3 lack novelty in light of document 1 and does not have a special technical feature. However, claim 4 dependent on claim 3 has the special technical feature in which a “switched capacitor includes a variable capacitance element.” Claim 5 dependent on claim 3 has the special technical feature in which the “differential current generation unit includes a cascode current mirror circuit that receives a current generated by the switched capacitor and the reference current as an input.”

Claim 6 dependent on claim 3 has the special technical feature of “further comprising: a reference resistor used to generate the reference current; and a compensation resistor connected to the switched capacitor in series and having temperature characteristics different from those of the reference resistor.” Claim 7 dependent on claim 3 has the special technical feature of “further comprising a chopper circuit that alternately switches an output destination of a current generated by the switched capacitor and an output destination of the reference current.” Claim 8 dependent on claim 3 has the special technical feature in which the “differential current generation unit includes a current mirror circuit that receives a current generated by switched capacitor as an input.” Claims 9-11 also have the technical feature identical to claim 8. Claim 12 dependent on claim 1 has the special technical feature in which “it is used as a reference block source of an integrated circuit.” Claim 13 also has the technical feature identical to claim 12. Claim 14 dependent on claim 1 has the special technical feature in which the “oscillator is an LC oscillator or a ring oscillator.” Therefore, claims 1-3 and 4-14 are classified as invention 1.

(Invention 2) Claims 15-19

It cannot be said that claims 15-19 have the technical feature identical or corresponding to claim 4 classified as invention 1. Claims 15-19 are not substantially identical to or similarly closely related to any of the claims classified as invention 1. Therefore, claims 15-19 cannot be classified as invention 1. Claims 15-19 have the special technical feature of “comprising: an oscillator; a frequency synchronization unit that configures a feedback loop for the oscillator on the basis of an oscillation frequency of the oscillator; and a phase locked loop (PLL) connected to a subsequent stage of the oscillator,” and are thus classified as invention 2.

(Invention 3) Claim 20

It cannot be said that claim 20 has the technical feature identical or corresponding to claim 4 classified as invention 1 or claim 15 classified as invention 2. Claim 20 is not substantially identical to or similarly closely related to any of the claims classified as invention 1, or invention 2. Therefore, claim 20 cannot be classified as either invention 1 or invention 2. Claim 20 has the special technical feature of “comprising: an oscillator; a phase locked loop (PLL) connected to a subsequent stage of the oscillator; a frequency voltage conversion unit that generates a voltage corresponding to an oscillation frequency of the oscillator; and a parameter correction unit that corrects a parameter used for controlling the PLL on the basis of a voltage generated by the frequency voltage conversion unit,” and is thus classified as invention 3.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000603

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/000603

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-516836	A	13 May 2013	US 2011/0156760 A1 paragraphs [0015]-[0034], [0039], fig. 1-3 WO 2011/081767 A1 CN 102783029 A KR 10-2012-0130091 A	
JP	2007-124394	A	17 May 2007	(Family: none)	
JP	2013-192215	A	26 September 2013	US 2013/0207711 A1 paragraphs [0041]-[0049], fig. 1 CN 103248357 A	
WO	2019/229593	A1	05 December 2019	US 2021/0217891 A1 paragraph [0158], fig. 6-7, 10 CN 112236869 A	
JP	2013-229850	A	07 November 2013	(Family: none)	
JP	2013-110511	A	06 June 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H03L 7/06(2006.01)i; H03K 3/03(2006.01)i; H03K 3/354(2006.01)i; H03L 7/099(2006.01)i
FI: H03L7/06; H03L7/06 240; H03L7/099 150; H03K3/03; H03K3/354 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H03L7/06; H03K3/03; H03K3/354; H03L7/099

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-516836 A（サンディスク テクノロジース インコーポレイテッド） 13.05.2013（2013-05-13） 段落[0007]-[0026], [0031], [図1]-[図3]	1-3, 12-14
Y	段落[0007]-[0026], [0031], [図1]-[図3]	4-5, 11, 15-17
A	段落[0007]-[0026], [0031], [図1]-[図3]	6-10, 18-20
X	JP 2007-124394 A（ミツミ電機株式会社）17.05.2007（2007-05-17） 段落[0014]-[0027], [図1]-[図3]	1, 3, 8, 12-13
Y	段落[0014]-[0027], [図1]-[図3]	4-5, 11, 15-17
A	段落[0014]-[0027], [図1]-[図3]	2, 6-7, 9-10, 14, 18-20
Y	JP 2013-192215 A（株式会社メガチップス）26.09.2013（2013-09-26） 段落[0024]-[0027], [図1]	4
Y	WO 2019/229593 A1（株式会社半導体エネルギー研究所）05.12.2019（2019-12-05） 段落[0126], [図6]-[図7], [図10]	5

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 14. 03. 2024

国際調査報告の発送日 26. 03. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石田 昌敏 5W 4181

電話番号 03-3581-1101 内線 3576

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-229850 A (旭化成エレクトロニクス株式会社) 07.11.2013 (2013 - 11 - 07) 段落[0049], [図1]-[図2]	11
Y	JP 2013-110511 A (日本電波工業株式会社) 06.06.2013 (2013 - 06 - 06) 段落[0019]-[0022], [図1]	15-17

第III欄

発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（発明1）請求項1-3、4-14

文献1には周波数-電流フィードバックを有する温度安定形発振回路に関する発明が記載されており、電流制御型発振器302の出力信号周波数を電流に変換する周波数-電流変換回路310を具備し、前記周波数-電流変換回路310の出力電流と定電流基準354によって提供される電流との差を、電流比較ノード344にて電流比較信号として生成し前記電流制御型発振器302にフィードバックするフィードバック変換回路312を含む構成が記載されており、請求項1-3は、文献1により新規性が欠如しているため、特別な技術的特徴を有しない。しかしながら、請求項3の従属請求項である請求項4は、「スイッチトキャパシタは可変容量素子を備える」という特別な技術的特徴を有している。また、請求項3の従属請求項である請求項5は、「前記差分電流生成部は、前記スイッチトキャパシタで生成された電流と前記参照電流とを入力とするカスコードカレントミラー回路を備える」という特別な技術的特徴を有している。また、請求項3の従属請求項である請求項6は、「前記参照電流の生成に用いられる参照抵抗と、前記スイッチトキャパシタに直列に接続され、前記参照抵抗と温度特性が異なる補償抵抗とをさらに備える」という特別な技術的特徴を有している。また、請求項3の従属請求項である請求項7は、「前記スイッチトキャパシタで生成された電流の出力先および前記参照電流の出力先を交互に切り替えるチョップ回路をさらに備える」という特別な技術的特徴を有している。

また、請求項3の従属請求項である請求項8は、「前記差分電流生成部は、前記スイッチトキャパシタで生成された電流を入力とするカレントミラー回路を備える」という特別な技術的特徴を有している。請求項9-11も、請求項8と同一の技術的特徴を有している。また、請求項1の従属請求項である請求項12は、「集積回路の基準クロック源として用いられる」という特別な技術的特徴を有している。請求項13も、請求項12と同一の技術的特徴を有している。また、請求項1の従属請求項である請求項14は、「前記発振器は、LC発振器またはリングオシレータである」という特別な技術的特徴を有している。したがって、請求項1-3、4-14を発明1に区分する。

（発明2）請求項15-19

請求項15-19は、発明1に区分された請求項4と、同一の又は対応する技術的特徴を有しているとはいえない。また、請求項15-19は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。したがって、請求項15-19は発明1に区分できない。そして、請求項15-19は、「発振器と、前記発振器の発振周波数に基づいて、前記発振器に対する帰還ループを構成する周波数同期部と、前記発振器の後段に接続されたPLL（Phase Locked Loop）とを備える」という特別な技術的特徴を有しているため、発明2に区分する。

（発明3）請求項20

請求項20は、発明1に区分された請求項4又は発明2に区分された請求項15と、同一の又は対応する技術的特徴を有しているとはいえない。また、請求項20は、発明1又は発明2に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。したがって、請求項20は発明1及び発明2のいずれにも区分できない。そして、請求項20は、「発振器と、前記発振器の後段に接続されたPLL（Phase Locked Loop）と、前記発振器の発振周波数に応じた電圧を生成する周波数電圧変換部と、前記周波数電圧変換部で生成された電圧に基づいて、前記PLLの制御に用いられるパラメータを補正するパラメータ補正部とを備える」という特別な技術的特徴を有しているため、発明3に区分する。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/000603

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-516836	A	13.05.2013	US 2011/0156760 A1 段落[0015]-[0034], [0039], [図1]-[図3] WO 2011/081767 A1 CN 102783029 A KR 10-2012-0130091 A	
JP	2007-124394	A	17.05.2007	(ファミリーなし)	
JP	2013-192215	A	26.09.2013	US 2013/0207711 A1 段落[0041]-[0049], [図1] CN 103248357 A	
WO	2019/229593	A1	05.12.2019	US 2021/0217891 A1 段落[0158], [図6]-[図7], [図10] CN 112236869 A	
JP	2013-229850	A	07.11.2013	(ファミリーなし)	
JP	2013-110511	A	06.06.2013	(ファミリーなし)	