

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4437891号
(P4437891)

(45) 発行日 平成22年3月24日(2010.3.24)

(24) 登録日 平成22年1月15日(2010.1.15)

(51) Int.Cl. F I
G 1 1 C 11/4091 (2006.01) G 1 1 C 11/34 3 5 3 C
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 6 2 S

請求項の数 5 (全 11 頁)

<p>(21) 出願番号 特願2003-79902(P2003-79902) (22) 出願日 平成15年3月24日(2003.3.24) (65) 公開番号 特開2004-288298(P2004-288298A) (43) 公開日 平成16年10月14日(2004.10.14) 審査請求日 平成17年8月23日(2005.8.23)</p> <p>前置審査</p>	<p>(73) 特許権者 308033711 OKIセミコンダクタ株式会社 東京都八王子市東浅川町550番地1</p> <p>(74) 代理人 100079049 弁理士 中島 淳</p> <p>(74) 代理人 100084995 弁理士 加藤 和詳</p> <p>(74) 代理人 100085279 弁理士 西元 勝一</p> <p>(74) 代理人 100099025 弁理士 福田 浩志</p> <p>(72) 発明者 水橋 比呂志 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内</p>
---	--

最終頁に続く

(54) 【発明の名称】同期型DRAMのデータ書込方法

(57) 【特許請求の範囲】

【請求項1】

選択されたカラムごとにデータを書き込む同期型DRAMのデータ書込方法であって、
 第1メモリセルブロックにおいて、選択されたカラムのセンスアンプをデータバスに接続すると同時に、前記センスアンプをビット線対から切り離し、前記データバスのデータを前記センスアンプにラッチする第1ラッチステップと、

前記センスアンプをデータバスから切り離し、バースト書き込み中は、前記第1メモリセルブロック内の前記センスアンプと前記ビット線との間に接続された第1トランジスタに閾値電圧降下が発生するような第1電圧範囲で前記第1トランジスタを駆動し、バースト書き込み終了後は、前記第1電圧範囲よりも広くかつ前記第1トランジスタに閾値電圧降下が発生しない第2電圧範囲で前記第1トランジスタを駆動して、前記センスアンプのデータを前記ビット線対に書き込む第1書込ステップと、
 を含む同期型DRAMのデータ書込方法。

【請求項2】

前記第1メモリセルブロックのバースト書き込みに並行して、第2メモリセルブロックにおいて、選択されたカラムのセンスアンプを前記データバスに接続すると同時に、前記センスアンプをビット線対から切り離し、前記データバスのデータをセンスアンプにラッチする第2ラッチステップと、

前記センスアンプをデータバスから切り離し、前記第2メモリセルブロックのバースト書き込み中は、前記第2メモリセルブロック内の前記センスアンプと前記ビット線との間

に接続された第2トランジスタを前記第1電圧範囲で駆動し、前記第2メモリセルブロックのバースト書き込み終了後は、前記第2電圧範囲で前記第2トランジスタを駆動して、前記センスアンプのデータを前記ビット線対に書き込む第2書込ステップと、をさらに含む請求項1に記載の同期型DRAMのデータ書込方法。

【請求項3】

前記第1メモリセルブロックのセンスアンプは、前記第1メモリセルブロックとは反対側に配置された第3メモリセルブロックへのデータの書き込みも行うシェアードセンスアンプである、請求項1又は2に記載の同期型DRAMのデータ書込方法。

【請求項4】

カラムアクセスごとに論理が反転するビットを含むビット列からなる信号により、前記第1メモリセルブロックを選択する、請求項1から3のいずれかに記載の同期型DRAMのデータ書込方法。

【請求項5】

前記信号は、アドレス信号の下位3ビットである、請求項4に記載の同期型DRAMのデータ書込方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期型DRAMのデータ書込方法、特に、選択されたカラムごとにデータを書き込む同期型DRAMのデータ書込方法に関する。

【0002】

【従来の技術】

同期型DRAMでは、大容量化及び高速化が求められている。しかし、大容量化すると、配線負荷が大きくなるので高速化の点では不利になるという問題がある。この問題を解決するために、メモリセルブロックをより細かく分割してビット線の負荷を軽減することが考えられるが、チップ面積の増大を招く。また、データバス及びリードアンプを2対用意して1対づつ交互に動作させることにより、外部クロック周波数に対してオペレーション周波数を半分に減らし、ビット線への書き込み時間を長くする方法も考えられる。この場合もチップ面積が増大し、さらに、制御回路が複雑化してしまうという問題もある。

【0003】

従来、DRAMの高速動作を図ったDRAMとして、以下の特許文献に記載されたものがある。

【0004】

特許文献1には、ブロックライト機能を有する画像データ用の同期型DRAMが記載されている。この同期型DRAMでは、同時書き込み対象の複数のビット線をセンスアンプから切り離して、書き込み対象ビット線対におけるセンスアンプにデータを書き込み、その後、書き込み対象のビット線対におけるセンスアンプからメモリセルにデータを書き込むことにより、ブロックライトの高速化を図っている。

【0005】

特許文献2には、ビット線対における微小電位差がセンスアンプに到達した時点で、ビット線対を切り離してセンスアンプにより増幅を行うことにより、データの読み出しを高速化するDRAMが記載されている。

【0006】

【特許文献1】

特開平8-87879号公報(第3-5頁、第1-2図)

【0007】

【特許文献2】

特開平12-149562号公報(第4-5頁、第1-2図)

【0008】

10

20

30

40

50

【発明が解決しようとする課題】

特許文献 1 に記載の同期型 D R A M は、画像データ用の同期型 D R A M においてブロックライトを高速化するものであるが、カラムごとにデータを書き込む方法を使用する汎用の同期型 D R A M のデータ書き込み動作を高速化する点については記載されていない。

【 0 0 0 9 】

また、特許文献 2 に記載の D R A M は、読み出し動作の高速化を図るものであるが、D R A M の高速化には書き込み動作の高速化も必要であり、書き込み動作の高速化を図る必要がある。

【 0 0 1 0 】

【課題を解決するための手段】

本発明に係る同期型 D R A M のデータ書込方法は、選択されたカラムごとにデータを書き込む同期型 D R A M のデータ書込方法であって、第 1 ラッチステップと、第 1 書込ステップとを含んでいる。第 1 ラッチステップでは、第 1 メモリセルブロックにおいて、選択されたカラムのセンスアンプをデータバスに接続すると同時に、センスアンプをビット線対から切り離し、データバスのデータをセンスアンプにラッチする。第 1 書込ステップでは、センスアンプをデータバスから切り離し、バースト書き込み中は、前記第 1 メモリセルブロック中の前記センスアンプと前記ビット線との間に接続された第 1 トランジスタに閾値電圧降下が発生するような第 1 電圧範囲で前記第 1 トランジスタを駆動し、バースト書き込み終了後は、前記第 1 電圧範囲よりも広くかつ前記第 1 トランジスタに閾値電圧降下が発生しない第 2 電圧範囲で前記第 1 トランジスタを駆動して、センスアンプのデータをビット線対に書き込む。

【 0 0 1 1 】

【作用】

この同期型 D R A M では、選択されたカラムごとにデータを書き込む場合に、センスアンプをビット線対から切り離した状態でセンスアンプにデータをラッチし、その後センスアンプをビット線に接続してデータを書き込む。この方法は、選択されたカラムごとにデータを書き込む汎用の同期型 D R A M に適用することができ、ビット線の負荷を切り離した状態でセンスアンプを短時間で確実に反転させ、その後センスアンプからビット線対にデータを書き込むため、データの書込を高速かつ確実に行うことができる。

【 0 0 1 2 】

【発明の実施の形態】

(1) 第 1 実施形態

(1 - 1) 構成

図 1 は、本発明の第 1 実施形態に係る同期型 D R A M の構成図である。図 2 は、図 1 におけるメモリセルアレイ 1 8 の拡大図である。この同期型 D R A M は、メモリセルアレイ 1 8、カラム選択パルス生成回路 1 0、ライトクロック生成回路 1 1、データバスイコライズ信号生成回路 1 2、ライトドライバ&データバスイコライザ 1 3、プリデコーダ 1 4、アドレスドライバ 1 5、カラムデコーダ 1 6、ロウデコーダ&メインワード線ドライバ 1 7 を備えている。

【 0 0 1 3 】

メモリセルアレイ 1 8 は、メモリセルブロック 1 9、センスアンプ部 1 1 0、センスアンプ&データバス制御ブロック 1 1 1 を有している。メモリセルブロック 1 9 は、5 1 2 本のワード線と、2 5 6 本のビット線対と、ワード線とビット線の交差部に配置されたメモリセルとを含む。メモリセルブロック 1 9 では、カラム選択線 Y ごとに 4 ビット線対がデータバスと接続するように構成されている。即ち、メモリセルブロック 1 9 ごとに 6 4 本のカラム選択線 Y が存在する。このようなメモリセルブロック 1 9 がワード線方向に 8 個積み重ねられている。

【 0 0 1 4 】

カラム選択パルス生成回路 1 0 は、クロック信号 C L K 及び信号 B U R S T からカラム選択パルス Y C L K を生成する。ここで、信号 B U R S T は、カラムアクセス中に “ H “ レ

10

20

30

40

50

ベルとなる信号である。ライトクロック生成回路11は、カラム選択パルスYCLK及び信号WRITEにより信号WDEを生成する。ここで、信号WRITEは、ライトアクセス中に”H”レベルとなる信号である。データバスイコライズ信号生成回路12は、カラム選択パルスYCLKによりイコライズ信号DBEQを生成する。ライトドライバ&データバスイコライザ13は、信号WDEにより入力データをデータバス上に転送するとともに、次のアクセスに備えてイコライズ信号DBEQによりデータバスのイコライズを行う。プリデコーダ14は、アドレス信号A0~A8をプリデコードし、プリデコード信号PYを生成する。ここでは、下位3ビット(A0-A2)をメモリセルブロック19の選択に割り当て、残りの6ビット(A3-A8)をカラム選択線Yの選択に割り当てる。バーストアクセス時にはカラム選択線Yの選択、すなわちカラムアクセスごとに最下位ビットA0は必ず”H”と”L”とを繰り返すため、連続するカラムの選択時には、前カラムと次カラムとは異なるメモリセルブロック19にアクセスすることになる。アドレスドライバ15は、プリデコード信号PYをカラム選択パルスYCLKに同期させてカラムデコーダ16に出力する。カラムデコーダ16は、プリデコード信号PYに基づいて、ブロック選択信号YBSSEL[0:7]及びカラム選択信号Y[0:63]を出力する。ロウデコーダ&メインワード線ドライバ17は、アレイ選択信号ASEL[0:3]とバースト信号に基づいて、アレイ選択信号XASEL[0:3]を出力する。

【0015】

図3は、センスアンプ部110、センスアンプ&データバス制御ブロック111の回路図である。ここで、BL, BLbはビット線、SBL, SBLbはセンスアンプ301の入力ノードである。

【0016】

センスアンプ部110は、隣り合う2つのメモリセルブロック19にデータの書き込みを行い、アレイ選択信号ASEL[0:3]に基づいて左又は右のいずれかのメモリセルブロック19にデータを書き込む。センスアンプ部110は、センスアンプ301、トランスファークロップ302, 303、イコライズ回路304、プリチャージ&イコライズ回路305, 306を有している。センスアンプ301は、インバータ24, 25の出力により駆動され、入力ノードSBL, SBLbの電位差をVDD又はGNDにラッチする。トランスファークロップ302は、Pchトランジスタ55及びNchトランジスタ214と、Pchトランジスタ56及びNchトランジスタ215とにより構成され、センスアンプ301と左側メモリセルブロック19のビット線対BL, BLbとを接続又は遮断する。トランスファークロップ303は、Pchトランジスタ57及びNchトランジスタ225と、Pchトランジスタ58及びNchトランジスタ226により構成され、センスアンプ301と右側メモリセルブロック19のビット線対BL, BLbとを接続又は遮断する。イコライズ回路304は、トランジスタ224により各ビット線BL, BLbを同電位にイコライズする。プリチャージ&イコライズ回路305は、トランジスタ211~213により構成されており、左側メモリセルブロック19の各ビット線BL, BLbを中間電位VBL(VDD/2)にプリチャージ及びイコライズする。プリチャージ&イコライズ回路306は、トランジスタ227~229により構成されており、右側メモリセルブロック19のビット線BL及びBLbを中間電位VBL(VDD/2)にプリチャージ及びイコライズする。データバス接続回路307は、トランジスタ222, 223により構成されており、センスアンプ301とデータバスDB, DBbとを接続又は遮断する。

【0017】

センスアンプ&データバス制御部111において、インバータ24, 25は、SLNGbに基づいて、センスアンプ301を駆動するための活性化信号SLPG, SLNGを生成する。ここで、Vppは、Nchトランジスタを駆動する場合にソース-ドレイン間に閾値電圧降下Vtを発生させないようにVDDを昇圧した電圧である。また、Vppで駆動されるNOR回路22と、トランジスタ26, 27とが、イコライズ信号EQLb, EQRbに基づいて、センスアンプ301を中間電位VBLにプリチャージ及びイコライズする。また、NOR回路22の出力は、イコライズ回路304の駆動にも使用される。NO

10

20

30

40

50

R回路51、インバータ52は、イコライズ信号EQLb及びブロック選択信号YBSELに基づき、内部電圧VDDでトランスファークラップ302を駆動する。同様に、NOR回路53、インバータ54は、イコライズ信号EQRb及びブロック選択信号YBSELに基づいて、内部電圧VDDでトランスファークラップ303を駆動する。

ここで、例えば、左側メモリセルブロック19のビット線BLにはPchトランジスタ55及びNchトランジスタ214が接続されているが、このように互いに逆極性で駆動されるトランジスタ55、214を並列に接続することにより、Vppよりも低い内部電圧VDDで駆動した場合にもデータの伝達を確実に行うことができる。即ち、ビット線BLが“H”である場合に、Nchトランジスタ214のみであると、Nchトランジスタ214のソース-ドレイン間に閾値電圧降下Vtが発生するが、本実施形態のようにPchトランジスタ55も接続すると、Pchトランジスタのソース-ドレイン間に閾値電圧降下Vtが発生しないので、センスアンプ301とビット線BLとを閾値電圧降下Vtなしに接続できる。ビット線BLが“L”である場合には、Pchトランジスタ55のソース-ドレイン間に閾値電圧降下Vtが発生するが、Nchトランジスタ214のソース-ドレイン間に閾値電圧降下Vtが発生しないので、センスアンプ301とビット線BLとを閾値電圧降下Vtなしに接続できる。

【0018】

インバータ21、23は、それぞれ、Vppで駆動され、イコライズ信号EQLb、EQRbに基づいて、プリチャージ&イコライズ回路305、306を駆動する。トランジスタ28、29、210は、イコライズ信号DBEQDにより駆動され、データバスDB、DBbをイコライズする。

【0019】

(1-2) ライトサイクル時の動作

図4は、メモリセルに蓄積されていたデータに対して逆論理のデータを書き込む際のビット線レベルが変化する様子を示すタイミングチャートである。同図中、SBL、SBLbはセンスアンプ301の入力ノード、BLR、BLbRはビット線対の遠端部のノード、即ち、メモリセルの接続部のノードとする。

【0020】

アレイ選択信号XASEL[0:3]によりメモリセルアレイが選択された後、CLK及び信号BURSTにより生成されるカラム選択パルスYCLKに同期して、メモリセルブロックYBSEL[k]及びカラム選択線Y[i]が“H”になると、トランジスタ22、223がONしてデータバスDB、DBbがセンスアンプ301に接続される。これと同時に、ゲート信号TGR及びTGLが“L”となってトランスファークラップ302、303によりセンスアンプ301がビット線対BL[i]、BLb[i]から切り離される。即ち、センスアンプ301がビット線対BL[i]、BLb[i]から切り離された状態で、データバスDB、DBbからセンスアンプ301の入力ノードSBL、SBLbにデータが伝達される。これにより、入力ノードSBLは“H”から“L”に、入力ノードSBLbは“L”から“H”に急峻にレベルが変化し、センスアンプ301によりラッチされる。

【0021】

YBSEL[k]及びY[i]が“H”から“L”に変化すると、センスアンプ301がデータバスDB、DBbから切り離され、TGRが“L”から“H”に変化し、トランスファークラップ303によりセンスアンプ301がビット線対BL[i]、BLb[i]と接続される。これにより、センスアンプ301のデータがビット線対BL[i]、BLb[i]に伝達され、BLR[i]及びBLbR[i]は緩やかに変化して反転する。

【0022】

YBSEL[l]及びY[j]が“H”に反転すると、センスアンプ301からビット線対BLR[i]及びBLbR[i]にデータが書き込まれるのと並行して、YBSEL[l]で選択されるメモリセルブロック19のY[j]で選択されるカラムにおいて、前記同様にセンスアンプ301へのデータのラッチが開始される。この際、メモリセルブロッ

10

20

30

40

50

ク19のアドレスが下位アドレスA0 - A2で選択されているため、Y[i]とY[j]では異なるメモリセルブロックYBSEL[k]及びYBSEL[l]が選択される。これにより、ブロックYBSEL[k]及びカラムY[i]におけるビット線対BLR[i]及びBLbR[i]への書き込み中にオーバーラップして、メモリセルブロックYBSEL[l]及びカラムY[j]におけるセンスアンプ301へのデータのラッチを行うことができる。

【0023】

(1-3)まとめ

本実施形態によれば、ライトアクセス時において、センスアンプ301をビット線対BL, BLbから一端切り離れた状態で、センスアンプ301からデータバスDB, DBbにデータを伝達することにより、センスアンプ301に高速にデータをラッチできる。また、その後、センスアンプ301をデータバスDB, DBbから切り離してから、センスアンプ301をビット線対BL, BLbに接続してセンスアンプ301からメモリセルにデータを書き込む際に、次に選択されるカラムが別のブロックに属するため、ビット線同士の干渉を防止しつつ、次に選択されるカラムにおいてセンスアンプ301へのデータのラッチをオーバーラップして開始することができる。この結果、データの書き込みを高速かつ確実に行うことができる。

【0024】

また、トランスファークゲート302, 303を互いに並列に接続されるPch及びNchのトランジスタで構成し、Vppよりも低い電圧VDDで駆動するため、センスアンプ301とビット線対BL, BLbとの接続及び遮断を高速に行うことができる。このとき、トランスファークゲート302, 303を互いに並列に接続されるPch及びNchのトランジスタで構成するため、入力ノードSBL, SBLbのデータが“H”であっても“L”であっても、閾値電圧降下Vtの電圧降下を生じることなく、入力ノードSBL, SBLbからビット線BL, BLbにデータを伝達することができる。

【0025】

(2)第2実施形態

(2-1)構成

図5は、本発明の第2実施形態に係る同期型DRAMの構成図である。

【0026】

第1実施形態に係る同期型DRAMと同様の構成には同一符号を付して説明を省略する。本実施形態に係る同期型DRAMでは、ロウアドレス選択時に選ばれるアレイ選択信号ASEL[0:3]と信号BURSTとを用い、カラムアクセス時にどのメモリセルアレイが選択されているかを示すXASELがロウデコーダ&メインワード線ドライバ17より出力され、センスアンプ&データバス制御ブロック111に入力される。また、ブロック選択信号YBSELb[0:7]は第1実施形態の場合とは逆の論理である。

【0027】

図6は、センスアンプ部110、センスアンプ及びデータバス制御ブロック111の回路図である。

【0028】

本実施形態では、トランスファークゲート307は、Nchのトランジスタ214, 215により構成され、トランジスタ81, 82で構成されるインバータ811の出力により駆動される。インバータ811は、イコライズ信号EQLbとブロック選択信号YBSELbとが入力されるNAND83の出力により駆動され、GNDレベル又は電源レベルを出力する。電源レベルは、トランジスタ84, 85又はトランジスタ86により、Vpp又は内部電圧VDDが選択される。具体的には、インバータ812の電源レベルは、XASELに基づいて以下のように選択される。即ち、XASELが“L”のとき、トランジスタ84及びタ85が導通し、インバータ812の電源レベルはVppとなる。一方、XASELが“H”のとき、トランジスタ86が導通し、インバータ812の電源レベルは内部電圧VDDとなる。トランスファークゲート308も、トランスファークゲート307と同

10

20

30

40

50

様に構成されており、電源レベル V_{pp} 又は V_{DD} により駆動される。ここで、 V_{pp} は、 Nch トランジスタ214, 215, 225, 226を駆動する場合にソース-ドレイン間に閾値電圧降下 V_t を発生させないような電圧であり、 V_{DD} は、 V_{pp} よりも低く、 Nch トランジスタ214, 215, 225, 226を駆動する場合にソース-ドレイン間に閾値電圧降下 V_t を発生させる電圧である。

【0029】

(2-2) ライトアクセス時の動作

図7は、メモリセルに蓄積されていたデータに対して逆論理のデータを書き込んだ際のビット線レベルが変化する様子を示すタイミングチャートである。

【0030】

カラムアクセスが始まりカラムアクセス中を示す信号BURSTが“H”となると、ロウアクセス時に選択されていたメモリセルアレイに対してXASELが“L”から“H”に変化する。XASELが“L”の時間帯ではインバータ812の電源レベルは V_{pp} であり、XASELが“H”レベルになるとインバータ812の電源レベルは V_{DD} になる。このとき、TGRは、 $GND - V_{pp}$ の信号振幅から $GND - V_{DD}$ の信号振幅になる。ブロック選択線YBSELb[k]が“H”から“L”に変化すると、カラム選択線Y[i]が“H”となってセンスアンプ301とデータバスDB, DBbとが接続されると同時に、TGRが“L”となってトランスファゲート307, 308によりセンスアンプ301とビット線対BL, BLbとが切り離される。その後、カラム選択線Y[i]が“L”となってデータバス接続回路306によりセンスアンプ301がデータバスDB, DBbと切り離され、さらに、TGRが“H”(V_{DD})となると、トランスファゲート307, 308によりセンスアンプ301とビット線対BL, BLbとが接続される。そして、センスアンプ301にラッチされたデータがビット線対BL, BLbを介してメモリセルに書き込まれる。

【0031】

ここでは、トランジスタ226が V_{DD} ($< V_{pp}$)で駆動されるため、センスアンプ301にラッチされたデータのレベルが閾値電圧降下 V_t だけ降下して伝達されることになり、ビット線BLbが $V_{DD} - V_t$ までしかチャージされない。その後、カラムアクセスが終了すると信号BURSTが“L”となるため、XASELが“L”となり、インバータ812の電源レベルが V_{pp} に戻る。これにより、トランジスタ226が V_{pp} で駆動されることになり、ビット線BLbが V_{DD} までチャージされる。

【0032】

YBSEL[l]及びY[j]が“H”に反転すると、第1実施形態の場合と同様に、センスアンプ301からビット線対BLR[i]及びBLbR[i]にデータが書き込まれるのと並行して、YBSEL[l]で選択されるメモリセルブロック19のY[j]で選択されるカラムにおいて、センスアンプ301へのデータのラッチが開始される。この際、メモリセルブロック19のアドレスが下位アドレスA0 - A2で選択されているため、Y[i]とY[j]では異なるメモリセルブロックYBSEL[k]及びYBSEL[l]が選択される。これにより、ブロックYBSEL[k]及びカラムY[i]におけるビット線対BLR[i]及びBLbR[i]への書き込み中にオーバーラップして、メモリセルブロックYBSEL[l]及びカラムY[j]におけるセンスアンプ301へのデータのラッチを行うことができる。

(2-3) まとめ

本実施形態でも第1実施形態と同様に、センスアンプ301からビット線対BL及びBLbを切り離した状態でデータをラッチするため、センスアンプ301に高速にデータをラッチできる。また、カラム選択線Y[i]とY[j]とは別のメモリセルブロック19属するため、ビット線同士の干渉を防止しつつ、カラム選択線Y[i]におけるセンスアンプ301からビット線BLbへのデータを書き込みと、次のカラム選択線Y[j]におけるセンスアンプ301へのデータのラッチとをオーバーラップして行うことができる。

【0033】

10

20

30

40

50

本実施形態に係る同期型 D R A M では、カラムアクセス中（信号 B U R S T “ H ” の期間）にはトランスファークゲート 3 0 7 , 3 0 8 を V_{pp} よりも低い V_{DD} により高速に駆動し、ビット線の “ H ” レベルを閾値電圧降下 V_t だけ電圧降下した $V_{DD} - V_t$ までチャージしておき、カラムアクセス終了後にビット線のレベルを V_{DD} まで補償するようにしたので、第 1 実施形態のようにトランスファークゲート 3 0 8 を V_{DD} で駆動するために、N c h 及び P c h のトランジスタで構成する必要がない。この結果、トランスファークゲート 3 0 8 を 1 個のトランジスタで構成することができ、チップ面積の増大を招くことなく、第 1 実施形態と同様にデータの書き込みを高速かつ正確に行うことができる。

【 0 0 3 4 】

【発明の効果】

本発明によれば、同期型 D R A M において、センスアンプをビット線対から一端切り離れた状態でセンスアンプにデータをラッチし、その後、センスアンプからビット線対にデータを書き込むようにするとともに、ビット線対へのデータの書き込み中にオーバーラップして、別のメモリセルブロックのカラムのセンスアンプにデータをラッチするので、データの書き込みを高速かつ正確に行うことができる。

【図面の簡単な説明】

【図 1】第 1 実施形態に係る同期型 D R A M の構成図。

【図 2】メモリセルアレイの拡大図。

【図 3】第 1 実施形態に係るセンスアンプ部 1 1 0、センスアンプ & データバス制御ブロック 1 1 1 の回路図。

【図 4】第 1 実施形態において、メモリセルに蓄積されていたデータに対して逆論理のデータを書き込む際のビット線レベルが変化する様子を示すタイミングチャート。

【図 5】第 2 実施形態に係る第 2 実施形態に係る同期型 D R A M の構成図。

【図 6】第 2 実施形態に係るセンスアンプ部 1 1 0、センスアンプ及びデータバス制御ブロック 1 1 1 の回路図。

【図 7】メモリセルに蓄積されていたデータに対して逆論理のデータを書き込んだ際のビット線レベルが変化する様子を示すタイミングチャート。

【符号の説明】

- 1 0 カラム選択パルス生成回路
- 1 1 ライトクロック生成回路
- 1 2 データバスイコライズ信号生成回路
- 1 3 ライトドライバ & データバスイコライザ
- 1 4 プリデコーダ
- 1 5 アドレスドライバ
- 1 6 カラムデコーダ
- 1 7 ロウデコーダ & メインワード線ドライバ
- 1 8 メモリセルアレイ
- 1 9 メモリセルブロック
- 1 1 0 センスアンプ部
- 1 1 1 センスアンプ & データバス制御部

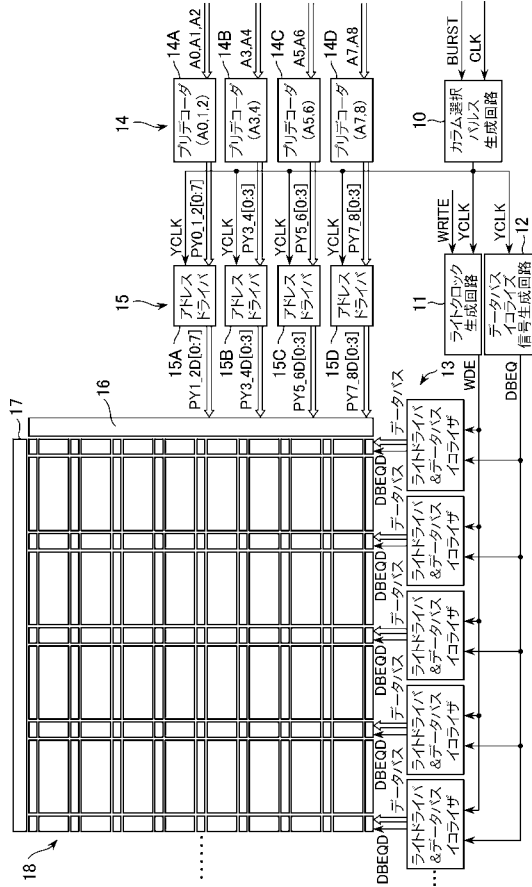
10

20

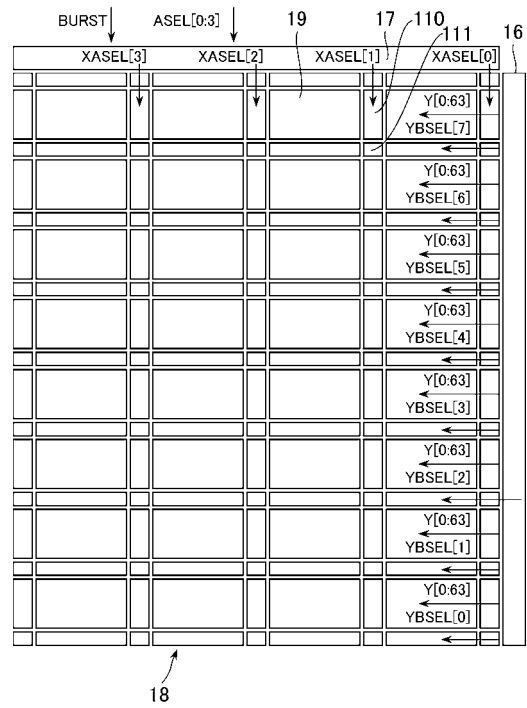
30

40

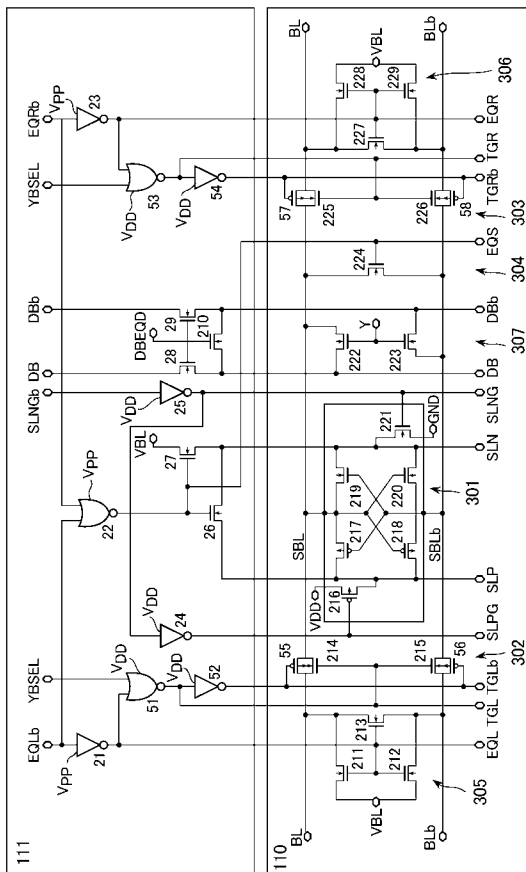
【図 1】



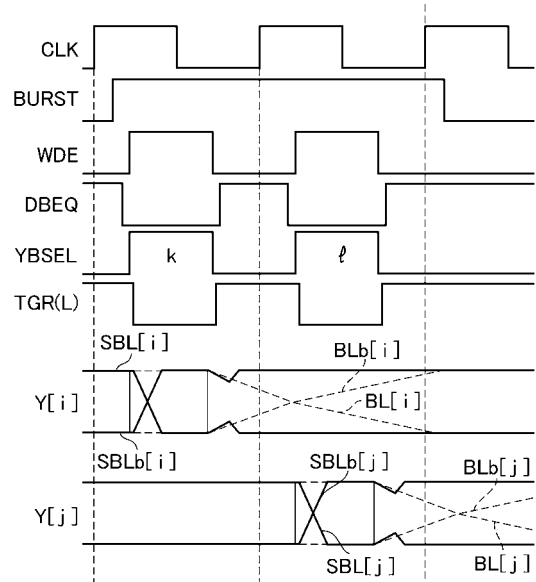
【図 2】



【図 3】



【図 4】



フロントページの続き

審査官 堀田 和義

(56)参考文献 特開平 8 - 8 7 8 7 9 (J P , A)
特開平 1 - 2 5 3 8 9 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G11C 11/4091