



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0004944  
(43) 공개일자 2009년01월12일

- |   |   |
|---|---|
| <p>(51) Int. Cl.<br/>H01L 21/336 (2006.01) H01L 27/32 (2006.01)<br/>H01L 29/786 (2006.01) H01L 51/50 (2006.01)</p> <p>(21) 출원번호 10-2008-7024822</p> <p>(22) 출원일자 2008년10월10일<br/>심사청구일자 없음<br/>번역문제출일자 2008년10월10일</p> <p>(86) 국제출원번호 PCT/JP2007/057923<br/>국제출원일자 2007년04월10일</p> <p>(87) 국제공개번호 WO 2007/119727<br/>국제공개일자 2007년10월25일</p> <p>(30) 우선권주장<br/>JP-P-2006-110543 2006년04월13일 일본(JP)</p> | <p>(71) 출원인<br/>이데미쓰 고산 가부시키키가이샤<br/>일본 도쿄도 지요다쿠 마루노우치 3초메 1반 1고</p> <p>(72) 발명자<br/>이노우에, 가즈요시<br/>일본 2990293 치바켄 소테가우라시 가미이즈미 1280반지<br/>야노, 고끼<br/>일본 2990293 치바켄 소테가우라시 가미이즈미 1280반지<br/>다나카, 노부오<br/>일본 2990293 치바켄 소테가우라시 가미이즈미 1280반지</p> <p>(74) 대리인<br/>박보현, 장수길</p> |
|---|---|

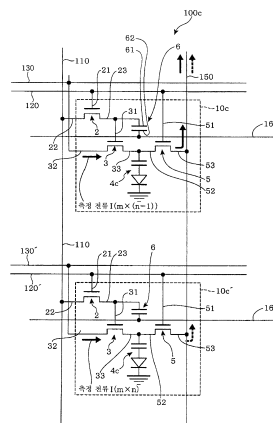
전체 청구항 수 : 총 20 항

**(54) 전기 광학 장치, 및 전류 제어용 TFT 기판 및 그의 제조방법**

**(57) 요약**

본 발명은 직접적으로 교류 전류를 제어하여, 고주파의 교류 전류를 출력할 수 있고, 안정적으로 대전력을 출력할 수 있으며, 제조 원가의 비용 절감을 도모하는 것이 가능한 전기 광학 장치, 및 전류 제어용 TFT 기판 및 그의 제조 방법의 제공을 목적으로 한다. 전기 광학 장치로서의 분산형 무기 EL 표시 장치 (1c)는 데이터선 구동 회로 (11), 주사선 구동 회로 (12), 전원선 제어 회로 (13a), 전류 측정 회로 (15) 및 전류 제어용 TFT 기판 (100c)를 구비하고 있다.

**대표도** - 도40



**특허청구의 범위**

**청구항 1**

전기 광학 소자에 전류를 공급하는 구동 트랜지스터와, 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터가 형성된 전류 제어용 TFT 기판이며,

상기 구동 트랜지스터의 활성층이 산화물 반도체층을 포함하는 것을 특징으로 하는 전류 제어용 TFT 기판.

**청구항 2**

제1항에 있어서, 상기 스위칭 트랜지스터의 활성층이 산화물 반도체층을 포함하는 것을 특징으로 하는 전류 제어용 TFT 기판.

**청구항 3**

제1항 또는 제2항에 있어서, 상기 구동 트랜지스터가 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상을 구비하고, 상기 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상이 산화물 도전체층을 포함하고, 상기 산화물 도전체층이 상기 전기 광학 소자의 화소 전극으로서 기능하는 것을 특징으로 하는 전류 제어용 TFT 기판.

**청구항 4**

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 스위칭 트랜지스터가 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상을 구비하고, 상기 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상이 산화물 도전체층을 포함하는 것을 특징으로 하는 전류 제어용 TFT 기판.

**청구항 5**

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 전류 제어용 TFT 기판이 게이트선, 소스선, 드레인선, 게이트 전극, 소스 전극, 드레인 전극 또는 화소 전극 중 적어도 하나 이상을 구비하고, 상기 게이트선, 소스선, 드레인선, 게이트 전극, 소스 전극, 드레인 전극 또는 화소 전극 중 적어도 하나 이상의 상층에 보조 도전체층을 형성한 것을 특징으로 하는 전류 제어용 TFT 기판.

**청구항 6**

전류에 의해 구동되는 전기 광학 소자와, 이 전기 광학 소자에 전류를 공급하는 구동 트랜지스터 및 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터가 적어도 형성된 전류 제어용 TFT 기판을 구비한 전기 광학 장치이며,

상기 전류 제어용 TFT 기판이 상기 제1항 내지 제5항 중 어느 한 항에 기재된 전류 제어용 TFT 기판인 것을 특징으로 하는 전기 광학 장치.

**청구항 7**

전류에 의해 구동되는 전기 광학 소자와, 이 전기 광학 소자에 전류를 공급하는 구동 트랜지스터와, 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 게이트 전극에 캐패시터 전압을 인가하기 위한 캐패시터와, 상기 전기 광학 소자에 공급되는 전류를 측정하기 위한 측정용 트랜지스터를 구비한 전기 광학 장치이며,

상기 스위칭 트랜지스터의 게이트선이 상기 스위칭 트랜지스터를 제어하기 위한 주사선과 접속되고, 상기 스위칭 트랜지스터의 소스선이 상기 전기 광학 소자로 공급되는 전류를 제어하기 위한 데이터선과 접속되고, 상기 스위칭 트랜지스터의 드레인선이 상기 구동 트랜지스터의 게이트선 및 상기 캐패시터의 제1 전극과 병렬로 접속되고,

상기 구동 트랜지스터의 소스선이 상기 전기 광학 소자로 전류를 공급하기 위한 구동선과 접속되고, 상기 구동 트랜지스터의 드레인선이 상기 전기 광학 소자, 상기 캐패시터의 제2 전극 및 상기 측정용 트랜지스터의 소스선과 병렬로 접속되고,

상기 측정용 트랜지스터의 게이트선이 상기 주사선과 접속되고, 상기 측정용 트랜지스터의 드레인선이 상기 전

기 광학 소자로 공급되는 전류를 측정하기 위한 측정선과 접속된 것을 특징으로 하는 전기 광학 장치.

**청구항 8**

제7항에 있어서, 상기 전기 광학 소자를 직류 전류 구동형의 전기 광학 소자로 한 것을 특징으로 하는 전기 광학 장치.

**청구항 9**

제8항에 있어서, 상기 직류 전류 구동형의 전기 광학 소자를 유기 EL 소자 및/또는 직류 구동형 무기 EL 소자로 한 것을 특징으로 하는 전기 광학 장치.

**청구항 10**

전류에 의해 구동되는 전기 광학 소자와, 이 전기 광학 소자에 전류를 공급하는 구동 트랜지스터와, 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 게이트 전극에 캐패시터 전압을 인가하기 위한 캐패시터와, 상기 전기 광학 소자에 공급되는 전류를 측정하기 위한 측정용 트랜지스터를 구비한 전기 광학 장치이며,

상기 스위칭 트랜지스터의 게이트선이 상기 스위칭 트랜지스터를 제어하기 위한 주사선과 접속되고, 상기 스위칭 트랜지스터의 소스선이 상기 전기 광학 소자로 공급되는 전류를 제어하기 위한 데이터선과 접속되고, 상기 스위칭 트랜지스터의 드레인선이 상기 구동 트랜지스터의 게이트선 및 상기 캐패시터의 제1 전극과 병렬로 접속되고,

상기 구동 트랜지스터의 소스선이 상기 전기 광학 소자로 전류를 공급하기 위한 구동선과 접속되고, 상기 구동 트랜지스터의 드레인선이 상기 전기 광학 소자 및 상기 측정용 트랜지스터의 소스선과 병렬로 접속되고,

상기 캐패시터의 제2 전극이 측정된 전하를 개방하기 위한 캐패시터선과 접속되고,

상기 측정용 트랜지스터의 게이트선이 상기 주사선과 접속되고, 상기 측정용 트랜지스터의 드레인선이 상기 전기 광학 소자로 공급되는 전류를 측정하기 위한 측정선과 접속된 것을 특징으로 하는 전기 광학 장치.

**청구항 11**

제10항에 있어서, 상기 전기 광학 소자를 직류 전류 구동형 및/또는 교류 전류 구동형의 전기 광학 소자로 한 것을 특징으로 하는 전기 광학 장치.

**청구항 12**

제11항에 있어서, 상기 직류 전류 구동형 및/또는 교류 전류 구동형의 전기 광학 소자를 직류 구동형 무기 EL 소자, 유기 EL 소자 및/또는 교류 구동형 무기 EL 소자로 한 것을 특징으로 하는 전기 광학 장치.

**청구항 13**

제7항 내지 제12항 중 어느 한 항에 있어서, 상기 전기 광학 소자, 구동 트랜지스터, 스위칭 트랜지스터, 캐패시터 및 측정용 트랜지스터를 포함하는 화소가 전류 제어용 TFT 기판에 배치된 것을 특징으로 하는 전기 광학 장치.

**청구항 14**

제13항에 있어서, 상기 전류 제어용 TFT 기판이 상기 제1항 내지 제5항 중 어느 한 항에 기재된 전류 제어용 TFT 기판인 것을 특징으로 하는 전기 광학 장치.

**청구항 15**

제7항 내지 제14항 중 어느 한 항에 있어서, 상기 전류 제어용 TFT 기판을 작동시키기 위한, 주사선 구동 회로, 데이터선 구동 회로, 전원선 제어 회로 및 전류 측정 회로를 구비하고, 상기 전류 측정 회로가 상기 전기 광학 소자에 공급되는 전류를 측정하고, 이 전류의 측정치에 기초하여 상기 데이터선 구동 회로, 주사선 구동 회로 및 전원선 제어 회로 중 적어도 하나 이상이 제어되는 것을 특징으로 하는 전기 광학 장치.

**청구항 16**

기판의 상층에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 스위칭 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과,

스위칭 트랜지스터용의 게이트 절연막을 적층하는 공정과,

비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과,

구동 트랜지스터용의 게이트 절연막을 적층하는 공정과,

산화물 반도체층 및 제3 레지스트를 적층하고, 제3 마스크에 의해 구동 트랜지스터의 활성층을 형성하는 공정과,

산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 화소 전극을 형성하는 공정과,

절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드 및 화소 전극을 노출시키는 공정

을 갖는 것을 특징으로 하는 전류 제어용 TFT 기판의 제조 방법.

**청구항 17**

기판의 상층에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과,

스위칭 트랜지스터용의 게이트 절연막을 적층하는 공정과,

비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과,

구동 트랜지스터, 측정용 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과,

산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 콘택트 홀을 형성하는 공정과,

산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 캐패시터의 제2 전극, 화소 전극, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과,

절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드 및 화소 전극을 노출시키는 공정

을 갖는 것을 특징으로 하는 전류 제어용 TFT 기판의 제조 방법.

**청구항 18**

기판의 상층에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과,

스위칭 트랜지스터용의 게이트 절연막을 적층하는 공정과,

비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과,

구동 트랜지스터, 측정용 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과,

산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스

터의 활성층, 및 측정선의 컨택트 홀, 데이터선용 패드의 개구부, 주사선용 패드의 개구부, 측정선용 패드의 개구부를 형성하는 공정과,

산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 캐패시터의 제2 전극, 화소 전극, 데이터선용 패드, 주사선용 패드, 측정선용 패드, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과,

절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드 및 화소 전극을 노출시키는 공정

을 갖는 것을 특징으로 하는 전류 제어용 TFT 기관의 제조 방법.

### 청구항 19

기관의 상측에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 캐패시터선, 캐패시터의 제2 전극, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과,

스위칭 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과,

비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과,

구동 트랜지스터 및 측정용 트랜지스터용의 게이트 절연막을 적층하는 공정과,

산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 컨택트 홀을 형성하는 공정과,

산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 화소 전극, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과,

절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드, 캐패시터선용 패드 및 화소 전극을 노출시키는 공정

을 갖는 것을 특징으로 하는 전류 제어용 TFT 기관의 제조 방법.

### 청구항 20

기관의 상측에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 캐패시터선, 캐패시터의 제2 전극, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과,

스위칭 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과,

비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과,

구동 트랜지스터 및 측정용 트랜지스터용의 게이트 절연막을 적층하는 공정과,

산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 컨택트 홀, 데이터선용 패드의 개구부, 주사선용 패드의 개구부, 측정선용 패드의 개구부, 캐패시터선용의 개구부를 형성하는 공정과,

산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 화소 전극, 데이터선용 패드, 주사선용 패드, 측정선용 패드, 캐패시터선용 패드, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과,

절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드, 캐패시터선용 패드 및 화소 전극을 노출시키는 공정

을 갖는 것을 특징으로 하는 전류 제어용 TFT 기관의 제조 방법.

## 명세서

### 기술분야

<1> 본 발명은 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법에 관한 것이다. 특히, 본 발명의 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법에 따르면, 직접적으로 교류 전류를 제어하여, 고주파의 교류 전류를 출력할 수 있고, 안정적으로 대전력을 출력할 수 있으며, 제조 원가의 비용 절감을 도모할 수 있다.

### 배경기술

<2> 유기 EL 표시 장치는 LCD(Liquid Crystal Display; 액정 디스플레이) 표시 장치를 대체하는 차세대 표시 장치나 고체 조명으로서 주목받고 있다. 그 이유는, 유기 EL(Electronic Luminescence; 전계 발광) 소자가 자발광 소자이므로 시야각 의존성이 적기 때문이다. 또한, 유기 EL 소자는 백 라이트나 반사광이 불필요하기 때문에 저 소비 전력인 등과 같은 우수한 특성을 갖고 있기 때문이다.

<3> 또한, 유기 EL 표시 장치의 구동 방식으로서, 단순 매트릭스 구동 방식과 액티브 매트릭스 구동 방식이 있다. 액티브 매트릭스 구동 방식은 화질이나 응답 속도 등의 면에서 단순 매트릭스 구동 방식보다 우수하다. 액티브 매트릭스 구동 방식의 유기 EL 표시 장치는 각 화소에 스위칭 트랜지스터나 구동 트랜지스터 등이 형성된 TFT (박막 트랜지스터) 기관(일반적으로, 전류 제어용 TFT 기관이라고도 호칭됨)을 가지고 있다. 이 유기 EL 표시 장치는 상기 TFT 기관에 의해, 각 유기 EL 소자에 흐르는 전류량을 제어한다.

<4> 그런데, 상기 액티브 매트릭스 구동 방식의 유기 EL 표시 장치는 우수한 특성을 가지고 있다. 단, 구동 트랜지스터의 특성이 변동되면, 각 화소에 있어서 유기 EL 소자에 흐르는 전류량이 달라진다. 이 경우, 휘도 불균일이 발생한다. 또한, 유기 EL 소자는 전류 발광 장치로서, 전류의 대소에 따라 발광 강도를 변화시킬 수 있다. 단, 연속 발광시킨 경우, 시간의 경과와 함께 발광 강도가 저하된다.

<5> 상술한 단점을 해결하기 위해, 다양한 구동 회로를 갖는 유기 EL 표시 장치가 제안되어 왔다.

<6> (종래예)

<7> 예를 들면, 특허 문헌 1에는 광학적 피드백을 가능하게 하는 어드레스 가능 화상 표시 화소의 기술이 개시되어 있다. 이 어드레스 가능 화상 표시 화소는 광 센서와 피드백 판독 회로가 기관 상에 형성되어 있다. 광 센서는 기관 상에 형성되고, 발광체와 광학적으로 결합되어 있다. 이 광 센서는 발광체가 발하는 빛에 반응하여 피드백 전압 신호를 생성하기 위해, 발광체가 발하는 빛을 검출한다. 또한, 피드백 판독 회로는 리셋 수단, 및 선택 스위치를 구비하고 있다. 이 리셋 수단은 피드백 전압 신호에 반응하여, 발광체의 광 출력을 나타내는 피드백 신호를 출력한다. 또한, 리셋 수단은 트랜지스터 증폭기나 판독 회로를 리셋한다.

<8> 또한, 특허 문헌 2에는 TFT 특성의 변동에 의한 휘도 불균일을 보정하는 전기 광학 장치의 기술이 개시되어 있다. 이 전기 광학 장치는 액티브 매트릭스 구성에 있어서, 각 화소에 전류 측정 소자를 설치하지 않지만, 유기 EL 소자에 흐르는 전류를 측정한다. 이 전기 광학 장치는 액티브 소자와 유기 EL 소자가 매트릭스형으로 배치되고, 유기 EL 소자에 전류를 공급하는 복수의 전류 공급선이 배치되고, 각 전류 공급선에 전류 측정 소자가 설치되어 있다. 이 전기 광학 장치는 하나의 주사선에 주사 전압을 제공하고, 이와 동기하여 각 데이터선에 소정의 데이터 전압을 공급하고, 전류 측정 소자에 의해 유기 EL 소자에 흐르는 전류치를 측정한다. 다음으로, 이 전기 광학 장치는 동일한 주사선에 주사 전압을 제공하고, 이와 동기하여 각 데이터선에 전기 광학 소자를 0 계조로 하는 데이터 신호를 공급한다. 그리고, 이 전기 광학 장치는 상기 구동 동작을 각 주사선에 대하여 행하고, 얻어진 전류 측정치에 기초하여 각 액티브 소자에 제공하는 데이터 전압을 보정한다.

<9> 또한, 특허 문헌 3에는 구동 트랜지스터의 특성의 변동을 보상하기 위한 보상 트랜지스터를 각 화소에 설치한 전기 광학 장치의 기술이 개시되어 있다. 이 전기 광학 장치는 각 화소의 구동 트랜지스터와 보상 트랜지스터를 포함하는 전류 미러 회로를 구비하고 있다. 이 전기 광학 장치는 각 화소의 구동 트랜지스터와 보상 트랜지스터의 이득 계수를 일치시킨다. 이에 따라, 각 화소에 형성되어 있는 구동 트랜지스터에 변동이 발생하더라도

각 화소의 피구동 소자에 동일한 크기의 전류를 공급할 수 있다. 따라서, 구동 트랜지스터의 특성 변동에 기인하는 휘도 불균일을 억제할 수 있다.

- <10> 특허 문헌 1: 일본 특허 공개 제2003-271098호 공보
- <11> 특허 문헌 2: 일본 특허 공개 제2002-278513호 공보
- <12> 특허 문헌 3: 일본 특허 공개 제2006-39574호 공보

**발명의 상세한 설명**

- <13> <발명의 개시>
- <14> <발명이 해결하고자 하는 과제>
- <15> 그러나, 상기 특허 문헌 1, 3에 기재된 기술에서는 각 화소의 구성 요소가 증대하여 구조가 복잡화된다. 따라서, 수율이 저하되는 등의 문제나, 제조 원가의 비용 절감을 도모할 수 없는 등의 문제가 있었다.
- <16> 또한, 특허 문헌 3에 기재된 기술에서는 제조 단계에 있어서 각 화소의 구동 트랜지스터와 보상 트랜지스터의 이득 계수를 일치시킨다. 이에 따라, 구동 트랜지스터의 특성의 변동에 기인하는 휘도 불균일을 억제할 수 있다. 단, 장시간 사용되면, 각 화소의 구동 트랜지스터와 보상 트랜지스터에 통전되는 시간이 달라지게 된다. 그리고, 열화에 의한 성능의 차이가 커져 휘도 불균일로서 나타나는 등의 문제가 있었다.
- <17> 또한, 상기 특허 문헌 2에 기재된 기술에서는 다수(n개)의 유기 EL 소자에 전류를 공급하는 1개의 전류 공급선에 전류 측정 소자가 접속되어 있다. 이에 따라, 동일 열의 각 화소에 대하여 하나의 화소의 유기 EL 소자에 흐르는 전류를 측정할 수 있다. 단, 측정 중에는 동일 열의 다른 화소에 전류를 흘리지 않도록 할 필요가 있다(그 이유는 동일 열의 다수의 화소에 전류를 흘리면, 하나의 화소의 유기 EL 소자에 흐르는 전류 변동분을 측정할 수 없기 때문임). 즉, 동일 열의 다른 화소에 전류를 흘리지 않는 상태에서 측정할 필요가 있어 측정 조건이 제한되는 등의 문제가 있었다.
- <18> 또한, 일반적인 유기 EL 표시 장치는 복수의 실리콘 반도체를 이용한 박막 트랜지스터가 배치된 전류 제어용 TFT 기관을 가지고 있다. 단, 전류를 대량으로 흘렸을 경우, 실리콘 반도체가 열화되어, 유기 EL 발광 소자에 인가하는 전압이나 전류를 제어할 수 없게 되는 경우가 있는 등의 문제가 있었다. 또한, 직류 전류를 대량으로 흘림으로써, 유기 EL 발광 장치의 수명이 짧아지는 등의 문제가 있었다.
- <19> 또한, 전기 광학 소자로서 무기 EL 소자를 이용한 전기 광학 장치는 교류 전원에 의해 무기 EL 소자를 구동시키고 있다. 이 전기 광학 장치는 1회의 구동 중에 교류 구동을 행할 수는 없고, 다음번의 구동에 있어서, 전압을 반전시키고 나서 무기 EL 소자를 구동시키고 있다. 즉, 외관상 교류 구동으로 되어 있지만, 1회의 스캔 중에는 직류 구동이다. 따라서, 교류 구동의 주파수를 높게 하기 위해서는 스캔의 주파수를 높게 할 필요가 있고, 고주파수화를 도모할 수 없는 등의 문제가 있었다.
- <20> 본 발명은 이러한 과제를 감안하여 이루어진 것으로서, 직접적으로 교류 전류를 제어하여, 고주파의 교류 전류를 출력할 수 있고, 안정적으로 대전력을 출력할 수 있고, 제조 원가의 비용 절감을 도모하는 것이 가능한 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법의 제공을 목적으로 한다.
- <21> <과제를 해결하기 위한 수단>
- <22> 상기 목적을 달성하기 위해, 본 발명의 전류 제어용 TFT 기관은, 전기 광학 소자에 전류를 공급하는 구동 트랜지스터와, 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터가 형성된 전류 제어용 TFT 기관으로서, 상기 구동 트랜지스터의 활성층이 산화물 반도체층을 포함한다.
- <23> 이와 같이 하면, 큰 교류 전류나 대전력을 투입하더라도, 구동 트랜지스터의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하여 그의 성능 열화가 작다. 따라서, 안정성이 우수하고, 또한 내구성이 향상된다. 또한, 유기 EL 소자를 갖는 발광 장치에 이용되면, 발광 장치의 수명을 크게 연장시킬 수 있다.
- <24> 또한, 바람직하게는, 상기 스위칭 트랜지스터의 활성층이 산화물 반도체층을 포함하면 좋다.
- <25> 이와 같이 하면, 스위칭 트랜지스터의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하여 내구성을 향상시킬 수 있다.
- <26> 또한, 바람직하게는, 상기 구동 트랜지스터가 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나

이상을 구비하고, 상기 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상이 산화물 도전체층을 포함하면서, 상기 산화물 도전체층이 상기 전기 광학 소자의 화소 전극으로서 기능하면 좋다.

- <27> 이와 같이 하면, 제조할 때에 사용하는 마스크수를 삭감할 수 있어 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다. 또한, 통상, 산화물 도전체층이 소스선, 드레인선, 소스 전극, 드레인 전극 및 화소 전극으로서 기능한다. 이와 같이 하면, 소스선, 드레인선, 소스 전극, 드레인 전극 및 화소 전극을 효율적으로 제조할 수 있다.
- <28> 또한, 바람직하게는, 상기 스위칭 트랜지스터가 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상을 구비하고, 상기 소스선, 드레인선, 소스 전극 또는 드레인 전극 중 적어도 하나 이상이 산화물 도전체층을 포함하면 좋다.
- <29> 또한, 바람직하게는, 상기 전류 제어용 TFT 기판이 게이트선, 소스선, 드레인선, 게이트 전극, 소스 전극, 드레인 전극 또는 화소 전극 중 적어도 하나 이상을 구비하고, 상기 게이트선, 소스선, 드레인선, 게이트 전극, 소스 전극, 드레인 전극 또는 화소 전극 중 적어도 하나 이상의 상층에 보조 도전체층을 형성하면 좋다.
- <30> 이와 같이 하면, 각 배선이나 전극의 전기 저항을 감소시킬 수 있다. 따라서, 신뢰성을 향상시킬 수 있고, 또한 에너지 효율의 저하를 억제할 수 있다.
- <31> 또한, 상기 목적을 달성하기 위해, 본 발명의 전기 광학 장치는, 전류에 의해 구동되는 전기 광학 소자와, 이 전기 광학 소자에 전류를 공급하는 구동 트랜지스터 및 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터가 적어도 형성된 전류 제어용 TFT 기판을 구비한 전기 광학 장치이며, 상기 전류 제어용 TFT 기판이 상기 청구항 1 내지 5 중 어느 한 항에 기재된 전류 제어용 TFT 기판이다.
- <32> 이와 같이 하면, 큰 교류 전류나 대전력을 투입하더라도, 구동 트랜지스터의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하여 그의 성능 열화가 작다. 따라서, 안정성이 우수하고, 또한 전류 제어용 TFT 기판의 내구성이 향상된다. 이에 따라, 전기 광학 장치의 수명을 크게 연장시킬 수 있다.
- <33> 또한, 본 발명의 전기 광학 장치는, 전류에 의해 구동되는 전기 광학 소자와, 이 전기 광학 소자에 전류를 공급하는 구동 트랜지스터와, 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 게이트 전극에 캐패시터 전압을 인가하기 위한 캐패시터와, 상기 전기 광학 소자에 공급되는 전류를 측정하기 위한 측정용 트랜지스터를 구비한 전기 광학 장치이며,
- <34> 상기 스위칭 트랜지스터의 게이트선이 상기 스위칭 트랜지스터를 제어하기 위한 주사선과 접속되고, 상기 스위칭 트랜지스터의 소스선이 상기 전기 광학 소자로 공급되는 전류를 제어하기 위한 데이터선과 접속되고, 상기 스위칭 트랜지스터의 드레인선이 상기 구동 트랜지스터의 게이트선 및 상기 캐패시터의 제1 전극과 병렬로 접속되고, 상기 구동 트랜지스터의 소스선이 상기 전기 광학 소자로 전류를 공급하기 위한 구동선과 접속되고, 상기 구동 트랜지스터의 드레인선이 상기 전기 광학 소자, 상기 캐패시터의 제2 전극 및 상기 측정용 트랜지스터의 소스선과 병렬로 접속되고, 상기 측정용 트랜지스터의 게이트선이 상기 주사선과 접속되고, 상기 측정용 트랜지스터의 드레인선이 상기 전기 광학 소자로 공급되는 전류를 측정하기 위한 측정선과 접속되어 있다.
- <35> 이와 같이 하면, 주사선에 직류 전압을 인가하면, 스위칭 트랜지스터 및 측정용 트랜지스터가 온(on) 상태가 된다. 그리고, 데이터선으로부터 공급되는 직류 전압·전류에 의해, 스위칭 트랜지스터를 통해 구동 트랜지스터의 온 상태를 제어한다. 또한, 구동선으로부터 구동 트랜지스터 및 측정용 트랜지스터를 통해, 측정선에 흐르는 직류 전류를 측정할 수 있다. 따라서, 측정선을 통해, 전기 광학 소자에 공급되는 직류 전류가 원하는 전류치가 될 때까지 데이터선의 전압·전류를 제어할 수 있고, 전기 광학 소자의 휘도를 미조정할 수 있다.
- <36> 또한, 캐패시터의 제1 전극은 스위칭 트랜지스터의 드레인선 및 구동 트랜지스터의 게이트선과 병렬로 접속되어 있다. 또한, 캐패시터의 제2 전극은 구동 트랜지스터의 드레인선, 전기 광학 소자 및 측정용 트랜지스터의 소스선과 병렬로 접속되어 있다. 이에 따라, 전기 광학 소자에 공급되는 직류 전류가 원하는 전류치가 된 시점에, 주사선의 전압을 끊고, 스위칭 트랜지스터 및 측정용 트랜지스터를 오프(off) 상태로 하더라도, 캐패시터에 축적된 전압에 의해 구동 트랜지스터는 온 상태가 유지된다. 즉, 측정용 트랜지스터를 통해 계측된 직류 전류가 구동 트랜지스터를 통해 구동선으로부터 전기 광학 소자에 공급된다. 따라서, 직류 구동형의 전기 광학 소자의 안정된 발광이 가능해진다.
- <37> 또한, 바람직하게는, 상기 전기 광학 소자를 직류 전류 구동형의 전기 광학 소자로 하면 좋다.



- <38> 이와 같이 하면, 직류 전류 구동형의 전기 광학 소자의 안정된 발광이 가능해진다.
- <39> 또한, 바람직하게는, 상기 직류 전류 구동형의 전기 광학 소자를 유기 EL 소자 및/또는 직류 구동형 무기 EL 소자로 하면 좋다.
- <40> 이와 같이 하면, 유기 EL 소자 및/또는 직류 구동형 무기 EL 소자의 안정된 발광이 가능해진다.
- <41> 또한, 본 발명의 전기 광학 장치는, 전류에 의해 구동되는 전기 광학 소자와, 이 전기 광학 소자에 전류를 공급하는 구동 트랜지스터와, 이 구동 트랜지스터를 제어하는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 게이트 전극에 캐패시터 전압을 인가하기 위한 캐패시터와, 상기 전기 광학 소자에 공급되는 전류를 측정하기 위한 측정용 트랜지스터를 구비한 전기 광학 장치이며, 상기 스위칭 트랜지스터의 게이트선이 상기 스위칭 트랜지스터를 제어하기 위한 주사선과 접속되고, 상기 스위칭 트랜지스터의 소스선이 상기 전기 광학 소자로 공급되는 전류를 제어하기 위한 데이터선과 접속되고, 상기 스위칭 트랜지스터의 드레인선이 상기 구동 트랜지스터의 게이트선 및 상기 캐패시터의 제1 전극과 병렬로 접속되고, 상기 구동 트랜지스터의 소스선이 상기 전기 광학 소자로 전류를 공급하기 위한 구동선과 접속되고, 상기 구동 트랜지스터의 드레인선이 상기 전기 광학 소자 및 상기 측정용 트랜지스터의 소스선과 병렬로 접속되고, 상기 캐패시터의 제2 전극이 측정된 전하를 개방하기 위한 캐패시터선과 접속되고, 상기 측정용 트랜지스터의 게이트선이 상기 주사선과 접속되고, 상기 측정용 트랜지스터의 드레인선이 상기 전기 광학 소자로 공급되는 전류를 측정하기 위한 측정선과 접속되어 있다.
- <42> 이와 같이 하면, 주사선에 직류 전압을 인가하면, 스위칭 트랜지스터 및 측정용 트랜지스터가 온 상태가 된다. 그리고, 데이터선으로부터 공급되는 직류 전압·전류에 의해, 스위칭 트랜지스터를 통해 구동 트랜지스터의 온 상태를 제어한다. 또한, 구동선으로부터 구동 트랜지스터 및 측정용 트랜지스터를 통해, 측정선에 흐르는 직류 전류 또는 교류 전류를 측정할 수 있다. 따라서, 측정선을 통해, 전기 광학 소자에 공급되는 직류 전류 또는 교류 전류가 원하는 전류치가 될 때까지 데이터선의 직류 전압·전류를 제어할 수 있어, 전기 광학 소자의 휘도를 미조정할 수 있다.
- <43> 또한, 캐패시터의 제1 전극은 스위칭 트랜지스터의 드레인선 및 구동 트랜지스터의 게이트선과 병렬로 접속되어 있다. 또한, 캐패시터의 제2 전극은 음극에 접지된 캐패시터선과 접속되어 있다. 이에 따라, 전기 광학 소자에 공급되는 직류 전류 또는 교류 전류가 원하는 전류치가 된 시점에 주사선의 전압을 끊고, 스위칭 트랜지스터 및 측정용 트랜지스터를 오프 상태로 하더라도, 캐패시터에 측정된 전압에 의해 구동 트랜지스터는 온 상태가 유지된다. 즉, 측정용 트랜지스터를 통해 측정된 직류 전류 또는 교류 전류가 구동 트랜지스터를 통해 구동선으로부터 전기 광학 소자에 공급된다. 따라서, 직류 구동형 또는 교류 구동형의 전기 광학 소자의 안정된 발광이 가능해진다.
- <44> 또한, 바람직하게는, 상기 전기 광학 소자를 직류 전류 구동형 및/또는 교류 전류 구동형의 전기 광학 소자로 하면 좋다.
- <45> 이와 같이 하면, 직류 전류 구동형 및/또는 교류 전류 구동형의 전기 광학 소자의 안정된 발광이 가능해진다.
- <46> 또한, 바람직하게는, 상기 직류 전류 구동형 및/또는 교류 전류 구동형의 전기 광학 소자를 직류 구동형 무기 EL 소자, 유기 EL 소자 및/또는 교류 구동형 무기 EL 소자로 하면 좋다.
- <47> 이와 같이 하면, 직류 구동형 무기 EL 소자, 유기 EL 소자 및/또는 교류 구동형 무기 EL 소자의 안정된 발광이 가능해진다.
- <48> 또한, 바람직하게는, 상기 전기 광학 소자, 구동 트랜지스터, 스위칭 트랜지스터, 캐패시터 및 측정용 트랜지스터를 포함하는 화소가 전류 제어용 TFT 기판에 배치되면 좋다.
- <49> 이와 같이 하면, 전기 광학 장치에 TFT(박막 트랜지스터) 기술을 사용할 수 있다.
- <50> 또한, 바람직하게는, 상기 전류 제어용 TFT 기판이 상기 청구항 1 내지 5 중 어느 한 항에 기재된 전류 제어용 TFT 기판이면 좋다.
- <51> 이와 같이 하면, 큰 교류 전류나 대전력을 투입하더라도, 구동 트랜지스터의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하여 그의 성능 열화가 작다.
- <52> 이에 따라, 안정성이 우수하고, 또한 전류 제어용 TFT 기판의 내구성이 향상된다. 따라서, 전기 광학 장치의

수명을 크게 연장할 수 있다.

- <53> 또한, 바람직하게는, 상기 전류 제어용 TFT 기판을 작동시키기 위한, 주사선 구동 회로, 데이터선 구동 회로, 전원선 제어 회로 및 전류 측정 회로를 구비하고, 상기 전류 측정 회로가 상기 전기 광학 소자에 공급되는 전류를 측정하고, 이 전류의 측정치에 기초하여 상기 데이터선 구동 회로, 주사선 구동 회로 및 전원선 제어 회로 중 적어도 하나 이상이 제어되면 좋다.
- <54> 이와 같이 하면, 전기 광학 소자에 공급되는 전류를 측정할 수 있다. 또한, 이 측정치에 기초하여 데이터선 구동 회로, 주사선 구동 회로 및 전원선 제어 회로 중 적어도 하나 이상이 제어된다. 따라서, 설정된 전류를 확실하게 전기 광학 소자에 공급할 수 있다.
- <55> 또한, 상기 목적을 달성하기 위해, 본 발명의 전류 제어용 TFT 기판의 제조 방법은, 기판의 상측에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 스위칭 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과, 스위칭 트랜지스터용의 게이트 절연막을 적층하는 공정과, 비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과, 구동 트랜지스터용의 게이트 절연막을 적층하는 공정과, 산화물 반도체층 및 제3 레지스트를 적층하고, 제3 마스크에 의해 구동 트랜지스터의 활성층을 형성하는 공정과, 산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 화소 전극을 형성하는 공정과, 절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드 및 화소 전극을 노출시키는 공정을 갖는 방법으로 되어 있다.
- <56> 이와 같이, 본 발명은 TFT 기판의 제조 방법으로서도 유효하다. 즉, 구동 트랜지스터의 활성층을 n형 산화물 반도체층으로 하고 있다. 따라서, 구동 트랜지스터에 큰 전류나 대전력을 투입하더라도 구동 트랜지스터의 성능 열화가 작다. 이에 따라, 안정성이 우수하고, 또한 TFT 기판의 내구성이 향상된다. 또한, 제4 하프톤 마스크를 이용하여 EL 구동선, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극, 드레인선, 화소 전극을 제조할 수 있고, 사용하는 마스크수를 삭감할 수 있다. 이에 따라, 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다. 또한, 보호용 절연막이 형성되어 있다. 따라서, TFT 기판에 유기 EL 재료, 전극 및 보호막을 설치함으로써 유기 EL 표시 장치를 용이하게 얻을 수 있다.
- <57> 또한, 본 발명의 전류 제어용 TFT 기판의 제조 방법은, 기판의 상측에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과, 스위칭 트랜지스터용의 게이트 절연막을 적층하는 공정과, 비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과, 구동 트랜지스터, 측정용 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과, 산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 콘택트 홀을 형성하는 공정과, 산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 캐패시터의 제2 전극, 화소 전극, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과, 절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드 및 화소 전극을 노출시키는 공정을 갖는 방법으로 되어 있다.
- <58> 이와 같이 하면, 직류 전류에 의해 구동되는 전기 광학 소자에 대하여, 전류 측정 회로에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 또한, 구동 트랜지스터 및 측정용 트랜지스터의 활성층을 n형 산화물 반도체층으로 하고 있다. 이에 따라, 구동 트랜지스터 및 측정용 트랜지스터에 큰 전류나 대전력을 투입하더라도 구동 트랜지스터 및 측정용 트랜지스터의 성능 열화가 작다. 따라서, 안정성이 우수하고, 또한 TFT 기판의 내구성이 향상된다. 또한, 사용하는 마스크 수를 삭감할 수 있다. 이에 따라, 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다.
- <59> 또한, 본 발명의 전류 제어용 TFT 기판의 제조 방법은, 기판의 상측에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 선

극 및 게이트선을 형성하는 공정과, 스위칭 트랜지스터용의 게이트 절연막을 적층하는 공정과, 비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과, 구동 트랜지스터, 측정용 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과, 산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 컨택트 홀, 데이터선용 패드의 개구부, 주사선용 패드의 개구부, 측정선용 패드의 개구부를 형성하는 공정과, 산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 캐패시터의 제2 전극, 화소 전극, 데이터선용 패드, 주사선용 패드, 측정선용 패드, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과, 절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드 및 화소 전극을 노출시키는 공정을 갖는 방법으로 되어 있다.

<60> 이와 같이 하면, 데이터선용 패드, 주사선용 패드, 측정선용 패드 및 EL 구동선용 패드가 보호용 절연막의 바로 하층에 형성된다. 따라서, 데이터선용 패드, 주사선용 패드, 측정선용 패드 및 EL 구동선용 패드로의 접속성을 향상시킬 수 있다.

<61> 또한, 본 발명의 전류 제어용 TFT 기관의 제조 방법은, 기관의 상층에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 캐패시터선, 캐패시터의 제2 전극, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과, 스위칭 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과, 비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과, 구동 트랜지스터 및 측정용 트랜지스터용의 게이트 절연막을 적층하는 공정과, 산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 컨택트 홀을 형성하는 공정과, 산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 화소 전극, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과, 절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드, 캐패시터선용 패드 및 화소 전극을 노출시키는 공정을 갖는 방법으로 되어 있다.

<62> 이와 같이 하면, 교류 전류 또는 직류 전류에 의해 구동되는 전기 광학 소자에 대하여, 전류 측정 회로에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 또한, 구동 트랜지스터 및 측정용 트랜지스터의 활성층을 n형 산화물 반도체층으로 하고 있다. 이에 따라, 구동 트랜지스터 및 측정용 트랜지스터에 큰 전류나 대전력을 투입하더라도 구동 트랜지스터 및 측정용 트랜지스터의 성능 열화가 작다. 따라서, 안정성이 우수하고, 또한 TFT 기관의 내구성이 향상된다. 또한, 사용하는 마스크수를 삭감할 수 있다. 이에 따라, 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다.

<63> 또한, 본 발명의 전류 제어용 TFT 기관의 제조 방법은, 기관의 상층에 도전체층 및 제1 레지스트를 적층하고, 제1 마스크에 의해 주사선, 캐패시터선, 캐패시터의 제2 전극, 스위칭 트랜지스터의 게이트 전극 및 게이트선, 및 측정용 트랜지스터의 게이트 전극 및 게이트선을 형성하는 공정과, 스위칭 트랜지스터 및 캐패시터용의 게이트 절연막을 적층하는 공정과, 비정질 Si(규소) 또는 다결정 Si를 갖는 활성층, 또는 산화물 반도체층, 도전체층 및 제2 레지스트를 적층하고, 제2 하프톤 마스크에 의해 데이터선, 캐패시터의 제1 전극, 측정선, 스위칭 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 구동 트랜지스터의 게이트선 및 게이트 전극을 형성하는 공정과, 구동 트랜지스터 및 측정용 트랜지스터용의 게이트 절연막을 적층하는 공정과, 산화물 반도체층 및 제3 레지스트를 적층하고, 제3 하프톤 마스크에 의해 구동 트랜지스터 및 측정용 트랜지스터의 활성층, 및 측정선의 컨택트 홀, 데이터선용 패드의 개구부, 주사선용 패드의 개구부, 측정선용 패드의 개구부, 캐패시터선용의 개구부를 형성하는 공정과, 산화물 도전체층 및 제4 레지스트를 적층하고, 제4 마스크 또는 제4 하프톤 마스크에 의해 EL 구동선, 화소 전극, 데이터선용 패드, 주사선용 패드, 측정선용 패드, 캐패시터선용 패드, 구동 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선, 및 측정용 트랜지스터의 소스선, 소스 전극, 채널부, 드레인 전극 및 드레인선을 형성하는 공정과, 절연 보호막 및 제5 레지스트를 적층하고, 제5 마스크에 의해 주사선용 패드, 데이터선용 패드, EL 구동선용 패드, 측정선용 패드, 캐패시터선

용 패드 및 화소 전극을 노출시키는 공정을 갖는 방법으로 되어 있다.

<64> 이와 같이 하면, 데이터선용 패드, 주사선용 패드, 측정선용 패드, 캐패시터선용 패드 및 EL 구동선용 패드가 보호용 절연막의 바로 하층에 형성된다. 따라서, 데이터선용 패드, 주사선용 패드, 측정선용 패드, 캐패시터선용 패드 및 EL 구동선용 패드로의 접속성을 향상시킬 수 있다.

**산업상 이용 가능성**

<532> 본 발명의 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법은 액정 소자, 유기 EL 소자, 무기 EL 소자 등을 이용한 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법에 한정되는 것은 아니다. 예를 들면, 액정이나 유기 EL 이외의 소재를 이용한 표시 장치, 또는 다른 용도에 사용되는 TFT 기관 및 TFT 기관의 제조 방법으로서도 본 발명을 적용하는 것이 가능하다.

**도면의 간단한 설명**

- <65> 도 1은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치의 개략 블럭도를 나타내고 있다.
- <66> 도 2는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치의 화소의 구성을 설명하기 위한 개략 블럭도를 나타내고 있다.
- <67> 도 3은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다.
- <68> 도 4는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제1 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 금속층 성막/제1 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제1 에칭/제1 레지스트 박리된 단면도를 나타내고 있고, (c)는 제1 레지스트가 박리된 후의 TFT 기관의 주요부의 평면도를 나타내고 있다.
- <69> 도 5는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/a-Si:H(i)막 성막/a-Si:H(n)막 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <70> 도 6은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 스위칭 트랜지스터가 형성된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <71> 도 7은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <72> 도 8은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <73> 도 9는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제5 에칭/제4 레지스트가 재형성된 단면도를 나타내고 있다.
- <74> 도 10은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제6 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <75> 도 11은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <76> 도 12는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제7 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <77> 도 13은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.

- <78> 도 14는 본 발명의 제1 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다.
- <79> 도 15는 본 발명의 제1 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/산화물 투명 도전체층 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <80> 도 16은 본 발명의 제1 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 스위칭 트랜지스터가 형성된 후의 TFT 기판의 주요부의 개략 평면도를 나타내고 있다.
- <81> 도 17은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치의 개략 블럭도를 나타내고 있다.
- <82> 도 18은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치의 화소의 구성을 설명하기 위한 개략 블럭도를 나타내고 있다.
- <83> 도 19는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다.
- <84> 도 20은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제1 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 금속층 성막/제1 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제1 에칭/제1 레지스트 박리된 단면도를 나타내고 있고, (c)는 제1 레지스트가 박리된 후의 TFT 기판의 주요부의 평면도를 나타내고 있다.
- <85> 도 21은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/a-Si:H(i)막 성막/a-Si:H(n)막 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <86> 도 22는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 스위칭 트랜지스터가 형성된 후의 TFT 기판의 주요부의 개략 평면도를 나타내고 있다.
- <87> 도 23은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <88> 도 24는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <89> 도 25는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <90> 도 26은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트가 재형성된 단면도를 나타내고 있다.
- <91> 도 27은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <92> 도 28은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제4 레지스트가 박리된 후의 TFT 기판의 주요부의 개략 평면도를 나타내고 있다.
- <93> 도 29는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를

나타내고 있고, (b)는 제7 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.

- <94> 도 30은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <95> 도 31은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다.
- <96> 도 32는 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <97> 도 33은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <98> 도 34는 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <99> 도 35는 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트의 재형성/제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <100> 도 36은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <101> 도 37은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <102> 도 38은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <103> 도 39는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치의 개략 블록도를 나타내고 있다.
- <104> 도 40은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치의 화소의 구성을 설명하기 위한 개략 블록도를 나타내고 있다.
- <105> 도 41은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다.
- <106> 도 42는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제1 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 금속층 성막/제1 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제1 에칭/제1 레지스트 박리된 단면도를 나타내고 있고, (c)는 제1 레지스트가 박리된 후의 TFT 기관의 주요부의 평면도를 나타내고 있다.
- <107> 도 43은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/a-Si:H(i)막 성막/a-Si:H(n)막 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <108> 도 44는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 스위칭 트랜지스터가 형성된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <109> 도 45는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성

막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.

- <110> 도 46은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <111> 도 47은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <112> 도 48은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트가 재형성된 단면도를 나타내고 있다.
- <113> 도 49는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <114> 도 50은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <115> 도 51은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <116> 도 52는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <117> 도 53은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다.
- <118> 도 54는 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <119> 도 55는 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <120> 도 56은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <121> 도 57은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트의 재형성/제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <122> 도 58은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.
- <123> 도 59는 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <124> 도 60은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법

의, 제5 레지스트가 박리된 후의 TFT 기관의 주요부의 개략 평면도를 나타내고 있다.

- <125> <발명을 실시하기 위한 최선의 형태>
- <126> [유기 EL 표시 장치의 제1 실시 형태]
- <127> 도 1은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치의 개략 블럭도를 나타내고 있다.
- <128> 도 1에 있어서, 전기 광학 장치로서의 유기 EL 표시 장치 (1)은 데이터선 구동 회로 (11), 주사선 구동 회로 (12), 전원선 제어 회로 (13) 및 전류 제어용 TFT 기관 (100)(적절히 TFT 기관 (100)이라 약칭함)을 구비하고 있다. 또한, TFT 기관 (100)은 m(열: m은 자연수)×n(행: n은 자연수)개의 화소 (10)이 매트릭스형으로 배치되어 있다.
- <129> 데이터선 구동 회로 (11)은 제1의 데이터선 (111), 제2의 데이터선 (112)… 제m의 데이터선 (113)을 통해 각 화소 (10)과 접속되어 있다. 예를 들면, 데이터선 구동 회로 (11)은 제m의 데이터선 (113)을 통해, 제m열에 배치된 n개의 화소 (10)과 병렬로 접속되어 있다. 이 데이터선 구동 회로 (11)은 각 화소 (10)에 데이터 신호를 출력한다.
- <130> 또한, 주사선 구동 회로 (12)는 제1의 주사선 (121), 제2의 주사선 (122)…제n의 주사선 (123)을 통해 각 화소 (10)과 접속되어 있다. 예를 들면, 주사선 구동 회로 (12)는 제n의 주사선 (123)을 통해 제n행에 배치된 m개의 화소 (10)과 병렬로 접속되어 있다. 이 주사선 구동 회로 (12)는 각 화소 (10)에 주사 신호를 출력한다.
- <131> 또한, 전원선 제어 회로 (13)은 제1의 EL 구동선 (131), 제2의 EL 구동선 (132)… 제m의 EL 구동선 (133)을 통해 각 화소 (10)과 접속되어 있다. 예를 들면, 전원선 제어 회로 (13)은 제m의 EL 구동선 (133)을 통해, 제m열에 배치된 n개의 화소 (10)과 병렬로 접속되어 있다. 이 전원선 제어 회로 (13)은 각 화소 (10)에 구동 전류를 공급한다.
- <132> 다음으로, 화소 (10)의 구성에 대하여 도면을 참조하여 설명한다.
- <133> 도 2는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치의 화소의 구성을 설명하기 위한 개략 블럭도를 나타내고 있다.
- <134> 도 2에 있어서, 화소 (10)은 스위칭 트랜지스터 (2), 구동 트랜지스터 (3) 및 유기 EL 소자 (4)를 가지고 있다. 또한, 스위칭 트랜지스터 (2) 및 구동 트랜지스터 (3)은 박막 트랜지스터로서 TFT 기관 (100) 상에 형성된다.
- <135> 스위칭 트랜지스터 (2)는 게이트선 (21)을 통해 주사선 (120)과 접속되어 있다. 또한, 스위칭 트랜지스터 (2)는 소스선 (22)를 통해 데이터선 (110)과 접속되어 있다. 또한, 스위칭 트랜지스터 (2)의 드레인선 (23)이 구동 트랜지스터 (3)의 게이트선 (31)과 접속되어 있다. 또한, 구동 트랜지스터 (3)은 소스선 (32)를 통해 EL 구동선 (130)과 접속되어 있다. 또한, 구동 트랜지스터 (3)은 드레인선 (33)을 통해 유기 EL 소자 (4)와 접속되어 있다.
- <136> 상기 구성의 TFT 기관 (100)은 주사선 (120)으로부터 스위칭 트랜지스터 (2)의 게이트 신호(주사 신호)가 입력되면, 스위칭 트랜지스터 (2)가 온 상태가 된다. 계속해서, 데이터선 (110)으로부터 데이터 신호(구동 트랜지스터 (3)의 게이트 전압)가 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가되어 구동 트랜지스터 (3)이 온 상태가 된다. 이 게이트 전압에 따라서 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 결정되고, EL 구동선 (130)으로부터 유기 EL 소자 (4)에 데이터 신호에 따른 구동 전류가 공급된다. 그리고, 이 구동 전류에 따른 휘도로 유기 EL 소자 (4)가 발광한다.
- <137> 한편, 본 실시 형태의 액티브 매트릭스 구성은 기본적인 구성으로 되어 있다. 단, 이 구성으로 한정되는 것은 아니다. 예를 들면, 구동 트랜지스터 (3)의 온 상태로 유지하기 위한 캐패시터 등을 설치할 수 있다.
- <138> 또한, 본 발명의 유기 EL 표시 장치 (1)은 구동 트랜지스터 (3)의 활성층을, 산화물 반도체층으로서의 n형 산화물 반도체층 (371)로 하고 있다. 이와 같이 하면, 구동 트랜지스터 (3)에 큰 전류나 대전력을 투입하더라도 구동 트랜지스터 (3)의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하면 그의 성능 열화가 작다. 이에 따라, 유기 EL 표시 장치 (1)은 안정성이 우수하고, 또한 TFT 기관 (100)의 내구성이 향상된다. 따라서, 유기 EL 표시 장치 (1)의 수명을 크게 연장시킬 수 있다.
- <139> 다음으로, 상기 TFT 기관 (100)의 제조 방법 및 구성에 대하여 도면을 참조하여 설명한다. 우선, TFT 기관



(100)의 제조 방법에 대하여 설명한다.

- <140> [전류 제어용 TFT 기관의 제조 방법의 제1 실시 형태]
- <141> 도 3은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다. 한편, 본 실시 형태의 제조 방법은 청구항 16에 대응하고 있다.
- <142> 도 3에 있어서, 우선, 기관 상에 금속층 (210) 및 제1 레지스트 (211)을 이 순으로 적층하고, 제1 마스크 (212)에 의해 주사선 (120), 스위칭 트랜지스터 (2)의 게이트 전극 (24) 및 게이트선 (21)을 형성한다(스텝 S1).
- <143> 다음으로, 제1 마스크 (212)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <144> (제1 마스크를 이용한 처리)
- <145> 도 4는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제1 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 금속층 성막/제1 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제1 에칭/제1 레지스트 박리된 단면도를 나타내고 있고, (c)는 제1 레지스트가 박리된 후의 TFT 기관의 주요부의 평면도를 나타내고 있다.
- <146> 도 4(a)에 있어서, 우선 투광성의 유리 기관 (101)이 준비된다.
- <147> 한편, TFT 기관 (100)의 기제가 되는 판형 부재는 상기 유리 기관 (101)로 한정되는 것은 아니다. 예를 들면, 수지계 판상 부재나 시트상 부재 동일 수 있다. 사용되는 수지로서는, 폴리아크릴 수지, 폴리스티렌 수지, 폴리카보네이트 수지, 폴리아릴레이트 수지 등을 들 수 있다. 또한, 폴리카보네이트 수지, 폴리아릴레이트 수지 등의 내열 수지가 바람직하다. 또한, 투광성의 기제로 한정되는 것은 아니다. 예를 들면, 차광성이나 반투명의 기제일 수도 있다.
- <148> 우선, 유리 기관 (101) 상에 주사선 (120), 게이트 전극 (24) 및 게이트선 (21)을 형성하기 위한, 도전체층으로서의 금속층 (210)을 형성한다. 우선, 고주파 스퍼터링법을 이용하여 Al(알루미늄)을 막 두께 약 250 nm로 적층한다. 계속해서, 고주파 스퍼터링법을 이용하여 Mo(몰리브덴)를 막 두께 약 50 nm로 적층한다. 또한, Mo 이외의 금속으로서 Ti(티탄), Cr(크롬) 등을 사용할 수 있다.
- <149> 한편, 게이트선 (21)로서 Ag(은), Cu(구리) 등의 금속 박막이나 합금 박막을 이용할 수도 있지만, Al계가 좋다. 또한, Al은 순수 Al일 수도 있지만, Nd(네오디뮴), Ce(세륨), Mo, W(텅스텐), Nb(니오븀) 등의 금속이 첨가될 수도 있다. Ce, W, Nb 등은 투명 도전체층과의 전지 반응을 억제함에 있어서도 바람직하다. 첨가량은 적절히 선택할 수 있지만, 약 0.1 내지 2 중량%가 바람직하다.
- <150> 다음으로, 금속층 (210) 상에 제1 레지스트 (211)이 도포되고, 제1 마스크 (212)를 이용하여 포토리소그래피법에 의해 소정의 형상으로 제1 레지스트 (211)을 형성한다.
- <151> 다음으로, 도 4(b)에 나타난 바와 같이, 금속층 (210)을, 인산, 아세트산, 질산 및 물을 포함하는 에칭액(부피비는 각각 약 9:8:1:2임. 또한, 적절히 혼합산 에칭액이라 약칭함)을 이용하여 제1 에칭을 행하고, 주사선 (120), 게이트선 (21) 및 게이트 전극 (24)를 형성한다(스텝 S1).
- <152> 계속해서, 제1 레지스트 (211)을 애싱하면, 도 4(c)에 나타난 바와 같이, 유리 기관 (101) 상에 주사선 (120), 및 이 주사선 (120)과 접촉된 게이트선 (21) 및 게이트 전극 (24)가 노출된다. 도 4(b)에 나타내는 주사선 (120)은 도 4(c)에 있어서의 A-A 단면을 나타내고 있다. 또한, 게이트 전극 (24)는 B-B 단면을 나타내고 있다.
- <153> 다음으로, 도 3에 나타난 바와 같이, 유리 기관 (101), 주사선 (120), 게이트선 (21) 및 게이트 전극 (24) 상에, 글로 방전 CVD(화학 증착법)법에 의해 게이트 절연막 (20)을 적층한다(스텝 S2). 게이트 절연막 (20)은 질화 실리콘(SiNx)막이고, 또한 막 두께가 약 300 nm이다. 이 게이트 절연막 (20)은 스위칭 트랜지스터 (2)용의 게이트 절연막 (20)으로서 형성된다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <154> 다음으로, 도 3에 나타난 바와 같이, a-Si:H(i)막 (271), a-Si:H(n)막 (272), 도전체층으로서의 금속층 (273) 및 제2 레지스트 (274)를 적층하고, 제2 하프톤 마스크 (275)에 의해 데이터선 (110), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 채널부 (27), 드레인 전극 (26) 및 드레인선 (23), 및 구동 트랜지스터

(3)의 게이트선 (31) 및 게이트 전극 (34)를 형성한다(스텝 S3).

- <155> 다음으로, 제2 하프톤 마스크 (275)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <156> (제2 하프톤 마스크를 이용한 처리)
- <157> 도 5는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/ $\alpha$ -Si:H(i)막 성막/ $\alpha$ -Si:H(n)막 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <158> 도 5(a)에 있어서, 게이트 절연막 (20) 상에 우선  $\alpha$ -Si:H(i)막 (271)을 적층한다.  $\alpha$ -Si:H(i)막 (271)은 비정질 Si(규소)의 절연층으로서, 막 두께가 약 350 nm이다. 이 때, 방전 가스로서  $\text{SiH}_4\text{-N}_2$ 계의 혼합 가스를 이용한다.
- <159> 다음으로,  $\text{SiH}_4\text{-H}_2\text{-PH}_3$ 계의 혼합 가스를 이용하여  $\alpha$ -Si:H(n)막 (272)를 적층한다.  $\alpha$ -Si:H(n)막 (272)는 비정질 Si의 n형 반도체층으로서, 막 두께가 약 300 nm이다.
- <160> 계속해서, Mo층/Al층/Mo층을 포함하는 금속층 (273)을 형성한다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다. 한편, 금속층 (273)의 Mo층은 Al층을 보호하는 배리어 금속층으로서 기능한다. 또한, 본 실시 형태에서는 스위칭 트랜지스터 (2)의 활성층으로서 비정질 Si를 사용하고 있다. 단, 여기에 한정되는 것은 아니다. 예를 들면, 다결정 Si를 사용할 수도 있다.
- <161> 다음으로, 금속층 (273) 상에 제2 레지스트 (274)가 도포된다. 계속해서, 제2 하프톤 마스크 (275) 및 하프톤 노광에 의해 제2 레지스트 (274)를 소정의 형상으로 형성한다. 즉, 제2 레지스트 (274)는 데이터선 (110), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 게이트 전극 (24), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)를 덮는 형상으로 형성된다. 또한, 제2 레지스트 (274)는 하프톤 마스크부 (276)에 의해 채널부 (27)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <162> 다음으로, 도 5(b)에 나타난 바와 같이, 제2 에칭으로서, 우선 제2 레지스트 (274) 및 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 계속해서, CHF 가스를 이용한 건식 에칭과 하이dra진 수용액( $\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$ )을 이용한 습식 에칭에 의해  $\alpha$ -Si:H(n)막 (272) 및  $\alpha$ -Si:H(i)막 (271)을 에칭한다. 이 에칭에 의해 데이터선 (110), 소스선 (22), 드레인선 (23), 게이트선 (31) 및 게이트 전극 (34)를 형성한다.
- <163> 계속해서, 상기 제2 레지스트 (274)를 애싱하여 제2 레지스트 (274)를 재형성한다. 재형성된 제2 레지스트 (274)에 의해 채널부 (27)의 상층의 금속층 (273)이 노출되고, 또한 데이터선 (110), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)가 덮인다.
- <164> 다음으로, 도 5(c)에 나타난 바와 같이, 제3 에칭으로서, 재형성된 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 이에 따라, 소스 전극 (25) 및 드레인 전극 (26)을 형성한다. 또한, CHF 가스를 이용한 건식 에칭과 하이dra진 수용액( $\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$ )을 이용한 습식 에칭에 의해  $\alpha$ -Si:H(n)막 (272)를 에칭한다. 이에 따라,  $\alpha$ -Si:H(i)막 (271)을 포함하는 채널부 (27)을 형성한다. 즉, 채널부 (27)과, 스위칭 트랜지스터 (2)의 소스 전극 (25) 및 드레인 전극 (26)을 형성한다(스텝 S3).
- <165> 계속해서, 재형성된 제2 레지스트 (274)를 애싱하면, 도 5(c)에 나타난 바와 같이, 게이트 절연막 (20) 상에 데이터선 (110), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 채널부 (27), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)가 노출된다. 도 5(c)에 나타내는, 데이터선 (110), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 게이트 전극 (24), 채널부 (27), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)는 도 6에 있어서의 C-C 단면을 나타내고 있다.
- <166> 다음으로, 도 3에 나타난 바와 같이, 유리 기판 (101)의 상층에 글로 방전 CVD(화학 증착법) 법에 의해 게이트 절연막 (30)을 적층한다. 게이트 절연막 (30)은 질화 실리콘( $\text{SiN}_x$ )막으로서, 막 두께가 약 300 nm이다. 이 게이트 절연막 (30)은 구동 트랜지스터 (3)용의 게이트 절연막 (30)으로서 형성된다. 한편, 본 실시 형태에서는 방전 가스로서  $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 계의 혼합 가스를 이용한다.

- <167> 다음으로, 도 3에 나타난 바와 같이, 게이트 절연막 (30) 상에 산화물 반도체층으로서의 n형 산화물 반도체층 (371) 및 제3 레지스트 (372)를 적층하고, 제3 마스크 (373)에 의해 구동 트랜지스터 (3)의 활성층을 형성한다 (스텝 S5).
- <168> 다음으로, 제3 마스크 (373)을 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <169> (제3 마스크를 이용한 처리)
- <170> 도 7은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <171> 도 7에 있어서, 게이트 절연막 (30) 상에, 산화인듐-산화아연( $\text{In}_2\text{O}_3:\text{ZnO}$ =약 97:3 중량%)의 타겟을 이용하여 막 두께 약 150 nm의 n형 산화물 반도체층 (371)을 성막한다. 이 때의 조건은 산소:아르곤비가 약 10:90 부피%이면서, 기판 온도가 약 100℃ 미만이다. 이 조건에서는 n형 산화물 반도체층 (371)은 비정질막으로서 얻어진다. 통상, 약 200℃ 이하의 저온에서 성막하면, 비정질막으로서 얻어지고, 또한 약 200℃를 초과하는 고온에서 성막하면, 결정질막으로서 얻어진다. 또한, 비정질막은 열 처리에 의해 결정화시킬 수도 있고, 본 실시 형태에서는 결정화시켜 이용한다.
- <172> 한편, n형 산화물 반도체층 (371)은 상기 산화인듐-산화아연을 포함하는 산화물 반도체층으로 한정되는 것은 아니다. 예를 들면, 산화인듐-산화갈륨-산화아연계나, 산화인듐-산화사마륨, 산화아연-산화마그네슘 등을 포함하는 산화물 반도체층으로 할 수 있다.
- <173> 또한, 본 실시 형태에 있어서의 산화인듐-산화아연 박막의 캐리어 밀도는 약  $10^{+16} \text{ cm}^{-3}$  이하로서, 충분히 반도체로서 작동하는 영역이었다. 한편, 캐리어 밀도는 약  $10^{+17} \text{ cm}^{-3}$ 대 미만이면, 충분히 작동 영역이 된다. 또한, 홀 이동도는 약  $25 \text{ cm}^2/\text{V} \cdot \text{초}$ 였다. 이 홀 이동도는 비정질 실리콘의 그것에 비하여 약 10배 이상 크다. 따라서, 본 실시 형태에 있어서의 산화인듐-산화아연 박막은 충분히 유용한 반도체 박막이다. 통상, 산화물 반도체는 홀 이동도가 약  $10 \text{ cm}^2/\text{V} \cdot \text{초}$  이상인 것이 바람직하고, 더욱 바람직하게는 약  $50 \text{ cm}^2/\text{V} \cdot \text{초}$  이상인 것이 바람직하다. 이와 같이, 비정질 Si보다 고이동도의 산화물 반도체를 이용함으로써, 대전류의 투입에 의한 발열이나 응답 속도의 지연이 없어서 안정된 구동이 가능해진다.
- <174> 또한, n형 산화물 반도체층 (371)은 투명성이 필요한 점에서, 에너지 갭은 약 3.0 eV 이상의 산화물을 이용하면 좋다. 바람직하게는 약 3.2 eV 이상, 보다 바람직하게는 약 3.4 eV 이상이다. 상기 산화인듐-산화아연계, 산화인듐-산화갈륨-산화아연계나, 산화인듐-산화사마륨, 산화아연-산화마그네슘 등을 포함하는 n형 산화물 반도체층의 에너지 갭은 약 3.2 eV 이상으로서, 바람직하게 사용된다.
- <175> 또한, n형 산화물 반도체층 (371)은 비정질의 경우, 옥살산 수용액이나 인산, 아세트산 및 질산을 포함하는 혼합산(적절히 혼합산이라 약칭함)에 용해 가능하지만, 가열 결정화시킴으로써, 옥살산 수용액나 혼합산에 불용이 되어 내성을 나타내게 된다. 또한, 결정화의 온도는 첨가하는 산화아연의 양에 의해 제어할 수 있다.
- <176> 계속해서, n형 산화물 반도체층 (371) 상에 제3 레지스트 (372)를 도포하고, 제3 마스크 (373) 및 노광 기술을 이용하여 게이트 전극 (34)의 상층에 제3 레지스트 (372)를 형성한다.
- <177> 다음으로, 도 7(b)에 나타난 바와 같이, 제4 에칭으로서, 우선 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭하여, n형 산화물 반도체층 (371)을 포함하는 구동 트랜지스터 (3)의 활성층을 형성한다. 계속해서, 제3 레지스트 (372)를 에칭하여 n형 산화물 반도체층 (371)을 노출시킨다. 도 7(b)에 나타내는 게이트 전극 (34) 및 n형 산화물 반도체층 (371)은 도 8에 있어서의 D-D 단면을 나타내고 있다.
- <178> 한편, 본 실시 형태에서는 이해하기 쉽도록, 드레인선 (23)과 게이트선 (31) 및 게이트 전극 (34)를 접속하고, 게이트 전극 (34)의 상층에 n형 산화물 반도체층 (371)을 형성하고 있지만, 여기에 한정되는 것은 아니다. 예를 들면, n형 산화물 반도체층 (371)을 스위칭 트랜지스터 (2)의 드레인 전극 (26)의 상층에 형성할 수도 있다. 또한, n형 산화물 반도체층 (371)을 형성한 시점에, 약 180℃ 이상의 온도에서 TFT 기판 (100)을 열 처리하고, n형 산화물 반도체 (371)의 활성층을 결정화한다. 열 처리 온도는 약 150℃ 이상이면 문제없지만, 바람직하게는 약 200℃ 이상이 바람직하다. 또한, 상기 열 처리 온도는 유리 기판 (100)이나 수지 기판이 변형하지 않는

온도로 할 필요가 있다.

- <179> 다음으로, 도 3에 나타낸 바와 같이, 산화물 도전체층으로서의 산화물 투명 도전체층 (374), 보조 도전체층(보조 금속층)으로서의 금속층 (375) 및 제4 레지스트 (376)을 적층하고, 제4 하프톤 마스크 (377)에 의해 EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 화소 전극 (38)을 형성한다(스텝 S6).
- <180> 다음으로, 제4 하프톤 마스크 (377)을 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <181> (제4 하프톤 마스크를 이용한 처리)
- <182> 도 9는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제5 에칭/제4 레지스트가 재형성된 단면도를 나타내고 있다.
- <183> 도 9(a)에 있어서, 노출된 게이트 절연막 (30) 및 n형 산화물 반도체층 (371) 상에, 우선 산화인듐-산화주석-산화아연( $\text{In}_2\text{O}_3:\text{SnO}_2:\text{ZnO}$  약 60:20:20 중량%) 타겟을 이용하여 고주파 스퍼터링법에 의해 막 두께 약 120 nm의 산화물 투명 도전체층 (374)를 형성한다. 이 때의 조건은 산소:아르곤비가 약 1:99 부피%이면서, 기관 온도가 산화물 투명 도전체층 (374)를 결정화시키지 않는 온도이다.
- <184> 여기서, 상기 산화인듐-산화주석-산화아연을 포함하는 산화물 투명 도전체층 (374)는 비정질이면서, 옥살산 수용액에는 용해되지만, 혼합산에는 용해되지 않는다. 따라서, 산화물 투명 도전체층 (374)는 유용하다. 이 때, 산화주석의 함유량은 약 10 내지 40 중량%이고, 산화아연은 약 10 내지 40 중량%, 나머지를 산화인듐으로 하면 좋다. 산화주석 및 산화아연이 각각 약 10 중량% 미만이면, 혼합산으로의 내성이 없어져 용해되게 된다. 또한, 산화주석이 약 40 중량%를 초과하면, 옥살산 수용액에 용해되지 않게 되거나, 비저항이 커지기도 한다. 또한, 산화아연이 약 40 중량%를 초과하면, 혼합산으로의 내성이 없어지는 경우가 있다. 산화주석과 산화아연의 비는 적절히 선택하면 좋다.
- <185> 또한, 산화물 투명 도전체층 (374)는 본 실시 형태에서 이용한 산화인듐-산화주석-산화아연계의 투명 도전막으로 한정되는 것은 아니다. 만약 투명 도전막이 옥살산 수용액에 의해 에칭되면서 혼합산에 용해되지 않는다면, 그 투명 도전막을 산화물 투명 도전체층 (374)에 사용할 수 있다.
- <186> 또한, 비정질 상태에서, 옥살산 수용액이나 혼합산에 용해되는 투명 도전막이 있다고 가정한다. 이 투명 도전막에, 가열 등에 의해 결정화 등의 막질 변화를 가져온다. 이 막질 변화에 의해, 투명 도전막이 혼합산에 불용이 되면, 이 투명 도전막은 사용 가능해진다. 이러한 투명 도전막으로서, 산화인듐에 산화주석, 산화게르마늄, 산화지르코늄, 산화텅스텐, 산화몰리브덴, 산화세륨 등의 란타늄계 원소를 포함하는 것을 들 수 있다. 이들 중에서도 산화인듐과 산화주석, 산화인듐과 산화텅스텐, 산화인듐과 산화세륨 등의 산화 란타늄계 원소의 조합은 바람직하게 이용된다. 첨가하는 금속의 양은 산화인듐에 대하여 약 1 내지 20 중량%, 바람직하게는 약 3 내지 15 중량%이다. 약 1 중량% 미만이면, 성막시에 결정화하여 옥살산 수용액에 용해되지 않게 되거나, 비저항이 커져, 투명 도전막으로서 바람직하게 사용할 수 없게 되는 경우가 있다. 약 20 중량%를 초과하면, 가열 등에 의해 결정화 등의 막질 변화를 일으키는 경우에, 막질 변화가 일어나지 않고, 혼합산에 용해되어, 화소 전극 (38)의 형성이 어려워지는 등의 문제가 발생할 수 있다.
- <187> 계속해서, 보조 도전체층으로서의 금속층 (375)를 형성한다. 이 금속층 (375)는 Mo층/Al층/Mo층을 포함한다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.
- <188> 다음으로, 금속층 (375) 상에 제4 레지스트 (376)이 도포되고, 제4 하프톤 마스크 (377) 및 하프톤 노광에 의해 제4 레지스트 (376)을 소정의 형상으로 형성한다. 즉, 제4 레지스트 (376)은 EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36), 드레인선 (33), 화소 전극 (38)을 덮는 형상으로 형성된다. 또한, 제4 레지스트 (376)은 하프톤 마스크부 (378)에 의해, 화소 전극 (38)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <189> 다음으로, 도 9(b)에 나타낸 바와 같이, 제5 에칭으로서, 우선 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭한다. 계속해서, 제4 레지스트 (376) 및 옥살산 수용액을 이용하여 산화물 투명 도전체층 (374)를 에칭하여, EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인

인 전극 (36), 소스선 (32), 화소 전극 (38)을 형성한다(스텝 S6).

- <190> 계속해서, 상기 제4 레지스트 (376)을 애싱하여 제4 레지스트 (376)을 재형성한다. 재형성된 제4 레지스트 (376)은 화소 전극 (38)의 상층의 금속층 (375)가 노출되면서, EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36), 드레인선 (33)이 덮인다.
- <191> 한편, 본 실시 형태에서는 보조 도전체층으로서의 금속층 (375)를 적층하고 있기 때문에, 제4 하프톤 마스크 (377)을 사용하고 있다. 단, 금속층 (375)를 적층하지 않는 경우에는 제4 마스크를 사용할 수 있다.
- <192> 도 10은 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제6 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <193> 도 10에 있어서, 제6 에칭으로서, 재형성된 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)을 에칭하여 화소 전극 (38)을 노출시킨다. 한편, 유기 EL 표시 장치 (1)이 톱 에미션 구조 등인 경우에는 화소 전극 (38) 상의 금속층 (375)를 제거할 필요는 없다. 따라서, 제4 하프톤 마스크 (377) 대신에 제4 마스크를 사용할 수 있다.
- <194> 계속해서, 재형성된 제4 레지스트 (376)을 애싱하면, 도 10에 나타난 바와 같이, 게이트 절연막 (30) 상에 EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36), 드레인선 (33), 화소 전극 (38)이 노출된다. 도 10에 나타내는, EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 게이트 전극 (34), 채널부 (37), 드레인 전극 (36), 드레인선 (33), 화소 전극 (38)은 도 11에 있어서의 E-E 단면을 나타내고 있다.
- <195> 다음으로, 도 3에 나타난 바와 같이, 보호용 절연막 (40) 및 제5 레지스트 (41)을 적층하고, 제5 마스크에 의해 주사선용 패드 (124), 데이터선용 패드 (114), EL 구동선용 패드 (134) 및 화소 전극 (38)을 노출시킨다(스텝 S7).
- <196> 다음으로, 제5 마스크 (42)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <197> (제5 마스크를 이용한 처리)
- <198> 도 12는 본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제7 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <199> 도 12(a)에 있어서, 유리 기관 (101)의 상층에 글로우 방전 CVD(화학 증착법)법에 의해 질화 실리콘(SiNx)막인 보호용 절연막 (40)을 막 두께 약 250 nm로 퇴적한다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <200> 다음으로, 보호용 절연막 (40) 상에 제5 레지스트 (41)을 도포하고, 제5 마스크 (42) 및 노광 기술을 이용하여 화소 전극 (38), 데이터선용 패드 (114), 주사선용 패드 (124) 및 EL 구동선용 패드 (134)의 상층에, 개구부를 갖는 제5 마스크 (42)를 형성한다.
- <201> 계속해서, 제7 에칭으로서, CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 드라이 에칭에 의해 보호용 절연막 (40), 게이트 절연막 (30), 게이트 절연막 (20)을 에칭하여 화소 전극 (38), 데이터선용 패드 (114), 주사선용 패드 (124) 및 EL 구동선용 패드 (134)를 노출시킨다(스텝 S7).
- <202> 계속해서, 제5 레지스트 (41)을 애싱하면, 도 12(b)에 나타난 바와 같이, 보호용 절연막 (40)이 노출된다. 도 12(b)에 나타내는, 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 게이트 전극 (34), 채널부 (37), 드레인 전극 (36), 드레인선 (33)은 도 13에 있어서의 F-F 단면을 나타내고 있다.
- <203> 한편, 본 실시 형태에서는 스위칭 트랜지스터 (2), 구동 트랜지스터 (3) 및 화소 전극 (38)의 위치나 형상을 이해하기 쉬운 위치나 형상으로 하고 있다. 단, 여기에 한정되는 것은 아니다.
- <204> 이와 같이, 본 실시 형태의 전류 제어용 TFT 기관의 제조 방법에 따르면, 구동 트랜지스터 (3)의 활성층을 n형 산화물 반도체층 (371)으로 하고 있다. 따라서, 구동 트랜지스터 (3)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3)의 성능 열화가 작고, TFT 기관 (100)은 안정성이 우수하다. 또한, TFT 기관 (100)의 내구성을 향상시킬 수 있다. 또한, 제4 하프톤 마스크 (377)을 이용하여 EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36), 드레인선 (33), 화소 전극 (38)을 제조할 수 있

고, 사용하는 마스크수를 삭감할 수 있다. 따라서, 제조 공정이 삭감됨으로써, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다. 또한, 보호용 절연막 (40)이 형성되어 있기 때문에, TFT 기판 (100)에 유기 EL 재료, 전극 및 보호막을 설치함으로써, 유기 EL 표시 장치 (1)을 용이하게 얻을 수 있다.

- <205> 다음으로, 상기 TFT 기판 (100)의 구성에 대하여 도면을 참조하여 설명한다.
- <206> [전류 제어용 TFT 기판의 제1 실시 형태]
- <207> 본 실시 형태의 TFT 기판 (100)은, 도 1에 나타낸 바와 같이, 유리 기판 (101)에  $m$ (열:  $m$ 은 자연수) $\times n$ (행:  $n$ 은 자연수)개의 화소 (10)이 매트릭스형으로 배치되어 있다.
- <208> 또한, 행 방향(수평 방향)으로  $n$ 개의 주사선 (121, 122...123)이 형성되어 있다. 예를 들면, 제 $n$ 의 주사선 (123)은 제 $n$ 행에 배치된  $m$ 개의 화소 (10)과 병렬로 접속되어 있다.
- <209> 또한, 열 방향(수직 방향)으로  $m$ 개의 데이터선 (111, 112...113)이 형성되어 있다. 예를 들면, 제 $m$ 의 데이터선 (113)을 통해, 제 $m$ 열에 배치된  $n$ 개의 화소 (10)과 병렬로 접속되어 있다.
- <210> 또한, 열 방향(수직 방향)으로  $m$ 개의 EL 구동선 (131, 132...133)이 형성되어 있다. 예를 들면, 제 $m$ 의 EL 구동선 (133)을 통해, 제 $m$ 열에 배치된  $n$ 개의 화소 (10)과 병렬로 접속되어 있다.
- <211> 또한, 각 화소 (10)은, 도 13에 나타낸 바와 같이, 전기 광학 소자인 유기 EL 소자 (4)(도 2 참조)에 전류를 공급하는 구동 트랜지스터 (3)과, 이 구동 트랜지스터 (3)을 제어하는 스위칭 트랜지스터 (2)를 가지고 있다.
- <212> 스위칭 트랜지스터 (2)는 도 5 및 도 6에 나타낸 바와 같이, 게이트 전극 (24)와, 게이트 절연막 (20)과,  $\alpha$ -Si:H(i)막 (271) 및  $\alpha$ -Si:H(n)막 (272)와, 소스 전극 (25)과, 드레인 전극 (26)을 구비하고 있다.
- <213> 게이트 전극 (24)는 게이트선 (21)을 통해 주사선 (120)과 접속되어 있다. 게이트 절연막 (20)은 게이트 전극 (24) 상에 형성되어 있다. 활성층인  $\alpha$ -Si:H(i)막 (271) 및  $\alpha$ -Si:H(n)막 (272)는 게이트 절연막 (20) 상에 형성되어 있다. 소스 전극 (25)는 소스선 (22)를 통해 데이터선 (110)과 접속되어 있다. 드레인 전극 (26)은 드레인선 (23) 및 게이트선 (31)을 통해 구동 트랜지스터 (3)의 게이트 전극 (34)와 접속되어 있다.
- <214> 구동 트랜지스터 (3)은, 도 10 및 도 11에 나타낸 바와 같이, 게이트 전극 (34)와, 게이트 절연막 (30)과,  $n$ 형 산화물 반도체층 (371)과, 소스 전극 (35)와, 드레인 전극 (36)을 구비하고 있다.
- <215> 게이트 절연막 (30)은 게이트 전극 (34) 상에 형성되어 있다. 활성층인  $n$ 형 산화물 반도체층 (371)은 게이트 절연막 (30) 상에 형성되어 있다. 소스 전극 (35)는 소스선 (32)를 통해 EL 구동선 (130)과 접속되어 있다. 드레인 전극 (36)은 드레인선 (33)을 통해 화소 전극 (38)과 접속되어 있다.
- <216> 또한, 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36), 드레인선 (33)은 산화물 투명 도전체층 (374)를 포함하고 있다. 또한, 이 산화물 투명 도전체층 (374)가 유기 EL 소자 (4)의 화소 전극 (38)로서 기능한다. 이와 같이 하면, 제조할 때에 사용하는 마스크수를 삭감할 수 있어 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다.
- <217> 또한, 바람직하게는, EL 구동선 (130), 소스선 (32), 소스 전극 (35), 드레인 전극 (36), 드레인선 (33)의 상층에 보조 도전체층으로서의 금속층 (375)를 형성하면 좋다. 이와 같이 하면, 각 선이나 전극의 전기저항을 감소시킬 수 있다. 따라서, 신뢰성을 향상시킬 수 있고, 또한 에너지 효율의 저하를 억제할 수 있다.
- <218> 이와 같이, 본 실시 형태의 TFT 기판 (100)은 구동 트랜지스터 (3)의 활성층을  $n$ 형 산화물 반도체층 (371)로 하고 있다. 따라서, 구동 트랜지스터 (3)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3)의 성능 열화가 작고, TFT 기판 (100)은 안정성이 우수하다. 또한, TFT 기판 (100)의 내구성을 향상시킬 수 있다.
- <219> 또한, 상술한 유기 EL 표시 장치의 제1 실시 형태, 전류 제어용 TFT 기판의 제조 방법의 제1 실시 형태, 및 전류 제어용 TFT 기판의 제1 실시 형태는 다양한 응용예를 가지고 있다. 예를 들면, 상기 각 실시 형태에서는 스위칭 트랜지스터 (2)의 활성층으로서  $\alpha$ -Si:H(i)막 (271)을 이용하고 있지만,  $\alpha$ -Si:H(i)막 (271) 대신에 산화물 반도체층을 이용할 수 있다.
- <220> 다음으로,  $\alpha$ -Si:H(i)막 (271) 대신에 산화물 반도체층을 이용한 전류 제어용 TFT 기판의 제조 방법의 응용예에 대하여 도면을 참조하여 설명한다.
- <221> [전류 제어용 TFT 기판의 제조 방법의 응용예]

- <222> 도 14는 본 발명의 제1 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다. 한편, 본 응용예의 제조 방법은 청구항 16에 대응하고 있다.
- <223> 도 14에 있어서, 본 응용예의 TFT 기관의 제조 방법은 상술한 제1 실시 형태에 비하여 스텝 S4(도 3 참조) 대신에 n형 산화물 반도체층 (271'), 산화물 투명 도전체층 (272'), 금속층 (273) 및 제2 레지스트 (274)를 적층하고, 제2 하프톤 마스크 (275)에 의해 데이터선 (110'), 스위칭 트랜지스터 (2')의 소스선 (22'), 소스 전극 (25'), 채널부 (27'), 드레인 전극 (26') 및 드레인선 (23'), 및 구동 트랜지스터 (3)의 게이트선 (31') 및 게이트 전극 (34')를 형성한다(스텝 S3'). 이 점이 제1 실시 형태와 상이하다. 다른 방법은 제1 실시 형태와 거의 동일하게 되어 있다.
- <224> 따라서, 도 14에 있어서, 도 3과 동일한 방법에 대해서는 동일한 부호를 붙이고, 그의 상세한 설명을 생략한다.
- <225> 다음으로, 제2 하프톤 마스크 (275)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <226> (제2 하프톤 마스크를 이용한 처리)
- <227> 도 15는 본 발명의 제1 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/산화물 투명 도전체층 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <228> 도 15(a)에 있어서, 게이트 절연막 (20) 상에, 산화인듐-산화아연( $In_2O_3:ZnO$ =약 97:3 중량%)의 타겟을 이용하여 막 두께 약 150 nm의 n형 산화물 반도체층 (271')을 성막한다. 이 때의 조건은 산소:아르곤비가 약 10:90 부피%이면서, 기관 온도가 약 100°C 미만이다. 이 조건에서는, 얻어지는 n형 산화물 반도체층 (271')은 비정 질막이다.
- <229> 다음으로, n형 산화물 반도체층 (271') 상에, 우선 산화인듐-산화주석-산화아연( $In_2O_3:SnO_2:ZnO$ =약 60:20:20 중량%) 타겟을 이용하여 고주파 스퍼터링법에 의해 막 두께 약 120 nm의 산화물 투명 도전체층 (272')을 형성한다. 이 때의 조건은 산소:아르곤비가 약 1:99 부피%이면서, 기관 온도가 산화물 투명 도전체층 (272')를 결정화시키지 않는 온도이다. 계속해서, 금속층 (273)을 형성한다. 도전체층으로서의 금속층 (273)은 Mo층/Al층/Mo층을 포함한다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다. 한편, 금속층 (273)의 Mo층은 Al층을 보호하는 배리어 금속층으로서 기능한다.
- <230> 다음으로, 금속층 (273) 상에 제2 레지스트 (274)가 도포되고, 제2 하프톤 마스크 (275) 및 하프톤 노광에 의해 제2 레지스트 (274)를 소정의 형상으로 형성한다. 즉, 제2 레지스트 (274)는 데이터선 (110'), 스위칭 트랜지스터 (2)의 소스선 (22'), 소스 전극 (25'), 게이트 전극 (24), 드레인 전극 (26'), 드레인선 (23'), 구동 트랜지스터 (3)의 게이트선 (31'), 게이트 전극 (34')를 덮는 형상으로 형성된다. 또한, 제2 레지스트 (274)는 하프톤 마스크부 (276)에 의해 채널부 (27')를 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <231> 다음으로, 도 15(b)에 나타낸 바와 같이, 제2 에칭으로서, 우선 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 계속해서, 옥살산 수용액을 이용하여 산화물 투명 도전체층 (272') 및 n형 산화물 반도체층 (271')을 에칭한다. 이에 따라, 데이터선 (110'), 소스선 (22'), 드레인선 (23'), 게이트선 (31') 및 게이트 전극 (34')를 형성한다.
- <232> 여기서, n형 산화물 반도체층 (271')을 열 처리에 의해 결정화시킨다. 이에 따라, 혼합산 에칭액이나 옥살산 수용액에 대하여 n형 산화물 반도체층 (271')이 내성을 갖는다.
- <233> 계속해서, 상기 제2 레지스트 (274)를 애싱하여 제2 레지스트 (274)를 재형성한다. 재형성된 제2 레지스트 (274)는 채널부 (27')의 상층의 금속층 (273)이 노출되는 형상이다. 또한, 제2 레지스트 (274)는 데이터선 (110'), 스위칭 트랜지스터 (2)의 소스선 (22'), 소스 전극 (25'), 드레인 전극 (26'), 드레인선 (23'), 구동 트랜지스터 (3)의 게이트선 (31'), 게이트 전극 (34')를 덮는 형상이다.
- <234> 다음으로, 도 15(c)에 나타낸 바와 같이, 제3 에칭으로서, 재형성된 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273) 및 산화물 투명 도전체층 (272')를 에칭하여 채널부 (27'), 소스 전극 (25') 및 드레인 전

극 (26')을 형성한다(스텝 S3').

- <235> 계속해서, 재형성된 제2 레지스트 (274)를 애싱하면, 도 15(c)에 나타낸 바와 같이, 게이트 절연막 (20) 상에 데이터선 (110'), 스위칭 트랜지스터 (2')의 소스선 (22'), 소스 전극 (25'), 채널부 (27'), 드레인 전극 (26'), 드레인선 (23'), 구동 트랜지스터 (3)의 게이트선 (31'), 게이트 전극 (34')가 노출된다. 도 15(c)에 나타내는, 데이터선 (110'), 스위칭 트랜지스터 (2')의 소스선 (22'), 소스 전극 (25'), 게이트 전극 (24), 채널부 (27'), 드레인 전극 (26'), 드레인선 (23'), 구동 트랜지스터 (3)의 게이트선 (31'), 게이트 전극 (34')는 도 16에 있어서의 C'-C' 단면을 나타내고 있다.
- <236> 한편, 그 밖의 방법은 상기 제1 실시 형태와 거의 동일하게 되어 있다.
- <237> 이와 같이, 본 응용예의 전류 제어용 TFT 기관의 제조 방법에 따르면, 상기 제1 실시 형태의 제조 방법과 거의 동일한 효과를 갖는다. 또한, 구동 트랜지스터 (3)을 제조할 때에 사용하는 n형 산화물 반도체층 (371)이나 산화물 투명 도전체층 (374)의 재료를 공용화할 수 있기 때문에, 제조 원가의 비용 절감을 도모할 수 있다.
- <238> [유기 EL 표시 장치의 제2 실시 형태]
- <239> 도 17은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치의 개략 블록도를 나타내고 있다.
- <240> 도 17에 있어서, 전기 광학 장치로서의 유기 EL 표시 장치 (1a)는 데이터선 구동 회로 (11), 주사선 구동 회로 (12), 전원선 제어 회로 (13a), 전류 측정 회로 (15) 및 전류 제어용 TFT 기관 (100a)(적절히 TFT 기관 (100a)라 약칭함)를 구비하고 있다. 또한, TFT 기관 (100a)는 m(열: m은 자연수)×n(행: n은 자연수)개의 화소 (10a)가 매트릭스형으로 배치되어 있다.
- <241> 데이터선 구동 회로 (11)은 제1의 데이터선 (111), 제2의 데이터선 (112)…제m의 데이터선 (113)을 통해 각 화소 (10a)와 접속되어 있다. 예를 들면, 제m의 데이터선 (113)을 통해, 제m열에 배치된 n개의 화소 (10a)와 병렬로 접속되어 있다. 이 데이터선 구동 회로 (11)은 각 화소 (10a)에 데이터 신호를 출력한다.
- <242> 또한, 주사선 구동 회로 (12)는 제1의 주사선 (121), 제2의 주사선 (122)…제n의 주사선 (123)을 통해 각 화소 (10a)와 접속되어 있다. 예를 들면, 제n의 주사선 (123)을 통해, 제n행에 배치된 m개의 화소 (10a)와 병렬로 접속되어 있다. 이 주사선 구동 회로 (12)는 각 화소 (10a)에 주사 신호를 출력한다.
- <243> 또한, 전원선 제어 회로 (13a)는 제1의 EL 구동선 (131a), 제2의 EL 구동선 (132a)…제n의 EL 구동선 (133a)를 통해 각 화소 (10a)와 접속되어 있다. 예를 들면, 제n의 EL 구동선 (133a)를 통해, 제n행에 배치된 m개의 화소 (10a)와 병렬로 접속되어 있다. 이 전원선 제어 회로 (13a)는 각 화소 (10a)에 직류의 구동 전류를 공급한다.
- <244> 또한, 전류 측정 회로 (15)는 제1의 측정선 (151), 제2의 측정선 (152)…제m의 측정선 (153)을 통해 각 화소 (10a)와 접속되어 있다. 예를 들면, 제m의 측정선 (153)을 통해, 제m열에 배치된 n개의 화소 (10a)와 병렬로 접속되어 있다. 이 전류 측정 회로 (15)는 각 화소 (10a)의 유기 EL 소자 (4)에 공급되는 전류를 측정한다.
- <245> 또한, 바람직하게는, 전류 측정 회로 (15)가 유기 EL 소자 (4)에 공급되는 직류 전류를 측정하고, 이 전류의 측정치에 기초하여 제어부(도시하지 않음)가 데이터선 구동 회로 (11), 주사선 구동 회로 (12) 및 전원선 제어 회로 (13a) 중 적어도 하나 이상을 제어하면 좋다. 이와 같이 하면, 유기 EL 소자 (4)에 공급되는 직류 전류를 측정할 수 있다. 이 측정치에 기초하여 데이터선 구동 회로 (11), 주사선 구동 회로 (12) 및 전원선 제어 회로 (13a) 중 적어도 하나 이상이 제어된다. 따라서, 바람직한 구동 전류를 유기 EL 소자 (4)에 공급할 수 있다.
- <246> 한편, 상기 제어부는 통상 전류 측정 회로 (15)의 내부에 설치된다. 단, 여기에 한정되는 것은 아니다. 또한, 일반적으로 상기 측정치에 기초하여 데이터선 구동 회로 (11)이 제어된다.
- <247> 다음으로, 화소 (10a)의 구성에 대하여 도면을 참조하여 설명한다.
- <248> 도 18은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치의 화소의 구성을 설명하기 위한 개략 블록도를 나타내고 있다.
- <249> 도 18에 있어서, 화소 (10a)는 구동 트랜지스터 (3), 스위칭 트랜지스터 (2), 캐패시터 (6), 측정용 트랜지스터 (5), 및 유기 EL 소자 (4)를 구비하고 있다.
- <250> 구동 트랜지스터 (3)은 유기 EL 소자 (4)에 직류 전류를 공급한다. 스위칭 트랜지스터 (2)는 구동 트랜지스터



(3)을 제어한다. 캐패시터 (6)은 구동 트랜지스터 (3)의 게이트 전극 (34)에 캐패시터 전압을 인가한다. 측정용 트랜지스터 (5)는 유기 EL 소자 (4)에 공급되는 직류 전류를 측정한다. 전기 광학 소자로서의 유기 EL 소자 (4)는 직류 전류에 의해 구동된다.

- <251> 또한, 스위칭 트랜지스터 (2), 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)는 박막 트랜지스터로서, TFT 기판 (100a) 상에 형성된다. 또한, 캐패시터 (6) 및 유기 EL 소자 (4)의 화소 전극 (38)도 TFT 기판 (100a) 상에 형성된다.
- <252> 스위칭 트랜지스터 (2)는 게이트선 (21)을 통해 주사선 (120)과 접속되어 있다. 또한, 스위칭 트랜지스터 (2)는 소스선 (22)을 통해 데이터선 (110)과 접속되어 있다. 스위칭 트랜지스터 (2)의 드레인선 (23)은 구동 트랜지스터 (3)의 게이트선 (31) 및 캐패시터 (6)의 제1 전극 (61)과 병렬로 접속되어 있다.
- <253> 또한, 구동 트랜지스터 (3)은 소스선 (32)을 통해 EL 구동선 (130)과 접속되어 있다. 또한, 구동 트랜지스터 (3)은 드레인선 (33)을 통해 유기 EL 소자 (4), 캐패시터 (6)의 제2 전극 (62) 및 측정용 트랜지스터 (5)의 소스선 (52)와 병렬로 접속되어 있다.
- <254> 또한, 측정용 트랜지스터 (5)의 게이트선 (51)은 주사선 (120)과 접속되어 있다. 또한, 측정용 트랜지스터 (5)의 드레인선 (53)은 측정선 (150)과 접속되어 있다.
- <255> 다음으로, TFT 기판 (100a)의 동작에 대하여 도 18을 이용하여 설명한다.
- <256> 우선, 상기 구성의 TFT 기판 (100a)에 있어서, 주사선 (120)에 주사 신호가 입력된다. 이에 따라, 스위칭 트랜지스터 (2)의 게이트 전극 (34)에 게이트 신호(주사 신호)가 입력되어 스위칭 트랜지스터 (2)가 온 상태가 된다. 또한, 주사선 (120)으로부터 측정용 트랜지스터 (5)의 게이트 전극 (54)에 게이트 신호(주사 신호)가 입력되어 측정용 트랜지스터 (5)가 온 상태가 된다.
- <257> 계속해서, 데이터선 (110)으로부터 데이터 신호(구동 트랜지스터 (3)의 게이트 전압)가 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가되어 구동 트랜지스터 (3)이 온 상태가 된다. 또한, 캐패시터 (6)에, 데이터선 (110)으로부터의 데이터 신호에 따른 전하가 축적된다. 이 때, 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가된 게이트 전압에 따라서 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 결정된다. 그리고, EL 구동선 (130)으로부터, 소스·드레인간의 저항치에 따른 구동 전류가 드레인선 (33)에 공급된다. 여기서, 측정용 트랜지스터 (5)는 온 상태에 있다. 따라서, 상기 구동 전류(측정 전류  $I(m \times (n-1))$ )는 유기 EL 소자 (4)에 거의 흐르지 않고 측정용 트랜지스터 (5)의 소스선 (52) 및 드레인선 (53)을 경유하여 측정선 (150)으로 흐른다.
- <258> 다음으로, 전류 측정 회로 (15)는 상기 측정 전류  $I(m \times (n-1))$ 를 측정하고, 제어부가 측정 전류  $I(m \times (n-1))$ 의 측정치에 기초하여 데이터선 구동 회로 (11)을 제어한다. 즉, 제어부는 측정치가 소정의 예정치보다 작은 경우, 데이터선 (110)으로의 데이터 신호의 전압을 올린다. 이에 따라, 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 낮아지고, 구동 전류가 증가한다. 이에 반해, 측정치가 소정의 예정치보다 큰 경우, 데이터선 (110)으로의 데이터 신호의 전압을 내린다. 이에 따라, 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 높아지고, 구동 전류가 감소한다. 제어부가 상기 제어를 반복함으로써, 측정치가 소정의 예정치와 거의 동일한 값이 된다.
- <259> 다음으로, 측정치가 소정의 예정치와 거의 동일한 값이 되면, 주사선 구동 회로 (12)가 주사선 (120)으로의 주사 신호의 출력을 정지한다. 이 정지에 의해, 스위칭 트랜지스터 (2) 및 측정용 트랜지스터 (5)가 오프 상태가 된다. 스위칭 트랜지스터 (2)가 오프 상태가 되면, 데이터선 (110)으로부터 구동 트랜지스터 (3)에 게이트 전압을 인가시킬 수 없게 된다. 단, 캐패시터 (6)에 축적된 전하에 의해, 데이터선 (110)으로부터 인가되었던 게이트 전압과 동일한 전압이 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가된다. 즉, 스위칭 트랜지스터 (2)가 온 상태인 동안, 데이터선 (110)으로부터 캐패시터 (6)의 제1 전극 (61)에 직류 전압이 인가되고, 또한 EL 구동선 (130)으로부터 캐패시터 (6)의 제2 전극 (62)에 직류 전압이 인가된다. 이 때, 캐패시터 (6)에 전하가 축적되어 있어, 캐패시터 (6)에 의해 게이트 전극 (34)에 게이트 전압이 인가된다.
- <260> 그리고, 구동 트랜지스터 (3)이 캐패시터 (6)에 의해 온 상태로 유지되고, 측정용 트랜지스터 (5)가 오프 상태로 되어 있다. 따라서, EL 구동선 (130)으로부터의 직류 전류가 구동 트랜지스터 (3)을 경유하여 유기 EL 소자 (4)로 공급된다. 이 때문에, TFT 기판 (100a)는 직류 전류 제어용 TFT 기판이라 호칭된다.
- <261> 이 직류 전류는 상기 측정 전류  $I(m \times (n-1))$ 와 동일하다. 따라서, 제어부에 의해 제어된 소정의 예정치와 거의 동일한 구동 전류가 유기 EL 소자 (4)로 공급되고, 그리고, 이 구동 전류에 따른 휘도로 유기 EL 소자 (4)가 발

광한다.

- <262> 한편, 상기 구동 전류를 변경하는 경우에는 주사선 (120)에 주사 신호를 출력하고, 변경하고 싶은 구동 전류에 따른 데이터 신호를 데이터선 (110)으로 출력한다.
- <263> 다음으로, 유기 EL 표시 장치 (1a)는 열 방향으로 병설된 화소 (10a')에 대하여 화소 (10a)와 거의 동일한 동작을 행할 수 있다. 이에 따라, 구동 트랜지스터 (3)의 특성이 변화(열화)하더라도, 모든 화소 (10a)에 대하여 소정의 예정치와 거의 동일한 구동 전류를 공급할 수 있다. 따라서, 유기 EL 표시 장치 (1a)는 우수한 품질의 화상을 제공할 수 있다.
- <264> 한편, 본 실시 형태의 유기 EL 표시 장치 (1a)에 있어서, 제어부가, 각 화소 (10a)의 소정의 예정치를 기억하는 기억 수단과, 측정치와 소정의 예정치와의 차이를 산출하는 연산 처리부를 구비하고, 측정치가 소정의 예정치와 거의 동일한 값이 되도록 제어하고 있다. 단, 제어 방법은 이 방법에 한정되는 것은 아니며, 다양한 제어 방법을 채용할 수 있다.
- <265> 이와 같이, 본 실시 형태의 유기 EL 표시 장치 (1a)는 직류 전류에 의해 구동되는 유기 EL 소자 (4)에 대하여, 전류 측정 회로 (15)에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 유기 EL 표시 장치 (1a)는 우수한 품질의 화상을 제공할 수 있다. 한편, 본 실시 형태에서는 전기 광학 소자로서 유기 EL 소자 (4)를 이용하고 있다. 단, 여기에 한정되는 것은 아니다. 예를 들면, 직류 전류 구동형의 전기 광학 소자에 널리 적용할 수 있다.
- <266> 또한, 본 실시 형태의 유기 EL 표시 장치 (1a)에 있어서, 구동 트랜지스터 (3)의 활성층은 산화물 반도체층으로서의 n형 산화물 반도체층 (371)이다. 이와 같이 하면, 구동 트랜지스터 (3)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3)의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하면 그의 성능 열화가 작다. 이에 따라, 유기 EL 표시 장치 (1a)는 안정성이 우수하고, 또한 TFT 기판 (100a)의 내구성을 향상시킬 수 있다. 따라서, 유기 EL 표시 장치 (1a)의 수명을 크게 연장시킬 수 있다.
- <267> 다음으로, 상기 TFT 기판 (100a)의 제조 방법 및 구성에 대하여 도면을 참조하여 설명한다. 우선, TFT 기판 (100a)의 제조 방법에 대하여 설명한다.
- <268> [전류 제어용 TFT 기판의 제조 방법의 제2 실시 형태]
- <269> 도 19는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다. 한편, 본 실시 형태의 제조 방법은 청구항 17에 대응하고 있다.
- <270> 도 19에 있어서, 우선 기판 상에 금속층 (210) 및 제1 레지스트 (211)을 이 순으로 적층하고, 제1 마스크 (212)에 의해 주사선 (120), 스위칭 트랜지스터 (2)의 게이트 전극 (24) 및 게이트선 (21), 및 측정용 트랜지스터 (5)의 게이트 전극 (54) 및 게이트선 (51)을 형성한다(스텝 S1a).
- <271> 다음으로, 제1 마스크 (212)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <272> (제1 마스크를 이용한 처리)
- <273> 도 20은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제1 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 금속층 성막/제1 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제1 에칭/제1 레지스트 박리된 단면도를 나타내고 있고, (c)는 제1 레지스트가 박리된 후의 TFT 기판의 주요부의 평면도를 나타내고 있다.
- <274> 도 20(a)에 있어서, 우선 투광성의 유리 기판 (101)이 준비된다.
- <275> 우선, 유리 기판 (101) 상에 도전체층으로서의 금속층 (210)을 형성한다. 즉, Al(알루미늄)과 Mo(몰리브덴)를 이들 순으로 고주파 스퍼터링법을 이용하여 각각 막 두께 약 250 nm, 50 nm로 적층한다. 한편, 이 금속층 (210)에 의해 주사선 (120), 게이트 전극 (24, 54) 및 게이트선 (21, 51)이 형성된다.
- <276> 계속해서, 금속층 (210) 상에 제1 레지스트 (211)이 도포된다. 또한, 제1 마스크 (212)를 이용하여 포토리소그래피법에 의해 소정의 형상으로 제1 레지스트 (211)이 형성된다.
- <277> 다음으로, 도 20(b)에 나타난 바와 같이, 금속층 (210)에 대하여 혼합산 에칭액을 이용하여 제1 에칭을 행한다. 이에 따라, 주사선 (120), 게이트선 (21, 51) 및 게이트 전극 (24, 54)를 형성한다(스텝 S1a).
- <278> 계속해서, 제1 레지스트 (211)을 애싱하면, 도 20(c)에 나타난 바와 같이, 유리 기판 (101) 상에 주사선 (120),

및 이 주사선 (120)과 접속된 게이트선 (21, 51) 및 게이트 전극 (24, 54)가 노출된다. 도 20(b)에 나타내는, 주사선 (120)은 도 20(c)에 있어서의 Aa-Aa 단면을 나타내고 있다. 또한, 스위칭 트랜지스터 (2)의 게이트 전극 (24)는 Ba-Ba 단면을 나타내고 있다. 또한, 측정용 트랜지스터 (5)의 게이트 전극 (54)는 Ba'-Ba' 단면을 나타내고 있다.

<279> 다음으로, 도 19에 나타낸 바와 같이, 유리 기판 (101), 주사선 (120), 게이트선 (21, 51) 및 게이트 전극 (24, 54) 상에, 글로 방전 CVD(화학 증착법)법에 의해 게이트 절연막 (20)을 적층한다(스텝 S2). 이 게이트 절연막 (20)은 질화 실리콘(SiNx)막이고, 또한 막 두께가 약 300 nm이다. 이 게이트 절연막 (20)은 스위칭 트랜지스터 (2) 및 측정용 트랜지스터 (5)용의 게이트 절연막 (20)으로서 형성된다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.

<280> 다음으로, 도 19에 나타낸 바와 같이, α-Si:H(i)막 (271), α-Si:H(n)막 (272), 도전체층으로서의 금속층 (273) 및 제2 레지스트 (274)를 적층하고, 제2 하프톤 마스크 (275a)에 의해 데이터선 (110), 캐패시터 (6)의 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 채널부 (27), 드레인 전극 (26) 및 드레인선 (23), 및 구동 트랜지스터 (3)의 게이트선 (31) 및 게이트 전극 (34)를 형성한다(스텝 S3a).

<281> 다음으로, 제2 하프톤 마스크 (275a)를 이용한 처리에 대하여 도면을 참조하여 설명한다.

<282> (제2 하프톤 마스크를 이용한 처리)

<283> 도 21은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/α-Si:H(i)막 성막/α-Si:H(n)막 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.

<284> 도 21(a)에 있어서, 게이트 절연막 (20) 상에, 우선 α-Si:H(i)막 (271)을 적층한다. 이 α-Si:H(i)막 (271)은 비정질 Si(규소)의 절연층이고, 또한 막 두께가 약 350 nm이다. 이 때, 방전 가스로서 SiH<sub>4</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.

<285> 다음으로, SiH<sub>4</sub>-H<sub>2</sub>-PH<sub>3</sub>계의 혼합 가스를 이용하여 α-Si:H(n)막 (272)를 적층한다. 이 α-Si:H(n)막 (272)는 비정질 Si의 n형 반도체층이고, 또한 막 두께가 약 300 nm이다. 계속해서, Mo층/Al층/Mo층을 포함하는 금속층 (273)을 형성한다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.

<286> 다음으로, 금속층 (273) 상에 제2 레지스트 (274)가 도포되고, 제2 하프톤 마스크 (275a) 및 하프톤 노광에 의해 제2 레지스트 (274)를 소정의 형상으로 형성한다. 즉, 제2 레지스트 (274)는 데이터선 (110), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 게이트 전극 (24), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)를 덮는 형상으로 형성된다. 또한, 제2 레지스트 (274)는 하프톤 마스크부 (276)에 의해, 채널부 (27)를 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.

<287> 다음으로, 도 21(b)에 나타낸 바와 같이, 제2 에칭으로서, 우선 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 계속해서, CHF 가스를 이용한 건식 에칭과 하이드라진 수용액(NH<sub>2</sub>NH<sub>2</sub>·H<sub>2</sub>O)를 이용한 습식 에칭에 의해 α-Si:H(n)막 (272) 및 α-Si:H(i)막 (271)을 에칭한다. 이에 따라, 데이터선 (110), 제1 전극 (61), 측정선 (150), 소스선 (22), 드레인선 (23), 게이트선 (31) 및 게이트 전극 (34)를 형성한다.

<288> 계속해서, 상기 제2 레지스트 (274)를 애싱하여 제2 레지스트 (274)를 재형성한다. 재형성된 제2 레지스트 (274)에 의해 채널부 (27)의 상층의 금속층 (273)이 노출되면서, 데이터선 (110), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)가 덮인다.

<289> 다음으로, 도 21(c)에 나타낸 바와 같이, 제3 에칭으로서, 재형성된 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 이에 따라, 소스 전극 (25) 및 드레인 전극 (26)을 형성한다. 또한, CHF 가스를 이용한 건식 에칭과 하이드라진 수용액(NH<sub>2</sub>NH<sub>2</sub>·H<sub>2</sub>O)을 이용한 습식 에칭에 의해 α-Si:H(n)막 (272)를 에

칭한다. 이에 따라,  $\alpha$ -Si:H(i)막 (271)을 포함하는 채널부 (27)를 형성하고, 또한 스위칭 트랜지스터 (2)의 소스 전극 (25) 및 드레인 전극 (26)을 형성한다(스텝 S3a).

<290> 계속해서, 재형성된 제2 레지스트 (274)를 애싱한다. 이에 따라, 도 21(c)에 나타난 바와 같이, 게이트 절연막 (20) 상에 데이터선 (110), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 채널부 (27), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)가 노출된다. 도 21(c)에 나타내는, 데이터선 (110), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 게이트 전극 (24), 채널부 (27), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)는 도 22에 있어서의 Ca-Ca 단면을 나타내고 있다.

<291> 다음으로, 도 19에 나타난 바와 같이, 유리 기판 (101)의 상측에 글로 방전 CVD(화학 증착법)법에 의해 게이트 절연막 (30)을 적층한다(스텝 S4a). 이 게이트 절연막 (30)은 질화 실리콘( $\text{SiNx}$ )막이고, 또한 막 두께가 약 300 nm이다. 이 게이트 절연막 (30)은 구동 트랜지스터 (3), 측정용 트랜지스터 (5) 및 캐패시터 (6)용의 게이트 절연막 (30)으로서 형성된다. 한편, 본 실시 형태에서는 방전 가스로서  $\text{SiH}_4$ - $\text{NH}_3$ - $\text{N}_2$ 계의 혼합 가스를 이용한다.

<292> 다음으로, 도 19에 나타난 바와 같이, 게이트 절연막 (30) 상에, 산화물 반도체층으로서의 n형 산화물 반도체층 (371) 및 제3 레지스트 (372)를 적층하고, 제3 하프톤 마스크 (373a)에 의해 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층, 및 측정선 (150)의 콘택트 홀 (155)를 형성한다(스텝 S5a).

<293> 다음으로, 제3 하프톤 마스크 (373a)를 이용한 처리에 대하여 도면을 참조하여 설명한다.

<294> (제3 하프톤 마스크를 이용한 처리)

<295> 도 23은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.

<296> 도 23에 있어서, 게이트 절연막 (30) 상에, 산화인듐-산화아연( $\text{In}_2\text{O}_3:\text{ZnO}$ =약 97:3 중량%)의 타겟을 이용하여 막 두께 약 150 nm의 n형 산화물 반도체층 (371)을 성막한다. 이 때의 조건은 산소:아르곤비가 약 10:90 부피 %이면서, 기판 온도가 약 100°C 미만이다. 이 조건에서는 n형 산화물 반도체층 (371)은 비정질막으로서 얻어진다.

<297> 계속해서, n형 산화물 반도체층 (371) 상에 제3 레지스트 (372)를 도포하고, 제3 하프톤 마스크 (373a) 및 하프톤 노광 기술을 이용하여 제3 레지스트 (372)를 소정의 형상으로 형성한다. 즉, 제3 레지스트 (372)는 콘택트 홀 (155)의 상측을 제외한 유리 기판 (101)의 상측 전면을 덮는 형상으로 형성된다. 또한, 제3 레지스트 (372)는 하프톤 마스크부 (3731)에 의해, 게이트 전극 (34) 및 드레인선 (53)을 덮는 부분이 다른 부분보다 두꺼운 형상으로 형성된다.

<298> 다음으로, 도 23(b)에 나타난 바와 같이, 제4 에칭으로서, 우선 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭한다. 또한, 제3 레지스트 (372) 및  $\text{CHF}_4$ ,  $\text{CHF}_3$  등) 가스를 이용한 건식 에칭에 의해 게이트 절연막 (30)을 에칭한다. 이에 따라, 콘택트 홀 (155)를 형성한다.

<299> 계속해서, 제3 레지스트 (372)를 애싱하여, 게이트 전극 (34) 및 드레인선 (53)이 덮이는 형상으로 제3 레지스트 (372)를 재형성한다.

<300> 도 24는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.

<301> 도 24에 있어서, 제5 에칭으로서, 재형성된 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭한다. 이에 따라, n형 산화물 반도체층 (371)을 포함하는 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 형성한다. 계속해서, 제3 레지스트 (372)를 애싱하여 n형 산화물 반도체층 (371)을 노출시킨다. 도 24에 나타내는 게이트 전극 (34), 제1 전극 (61), 게이트 전극 (54), n형 산화물 반도체층 (371) 및 콘택트 홀 (155)는 도 25에 있어서의 Da-Da 단면을 나타내고 있다.

<302> 또한, n형 산화물 반도체층 (371)을 형성한 후, 약 180°C 이상의 온도에서 TFT 기판 (100a)를 열 처리한다. 이

에 따라, n형 산화물 반도체 (371)의 활성층을 결정화한다.

- <303> 다음으로, 도 19에 나타난 바와 같이, 산화물 도전체층으로서의 산화물 투명 도전체층 (374), 보조 도전체층(보조 금속층)으로서의 금속층 (375) 및 제4 레지스트 (376)을 적층한다. 계속해서, 제4 하프톤 마스크 (377)에 의해 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6a).
- <304> 다음으로, 제4 하프톤 마스크 (377)을 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <305> (제4 하프톤 마스크를 이용한 처리)
- <306> 도 26은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트가 재형성된 단면도를 나타내고 있다. 한편, 동 도면에서는 이해하기 쉽도록 EL 구동선 (130)을 생략하였다.
- <307> 도 26(a)에 있어서, 노출된 게이트 절연막 (30) 및 n형 산화물 반도체층 (371) 상에, 우선 산화인듐-산화주석-산화아연( $In_2O_3:SnO_2:ZnO$ =약 60:20:20 중량%) 타겟을 이용하여 고주파 스퍼터링법에 의해 막 두께 약 120 nm의 산화물 투명 도전체층 (374)를 형성한다. 이 때의 조건은 산소:아르곤비가 약 1:99 부피%이면서, 기판 온도가 산화물 투명 도전체층 (374)를 결정화시키지 않는 온도이다.
- <308> 계속해서, 금속층 (375)를 형성한다. 이 금속층 (375)는 보조 도전체층으로서, Mo층/Al층/Mo층을 포함하고 있다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.
- <309> 다음으로, 금속층 (375) 상에 제4 레지스트 (376)이 도포되고, 제4 하프톤 마스크 (377) 및 하프톤 노광에 의해 제4 레지스트 (376)을 소정의 형상으로 형성한다. 즉, 제4 레지스트 (376)은 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)을 덮는 형상으로 형성된다. 또한, 제4 레지스트 (376)은 하프톤 마스크부 (378)에 의해 화소 전극 (38)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <310> 다음으로, 도 26(b)에 나타난 바와 같이, 제6 에칭으로서, 우선 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭한다. 계속해서, 제4 레지스트 (376) 및 옥살산 수용액을 이용하여 산화물 투명 도전체층 (374)를 에칭한다. 이에 따라, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6a).
- <311> 계속해서, 상기 제4 레지스트 (376)을 애싱하여 제4 레지스트 (376)을 재형성한다. 재형성된 제4 레지스트 (376)에 의해 화소 전극 (38)의 상층의 금속층 (375)가 노출되면서, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)이 덮인다.
- <312> 도 27은 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <313> 도 27에 있어서, 제7 에칭으로서, 재형성된 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭하여 화소 전극 (38)을 노출시킨다.
- <314> 계속해서, 재형성된 제4 레지스트 (376)을 애싱하면, 도 27에 나타난 바와 같이, 게이트 절연막 (30) 상에 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)이 노출된다. 도 27에 나타내는, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부

(57), 드레인 전극 (56) 및 드레인선 (53)은 도 28에 있어서의 Ea-Ea 단면을 나타내고 있다.

- <315> 또한, 측정용 트랜지스터 (5)의 드레인선 (53)은 콘택트 홀 (155)를 통해 측정선 (150)과 접속되어 있다.
- <316> 다음으로, 도 19에 나타낸 바와 같이, 보호용 절연막 (40) 및 제5 레지스트 (41)을 적층하고, 제5 마스크에 의해 주사선용 패드 (124), 데이터선용 패드 (114), EL 구동선용 패드 (134), 측정선용 패드 (154) 및 화소 전극 (38)을 노출시킨다(스텝 S7a).
- <317> 다음으로, 제5 마스크 (42)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <318> (제5 마스크를 이용한 처리)
- <319> 도 29는 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <320> 도 29(a)에 있어서, 유리 기관 (101)의 상층에 글로 방전 CVD(화학 증착법)법에 의해 보호용 절연막 (40)을 적층한다. 이 제4 레지스트 (376)은 질화 실리콘(SiNx)막이고, 또한 막 두께가 약 250 nm이다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <321> 다음으로, 보호용 절연막 (40) 상에 제5 레지스트 (41)을 도포하고, 제5 마스크 (42) 및 노광 기술을 이용하여 제5 마스크 (42)를 형성한다. 이 제5 마스크 (42)는 화소 전극 (38), 데이터선용 패드 (114), 주사선용 패드 (124), 측정선용 패드 (154) 및 EL 구동선용 패드 (134)의 상층에 개구부를 갖는다. 한편, 도 29에 있어서, 데이터선용 패드 (114), 주사선용 패드 (124), EL 구동선용 패드 (134) 및 측정선용 패드 (154)를 생략하고 있다 (한편, 데이터선용 패드 (114), 주사선용 패드 (124) 및 EL 구동선용 패드 (134)에 대해서는 도 12 참조. 또한, 측정선용 패드 (154)는 데이터선용 패드 (114)와 거의 동일함).
- <322> 계속해서, 제8 에칭으로서, CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 건식 에칭에 의해 보호용 절연막 (40), 게이트 절연막 (30), 게이트 절연막 (20)을 에칭하여 화소 전극 (38), 데이터선용 패드 (114), 주사선용 패드 (124), 측정선용 패드 (154) 및 EL 구동선용 패드 (134)를 노출시킨다(스텝 S7a).
- <323> 계속해서, 재형성된 제5 레지스트 (41)을 애싱하면, 동 도면에 나타낸 바와 같이, 보호용 절연막 (40)이 노출된다. 도 29(b)에 나타내는, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)은 도 30에 있어서의 Fa-Fa 단면을 나타내고 있다.
- <324> 한편, 본 실시 형태에서는 스위칭 트랜지스터 (2), 구동 트랜지스터 (3), 캐패시터 (6), 측정용 트랜지스터 (5) 및 화소 전극 (38)의 위치나 형상을, 이해하기 쉬운 위치나 형상으로 하고 있다. 단, 여기에 한정되는 것은 아니다.
- <325> 이와 같이, 본 실시 형태의 전류 제어용 TFT 기관 (100a)의 제조 방법에 따르면, 직류 전류에 의해 구동되는 유기 EL 소자 (4)에 대하여, 전류 측정 회로 (15)에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 또한, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 n형 산화물 반도체층 (371)로 하고 있다. 따라서, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 성능 열화가 작다. 따라서, TFT 기관 (100a)는 안정성이 우수하다. 또한, TFT 기관 (100a)의 내구성을 향상시킬 수 있다. 또한, 제4 하프톤 마스크 (377)를 이용하여 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 제조할 수 있다. 이에 따라, 사용하는 마스크수를 삭감할 수 있어 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다. 또한, 보호용 절연막 (40)이 형성되어 있다. 따라서, TFT 기관 (100a)에 유기 EL 재료, 전극 및 보호막을 설치함으로써, 유기 EL 표시 장치 (1a)를 용이하게 얻을 수 있다.
- <326> 다음으로, 상기 TFT 기관 (100a)의 구성에 대하여 도면을 참조하여 설명한다.
- <327> [전류 제어용 TFT 기관의 제2 실시 형태]

- <328> 본 실시 형태의 TFT 기관 (100)은 도 17에 나타난 바와 같이, 유리 기관 (101)에  $m$ (열:  $m$ 은 자연수) $\times n$ (행:  $n$ 은 자연수)개의 화소 (10a)가 매트릭스형으로 배치되어 있다.
- <329> 또한, 행 방향(수평 방향)으로  $n$ 개의 주사선 (121, 122...123)이 형성되어 있다. 예를 들면, 제 $n$ 의 주사선 (123)은 제 $n$ 행에 배치된  $m$ 개의 화소 (10a)와 병렬로 접속되어 있다.
- <330> 또한, 행 방향(수평 방향)으로  $n$ 개의 EL 구동선 (131a, 132a...133a)가 형성되어 있다. 예를 들면, 제 $n$ 의 EL 구동선 (133a)를 통해, 제 $n$ 행에 배치된  $m$ 개의 화소 (10a)와 병렬로 접속되어 있다.
- <331> 또한, 열 방향(수직 방향)으로  $m$ 개의 데이터선 (111, 112...113)이 형성되어 있다. 예를 들면, 제 $m$ 의 데이터선 (113)을 통해, 제 $m$ 열에 배치된  $n$ 개의 화소 (10a)와 병렬로 접속되어 있다.
- <332> 또한, 열 방향(수직 방향)으로  $m$ 개의 측정선 (151, 152...153)이 형성되어 있다. 예를 들면, 제 $m$ 의 EL 구동선 (133)을 통해, 제 $m$ 열에 배치된  $n$ 개의 화소 (10a)와 병렬로 접속되어 있다.
- <333> 또한, 각 화소 (10a)는 도 30에 나타난 바와 같이, 구동 트랜지스터 (3)과, 스위칭 트랜지스터 (2)와, 캐패시터 (6)과, 측정용 트랜지스터 (5)를 가지고 있다.
- <334> 구동 트랜지스터 (3)은 전기 광학 소자인 유기 EL 소자 (4)(도 18 참조)에 전류를 공급한다. 스위칭 트랜지스터 (2)는 구동 트랜지스터 (3)을 제어한다. 캐패시터 (6)에 의해, 구동 트랜지스터 (3)의 온 상태를 유지할 수 있다. 측정용 트랜지스터 (5)에 의해, 유기 EL 소자 (4)(도 18 참조)에 공급되는 전류를 측정할 수 있다.
- <335> 스위칭 트랜지스터 (2)는 도 21 및 도 22에 나타난 바와 같이, 게이트 전극 (24)와, 게이트 절연막 (20)과,  $\alpha$ -Si:H(i)막 (271) 및  $\alpha$ -Si:H(n)막 (272)와, 소스 전극 (25)와, 드레인 전극 (26)을 구비하고 있다.
- <336> 게이트 전극 (24)는 게이트선 (21)을 통해 주사선 (120)과 접속되어 있다. 게이트 절연막 (20)은 게이트 전극 (24) 상에 형성되어 있다. 활성층으로서의  $\alpha$ -Si:H(i)막 (271) 및  $\alpha$ -Si:H(n)막 (272)는 게이트 절연막 (20) 상에 형성되어 있다. 소스 전극 (25)는 소스선 (22)를 통해 데이터선 (110)과 접속되어 있다. 드레인 전극 (26)은 드레인선 (23) 및 게이트선 (31)을 통해 구동 트랜지스터 (3)의 게이트 전극 (34)와 접속되면서, 드레인선 (23)을 통해 캐패시터 (6)의 제1 전극 (61)과 접속되어 있다.
- <337> 구동 트랜지스터 (3)은 도 27 및 도 28에 나타난 바와 같이, 게이트 전극 (34)와, 게이트 절연막 (30)과,  $n$ 형 산화물 반도체층 (371)과, 소스 전극 (35)와, 드레인 전극 (36)을 구비하고 있다.
- <338> 게이트 절연막 (30)은 게이트 전극 (34) 상에 형성되어 있다. 활성층으로서의  $n$ 형 산화물 반도체층 (371)은 게이트 절연막 (30) 상에 형성되어 있다. 소스 전극 (35)는 소스선 (32)를 통해 EL 구동선 (130)과 접속되어 있다. 드레인 전극 (36)은 드레인선 (33)을 통해 화소 전극 (38) 및 캐패시터 (6)의 제2 전극 (62)와 접속되면서, 드레인선 (33) 및 소스선 (52)를 통해 측정용 트랜지스터 (5)의 소스 전극 (55)와 접속되어 있다.
- <339> 또한, 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36), 드레인선 (33)은 산화물 투명 도전체층 (374)를 포함하고 있다. 이 산화물 투명 도전체층 (374)는 유기 EL 소자 (4)의 화소 전극 (38) 및 캐패시터 (6)의 제2 전극 (62)로서 기능한다. 이와 같이 하면, 제조할 때에 사용하는 마스크수를 삭감할 수 있어 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다.
- <340> 측정용 트랜지스터 (5)는 도 27 및 도 28에 나타난 바와 같이, 게이트 전극 (54)와, 게이트 절연막 (20) 및 게이트 절연막 (30)과,  $n$ 형 산화물 반도체층 (371)과, 소스 전극 (55)와, 드레인 전극 (56)을 구비하고 있다.
- <341> 게이트 전극 (54)는 게이트선 (51)을 통해 주사선 (120)과 접속되어 있다. 게이트 절연막 (20) 및 게이트 절연막 (30)은 게이트 전극 (54) 상에 형성되어 있다. 활성층으로서의  $n$ 형 산화물 반도체층 (371)은 게이트 절연막 (30) 상에 형성되어 있다. 드레인 전극 (56)은 일부가 콘택트 홀 (155) 내에 형성된 드레인선 (53)을 통해 측정선 (150)과 접속되어 있다.
- <342> 또한, 바람직하게는, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)의 상측에 보조 도전체층으로서의 금속층 (375)를 형성하면 좋다. 이와 같이 하면, 각 선이나 전극의 전기저항을 감소시킬 수 있다. 따라서, 신뢰성을 향상시킬 수 있는 동시에 에너지 효율의 저하를 억제할 수 있다.

- <343> 캐패시터 (6)은 제1 전극 (61)과 제2 전극 (62) 사이에 게이트 절연막 (30)이 적층되어 있다. 이 캐패시터 (6)은 온 상태의 스위칭 트랜지스터 (2)를 통해 데이터선 (110)으로부터 직류 전압이 제1 전극 (61)에 인가되고, 또한 온 상태의 구동 트랜지스터 (3)을 통해 EL 구동선 (130)으로부터 직류 전압이 제2 전극 (62)로 인가된다. 따라서, 제1 전극 (61)에는 데이터선 (110)으로부터 인가된 직류 전압에 상당하는 전하가 축적된다. 따라서, 스위칭 트랜지스터 (2)가 오프되더라도, 제1 전극 (61)에 축적된 전하에 의해, EL 구동선 (130)으로부터 직류 전압이 인가되었을 때와 동일한 상태로, 스위칭 트랜지스터 (2)의 온 상태가 유지된다.
- <344> 이와 같이, 본 실시 형태의 TFT 기관 (100a)는 유기 EL 소자 (4)와 같이 직류 전류 구동형의 전기 광학 소자에 사용된다. 또한, TFT 기관 (100a)는 직류 전류에 의해 구동되는 유기 EL 소자 (4)에 대하여, 전류 측정 회로 (15)에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 또한, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 n형 산화물 반도체층 (371)로 하고 있다. 따라서, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3)의 성능 열화가 작다. 이에 따라, TFT 기관 (100a)는 안정성이 우수하다. 또한, TFT 기관 (100a)의 내구성을 향상시킬 수 있다.
- <345> 또한, 상술한 유기 EL 표시 장치의 제2 실시 형태, 전류 제어용 TFT 기관의 제조 방법의 제2 실시 형태, 및 전류 제어용 TFT 기관의 제2 실시 형태는 다양한 응용예를 가지고 있다.
- <346> 예를 들면, 상기 전류 제어용 TFT 기관의 제조 방법의 제2 실시 형태에서는 데이터선용 패드 (114), 주사선용 패드 (124), EL 구동선용 패드 (134) 및 측정선용 패드 (154)는 게이트 절연막 (30)의 하측에 형성된다. 단, 여기에 한정되는 것은 아니다. 예를 들면, 보호용 절연막 (40)의 하측이면서, 게이트 절연막 (30)의 상측에(즉, 보호용 절연막 (40)에 의해 접근한 상측에), 데이터선용 패드 (114b), 주사선용 패드 (124b), EL 구동선용 패드 (134b) 및 측정선용 패드 (154b)를 형성할 수 있다.
- <347> 다음으로, 상기 전류 제어용 TFT 기관의 제조 방법의 제2 실시 형태에 따른 응용예에 대하여 도면을 참조하여 설명한다.
- <348> [전류 제어용 TFT 기관의 제조 방법의 응용예]
- <349> 도 31은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다. 한편, 본 응용예의 제조 방법은 청구항 18에 대응하고 있다.
- <350> 도 31에 있어서, 본 응용예의 TFT 기관의 제조 방법은, 상술한 제2 실시 형태에 비하여, 스텝 S5b에 있어서, 상기 스텝 S5a(도 19 참조)에 더하여, 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b')를 형성한다. 또한, 스텝 S6b에 있어서, 상기 스텝 S6a에 더하여, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b)를 형성한다. 이들 점이, 제2 실시 형태와 상이하다. 다른 방법은 제2 실시 형태와 거의 동일하게 되어 있다.
- <351> 따라서, 도 31에 있어서, 도 19와 동일한 방법에 대해서는 동일한 부호를 붙이고, 그의 상세한 설명을 생략한다.
- <352> 스텝 S5b에서는 도 31에 나타낸 바와 같이, 게이트 절연막 (30) 상에, 산화물 반도체층으로서의 n형 산화물 반도체층 (371) 및 제3 레지스트 (372)를 적층한다. 계속해서, 제3 하프톤 마스크 (373a)에 의해, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층, 및 측정선 (150)의 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b')를 형성한다.
- <353> 다음으로, 스텝 S5b에서의 제3 하프톤 마스크 (373a)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <354> (제3 하프톤 마스크를 이용한 처리)
- <355> 도 32는 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <356> 한편, 스텝 S5b의 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층의 형성 방법은 제2 실시 형태의 스



탭 S5a와 거의 동일하다(도 23, 24 참조). 따라서, 도 32에 있어서는 측정선 (150)의 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b')에 대하여 나타내고 있다.

- <357> 도 32에 있어서, 게이트 절연막 (30) 상에 n형 산화물 반도체층 (371)을 성막한다. 다음으로, n형 산화물 반도체층 (371) 상에 제3 레지스트 (372)를 도포한다. 계속해서, 제3 하프톤 마스크 (373a) 및 하프톤 노광 기술을 이용하여 제3 레지스트 (372)를 소정의 형상으로 형성한다. 즉, 제3 레지스트 (372)는 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b')의 상측을 제외한 유리 기판 (101)의 상측을 덮는 형상으로 형성된다. 또한, 제3 레지스트 (372)는 하프톤 마스크부 (3731)에 의해, 게이트 전극 (34) 및 게이트 전극 (54)를 덮는 부분보다 얇은 형상으로 형성된다.
- <358> 다음으로, 도 32(b)에 나타낸 바와 같이, 제4 에칭으로서, 우선 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭한다. 계속해서, 제3 레지스트 (372) 및 CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 건식 에칭에 의해 게이트 절연막 (30)을 에칭한다. 이에 따라, 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b')를 형성한다.
- <359> 계속해서, 제3 레지스트 (372)를 에칭하여, 게이트 전극 (34) 및 게이트 전극 (54)가 덮이는 형상으로 제3 레지스트 (372)를 재형성한다.
- <360> 도 33은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <361> 도 33에 있어서, 제5 에칭으로서, 재형성된 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭한다. 이에 따라, n형 산화물 반도체층 (371)을 포함하는 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 형성하고, 또한 게이트 절연막 (30)을 노출시킨다. 계속해서, 제3 레지스트 (372)를 에칭하여 n형 산화물 반도체층 (371)을 노출시킨다. 도 33에 나타내는 데이터선용 패드 (114b)의 개구부 (114b'), 측정선용 패드 (154b)의 개구부 (154b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선 (150)의 콘택트 홀 (155)는 도 34에 있어서의 Db-Db 단면을 나타내고 있다.
- <362> 다음으로, 도 31에 나타낸 바와 같이, 산화물 투명 도전체층 (374), 금속층 (375) 및 제4 레지스트 (376)을 적층하고, 제4 하프톤 마스크 (377)에 의해 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6b).
- <363> 다음으로, 제4 하프톤 마스크 (377)을 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <364> (제4 하프톤 마스크를 이용한 처리)
- <365> 도 35는 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트의 재형성/제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <366> 한편, 스텝 S6b의 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 제조 방법은 제2 실시 형태의 스텝 S6a와 거의 동일하다(도 26, 27 참조). 따라서, 도 35에 있어서는 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 측정용 트랜지스터 (5)의 드레인선 (53)에 대하여 도시하고 있다.
- <367> 도 35(a)에 있어서, 노출된 게이트 절연막 (30) 및 n형 산화물 반도체층 (371) 상에, 우선 산화인듐-산화주석-산화아연(In<sub>2</sub>O<sub>3</sub>:SnO<sub>2</sub>:ZnO=약 60:20:20 중량%) 타겟을 이용하여 고주파 스퍼터링법에 의해 막 두께 약 120 nm의 산화물 투명 도전체층 (374)을 형성한다. 이 때의 조건은 산소:아르곤비가 약 1:99 부피%이면서, 기판 온도가 산화물 투명 도전체층 (374)을 결정화시키지 않는 온도이다.
- <368> 계속해서, 금속층 (375)을 형성한다. 이 금속층 (375)은 보조 도전체층으로서, Mo층/Al층/Mo층을 포함하고 있

다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.

- <369> 다음으로, 금속층 (375) 상에 제4 레지스트 (376)이 도포되고, 제4 하프톤 마스크 (377) 및 하프톤 노광에 의해 제4 레지스트 (376)을 소정의 형상으로 형성한다.
- <370> 즉, 제4 레지스트 (376)은 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)을 덮는 형상으로 형성된다. 또한, 제4 레지스트 (376)은 하프톤 마스크부 (378)에 의해, 화소 전극 (38)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <371> 다음으로, 도 35(b)에 나타낸 바와 같이, 제6 에칭으로서, 우선 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭한다. 계속해서, 제4 레지스트 (376) 및 옥살산 수용액을 이용하여 산화물 투명 도전체층 (374)를 에칭한다. 이에 따라, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6b).
- <372> 한편, 스텝 S6b에 있어서는, 상술한 바와 같이 상기 제4 레지스트 (376)을 애싱하여 제4 레지스트 (376)을 재형성한다. 재형성된 제4 레지스트 (376)에 의해 화소 전극 (38)의 상층의 금속층 (375)가 노출되면서, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)이 덮인다.
- <373> 그리고, 제7 에칭으로서, 재형성된 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)을 에칭하여 화소 전극 (38)을 노출시킨다.
- <374> 계속해서, 재형성된 제4 레지스트 (376)을 애싱하면, 도 35에 나타낸 바와 같이, 게이트 절연막 (30) 상에 EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)이 노출된다. 도 35에 나타내는, EL 구동선 (130), 캐패시터 (6)의 제2 전극 (62), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)은 도 36에 있어서의 Eb-Eb 단면을 나타내고 있다.
- <375> (제5 마스크를 이용한 처리)
- <376> 도 37은 본 발명의 제2 실시 형태의 응용예에 따른 유기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <377> 도 37(a)에 있어서, 유리 기관 (101)의 상층에 글로 방전 CVD(화학 증착법)법에 의해 보호용 절연막 (40)을 적층한다. 보호용 절연막 (40)은 질화 실리콘(SiNx)막으로서, 막 두께가 약 250 nm이다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <378> 다음으로, 보호용 절연막 (40) 상에 제5 레지스트 (41)을 도포하고, 제5 마스크 (42) 및 노광 기술을 이용하여 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b) 및 EL 구동선용 패드 (134)의 상층에 개구부를 갖는 제5 마스크 (42)를 형성한다. 한편, 도 37에 있어서, 데이터선용 패드 (114b), 주사선용 패드 (124b), EL 구동선용 패드 (134) 및 측정선용 패드 (154b)를 도시하고 있다(한편, 그 밖의 구조에 대해서는 도 29 참조).
- <379> 계속해서, 제8 에칭으로서, CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 드라이 에칭에 의해 보호용 절연막 (40)을 에칭하여, 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b) 및 EL 구동선용 패

드 (134)를 노출시킨다(스텝 S7a).

- <380> 계속해서, 재형성된 제5 레지스트 (41)을 애싱하면, 도 37에 나타난 바와 같이, 보호용 절연막 (40)이 노출된다. 도 37(b)에 나타내는, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b) 및 EL 구동선용 패드 (134)는 도 38에 있어서의 Fb-Fb 단면을 나타내고 있다.
- <381> 이와 같이, 본 실시 형태의 전류 제어용 TFT 기관 (100b)의 제조 방법에 따르면, 제2 실시 형태의 제조 방법과 거의 동일한 효과를 갖는다. 또한, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b) 및 EL 구동선용 패드 (134)가 보호용 절연막 (40)의 바로 하층에 형성된다. 따라서, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b) 및 EL 구동선용 패드 (134)로의 접속성을 향상시킬 수 있다.
- <382> [분산형 무기 EL 표시 장치의 제3 실시 형태]
- <383> 도 39는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치의 개략 블록도를 나타내고 있다.
- <384> 도 39에 있어서, 전기 광학 장치로서의 분산형 무기 EL 표시 장치 (1c)는 데이터선 구동 회로 (11), 주사선 구동 회로 (12), 전원선 제어 회로 (13a), 전류 측정 회로 (15) 및 전류 제어용 TFT 기관 (100c)(적절히 TFT 기관 (100c)라 약칭함)를 구비하고 있다. 또한, TFT 기관 (100c)는 m(열: m은 자연수)×n(행: n은 자연수)개의 화소 (10c)가 매트릭스형으로 배치되어 있다.
- <385> 데이터선 구동 회로 (11)은 제1의 데이터선 (111), 제2의 데이터선 (112)…제m의 데이터선 (113)을 통해 각 화소 (10c)와 접속되어 있다. 예를 들면, 제m의 데이터선 (113)을 통해, 제m열에 배치된 n개의 화소 (10c)와 병렬로 접속되어 있다. 이 데이터선 구동 회로 (11)은 각 화소 (10c)에 데이터 신호를 출력한다.
- <386> 또한, 주사선 구동 회로 (12)는 제1의 주사선 (121), 제2의 주사선 (122)…제n의 주사선 (123)을 통해 각 화소 (10c)와 접속되어 있다. 예를 들면, 제n의 주사선 (123)을 통해, 제n행에 배치된 m개의 화소 (10c)와 병렬로 접속되어 있다. 이 주사선 구동 회로 (12)는 각 화소 (10c)에 데이터 신호를 출력한다.
- <387> 또한, 전원선 제어 회로 (13a)는 제1의 EL 구동선 (131a), 제2의 EL 구동선 (132a)…제n의 EL 구동선 (133a)를 통해 각 화소 (10c)와 접속되어 있다. 예를 들면, 제n의 EL 구동선 (133a)를 통해, 제n행에 배치된 m개의 화소 (10c)와 병렬로 접속되어 있다. 이 전원선 제어 회로 (13a)는 각 화소 (10c)에 교류의 구동 전류를 공급한다.
- <388> 또한, 전류 측정 회로 (15)는 제1의 측정선 (151), 제2의 측정선 (152)…제m의 측정선 (153)을 통해 각 화소 (10c)와 접속되어 있다. 예를 들면, 제m의 측정선 (153)을 통해, 제m열에 배치된 n개의 화소 (10c)와 병렬로 접속되어 있다. 이 전류 측정 회로 (15)는 각 화소 (10c)의 분산형 무기 EL 소자 (4c)에 공급되어 교류 전류를 측정한다.
- <389> 또한, 바람직하게는, 전류 측정 회로 (15)가 분산형 무기 EL 소자 (4c)에 공급되는 교류 전류를 측정한다. 그리고, 이 교류 전류의 측정치에 기초하여 제어부(도시하지 않음)가 데이터선 구동 회로 (11), 주사선 구동 회로 (12) 및 전원선 제어 회로 (13a) 중 적어도 하나 이상을 제어하면 좋다. 이와 같이 하면, 분산형 무기 EL 소자 (4c)에 공급되는 교류 전류를 측정할 수 있고, 이 측정치에 기초하여 데이터선 구동 회로 (11), 주사선 구동 회로 (12) 및 전원선 제어 회로 (13a) 중 적어도 하나 이상을 제어할 수 있다. 따라서, 바람직한 구동 전류를 분산형 무기 EL 소자 (4c)에 공급할 수 있다.
- <390> 다음으로, 화소 (10c)의 구성에 대하여 도면을 참조하여 설명한다.
- <391> 도 40은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치의 화소의 구성을 설명하기 위한 개략 블록도를 나타내고 있다.
- <392> 도 40에 있어서, 화소 (10c)는 구동 트랜지스터 (3), 스위칭 트랜지스터 (2), 캐패시터 (6), 캐패시터션 (160), 측정용 트랜지스터 (5), 및 분산형 무기 EL 소자 (4c)를 가지고 있다.
- <393> 구동 트랜지스터 (3)은 분산형 무기 EL 소자 (4c)에 교류 전류를 공급한다. 스위칭 트랜지스터 (2)는 구동 트랜지스터 (3)을 제어한다. 캐패시터 (6)에 의해, 구동 트랜지스터 (3)의 게이트 전극 (34)에 캐패시터 전압을 인가할 수 있다. 측정용 트랜지스터 (5)에 의해, 분산형 무기 EL 소자 (4c)에 공급되는 교류 전류를 측정할 수 있다. 전기 광학 소자로서의 분산형 무기 EL 소자 (4c)는 교류 전류에 의해 구동된다.
- <394> 또한, 스위칭 트랜지스터 (2), 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)는 박막 트랜지스터로서, TFT 기

판 (100c) 상에 형성된다. 또한, 캐패시터 (6) 및 분산형 무기 EL 소자 (4c)의 화소 전극 (38)도 TFT 기판 (100c) 상에 형성된다.

- <395> 스위칭 트랜지스터 (2)는 게이트선 (21)을 통해 주사선 (120)과 접속되어 있다. 스위칭 트랜지스터 (2)는 소스선 (22)를 통해 데이터선 (110)과 접속되어 있다. 스위칭 트랜지스터 (2)의 드레인선 (23)은 구동 트랜지스터 (3)의 게이트선 (31) 및 캐패시터 (6)의 제1 전극 (61)과 병렬로 접속되어 있다. 또한, 캐패시터 (6)의 제2 전극 (62)는 캐패시터선 (160)과 접속되어 있다. 바람직하게는, 캐패시터선 (160)은 접지되어 있거나, 또는 접지에 상당하는 접속이 이루어져 있으면 좋다.
- <396> 또한, 구동 트랜지스터 (3)은 소스선 (32)를 통해 EL 구동선 (130)과 접속되어 있다. 구동 트랜지스터 (3)은 드레인선 (33)을 통해 분산형 무기 EL 소자 (4c) 및 측정용 트랜지스터 (5)의 소스선 (52)와 병렬로 접속되어 있다.
- <397> 또한, 측정용 트랜지스터 (5)의 게이트선 (51)은 주사선 (120)과 접속되어 있다. 측정용 트랜지스터 (5)의 드레인선 (53)은 측정선 (150)과 접속되어 있다.
- <398> 다음으로, TFT 기판 (100c)의 동작에 대하여 도 40을 이용하여 설명한다.
- <399> 우선, 상기 구성의 TFT 기판 (100c)에 있어서, 주사선 (120)에 주사 신호가 입력된다. 이에 따라, 스위칭 트랜지스터 (2)의 게이트 전극 (34)에 게이트 신호(주사 신호)가 입력되어 스위칭 트랜지스터 (2)가 온 상태가 된다. 또한, 주사선 (120)으로부터 측정용 트랜지스터 (5)의 게이트 전극 (54)에 게이트 신호(주사 신호)가 입력되어 측정용 트랜지스터 (5)가 온 상태가 된다.
- <400> 계속해서, 데이터선 (110)으로부터 데이터 신호(구동 트랜지스터 (3)의 게이트 전압(직류 전압))가 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가되어 구동 트랜지스터 (3)이 온 상태가 된다. 또한, 캐패시터 (6)에, 데이터선 (110)으로부터의 데이터 신호에 따른 전하가 축적된다. 이 때, 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가된 게이트 전압에 따라서 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 결정된다. 그리고, EL 구동선 (130)으로부터 소스·드레인간의 저항치에 따른 구동 전류가 드레인선 (33)에 공급된다. 여기서, 측정용 트랜지스터 (5)는 온 상태에 있다. 따라서, 상기 구동 전류(측정 전류  $I(m \times (n-1))$ )는 분산형 무기 EL 소자 (4c)에 거의 흐르지 않고 측정용 트랜지스터 (5)의 소스선 (52) 및 드레인선 (53)을 경유하여 측정선 (150)으로 흐른다.
- <401> 다음으로, 전류 측정 회로 (15)는 상기 측정 전류  $I(m \times (n-1))$ 를 측정하고, 제어부가 측정 전류  $I(m \times (n-1))$ 의 측정치에 기초하여 데이터선 구동 회로 (11)을 제어한다. 즉, 제어부는 측정치가 소정의 예정치보다 작은 경우, 데이터선 (110)으로의 데이터 신호의 전압을 올린다. 이에 따라, 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 낮아지고, 구동 전류가 증가한다. 이에 반해, 측정치가 소정의 예정치보다 큰 경우, 데이터선 (110)으로의 데이터 신호의 전압을 내린다. 이에 따라, 구동 트랜지스터 (3)의 소스·드레인간의 저항치가 높아지고, 구동 전류가 감소한다. 제어부가 상기 제어를 반복함으로써, 측정치가 소정의 예정치와 거의 동일한 값이 된다.
- <402> 다음으로, 측정치가 소정의 예정치와 거의 동일한 값이 되면, 주사선 구동 회로 (12)가 주사선 (120)으로의 주사 신호의 출력을 정지한다. 이 정지에 의해, 스위칭 트랜지스터 (2) 및 측정용 트랜지스터 (5)가 오프 상태가 된다. 스위칭 트랜지스터 (2)가 오프 상태가 되면, 데이터선 (110)으로부터 구동 트랜지스터 (3)에 게이트 전압을 인가시킬 수 없게 된다. 단, 캐패시터 (6)에 축적된 전하에 의해, 데이터선 (110)으로부터 인가되었던 게이트 전압과 동일한 전압이 구동 트랜지스터 (3)의 게이트 전극 (34)에 인가된다. 즉, 스위칭 트랜지스터 (2)가 온 상태인 동안, 데이터선 (110)으로부터 캐패시터 (6)의 제2 전극 (62)에 직류 전압이 인가된다. 이 때, 캐패시터 (6)의 제1 전극 (61)이 캐패시터선 (160)과 접속되어 있으므로, 캐패시터 (6)에 전하가 축적되어 있다. 따라서, 캐패시터 (6)에 의해 게이트 전극 (34)에 게이트 전압이 인가된다. 한편, 캐패시터 (6)의 제2 전극 (62)는 캐패시터선 (160)과 접속되어 있기 때문에, 구동 전류(교류 전류)의 영향을 받는 일은 없다. 이 때문에, TFT 기판 (100c)는 교류 전류 제어용 TFT 기판이라 호칭된다. 또한, 이 TFT 기판 (100c)는 직류 전류 제어용 TFT 기판으로서도 사용할 수 있다.
- <403> 그리고, 구동 트랜지스터 (3)이 캐패시터 (6)에 의해 온 상태로 유지되고, 측정용 트랜지스터 (5)가 오프 상태로 되어 있다. 따라서, EL 구동선 (130)으로부터의 교류 전류가 구동 트랜지스터 (3)을 경유하여 분산형 무기 EL 소자 (4c)에 공급된다.
- <404> 이 교류 전류는 상기 측정 전류  $I(m \times (n-1))$ 와 동일하다. 따라서, 제어부에 의해 제어된 소정의 예정치와 거의

동일한 구동 전류가 분산형 무기 EL 소자 (4c)에 공급되고, 그리고, 이 구동 전류에 따른 휘도로 분산형 무기 EL 소자 (4c)가 발광한다.

- <405> 한편, 상기 구동 전류를 변경한 경우에는 주사선 (120)에 주사 신호를 출력하고, 변경하고 싶은 구동 전류에 따른 데이터 신호를 데이터선 (110)에 출력한다.
- <406> 다음으로, 분산형 무기 EL 표시 장치 (1c)는 화소 (10c')에 대하여 화소 (10c)와 거의 동일한 동작을 행할 수 있다. 즉, 모든 화소 (10c)에 대하여, 구동 트랜지스터 (3)의 특성이 변화(열화)하더라도 소정의 예정치와 거의 동일한 구동 전류를 공급할 수 있다. 따라서, 분산형 무기 EL 표시 장치 (1c)는 우수한 품질의 화상을 제공할 수 있다.
- <407> 한편, 본 실시 형태의 분산형 무기 EL 표시 장치 (1c)의 제어부는 각 화소 (10c)의 소정의 예정치를 기억하는 기억 수단과, 측정치와 소정의 예정치와의 차이를 산출하는 연산 처리부를 구비하고 있다. 그리고, 이 제어부는 측정치가 소정의 예정치와 거의 동일한 값이 되도록 제어하고 있다. 단, 제어 방법은 이 방법으로 한정되는 것은 아니고, 다양한 제어 방법을 채용할 수 있다.
- <408> 이와 같이, 본 실시 형태의 분산형 무기 EL 표시 장치 (1c)는 교류 전류에 의해 구동되는 분산형 무기 EL 소자 (4c)에 대하여, 전류 측정 회로 (15)에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 한편, 본 실시 형태에서는 교류 전류 구동형의 전기 광학 소자로서 분산형 무기 EL 소자 (4c)를 이용하고 있다. 단, 여기에 한정되는 것은 아니다. 예를 들면, 직류 전류 구동형 및/또는 교류 전류 구동형의 전기 광학 소자에 널리 적용할 수 있다.
- <409> 또한, 본 실시 형태의 분산형 무기 EL 표시 장치 (1c)의 구동 트랜지스터 (3)의 활성층은 산화물 반도체층인 n형 산화물 반도체층 (371)로 되어 있다. 이와 같이 하면, 구동 트랜지스터 (3)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3)의 활성층에 비정질 Si나 폴리 Si 반도체를 이용한 것에 비하면 그의 성능 열화가 작다. 따라서, 분산형 무기 EL 표시 장치 (1c)는 안정성이 우수하다. 또한, TFT 기관 (100c)의 내구성이 향상된다. 따라서, 분산형 무기 EL 표시 장치 (1c)의 수명을 크게 연장시킬 수 있다.
- <410> 한편, 본 실시 형태의 표시 장치 (1c)는, 구동 트랜지스터 (3)의 활성층으로서 비정질 Si나 폴리 Si 반도체를 이용하더라도, 직류 구동형의 전기 광학 소자 또는 교류 구동형의 전기 광학 소자 중 어디에도 대응할 수 있다. 이 점은 매우 유용하다. 또한, 교류 전류를 전기 광학 소자에 공급하는 경우, 고주파의 전력도 공급할 수 있다. 이 점도 유용하다. 또한, 종래의 기술에서는 스캔마다의 전압을 반전시키거나, 주사선마다 전압을 반전시켜 교류 구동하기도 하였다. 표시 장치 (1c)는 이들을 행하지 않을 수도 있다. 이 점도 유용하다.
- <411> 다음으로, 상기 TFT 기관 (100c)의 제조 방법 및 구성에 대하여 도면을 참조하여 설명한다. 우선, TFT 기관 (100c)의 제조 방법에 대하여 설명한다.
- <412> [전류 제어용 TFT 기관의 제조 방법의 제3 실시 형태]
- <413> 도 41은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트를 나타내고 있다. 한편, 본 실시 형태의 제조 방법은 청구항 19에 대응하고 있다.
- <414> 도 41에 있어서, 우선, 기관 상에 금속층 (210) 및 제1 레지스트 (211)을 이 순으로 적층하고, 제1 마스크 (212)에 의해 주사선 (120), 캐패시터선 (160), 캐패시터 (6)의 제2 전극 (62), 스위칭 트랜지스터 (2)의 게이트 전극 (24) 및 게이트선 (21), 및 측정용 트랜지스터 (5)의 게이트 전극 (54) 및 게이트선 (51)을 형성한다 (스텝 S1c).
- <415> 다음으로, 제1 마스크 (212)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <416> (제1 마스크를 이용한 처리)
- <417> 도 42는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제1 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 금속층 성막/제1 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제1 에칭/제1 레지스트 박리된 단면도를 나타내고 있고, (c)는 제1 레지스트가 박리된 후의 TFT 기관의 주요부의 평면도를 나타내고 있다.
- <418> 도 42(a)에 있어서, 우선 투광성의 유리 기관 (101)이 준비된다.

- <419> 우선, 유리 기판 (101) 상에 도전체층인 금속층 (210)을 형성한다. 즉, Al(알루미늄)과 Mo(몰리브덴)를 이질 순으로 고주파 스퍼터링법을 이용하여 각각 막 두께 약 250 nm, 50 nm로 적층한다. 이 금속층 (210)에 의해, 주사선 (120), 캐패시터선 (160), 캐패시터 (6)의 제2 전극 (62), 게이트 전극 (24) 및 게이트선 (21)이 형성된다.
- <420> 계속해서, 금속층 (210) 상에 제1 레지스트 (211)이 도포되고, 제1 마스크 (212)를 이용하여 포토리소그래피법에 의해 소정의 형상으로 제1 레지스트 (211)을 형성한다.
- <421> 다음으로, 도 42(b)에 나타낸 바와 같이, 금속층 (210)을, 혼합산 에칭액을 이용하여 제1 에칭하여 주사선 (120), 캐패시터선 (160), 캐패시터 (6)의 제2 전극 (62), 게이트선 (21, 51) 및 게이트 전극 (24, 54)를 형성한다(스텝 S1c).
- <422> 계속해서, 제1 레지스트 (211)을 애싱하면, 도 42(c)에 나타낸 바와 같이, 유리 기판 (101) 상에 주사선 (120), 캐패시터선 (160), 이 캐패시터선 (160)과 접속된 캐패시터 (6)의 제2 전극 (62), 및 주사선 (120)과 접속된 게이트선 (21, 51) 및 게이트 전극 (24, 54)가 노출된다. 도 42(b)에 나타내는 주사선 (120)은 도 43(c)에 있어서의 Ac-Ac 단면을 나타내고 있다. 또한, 스위칭 트랜지스터 (2)의 게이트 전극 (24), 측정용 트랜지스터 (5)의 게이트 전극 (54), 제1 전극 (61)은 Bc-Bc 단면을 나타내고 있다.
- <423> 다음으로, 도 41에 나타낸 바와 같이, 유리 기판 (101), 주사선 (120), 캐패시터선 (160), 캐패시터 (6)의 제2 전극 (62), 게이트선 (21, 51) 및 게이트 전극 (24, 54) 상에, 글로우 방전 CVD(화학 증착법)법에 의해 게이트 절연막 (20)을 적층한다(스텝 S2c). 게이트 절연막 (20)은 질화 실리콘(SiNx)막이고, 또한 막 두께가 약 300 nm이다. 이 게이트 절연막 (20)은 스위칭 트랜지스터 (2), 측정용 트랜지스터 (5) 및 캐패시터 (6)용의 게이트 절연막 (20)으로서 형성된다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <424> 다음으로, 도 41에 나타낸 바와 같이, α-Si:H(i)막 (271), α-Si:H(n)막 (272), 도전체층으로서의 금속층 (273) 및 제2 레지스트 (274)를 적층하고, 제2 하프톤 마스크 (275c)에 의해 데이터선 (110), 캐패시터 (6)의 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 채널부 (27), 드레인 전극 (26) 및 드레인선 (23), 및 구동 트랜지스터 (3)의 게이트선 (31) 및 게이트 전극 (34)를 형성한다(스텝 S3c).
- <425> 다음으로, 제2 하프톤 마스크 (275c)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <426> (제2 하프톤 마스크를 이용한 처리)
- <427> 도 43은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제2 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/α-Si:H(i)막 성막/α-Si:H(n)막 성막/금속층 성막/제2 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제2 에칭/제2 레지스트가 재형성된 단면도를 나타내고 있고, (c)는 제3 에칭/제2 레지스트 박리된 단면도를 나타내고 있다.
- <428> 도 43(a)에 있어서, 게이트 절연막 (20) 상에, 우선 α-Si:H(i)막 (271)을 적층한다.
- <429> α-Si:H(i)막 (271)은 비정질 Si(규소)의 절연층으로서, 막 두께가 약 350 nm이다. 이 때, 방전 가스로서 SiH<sub>4</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <430> 다음으로, SiH<sub>4</sub>-H<sub>2</sub>-PH<sub>3</sub>계의 혼합 가스를 이용하여 α-Si:H(n)막 (272)를 적층한다. α-Si:H(n)막 (272)는 비정질 Si의 n형 반도체층으로서, 막 두께가 약 300 nm이다.
- <431> 계속해서, Mo층/Al층/Mo층을 포함하는 금속층 (273)을 형성한다. 즉, Mo와 Al과 Mo를, 이질 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.
- <432> 다음으로, 금속층 (273) 상에 제2 레지스트 (274)가 도포되고, 제2 하프톤 마스크 (275c) 및 하프톤 노광에 의해 제2 레지스트 (274)를 소정의 형상으로 형성한다. 즉, 제2 레지스트 (274)는 데이터선 (110), 캐패시터 (6)의 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 게이트 전극 (24), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)를 덮는 형상으로 형성된다. 또한, 제2 레지스트 (274)는 하프톤 마스크부 (276)에 의해, 채널부 (27)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.

- <433> 다음으로, 도 43(b)에 나타낸 바와 같이, 제2 에칭으로서, 우선 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 계속해서, CHF 가스를 이용한 건식 에칭과 하이dra진 수용액( $\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$ )를 이용한 습식 에칭에 의해  $\alpha\text{-Si:H(n)}$ 막 (272) 및  $\alpha\text{-Si:H(i)}$ 막 (271)을 에칭한다. 이에 따라, 데이터선 (110), 캐패시터 (6)의 제1 전극 (61), 측정선 (150), 소스선 (22), 드레인선 (23), 게이트선 (31) 및 게이트 전극 (34)를 형성한다. 여기서, 캐패시터 (6)은 게이트 절연막 (20)에 의해 절연되어 있다.
- <434> 계속해서, 상기 제2 레지스트 (274)를 애싱하여 제2 레지스트 (274)를 재형성한다. 재형성된 제2 레지스트 (274)에 의해 채널부 (27)의 상층의 금속층 (273)이 노출되면서, 데이터선 (110), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)가 덮인다.
- <435> 다음으로, 도 43(c)에 나타낸 바와 같이, 제3 에칭으로서, 재형성된 제2 레지스트 (274)와 혼합산 에칭액을 이용하여 금속층 (273)을 에칭한다. 이에 따라, 소스 전극 (25) 및 드레인 전극 (26)을 형성한다. 또한, CHF 가스를 이용한 건식 에칭과 하이dra진 수용액( $\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$ )를 이용한 습식 에칭에 의해  $\alpha\text{-Si:H(n)}$ 막 (272)를 에칭한다. 이에 따라,  $\alpha\text{-Si:H(i)}$ 막 (271)을 포함하는 채널부 (27)을 형성하고, 또한 스위칭 트랜지스터 (2)의 소스 전극 (25) 및 드레인 전극 (26)을 형성한다(스텝 S3c).
- <436> 계속해서, 재형성된 제2 레지스트 (274)를 애싱하면, 도 43(c)에 나타낸 바와 같이, 게이트 절연막 (20) 상에 데이터선 (110), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 채널부 (27), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)가 노출된다. 도 43(c)에 나타내는, 데이터선 (110), 캐패시터선 (160), 제1 전극 (61), 측정선 (150), 스위칭 트랜지스터 (2)의 소스선 (22), 소스 전극 (25), 게이트 전극 (24), 채널부 (27), 드레인 전극 (26), 드레인선 (23), 구동 트랜지스터 (3)의 게이트선 (31), 게이트 전극 (34)는 도 44에 있어서의 Cc-Cc 단면을 나타내고 있다.
- <437> 다음으로, 도 41에 나타낸 바와 같이, 유리 기판 (101)의 상층에 글로 방전 CVD(화학 증착법)법에 의해 게이트 절연막 (30)을 적층한다(스텝 S4c). 이 게이트 절연막 (30)은 질화 실리콘( $\text{SiN}_x$ )막이고, 또한 막 두께가 약 300 nm이다. 이 게이트 절연막 (30)은 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)용의 게이트 절연막 (30)으로서 형성된다. 한편, 본 실시 형태에서는 방전 가스로서  $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 계의 혼합 가스를 이용한다.
- <438> 다음으로, 도 41에 나타낸 바와 같이, 게이트 절연막 (30) 상에, 산화물 반도체층으로서의 n형 산화물 반도체층 (371) 및 제3 레지스트 (372)를 적층하고, 제3 하프톤 마스크 (373a)에 의해 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층, 및 측정선 (150)의 콘택트 홀 (155)를 형성한다(스텝 S5a).
- <439> 다음으로, 제3 하프톤 마스크 (373a)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <440> (제3 하프톤 마스크를 이용한 처리)
- <441> 도 45는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기판의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <442> 도 45에 있어서, 게이트 절연막 (30) 상에, 산화인듐-산화아연( $\text{In}_2\text{O}_3\text{:ZnO}$ =약 97:3 중량%)의 타겟을 이용하여 막 두께 약 150 nm의 n형 산화물 반도체층 (371)을 성막한다. 이 때의 조건은 산소:아르곤비가 약 10:90 부피 %이면서, 기판 온도가 약 100°C 미만이다. 이 조건으로는 n형 산화물 반도체층 (371)은 비정질막으로서 얻어진다.
- <443> 계속해서, n형 산화물 반도체층 (371) 상에 제3 레지스트 (372)를 도포하고, 제3 하프톤 마스크 (373a) 및 하프톤 노광 기술을 이용하여 제3 레지스트 (372)를 소정의 형상으로 형성한다. 즉, 제3 레지스트 (372)는 콘택트 홀 (155)의 상층을 제외한 유리 기판 (101)의 상층 전면을 덮는 형상으로 형성된다. 또한, 제3 레지스트 (372)는 하프톤 마스크부 (3731)에 의해 게이트 전극 (34) 및 드레인선 (53)을 덮는 부분이 다른 부분보다 두꺼운 형상으로 형성된다.
- <444> 다음으로, 도 45(b)에 나타낸 바와 같이, 제4 에칭으로서, 우선 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭하고, 또한 제3 레지스트 (372) 및 CHF( $\text{CF}_4$ ,  $\text{CHF}_3$  등) 가스를 이용한 건식

에칭에 의해 게이트 절연막 (30)을 에칭한다. 이에 따라, 콘택트 홀 (155)를 형성한다.

- <445> 계속해서, 제3 레지스트 (372)를 애싱하여, 게이트 전극 (34) 및 드레인선 (53)이 덮이는 형상으로 제3 레지스트 (372)를 재형성한다.
- <446> 도 46은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <447> 도 46에 있어서, 제5 에칭으로서, 재형성된 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭한다. 이에 따라, n형 산화물 반도체층 (371)을 포함하는 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 형성한다. 계속해서, 제3 레지스트 (372)를 애싱하여 n형 산화물 반도체층 (371)을 노출시킨다. 도 46에 나타내는 게이트 전극 (34), 캐패시터 (6), 게이트 전극 (54), n형 산화물 반도체층 (371) 및 콘택트 홀 (155)는 도 47에 있어서의 Dc-Dc 단면을 나타내고 있다.
- <448> 또한, n형 산화물 반도체층 (371)을 형성한 후, 약 180℃ 이상의 온도에서 TFT 기관 (100c)를 열 처리하여 n형 산화물 반도체 (371)의 활성층을 결정화한다.
- <449> 다음으로, 도 41에 나타낸 바와 같이, 산화물 도전체층으로서의 산화물 투명 도전체층 (374), 보조 도전체층(보조 금속층)으로서의 금속층 (375) 및 제4 레지스트 (376)을 적층하고, 제4 하프톤 마스크 (377c)에 의해 EL 구동선 (130), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6c).
- <450> 다음으로, 제4 하프톤 마스크 (377c)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <451> (제4 하프톤 마스크를 이용한 처리)
- <452> 도 48은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트가 재형성된 단면도를 나타내고 있다. 한편, 도 48에서는 이해하기 쉽도록 EL 구동선 (130)을 생략하였다.
- <453> 도 48(a)에 있어서, 노출된 게이트 절연막 (30) 및 n형 산화물 반도체층 (371) 상에, 우선 산화인듐-산화주석-산화아연( $In_2O_3:SnO_2:ZnO$ =약 60:20:20 중량%) 타겟을 이용하여 고주파 스퍼터링법에 의해 막 두께 약 120 nm의 산화물 투명 도전체층 (374)를 형성한다. 이 때의 조건은 산소:아르곤비가 약 1:99 부피%이면서, 기관 온도가 산화물 투명 도전체층 (374)를 결정화시키지 않는 온도이다.
- <454> 계속해서, 금속층 (375)를 형성한다. 이 금속층 (375)는 보조 도전체층으로서, Mo층/Al층/Mo층을 포함한다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.
- <455> 다음으로, 금속층 (375) 상에 제4 레지스트 (376)이 도포되고, 제4 하프톤 마스크 (377c) 및 하프톤 노광에 의해 제4 레지스트 (376)을 소정의 형상으로 형성한다. 즉, 제4 레지스트 (376)은 EL 구동선 (130), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)을 덮는 형상으로 형성된다. 또한, 제4 레지스트 (376)은 하프톤 마스크부 (378)에 의해, 화소 전극 (38)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <456> 다음으로, 도 48(b)에 나타낸 바와 같이, 제6 에칭으로서, 우선 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭한다. 계속해서, 제4 레지스트 (376) 및 옥살산 수용액을 이용하여 산화물 투명 도전체층 (374)를 에칭한다. 이에 따라, EL 구동선 (130), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6c).
- <457> 계속해서, 상기 제4 레지스트 (376)을 애싱하여 제4 레지스트 (376)을 재형성한다. 재형성된 제4 레지스트 (376)에 의해 화소 전극 (38)의 상측의 금속층 (375)가 노출되면서, EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52),



소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)이 덮인다.

- <458> 도 49는 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <459> 도 49에 있어서, 제7 에칭으로서, 재형성된 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)을 에칭하여 화소 전극 (38)을 노출시킨다.
- <460> 계속해서, 재형성된 제4 레지스트 (376)을 애싱하면, 도 49에 나타낸 바와 같이, 게이트 절연막 (30) 상에 EL 구동선 (130), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)이 노출된다. 도 49에 나타내는, EL 구동선 (130), 캐패시터 (6), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)은 도 50에 있어서의 Ec-Ec, Ec'-Ec', Ec''-Ec'' 단면을 나타내고 있다.
- <461> 또한, 측정용 트랜지스터 (5)의 드레인선 (53)은 컨택트 홀 (155)를 통해 측정선 (150)과 접속되어 있다.
- <462> 다음으로, 도 41에 나타낸 바와 같이, 보호용 절연막 (40) 및 제5 레지스트 (41)을 적층하고, 제5 마스크 (42c)에 의해 주사선용 패드 (124), 데이터선용 패드 (114), EL 구동선용 패드 (134), 측정선용 패드 (154), 캐패시터선용 패드 (164) 및 화소 전극 (38)을 노출시킨다(스텝 S7c).
- <463> 다음으로, 제5 마스크 (42c)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <464> (제5 마스크를 이용한 처리)
- <465> 도 51은 본 발명의 제3 실시 형태에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.
- <466> 도 51(a)에 있어서, 유리 기관 (101)의 상층에 글로 방전 CVD(화학 증착법)법에 의해 보호용 절연막 (40)을 적층한다. 보호용 절연막 (40)은 질화 실리콘(SiNx)막이면서, 막 두께는 약 250 nm이다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.
- <467> 다음으로, 보호용 절연막 (40) 상에 제5 레지스트 (41)을 도포한다. 계속해서, 제5 마스크 (42c) 및 노광 기술을 이용하여 화소 전극 (38), 데이터선용 패드 (114), 주사선용 패드 (124), 측정선용 패드 (154), 캐패시터선용 패드 (164) 및 EL 구동선용 패드 (134)의 상층에, 개구부를 갖는 제5 레지스트 (41)을 형성한다. 한편, 도 51에 있어서, 데이터선용 패드 (114), 주사선용 패드 (124), EL 구동선용 패드 (134), 캐패시터선용 패드 (164) 및 측정선용 패드 (154)이 생략되어 있다(한편, 데이터선용 패드 (114), 주사선용 패드 (124) 및 EL 구동선용 패드 (134)에 대해서는 도 12 참조. 또한, 측정선용 패드 (154)는 데이터선용 패드 (114)와 거의 동일함. 또한, 캐패시터선용 패드 (164)는 주사선용 패드 (124)와 거의 동일함).
- <468> 계속해서, 제8 에칭으로서, CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 건식 에칭에 의해 보호용 절연막 (40), 게이트 절연막 (30), 게이트 절연막 (20)을 에칭한다. 이에 따라, 화소 전극 (38), 데이터선용 패드 (114), 주사선용 패드 (124), 측정선용 패드 (154), 캐패시터선용 패드 (164) 및 EL 구동선용 패드 (134)를 노출시킨다(스텝 S7c).
- <469> 계속해서, 재형성된 제5 레지스트 (41)을 애싱하면, 도 51에 나타낸 바와 같이 보호용 절연막 (40)이 노출된다. 도 51(b)에 나타내는, EL 구동선 (130), 캐패시터 (6), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)은 도 52에 있어서의 Fc-Fc, Fc'-Fc', Fc''-Fc'' 단면을 나타내고 있다.
- <470> 한편, 본 실시 형태에서는 스위칭 트랜지스터 (2), 구동 트랜지스터 (3), 캐패시터 (6), 측정용 트랜지스터 (5) 및 화소 전극 (38)의 위치나 형상을 이해하기 쉬운 위치나 형상으로 하고 있다. 단, 여기에 한정되는 것은 아니다.

- <471> 이와 같이, 본 실시 형태의 전류 제어용 TFT 기관 (100c)의 제조 방법에 따르면, 교류 전류에 의해 구동되는 분산형 무기 EL 소자 (4c)에 대하여, 전류 측정 회로 (15)에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 또한, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 n형 산화물 반도체층 (371)로 하고 있다. 따라서, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 성능 열화가 작다. 따라서, 전류 제어용 TFT 기관 (100c)는 안정성이 우수하다. 또한, TFT 기관 (100c)의 내구성을 향상시킬 수 있다. 또한, 제4 하프톤 마스크 (377c)를 이용하여 EL 구동선 (130), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 제조할 수 있고, 사용하는 마스크수를 삭감할 수 있다. 이에 따라, 제조 공정이 삭감되기 때문에, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다. 또한, 보호용 절연막 (40)이 형성되어 있다. 따라서, TFT 기관 (100c)에 분산형 무기 EL 재료, 전극 및 보호막을 설치함으로써, 분산형 무기 EL 표시 장치 (1c)를 용이하게 얻을 수 있다.
- <472> 다음으로, 상기 TFT 기관 (100c)의 구성에 대하여 도면을 참조하여 설명한다.
- <473> [전류 제어용 TFT 기관의 제3 실시 형태]
- <474> 본 실시 형태의 TFT 기관 (100)은 도 39에 나타낸 바와 같이, 유리 기관 (101)에 m(열: m은 자연수)×n(행: n은 자연수)개의 화소 (10c)가 매트릭스형으로 배치되어 있다.
- <475> 또한, 행 방향(수평 방향)으로 n개의 주사선 (121, 122...123)이 형성되어 있다. 예를 들면, 제n의 주사선 (123)은 제n행에 배치된 m개의 화소 (10c)와 병렬로 접속되어 있다.
- <476> 또한, 행 방향(수평 방향)으로 n개의 EL 구동선 (131a, 132a...133a)이 형성되어 있다. 예를 들면, 제n의 EL 구동선 (133a)를 통해, 제n행에 배치된 m개의 화소 (10c)와 병렬로 접속되어 있다.
- <477> 또한, 행 방향(수평 방향)으로 n개의 캐패시터선 (160)이 형성되어 있다. 예를 들면, 제n의 캐패시터선 (160)을 통해, 제n행에 배치된 m개의 화소 (10c)와 병렬로 접속되어 있다.
- <478> 또한, 열 방향(수직 방향)으로 m개의 데이터선 (111, 112...113)이 형성되어 있다. 예를 들면, 제m의 데이터선 (113)을 통해, 제m열에 배치된 n개의 화소 (10c)와 병렬로 접속되어 있다.
- <479> 또한, 열 방향(수직 방향)으로 m개의 측정선 (151, 152...153)이 형성되어 있다. 예를 들면, 제m의 측정선 (153)을 통해, 제m열에 배치된 n개의 화소 (10c)와 병렬로 접속되어 있다.
- <480> 또한, 각 화소 (10c)는 도 52에 나타낸 바와 같이, 구동 트랜지스터 (3)과, 스위칭 트랜지스터 (2)와, 캐패시터 (6)과, 측정용 트랜지스터 (5)를 가지고 있다.
- <481> 구동 트랜지스터 (3)은 전기 광학 소자인 분산형 무기 EL 소자 (4c)(도 40 참조)에 전류를 공급한다. 스위칭 트랜지스터 (2)는 구동 트랜지스터 (3)을 제어한다. 캐패시터 (6)에 의해 구동 트랜지스터 (3)의 온 상태를 유지할 수 있다. 측정용 트랜지스터 (5)에 의해 분산형 무기 EL 소자 (4c)(도 40 참조)에 공급되는 전류를 측정할 수 있다.
- <482> 스위칭 트랜지스터 (2)는 도 43 및 도 44에 나타낸 바와 같이, 게이트 전극 (24)와, 게이트 절연막 (20)과, α-Si:H(i)막 (271) 및 α-Si:H(n)막 (272)와, 소스 전극 (25)과, 드레인 전극 (26)을 구비하고 있다.
- <483> 게이트 전극 (24)는 게이트선 (21)을 통해 주사선 (120)과 접속되어 있다. 게이트 절연막 (20)은 게이트 전극 (24) 상에 형성되어 있다. 활성층으로서의 α-Si:H(i)막 (271) 및 α-Si:H(n)막 (272)는 게이트 절연막 (20) 상에 형성되어 있다. 소스 전극 (25)는 소스선 (22)를 통해 데이터선 (110)과 접속되어 있다. 드레인 전극 (26)은 드레인선 (23) 및 게이트선 (31)을 통해 구동 트랜지스터 (3)의 게이트 전극 (34)와 접속되면서, 드레인선 (23)을 통해 캐패시터 (6)의 제1 전극 (61)과 접속되어 있다.
- <484> 캐패시터 (6)은 제1 전극 (61)과 제2 전극 (62) 사이에 절연층으로서의 게이트 절연막 (20)이 적층되어 있다. 또한, 온 상태의 스위칭 트랜지스터 (2)를 통해, 제1 전극 (61)에 데이터선 (110)으로부터 직류 전압이 인가된다. 또한, 제2 전극 (62)가 캐패시터선 (160)과 접속되어 있다. 이에 따라, 제1 전극 (61)에는 데이터선 (110)으로부터 인가된 직류 전압에 상응하는 전하가 축적된다. 따라서, 스위칭 트랜지스터 (2)가 오프되더라도, 제1 전극 (61)에 축적된 전하에 의해 스위칭 트랜지스터 (2)의 온 상태가 유지된다. 이 온 상태

는 데이터선 (110)으로부터 직류 전압이 인가되었을 때와 동일한 상태이다.

- <485> 구동 트랜지스터 (3)은 도 49 및 도 50에 나타난 바와 같이, 게이트 전극 (34)와, 게이트 절연막 (30)과, n형 산화물 반도체층 (371)과, 소스 전극 (35)와, 드레인 전극 (36)을 구비하고 있다.
- <486> 게이트 절연막 (30)은 게이트 전극 (34) 상에 형성되어 있다. 활성층으로서의 n형 산화물 반도체층 (371)은 게이트 절연막 (30) 상에 형성되어 있다. 소스 전극 (35)는 소스선 (32)를 통해 EL 구동선 (130)과 접속되어 있다. 드레인 전극 (36)은 드레인선 (33)을 통해 화소 전극 (38)과 접속되면서, 드레인선 (33) 및 소스선 (52)를 통해 측정용 트랜지스터 (5)의 소스 전극 (55)와 접속되어 있다.
- <487> 또한, 구동 트랜지스터 (3)은 소스선 (32), 소스 전극 (35), 드레인 전극 (36), 드레인선 (33)이 산화물 투명 도전체층 (374)를 포함하고, 이 산화물 투명 도전체층 (374)가 분산형 무기 EL 소자 (4c)의 화소 전극 (38)로서 기능한다. 이와 같이 하면, 제조할 때에 사용하는 마스크수를 삭감할 수 있어 제조 공정이 삭감된다. 따라서, 생산 효율이 향상되어 제조 원가의 비용 절감을 도모할 수 있다.
- <488> 측정용 트랜지스터 (5)는 도 49 및 도 50에 나타난 바와 같이, 게이트 전극 (54)와, 게이트 절연막 (20) 및 게이트 절연막 (30)과, n형 산화물 반도체층 (371)과, 소스 전극 (55)와, 드레인 전극 (56)을 구비하고 있다.
- <489> 게이트 전극 (54)는 게이트선 (51)을 통해 주사선 (120)과 접속되어 있다. 게이트 절연막 (20) 및 게이트 절연막 (30)은 게이트 전극 (54) 상에 형성되어 있다. 활성층으로서의 n형 산화물 반도체층 (371)은 게이트 절연막 (30) 상에 형성되어 있다. 드레인 전극 (56)은 일부가 콘택트 홀 (155) 내에 형성된 드레인선 (53)을 통해 측정선 (150)과 접속되어 있다.
- <490> 또한, 바람직하게는, EL 구동선 (130), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)의 상측에 보조 도전체층으로서의 금속층 (375)을 형성하면 좋다. 이와 같이 하면, 각 선이나 전극의 전기 저항을 감소시킬 수 있다. 따라서, 신뢰성을 향상시킬 수 있고, 또한 에너지 효율의 저하를 억제할 수 있다.
- <491> 이와 같이, 본 실시 형태의 TFT 기관 (100c)는 분산형 무기 EL 소자 (4c)와 같이 교류 전류 구동형의 전기 광학 소자에 사용되고, 교류 전류에 의해 구동되는 분산형 무기 EL 소자 (4c)에 대하여, 전류 측정 회로 (15)에 의해 측정된, 소정의 예정치와 거의 동일한 값의 구동 전류를 공급할 수 있다. 따라서, 우수한 품질의 화상을 제공할 수 있다. 또한, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 n형 산화물 반도체층 (371)로 하고 있다. 따라서, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)에 큰 전류나 대전력을 투입하더라도, 구동 트랜지스터 (3)의 성능 열화가 작다. 이에 따라, TFT 기관 (100c)는 안정성이 우수하고, 또한 내구성이 향상된다.
- <492> 또한, 상술한 분산형 무기 EL 표시 장치의 제3 실시 형태, 전류 제어용 TFT 기관의 제조 방법의 제3 실시 형태, 및 전류 제어용 TFT 기관의 제3 실시 형태는 다양한 응용예를 가지고 있다.
- <493> 예를 들면, 상기 전류 제어용 TFT 기관의 제조 방법의 제3 실시 형태에서는 데이터선용 패드 (114), 주사선용 패드 (124), EL 구동선용 패드 (134) 및 측정선용 패드 (154)는 게이트 절연막 (30)의 하측에 형성된다. 단, 여기에 한정되는 것은 아니다. 예를 들면, 보호용 절연막 (40)의 하측이면서, 게이트 절연막 (30)의 상측에(즉, 보호용 절연막 (40)에 의해 접근한 상측에), 데이터선용 패드 (114b), 주사선용 패드 (124b), EL 구동선용 패드 (134) 및 측정선용 패드 (154b)를 형성할 수 있다.
- <494> 다음으로, 상기 전류 제어용 TFT 기관의 제조 방법의 제3 실시 형태에 따른 응용예에 대하여 도면을 참조하여 설명한다.
- <495> [전류 제어용 TFT 기관의 제조 방법의 응용예]
- <496> 도 53은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법을 설명하기 위한 개략 플로우차트도를 나타내고 있다. 한편, 본 응용예의 제조 방법은 청구항 20에 대응하고 있다.
- <497> 도 53에 있어서, 본 응용예의 TFT 기관의 제조 방법은 상술한 제3 실시 형태에 비하여, 스텝 S5d에 있어서, 상기 스텝 S5a(도 41참조)에 더하여, 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b'), 캐패시터선용 패드 (164d)의 개구부 (164d')를 형성한다.

또한, 스텝 S6d에 있어서, 상기 스텝 S6c에 더하여, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d)를 형성한다. 이들 점이 제3 실시 형태와 상이하다. 다른 방법은 제3 실시 형태와 거의 동일하게 되어 있다.

- <498> 따라서, 도 53에 있어서, 도 41과 동일한 방법에 대해서는 동일한 부호를 붙이고, 그의 상세한 설명을 생략한다.
- <499> 스텝 S5d에서는 도 53에 나타난 바와 같이, 게이트 절연막 (30) 상에 산화물 반도체층으로서의 n형 산화물 반도체층 (371) 및 제3 레지스트 (372)를 적층한다. 계속해서, 제3 하프톤 마스크 (373d)에 의해 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층, 및 측정선 (150)의 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b'), 캐패시터선용 패드 (164d)의 개구부 (164d')를 형성한다.
- <500> 다음으로, 스텝 S5d에서의 제3 하프톤 마스크 (373d)를 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <501> (제3 하프톤 마스크를 이용한 처리)
- <502> 도 54는 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 게이트 절연막 성막/n형 산화물 반도체층 성막/제3 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제4 에칭/제3 레지스트가 재형성된 단면도를 나타내고 있다.
- <503> 한편, 스텝 S5d에서의, 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층의 형성 방법은 제2 실시 형태의 스텝 S5a와 거의 동일하다(도 45, 46 참조). 따라서, 도 54에 있어서는 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b'), 캐패시터선용 패드 (164d)의 개구부 (164d')에 대하여 도시하고 있다.
- <504> 도 54에 있어서, 게이트 절연막 (30) 상에 n형 산화물 반도체층 (371)을 성막한다. 다음으로, n형 산화물 반도체층 (371) 상에 제3 레지스트 (372)를 도포한다. 계속해서, 제3 하프톤 마스크 (373d) 및 하프톤 노광 기술을 이용하여 제3 레지스트 (372)를 소정의 형상으로 형성한다. 즉, 제3 레지스트 (372)는 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b'), 캐패시터선용 패드 (164d)의 개구부 (164d')의 상측을 제외한 유리 기관 (101)의 상측을 덮는 형상으로 형성된다. 또한, 제3 레지스트 (372)는 하프톤 마스크부 (3731)에 의해, 게이트 전극 (34) 및 게이트 전극 (54)를 덮는 부분보다 얇은 형상으로 형성된다.
- <505> 다음으로, 도 54(b)에 나타난 바와 같이, 제4 에칭으로서, 우선 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭하고, 다음으로 제3 레지스트 (372) 및 CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 건식 에칭에 의해 게이트 절연막 (30)을 에칭한다. 이에 따라, 콘택트 홀 (155), 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b'), 캐패시터선용 패드 (164d)의 개구부 (164d')를 형성한다.
- <506> 계속해서, 제3 레지스트 (372)를 에칭하여 제3 레지스트 (372)를 재형성한다. 재형성된 제3 레지스트 (372)에 의해 게이트 전극 (34) 및 게이트 전극 (54)가 덮인다.
- <507> 도 55는 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제3 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, 제5 에칭/제3 레지스트 박리된 단면도를 나타내고 있다.
- <508> 도 55에 있어서, 제5 에칭으로서, 재형성된 제3 레지스트 (372) 및 옥살산 수용액을 이용하여 n형 산화물 반도체층 (371)을 에칭한다. 이에 따라, n형 산화물 반도체층 (371)을 포함하는 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 활성층을 형성하여 게이트 절연막 (30)을 노출시킨다. 계속해서, 제3 레지스트 (372)를 에칭하여 n형 산화물 반도체층 (371)을 노출시킨다. 도 55에 나타내는 데이터선용 패드 (114b)의 개구부 (114b'), 측정선용 패드 (154b)의 개구부 (154b'), 주사선용 패드 (124b)의 개구부 (124b'), 캐패시터선용 패드 (164d)의 개구부 (164d')는 도 56에 있어서의 Dd-Dd 단면을 나타내고 있다.
- <509> 다음으로, 도 53에 나타난 바와 같이, 산화물 투명 도전체층 (374), 금속층 (375) 및 제4 레지스트 (376)을 적층한다. 계속해서, 제4 하프톤 마스크 (377)에 의해 EL 구동선 (130), 화소 전극 (38), 데이터선용 패드

(114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6d).

- <510> 다음으로, 제4 하프톤 마스크 (377)을 이용한 처리에 대하여 도면을 참조하여 설명한다.
- <511> (제4 하프톤 마스크를 이용한 처리)
- <512> 도 57은 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제4 하프톤 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 산화물 투명 도전체층 성막/금속층 성막/제4 레지스트 도포/하프톤 노광/현상된 단면도를 나타내고 있고, (b)는 제6 에칭/제4 레지스트의 재형성/제7 에칭/제4 레지스트 박리된 단면도를 나타내고 있다.
- <513> 한편, 스텝 S6d의 구동 트랜지스터 (3) 및 측정용 트랜지스터 (5)의 제조 방법은 제3 실시 형태의 스텝 S6c와 거의 동일하다(도 48, 49 참조). 따라서, 도 57에 있어서는 데이터선용 패드 (114b)의 개구부 (114b'), 주사선용 패드 (124b)의 개구부 (124b'), 측정선용 패드 (154b)의 개구부 (154b'), 캐패시터선용 패드 (164d)의 개구부 (164d')에 대하여 도시하고 있다.
- <514> 도 57(a)에 있어서, 노출된 게이트 절연막 (30) 및 n형 산화물 반도체층 (371) 상에, 우선 산화인듐-산화주석-산화아연( $\text{In}_2\text{O}_3:\text{SnO}_2:\text{ZnO}$ =약 60:20:20 중량%) 타겟을 이용하여 고주파 스퍼터링법에 의해 막 두께 약 120 nm의 산화물 투명 도전체층 (374)를 형성한다. 이 때의 조건은 산소:아르곤비가 약 1:99 부피%이면서, 기관 온도가 산화물 투명 도전체층 (374)를 결정화시키지 않는 온도이다.
- <515> 계속해서, 금속층 (375)를 형성한다. 이 금속층 (375)는 보조 도전체층으로서, Mo층/Al층/Mo층을 포함하고 있다. 즉, Mo와 Al과 Mo를, 이들 순으로 고주파 스퍼터링법을 이용하여 막 두께 약 50 nm, 250 nm, 50 nm로 적층한다.
- <516> 다음으로, 금속층 (375) 상에 제4 레지스트 (376)이 도포된다. 계속해서, 제4 하프톤 마스크 (377) 및 하프톤 노광에 의해 제4 레지스트 (376)을 소정의 형상으로 형성한다. 즉, 제4 레지스트 (376)은 EL 구동선 (130), 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)을 덮는 형상으로 형성된다. 또한, 제4 레지스트 (376)은 하프톤 마스크부 (378)에 의해, 화소 전극 (38)을 덮는 부분이 다른 부분보다 얇은 형상으로 형성된다.
- <517> 다음으로, 도 57(b)에 나타난 바와 같이, 제6 에칭으로서, 우선 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭한다. 계속해서, 제4 레지스트 (376) 및 옥살산 수용액을 이용하여 산화물 투명 도전체층 (374)를 에칭한다. 이에 따라, EL 구동선 (130), 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)을 형성한다(스텝 S6d).
- <518> 한편, 스텝 S6b에 있어서는, 상술한 바와 같이 상기 제4 레지스트 (376)을 애싱하여 제4 레지스트 (376)을 재형성한다. 재형성된 제4 레지스트 (376)에 의해 화소 전극 (38)의 상층의 금속층 (375)가 노출되면서, EL 구동선 (130), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 드레인 전극 (56) 및 드레인선 (53)이 덮인다.
- <519> 그리고, 제7 에칭으로서, 재형성된 제4 레지스트 (376)과 혼합산 에칭액을 이용하여 금속층 (375)를 에칭하여 화소 전극 (38)을 노출시킨다.
- <520> 계속해서, 재형성된 제4 레지스트 (376)을 애싱한다. 이에 따라, 도 57에 나타난 바와 같이, 게이트 절연막 (30) 상에 EL 구동선 (130), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d), 화소 전극 (38), 구동 트랜지스터 (3)의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)이 노출된다. 도 57에 나타내는, EL 구동선 (130), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d), 화소 전극 (38), 구동 트랜지스터 (3)

의 소스선 (32), 소스 전극 (35), 채널부 (37), 드레인 전극 (36) 및 드레인선 (33), 및 측정용 트랜지스터 (5)의 소스선 (52), 소스 전극 (55), 채널부 (57), 드레인 전극 (56) 및 드레인선 (53)은 도 58에 있어서의 Ed-Ed 단면을 나타내고 있다.

<521> (제5 마스크를 이용한 처리)

<522> 도 59는 본 발명의 제3 실시 형태의 응용예에 따른 분산형 무기 EL 표시 장치에 사용되는 TFT 기관의 제조 방법의, 제5 마스크를 이용한 처리를 설명하기 위한 개략도로서, (a)는 보호용 절연막 성막/제5 레지스트 도포/노광/현상된 단면도를 나타내고 있고, (b)는 제8 에칭/제5 레지스트 박리된 단면도를 나타내고 있다.

<523> 도 59(a)에 있어서, 유리 기관 (101)의 상층에 글로 방전 CVD(화학 증착법)법에 의해 보호용 절연막 (40)을 적층 퇴적한다. 이 보호용 절연막 (40)은 질화 실리콘(SiNx)막이고, 또한 막 두께가 약 250 nm이다. 한편, 본 실시 형태에서는 방전 가스로서 SiH<sub>4</sub>-NH<sub>3</sub>-N<sub>2</sub>계의 혼합 가스를 이용한다.

<524> 다음으로, 보호용 절연막 (40) 상에 제5 레지스트 (41)을 도포한다. 계속해서, 제5 마스크 (42) 및 노광 기술을 이용하여 제5 마스크 (42)를 형성한다. 제5 마스크 (42)는 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d) 및 EL 구동선용 패드 (134)의 상층에 개구부를 갖는다. 한편, 도 59에 있어서, 데이터선용 패드 (114b), 주사선용 패드 (124b), EL 구동선용 패드 (134), 캐패시터선용 패드 (164d) 및 측정선용 패드 (154b)가 도시되어 있다(한편, 그 밖의 구조에 대해서는 도 51 참조).

<525> 계속해서, 제8 에칭으로서, CHF(CF<sub>4</sub>, CHF<sub>3</sub> 등) 가스를 이용한 건식 에칭을 행한다. 이에 따라, 보호용 절연막 (40), 게이트 절연막 (30), 게이트 절연막 (20)을 에칭하여, 화소 전극 (38), 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d) 및 EL 구동선용 패드 (134)를 노출시킨다(스텝 S7c).

<526> 계속해서, 재형성된 제5 레지스트 (41)을 애싱하면, 도 59에 나타난 바와 같이 보호용 절연막 (40)이 노출된다. 도 59(b)에 나타내는, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d) 및 EL 구동선용 패드 (134)는 도 60에 있어서의 Fd-Fd 단면을 나타내고 있다.

<527> 이와 같이, 본 실시 형태의 전류 제어용 TFT 기관 (100d)의 제조 방법에 따르면, 제3 실시 형태의 제조 방법과 거의 동일한 효과를 갖는다. 또한, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b, 164d) 및 EL 구동선용 패드 (134)가 보호용 절연막 (40)의 바로 하층에 형성된다. 따라서, 데이터선용 패드 (114b), 주사선용 패드 (124b), 측정선용 패드 (154b), 캐패시터선용 패드 (164d) 및 EL 구동선용 패드 (134)로의 접속성을 향상시킬 수 있다.

<528> 이상, 본 발명의 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법에 대하여 바람직한 실시 형태를 나타내어 설명했지만, 본 발명에 따른 전기 광학 장치, 및 전류 제어용 TFT 기관 및 그의 제조 방법은 상술한 실시 형태에만 한정되는 것은 아니고, 본 발명의 범위에서 다양한 변경 실시가 가능함은 당연하다.

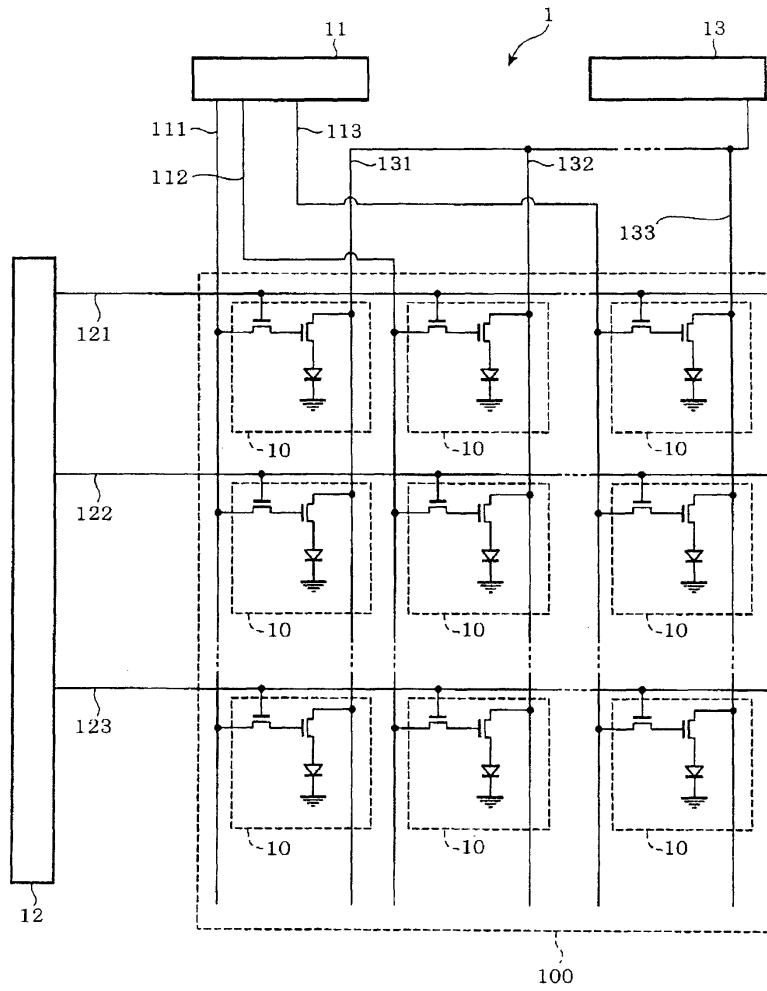
<529> 예를 들면, 제1 실시 형태에 따른 TFT 기관 (100)의 제조 방법의 응용예로서, 스위칭 트랜지스터 (2)의 활성층으로서 n형 산화물 반도체층을 이용한 응용예를 설명하였다. 단, 이 응용은 제2 실시 형태 및 제3 실시 형태, 및 이들 응용예에 따른 TFT 기관의 제조 방법에 대하여도 적용할 수 있다.

<530> 또한, 제3 실시 형태에 따른 TFT 기관 (100c)는 분산형 무기 EL 소자 (4c)에 대응한 구성으로 되어 있다. 단, 이 구성에 한정되는 것은 아니다. 예를 들면, 한 장의 TFT 기관이, 상기 TFT 기관에 혼재된 직류 구동형 및 교류 구동형의 전기 광학 소자를 구동시키는 것도 가능하고, 다양한 변형(응용 기술)을 실현할 수 있다.

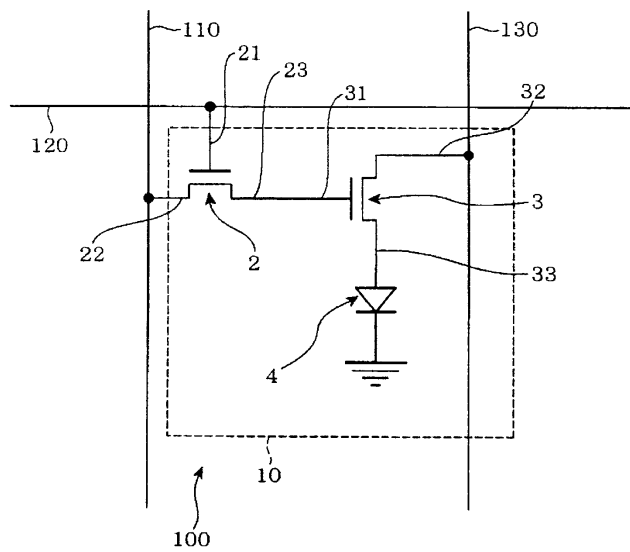
<531> 또한, 제2 실시 형태 및 제3 실시 형태의 전기 광학 장치(유기 EL 표시 장치 (1), 분산형 무기 EL 표시 장치 (1c))에 있어서의 회로 구성은 상기 구성에 한정되는 것은 아니다. 예를 들면, 보충적인 회로(예비용의 캐패시터나 트랜지스터 등)를 구비한 구성으로 할 수도 있다.

도면

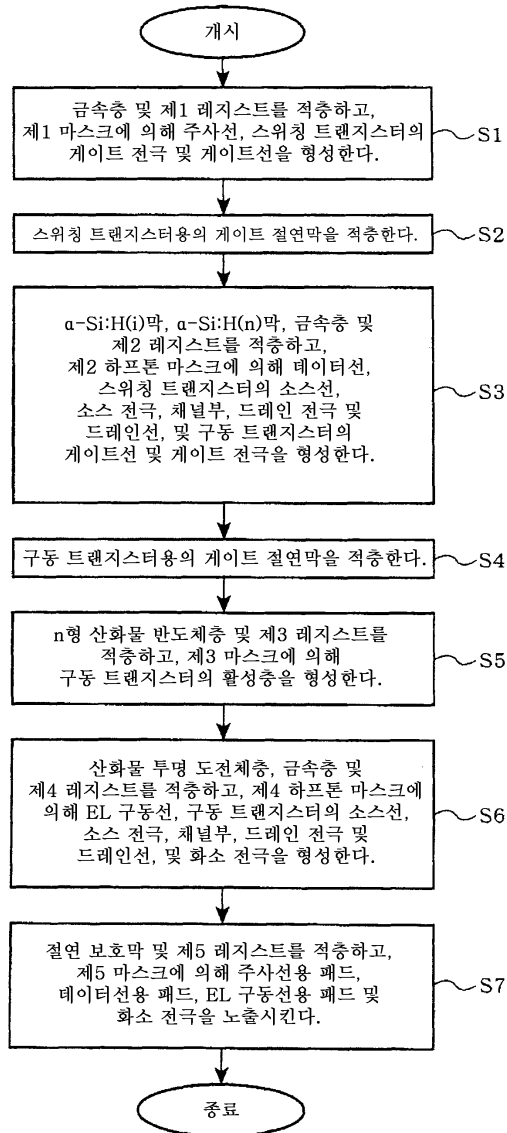
도면1



도면2

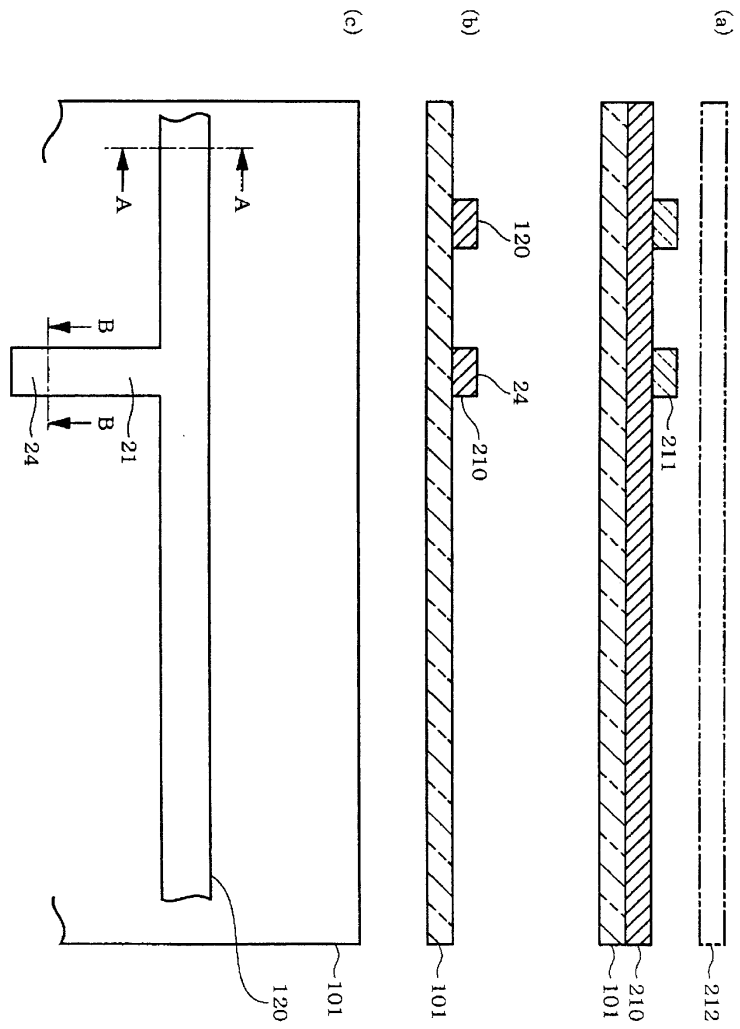


도면3

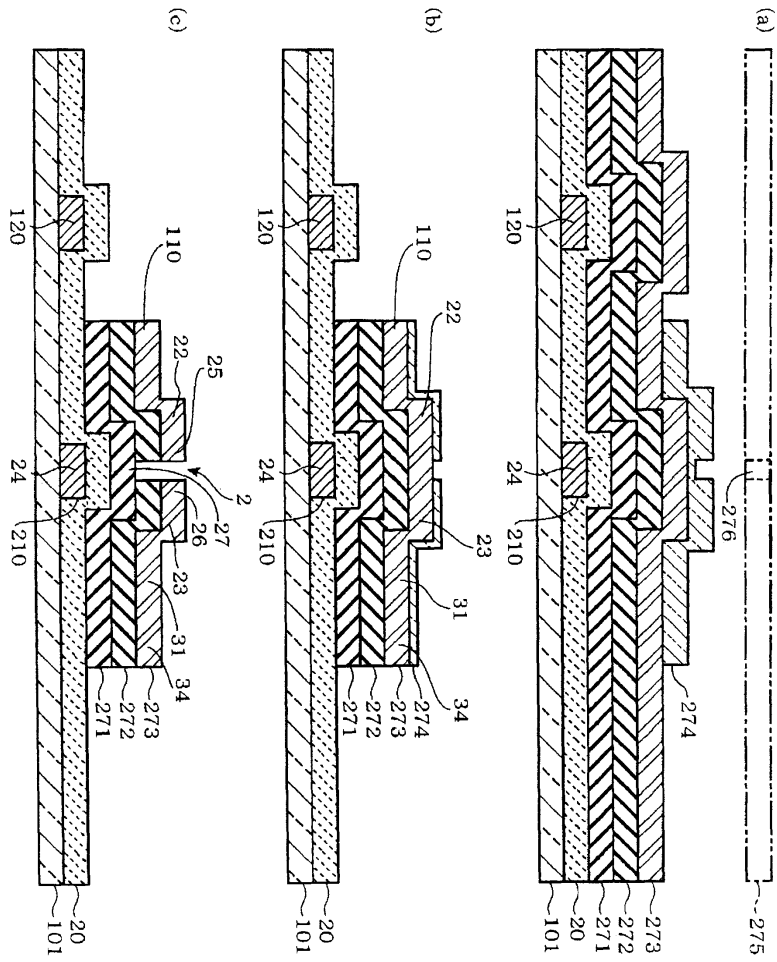




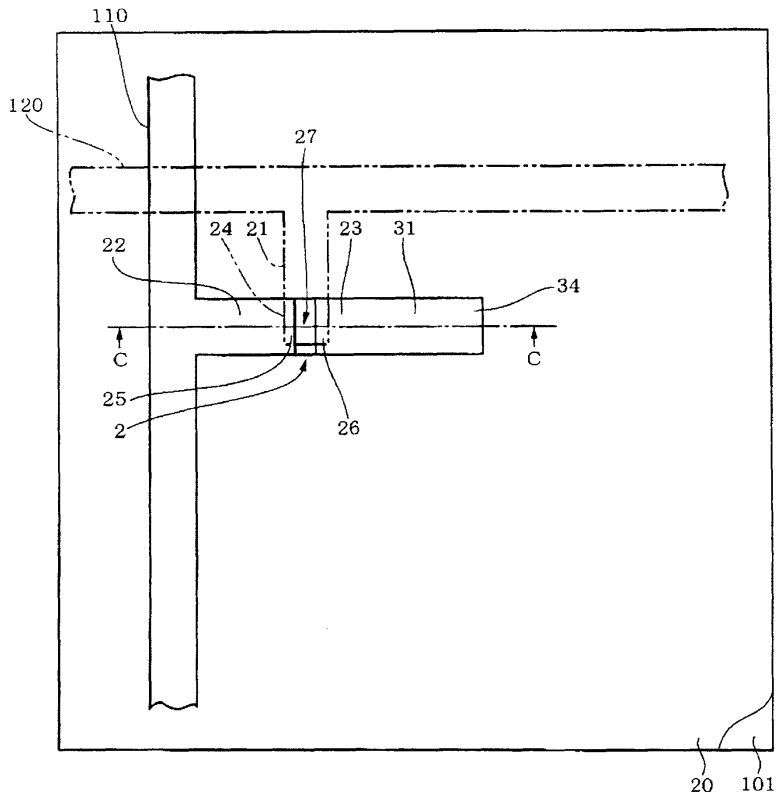
도면4



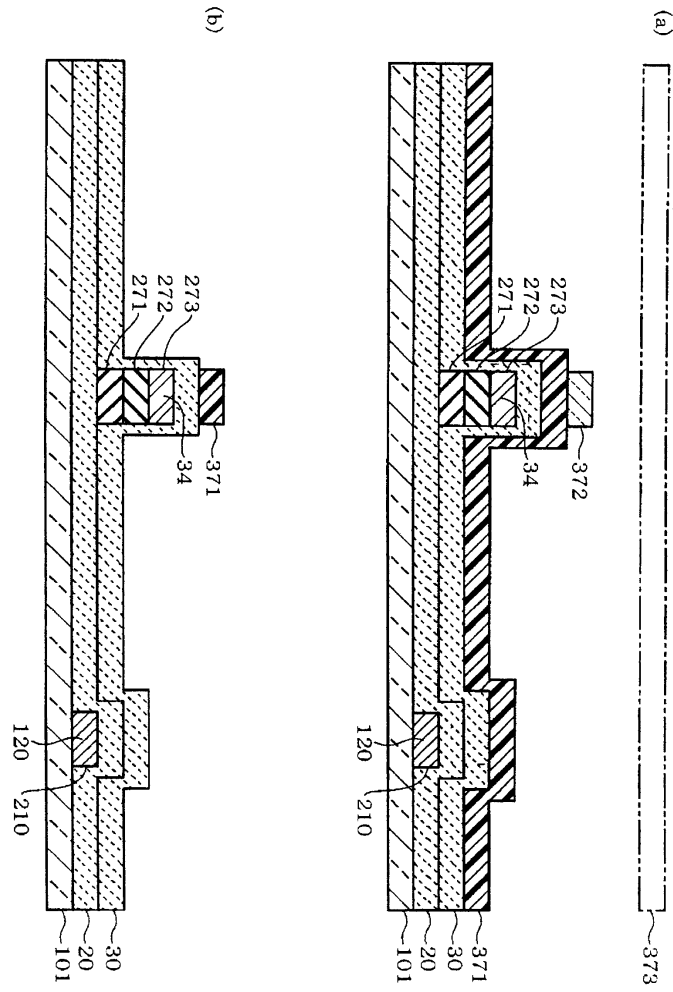
도면5



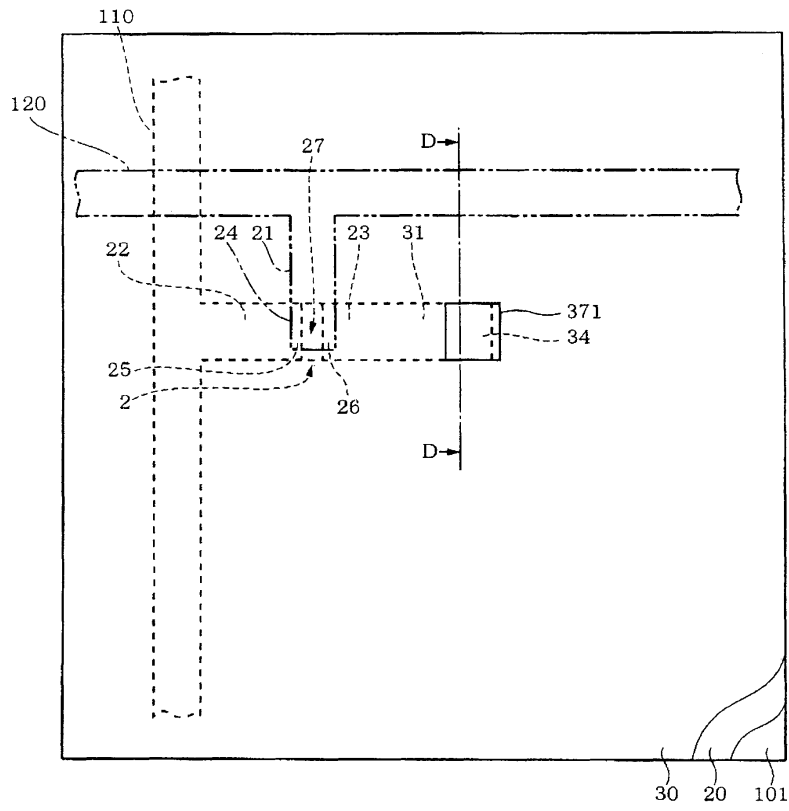
도면6



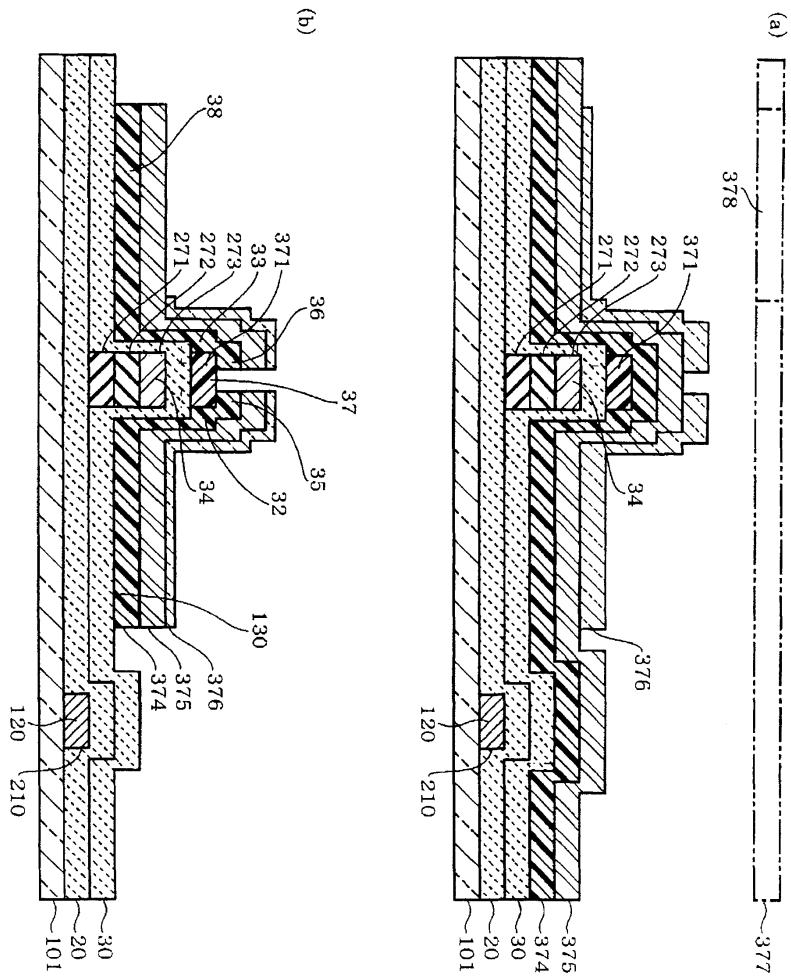
도면7



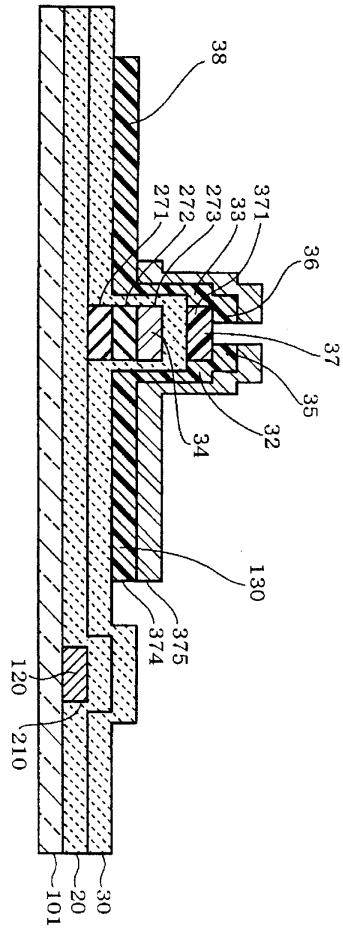
도면8



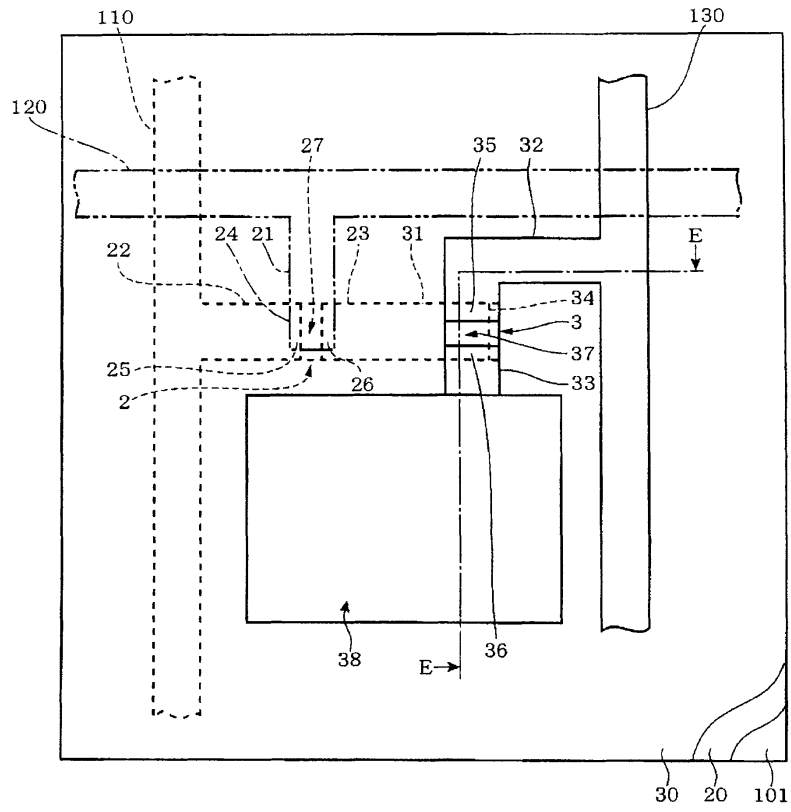
도면9



도면10

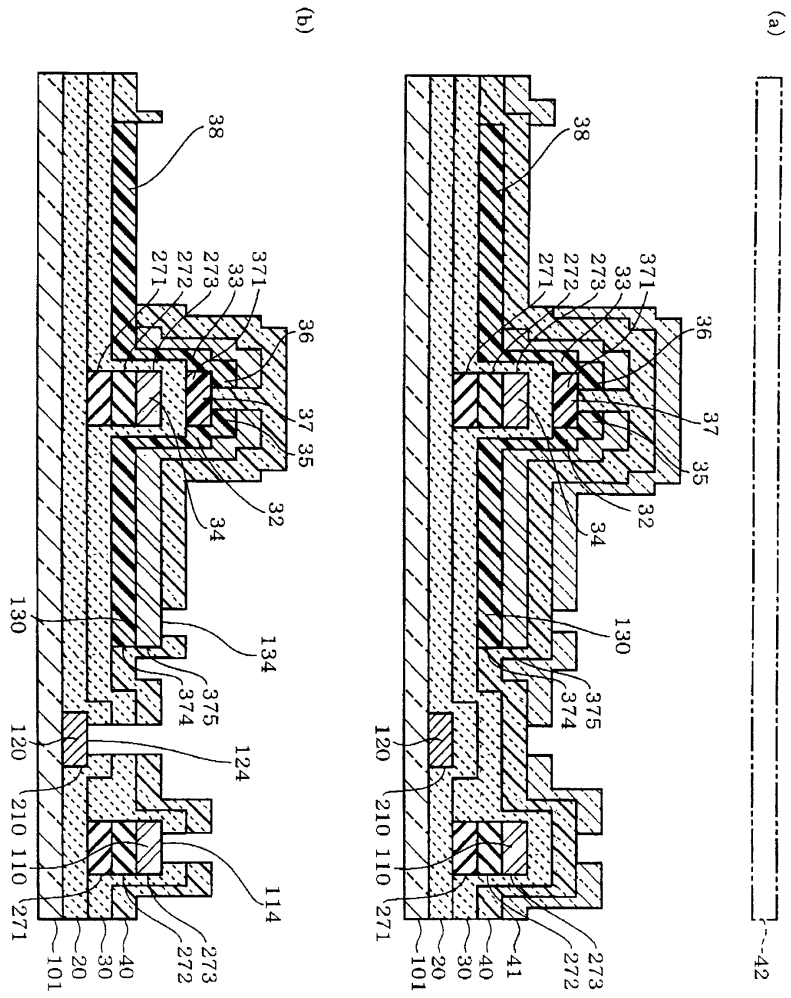


도면11

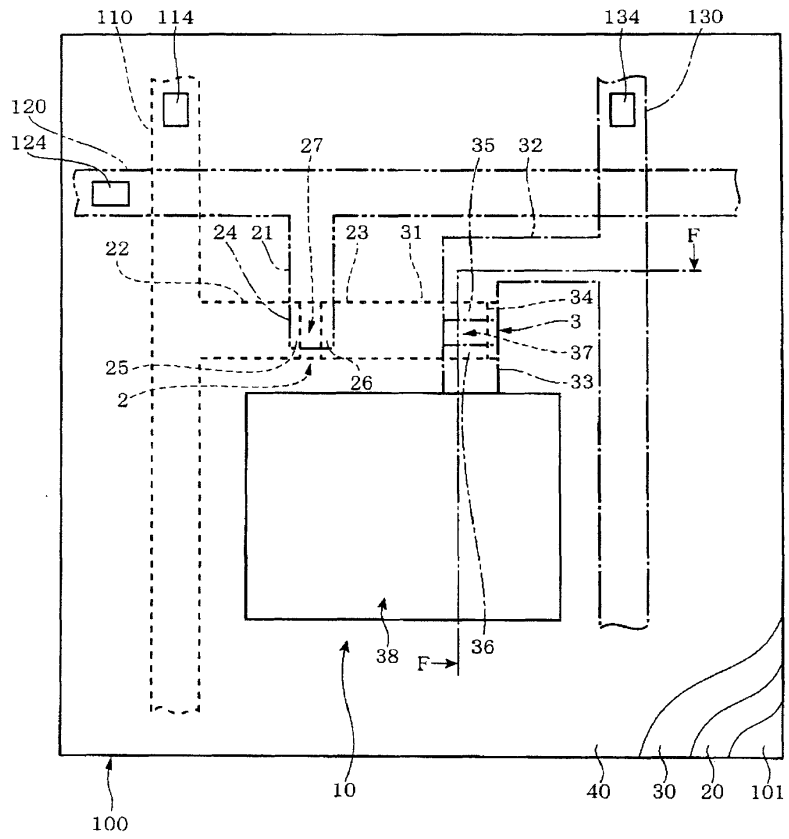




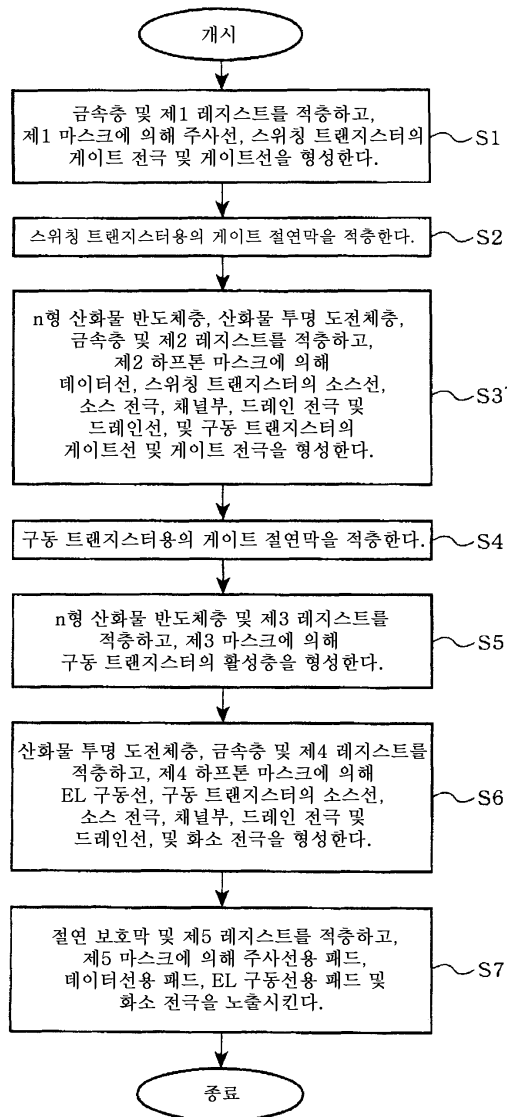
도면12



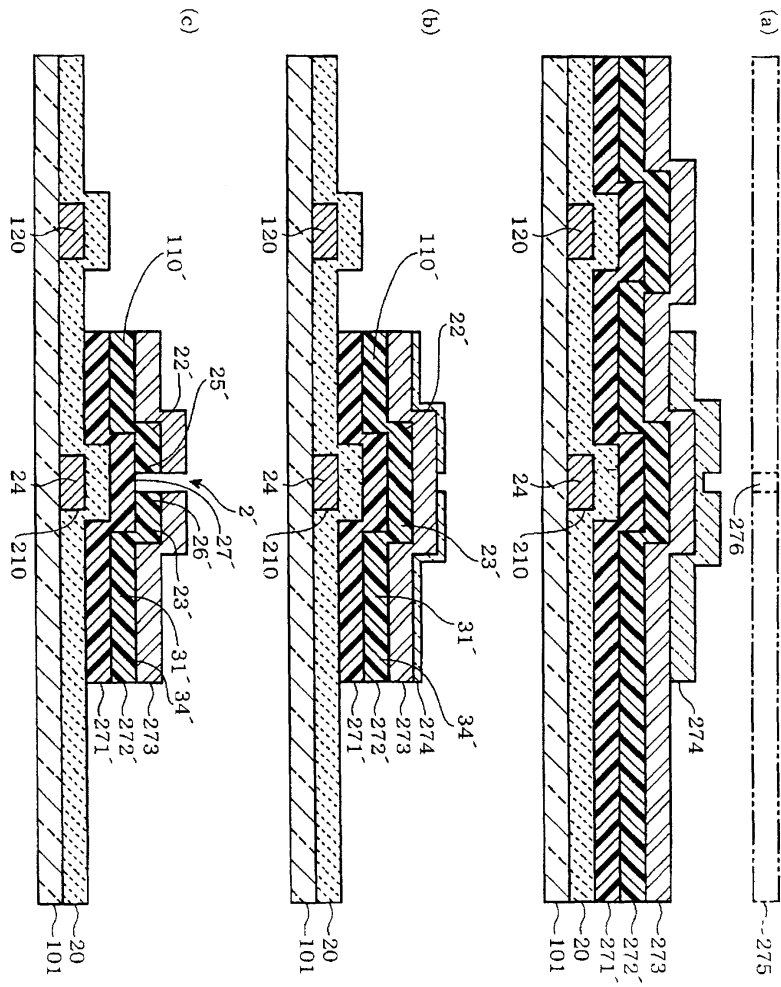
도면13



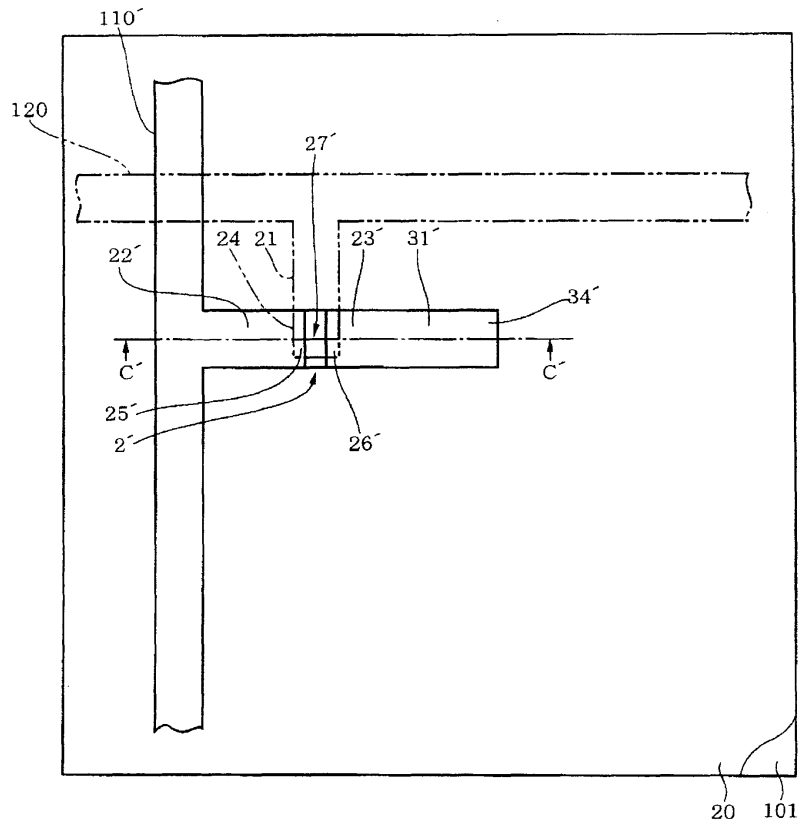
도면14



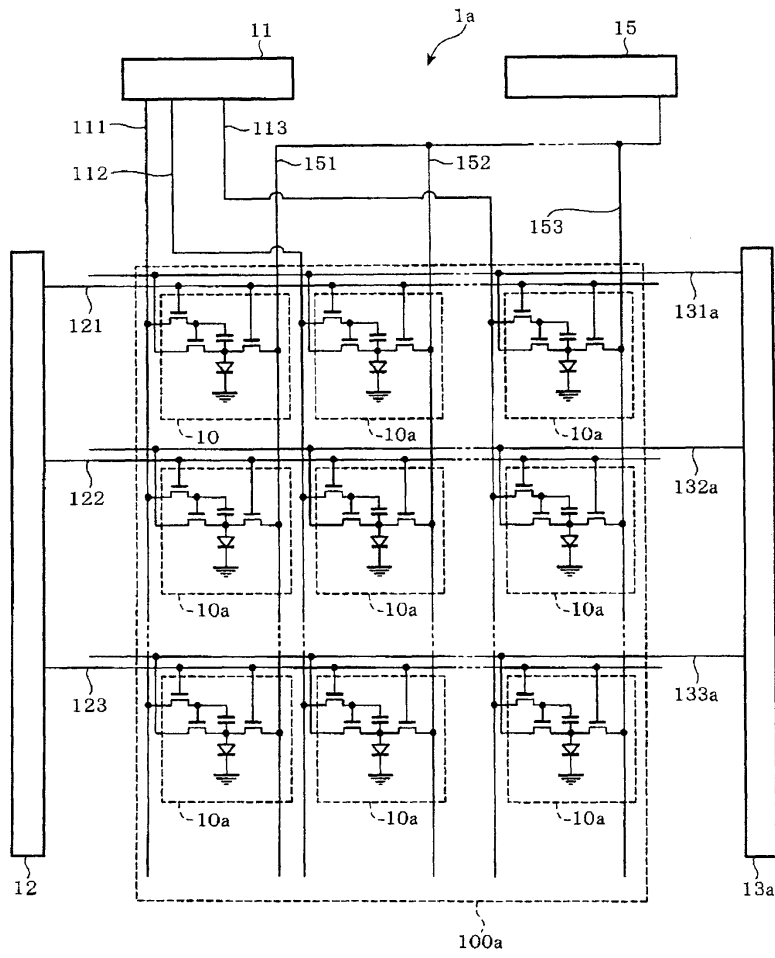
도면15



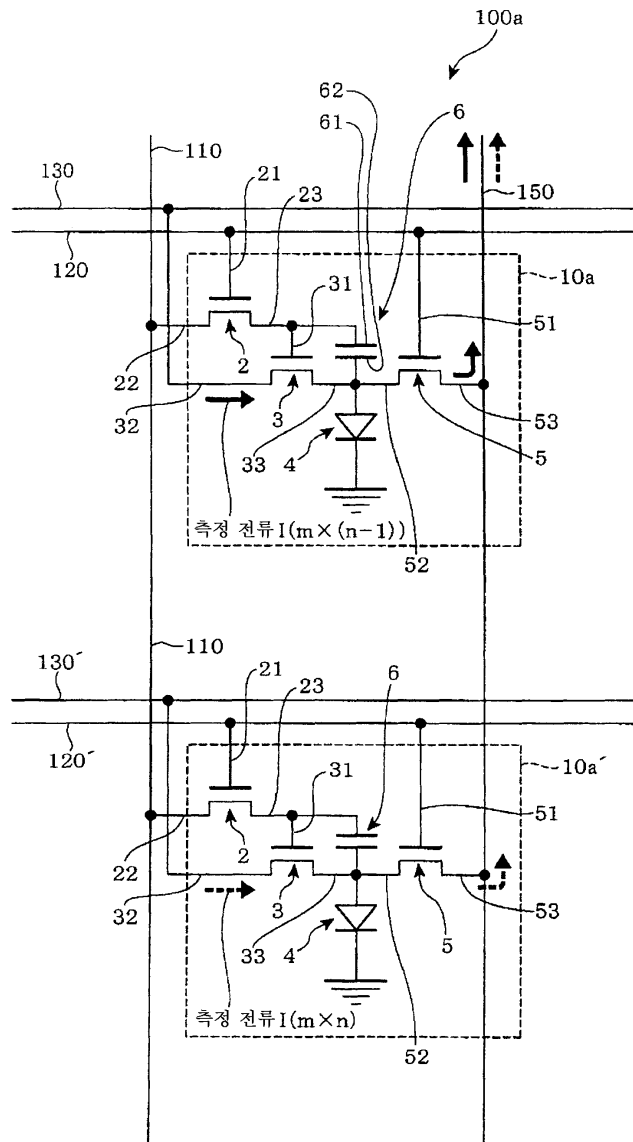
도면16



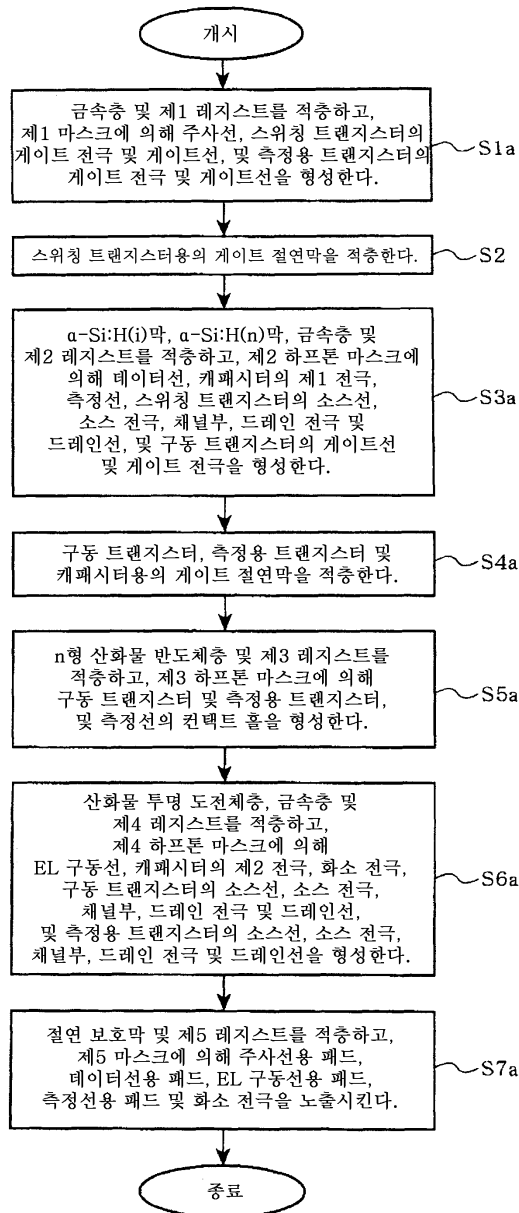
도면17



도면18

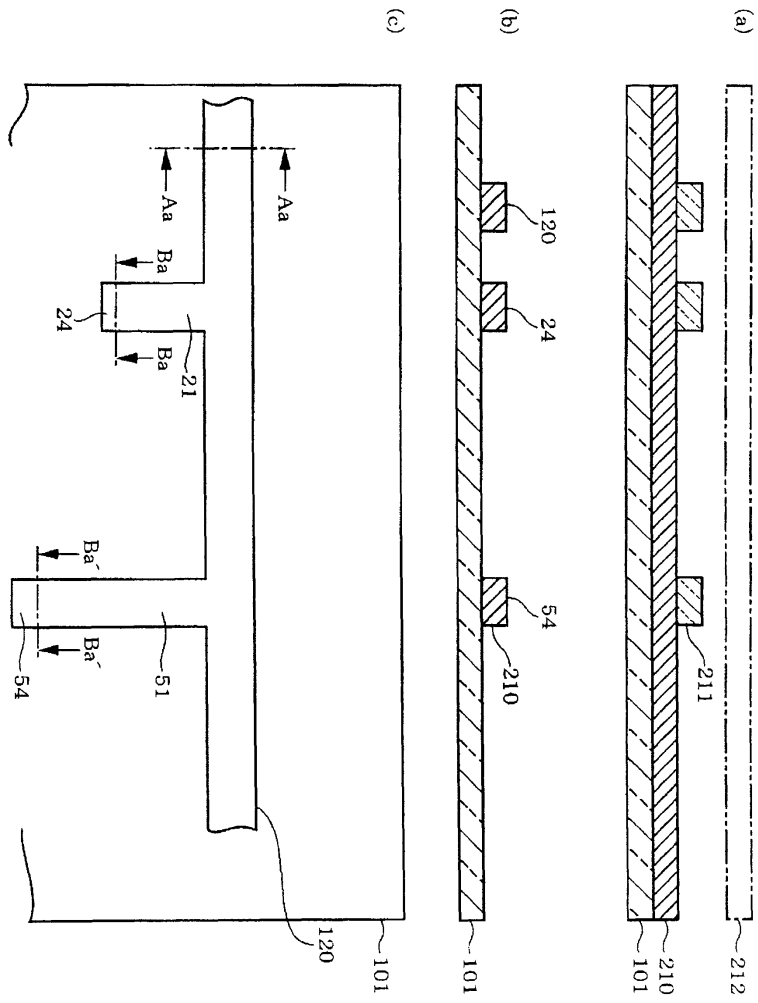


도면19

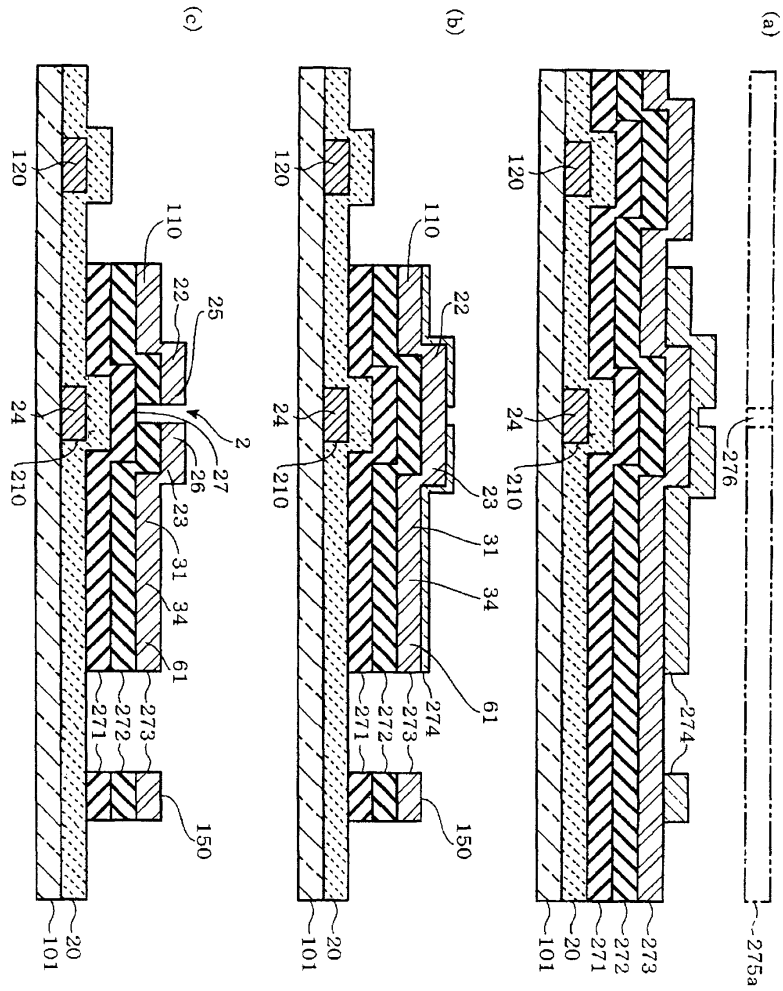




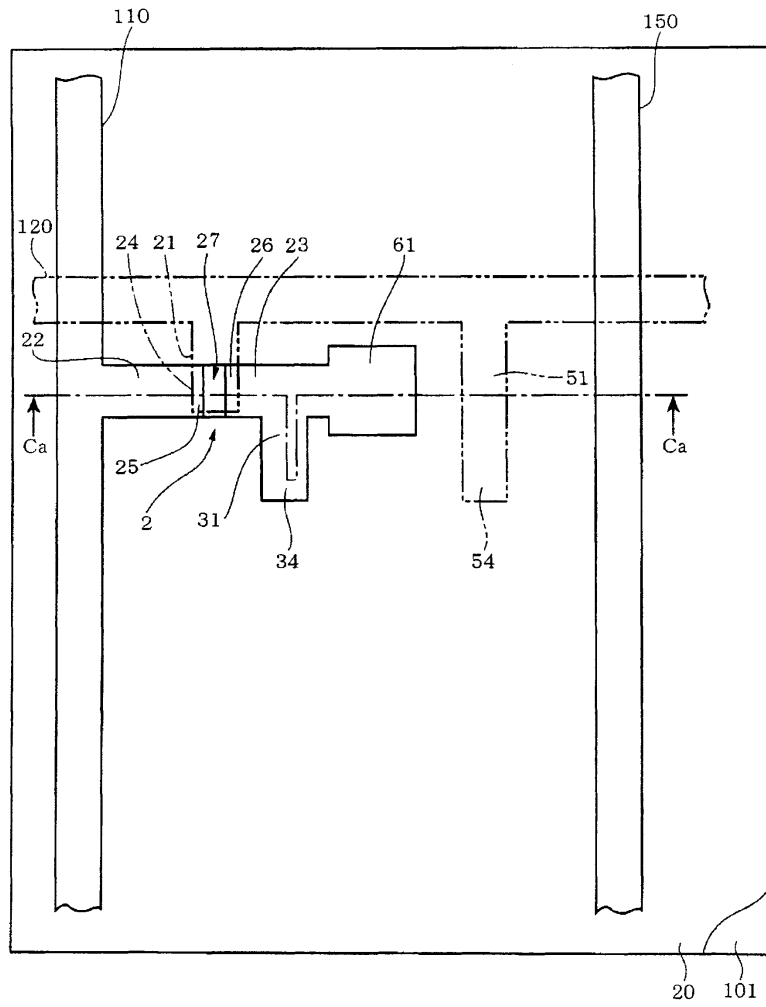
도면20



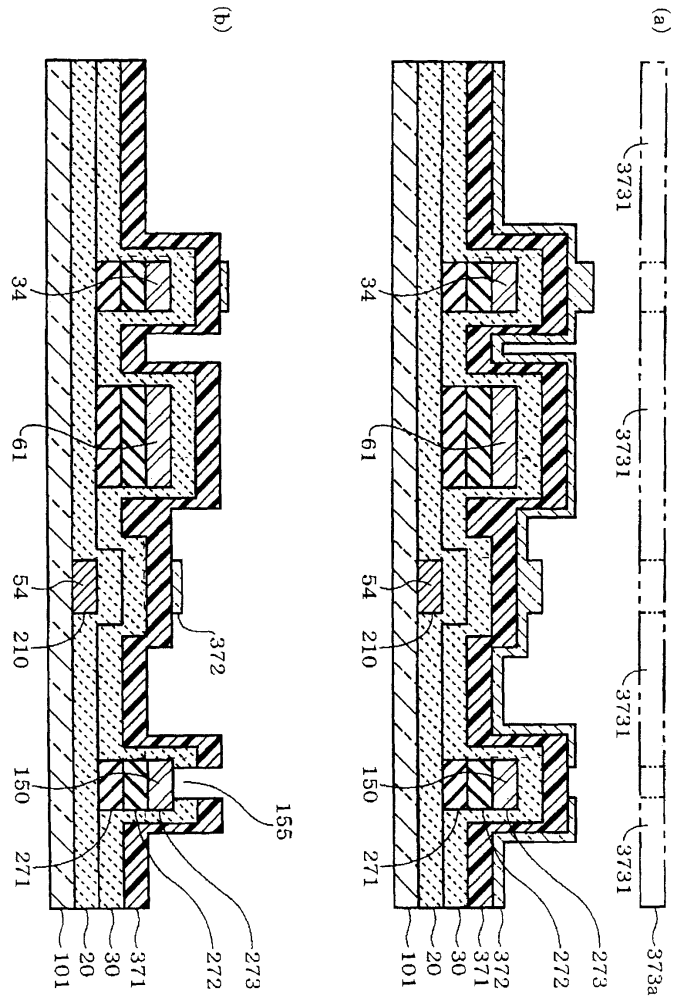
도면21



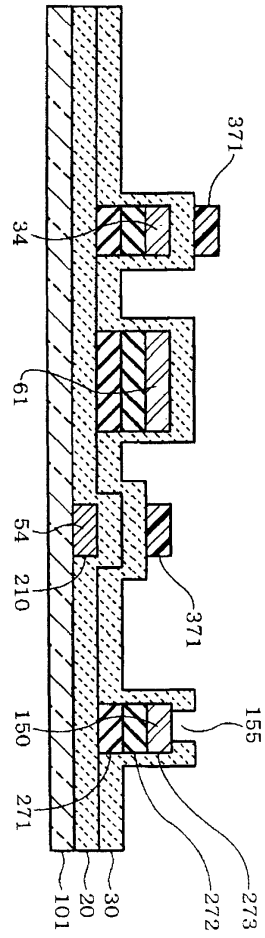
도면22



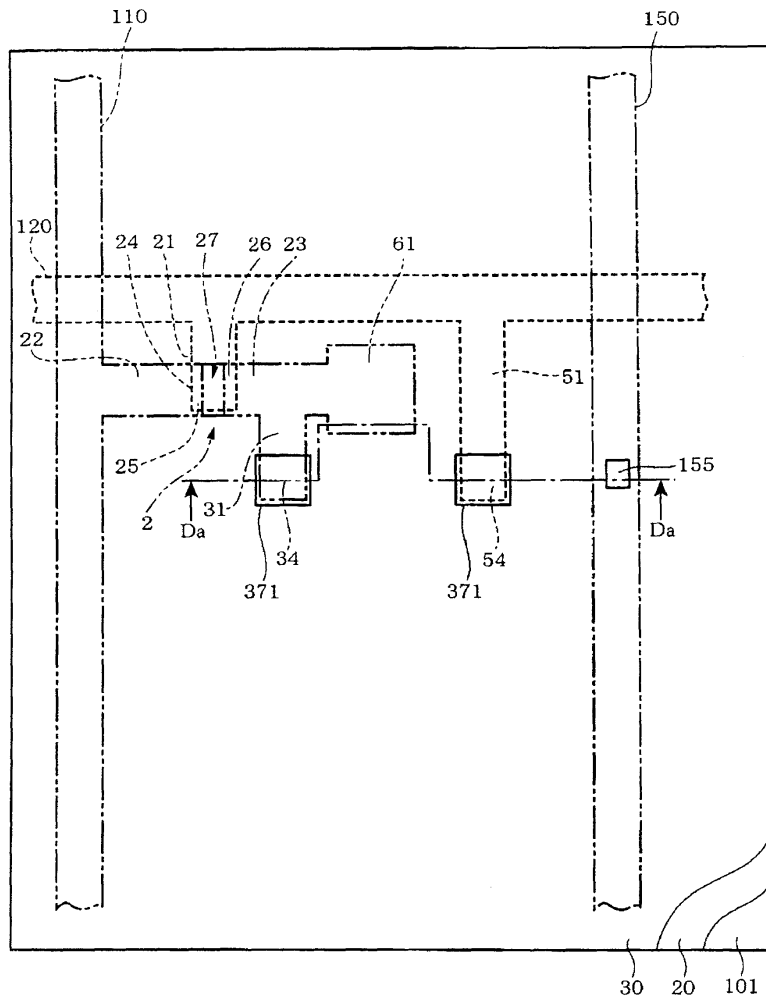
도면23



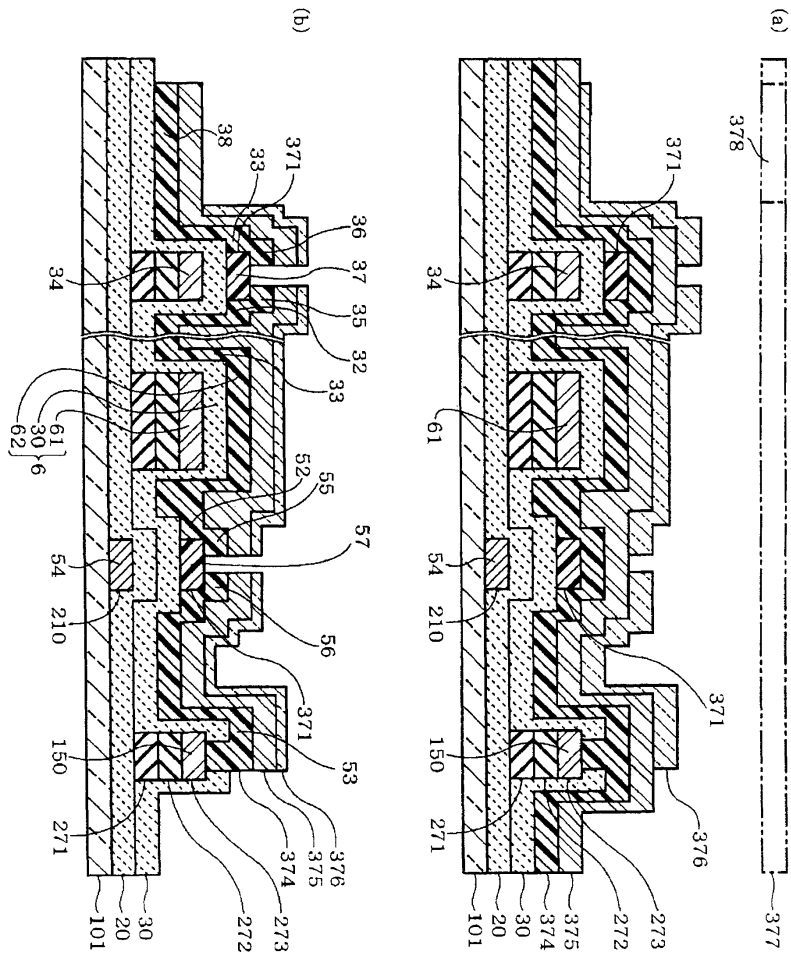
도면24



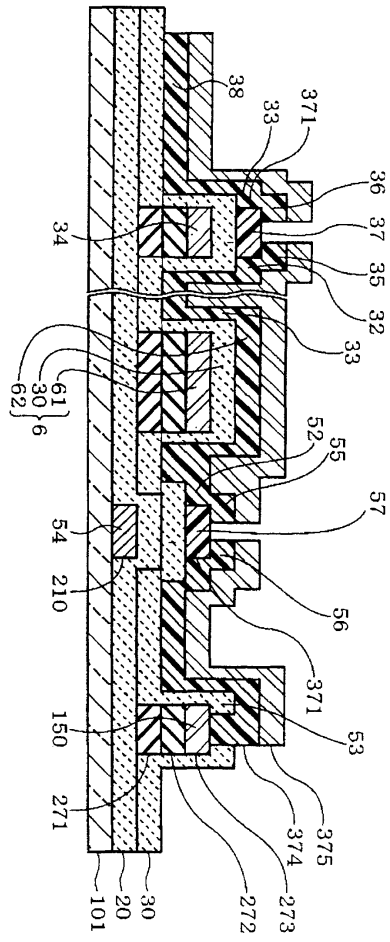
도면25



도면26

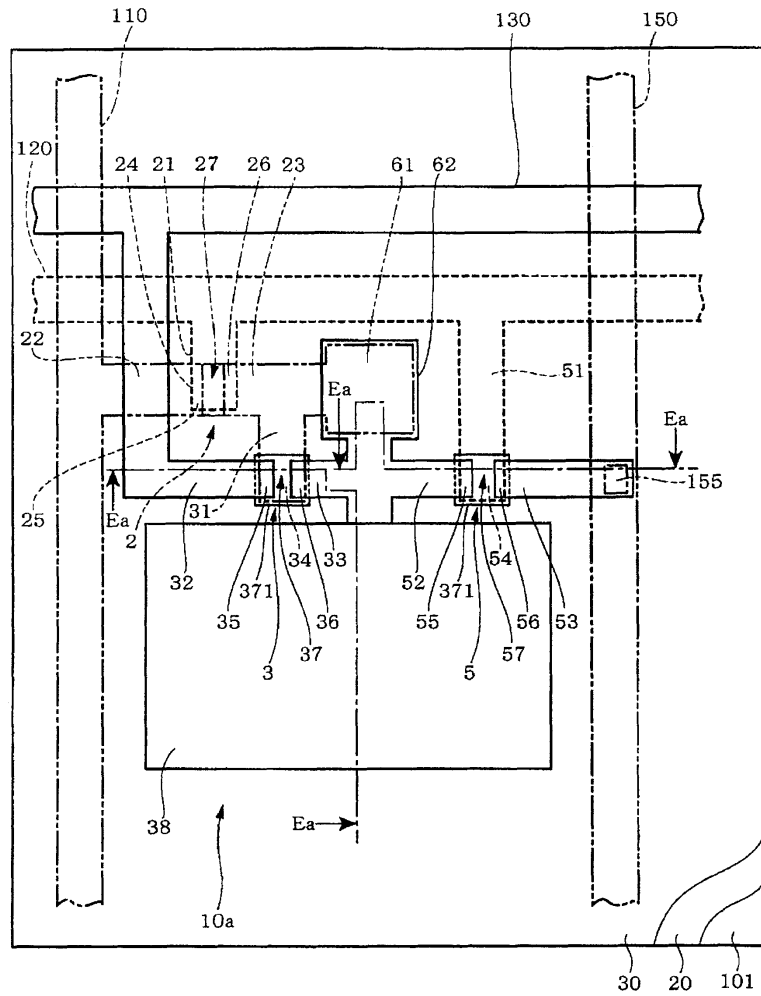


도면27

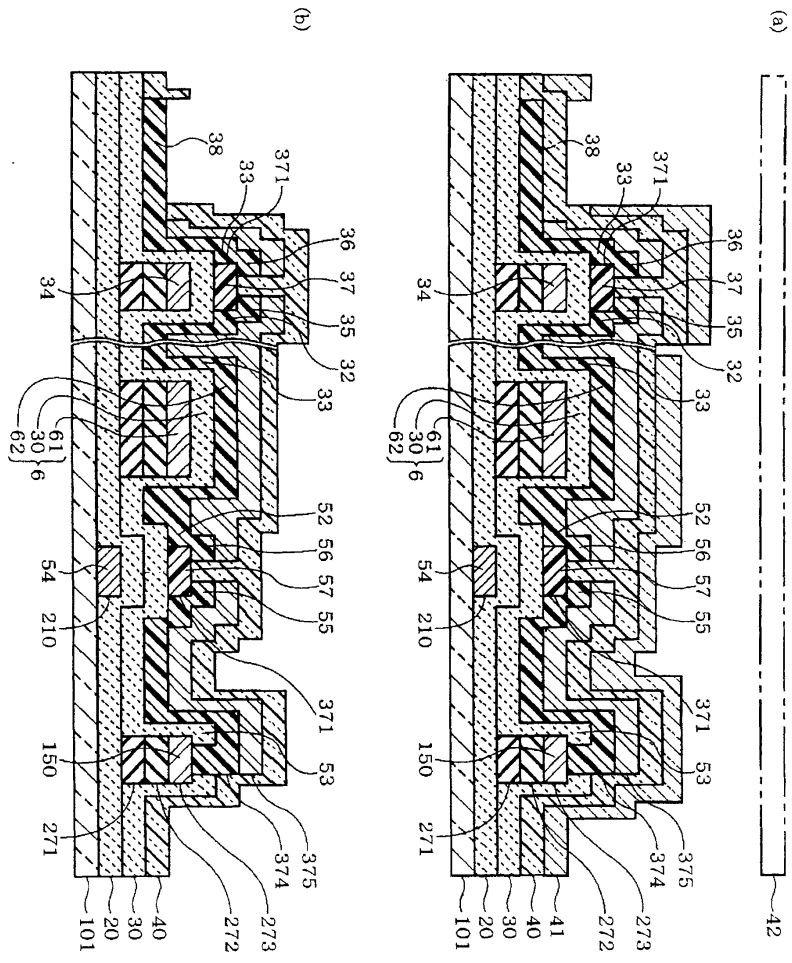




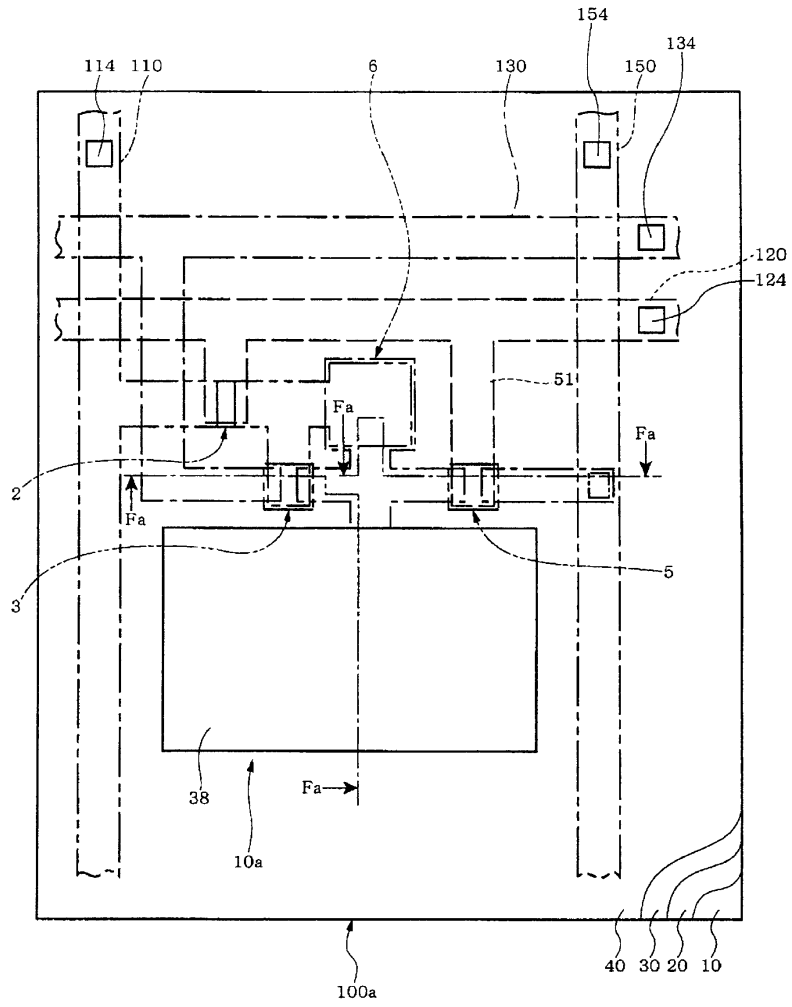
도면28



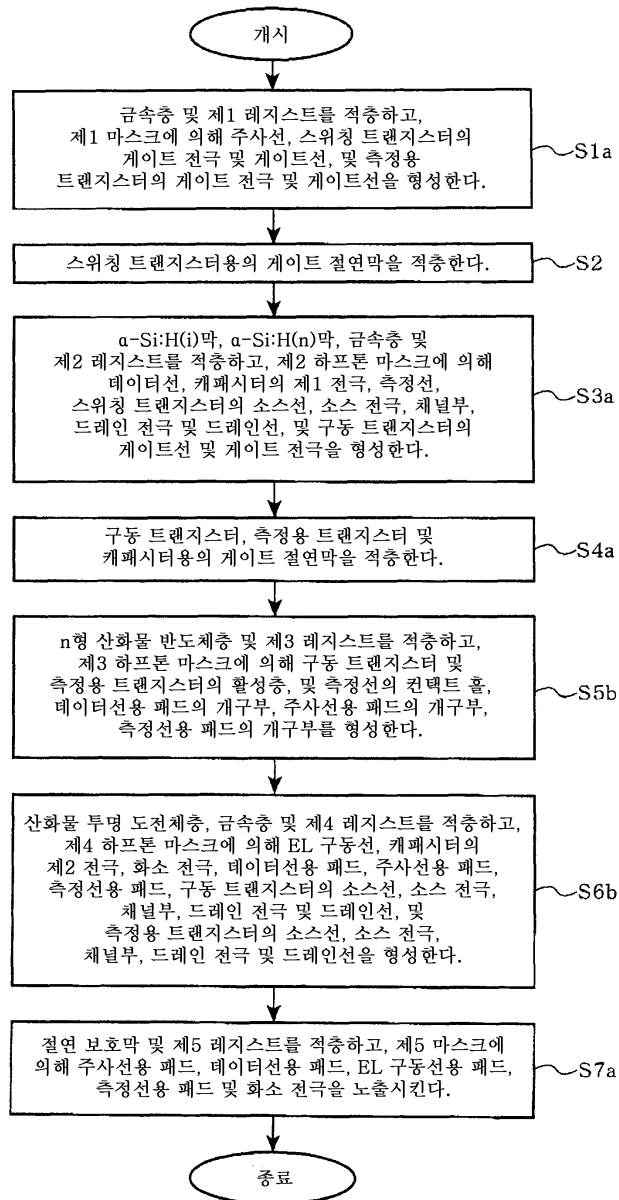
도면29



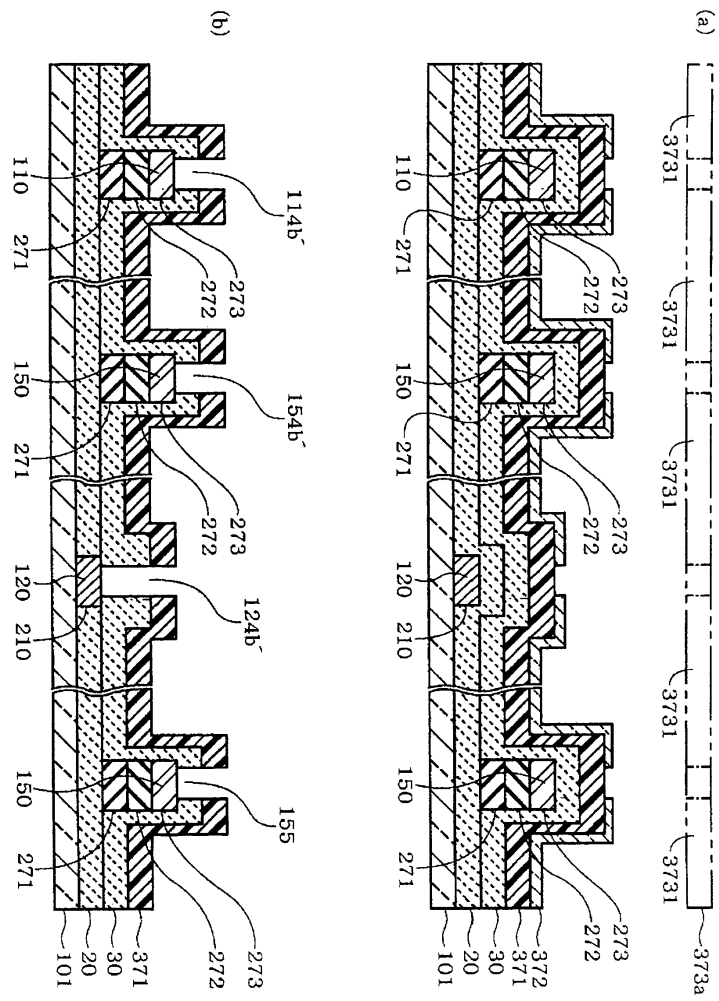
도면30



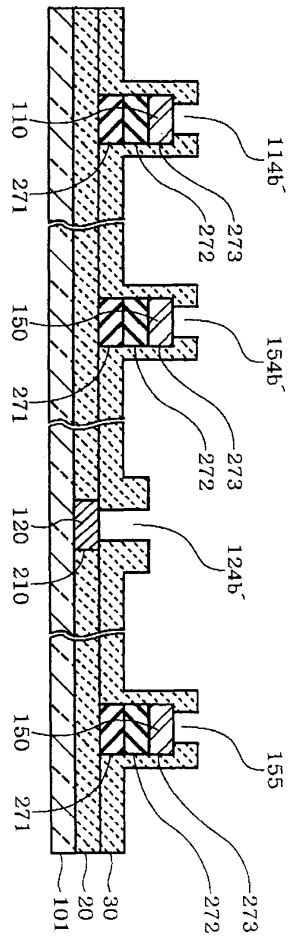
도면31



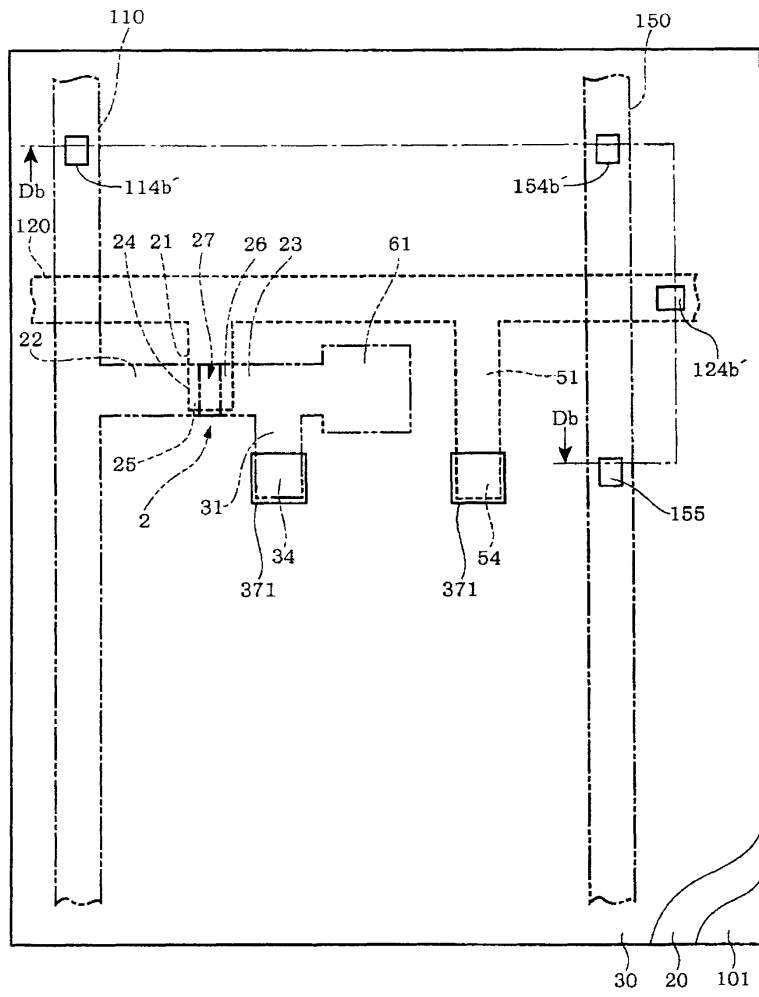
도면32



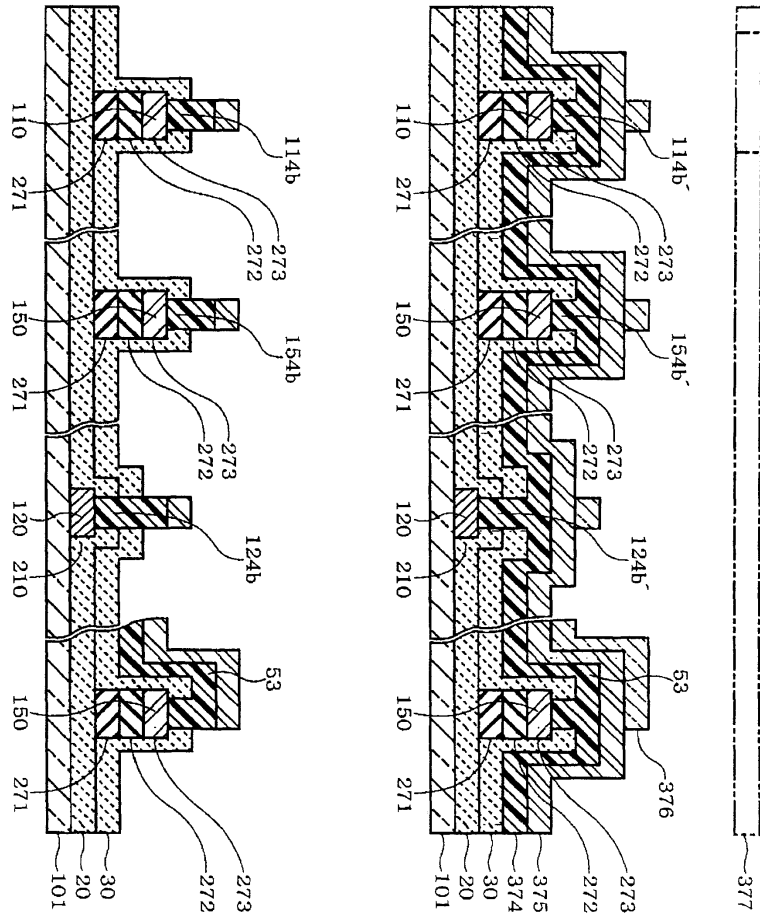
도면33



도면34

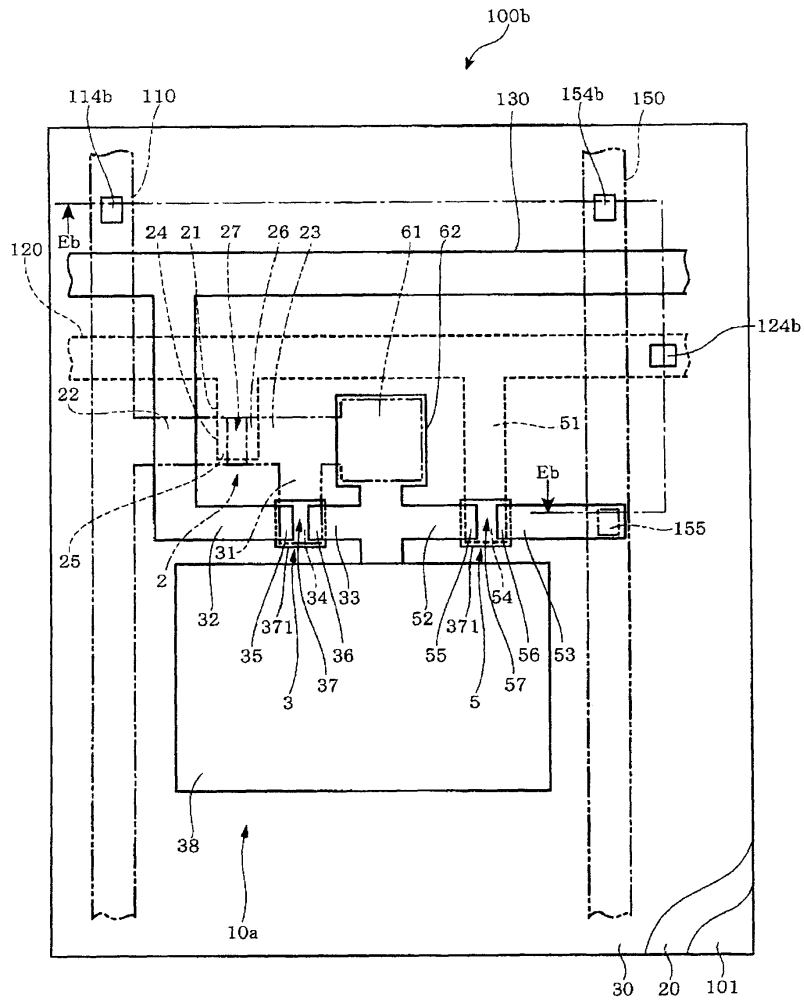


도면35

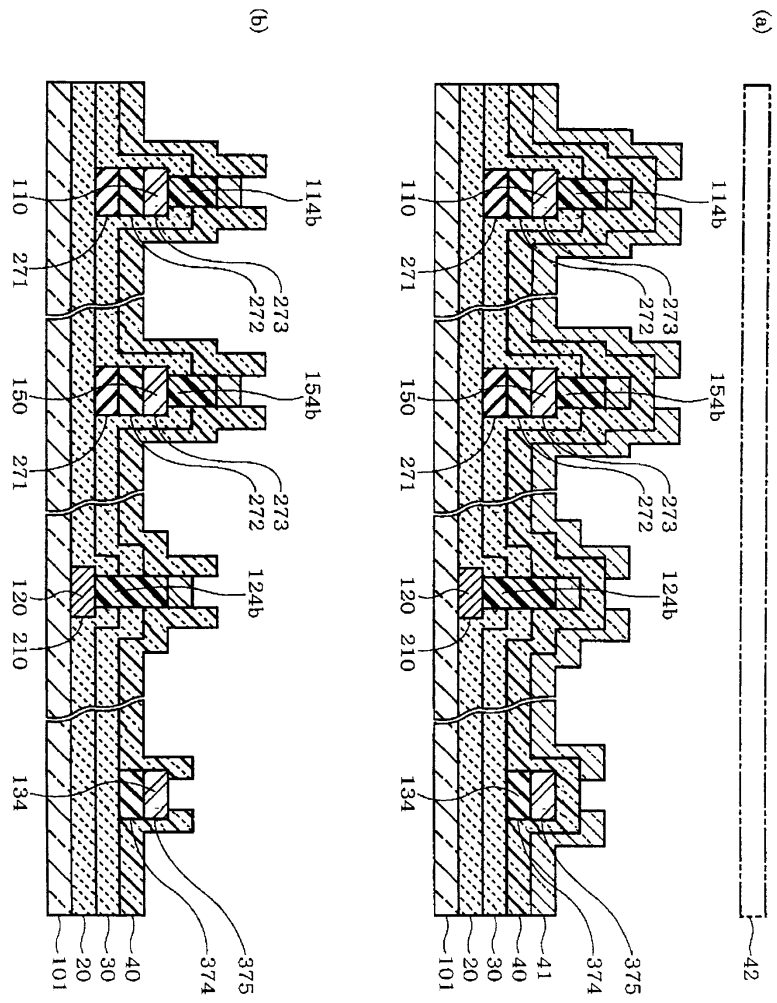




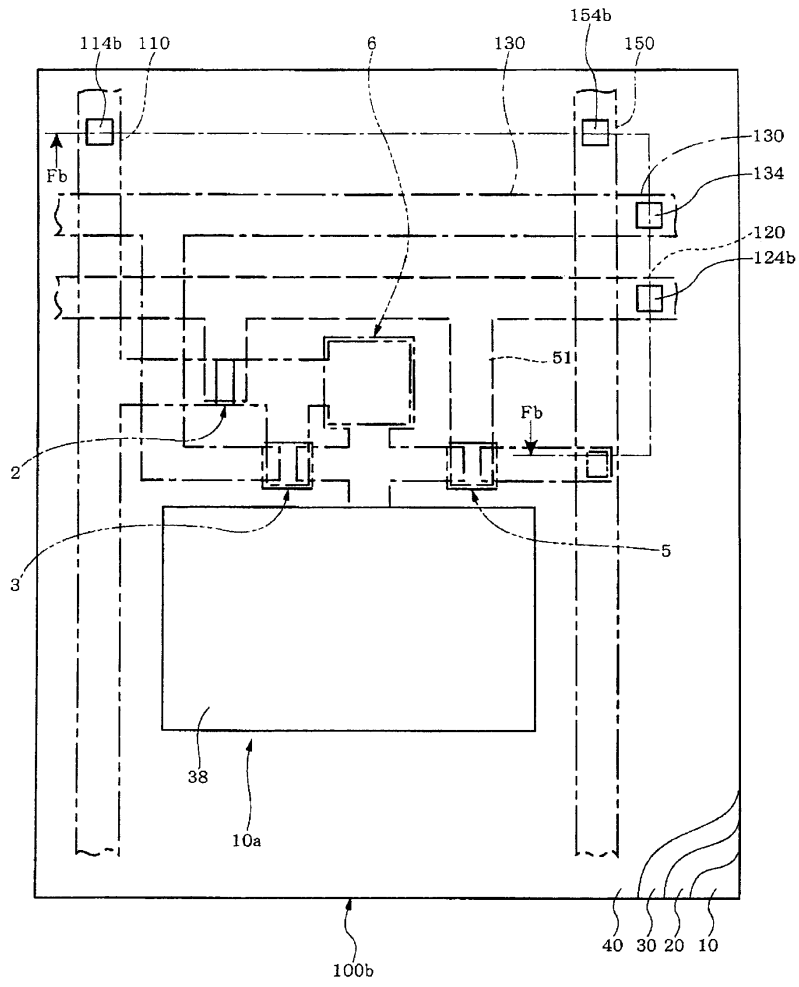
도면36



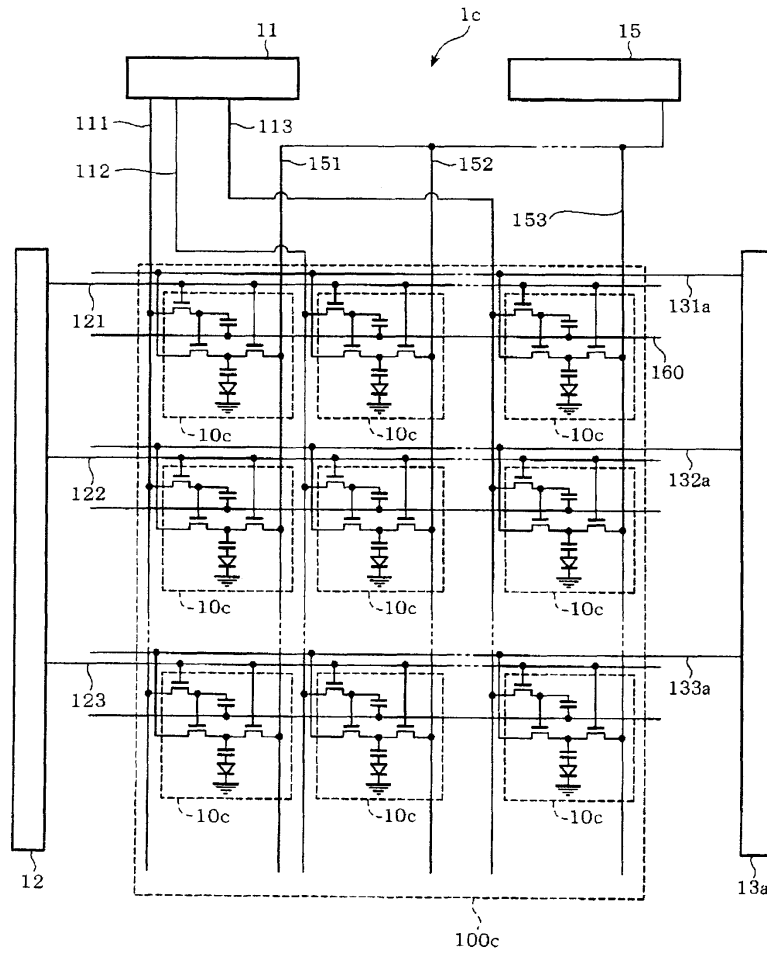
도면37



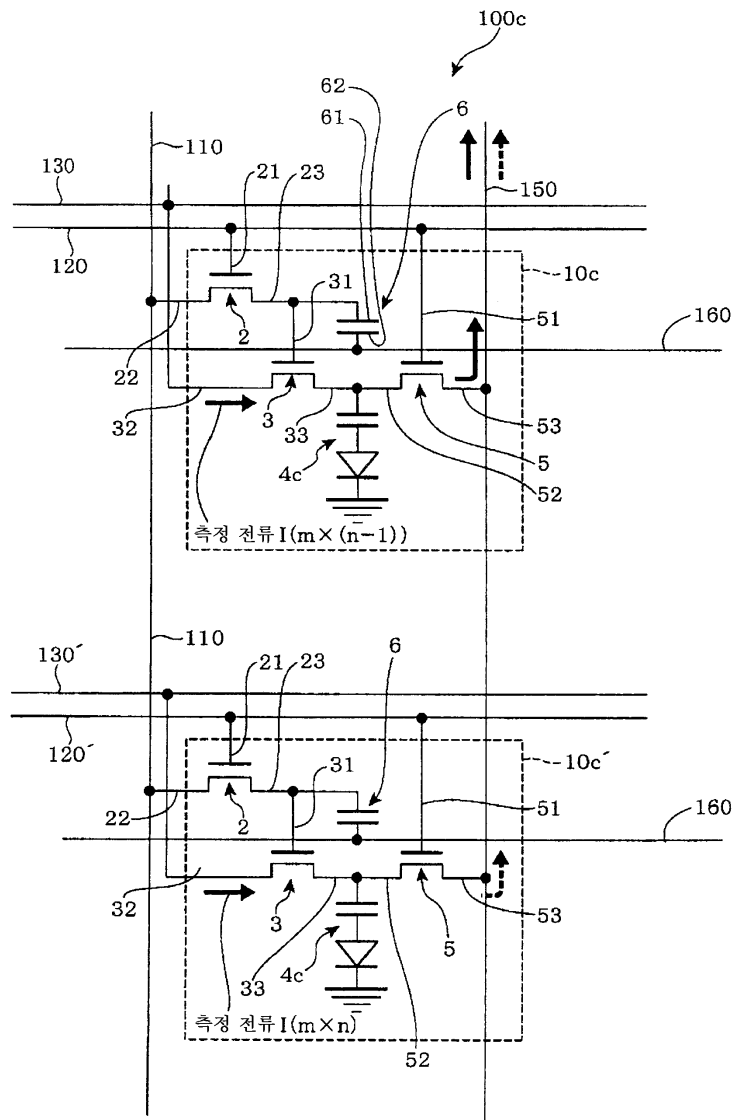
도면38



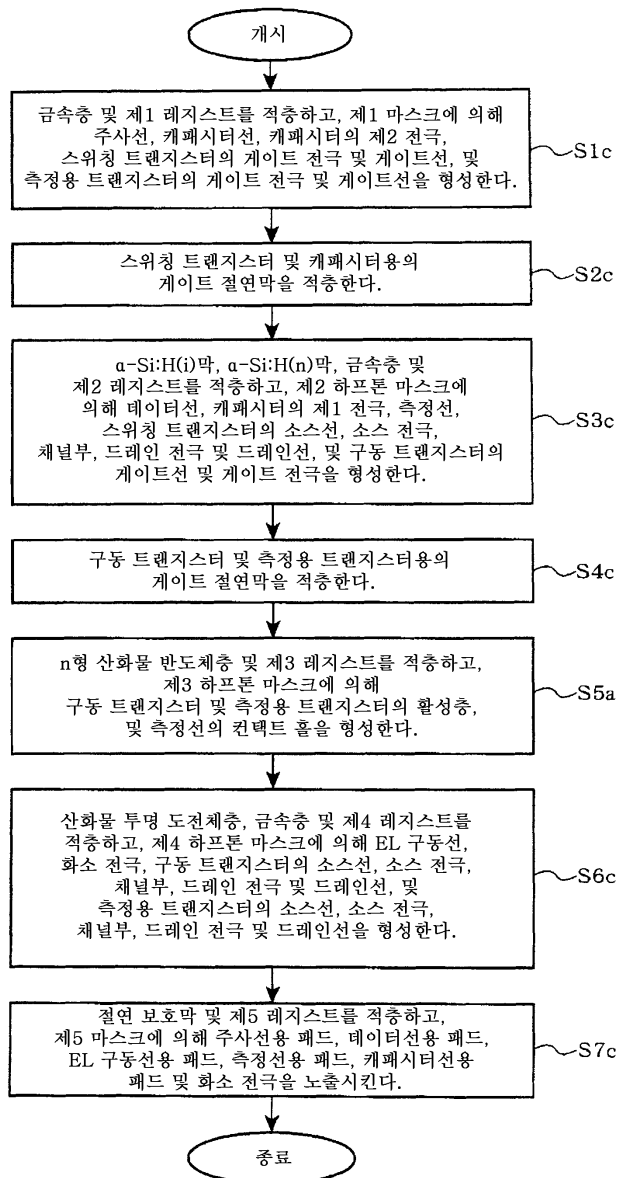
도면39



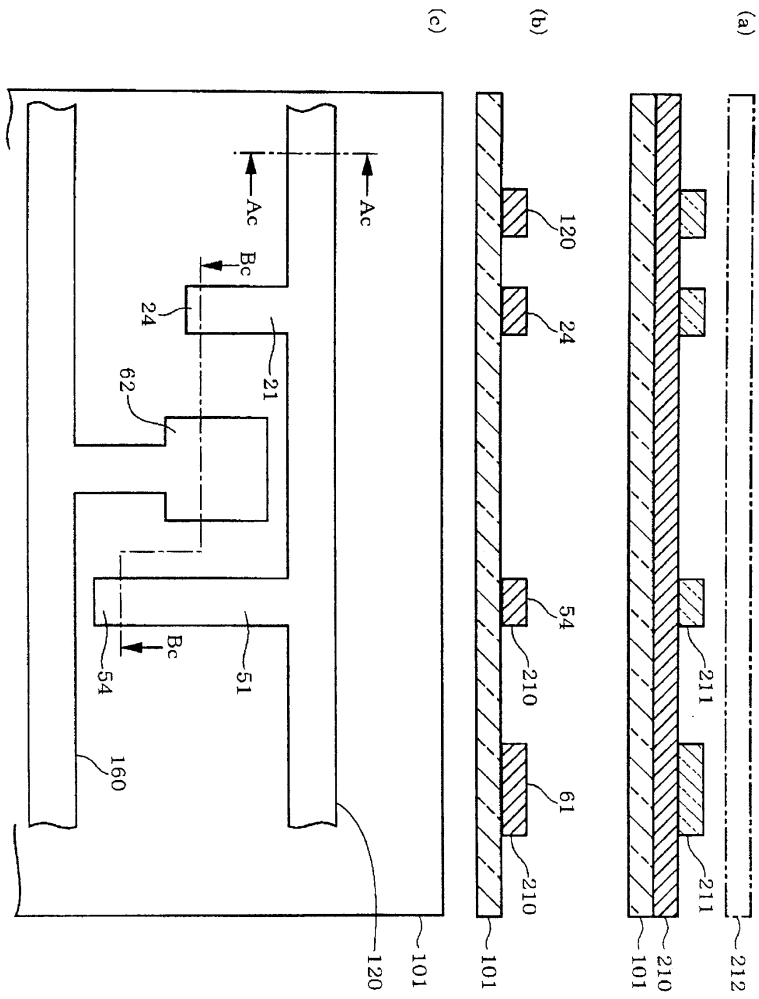
도면40



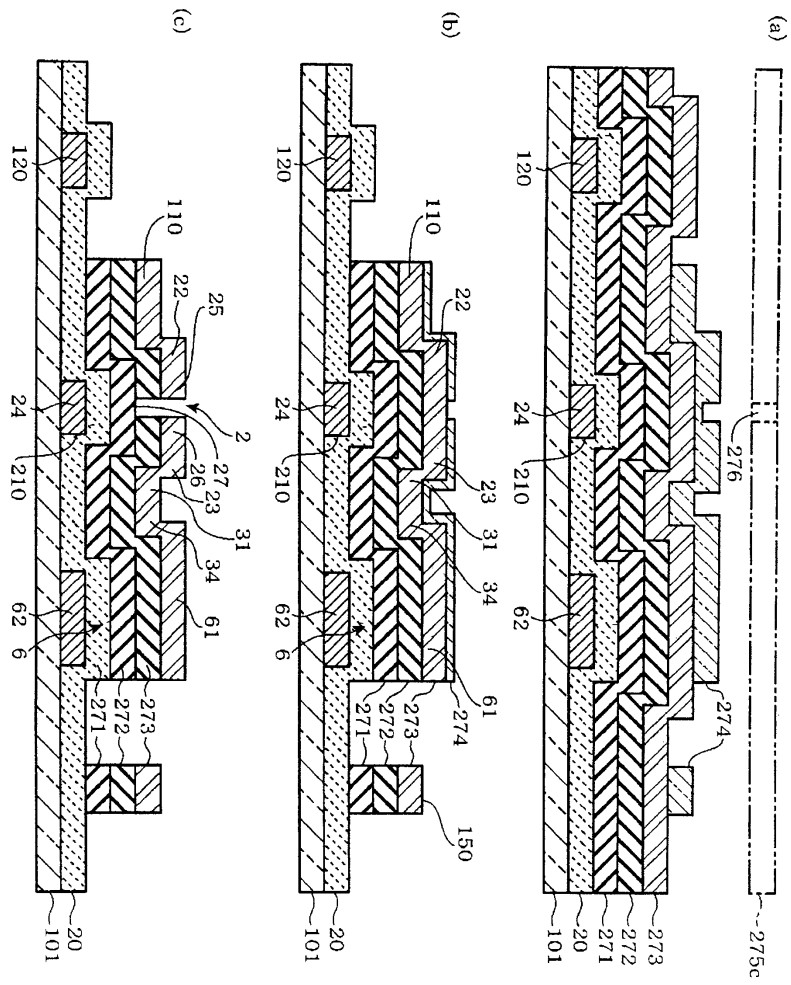
도면41



도면42

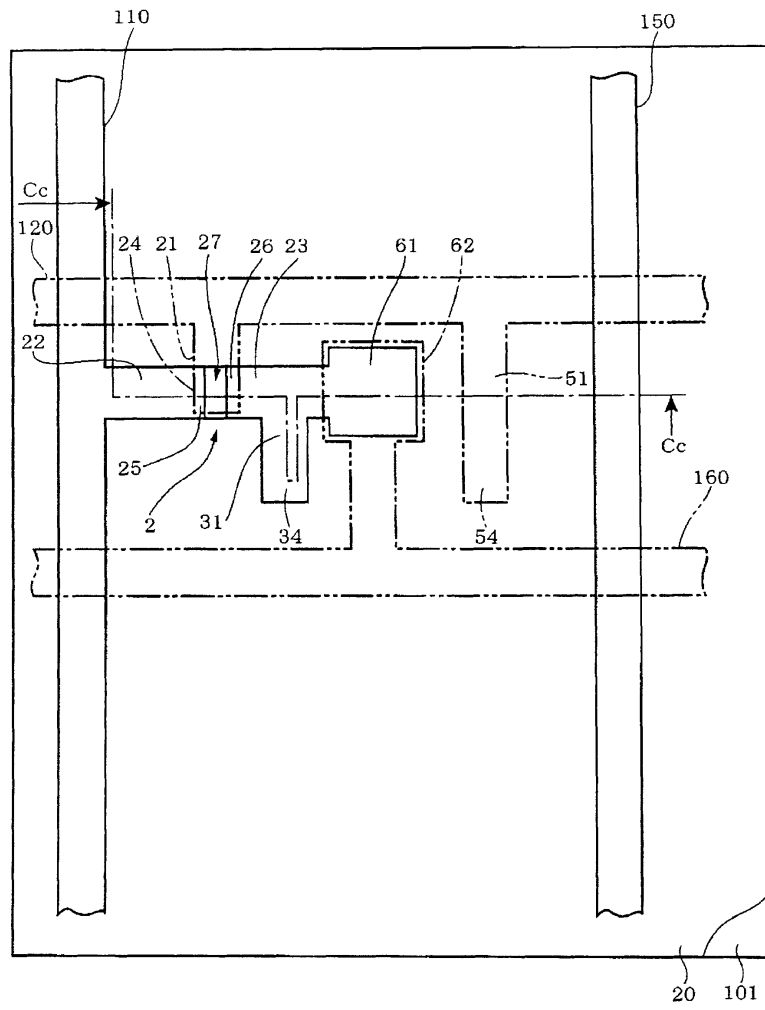


도면43

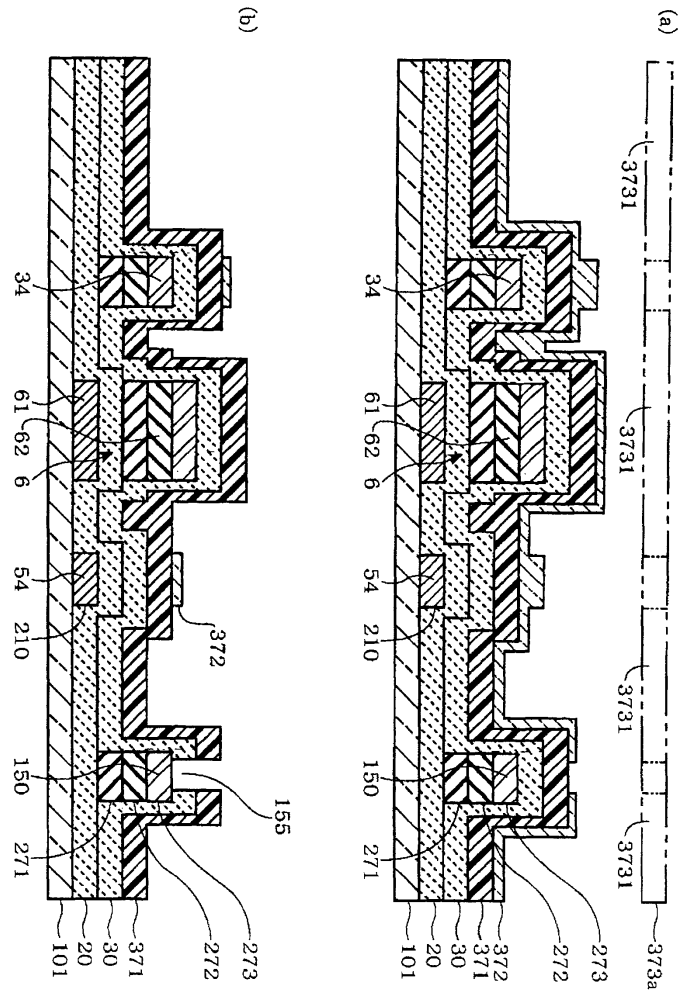




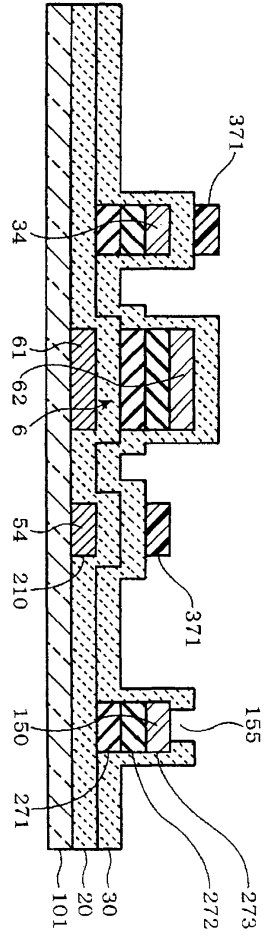
도면44



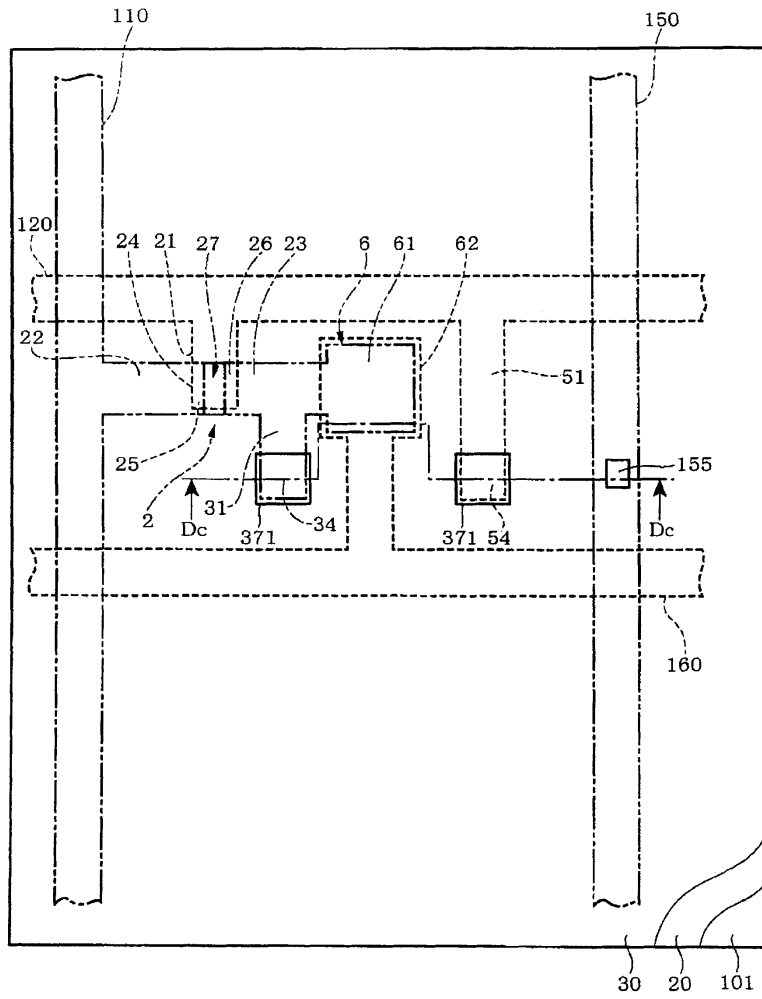
도면45



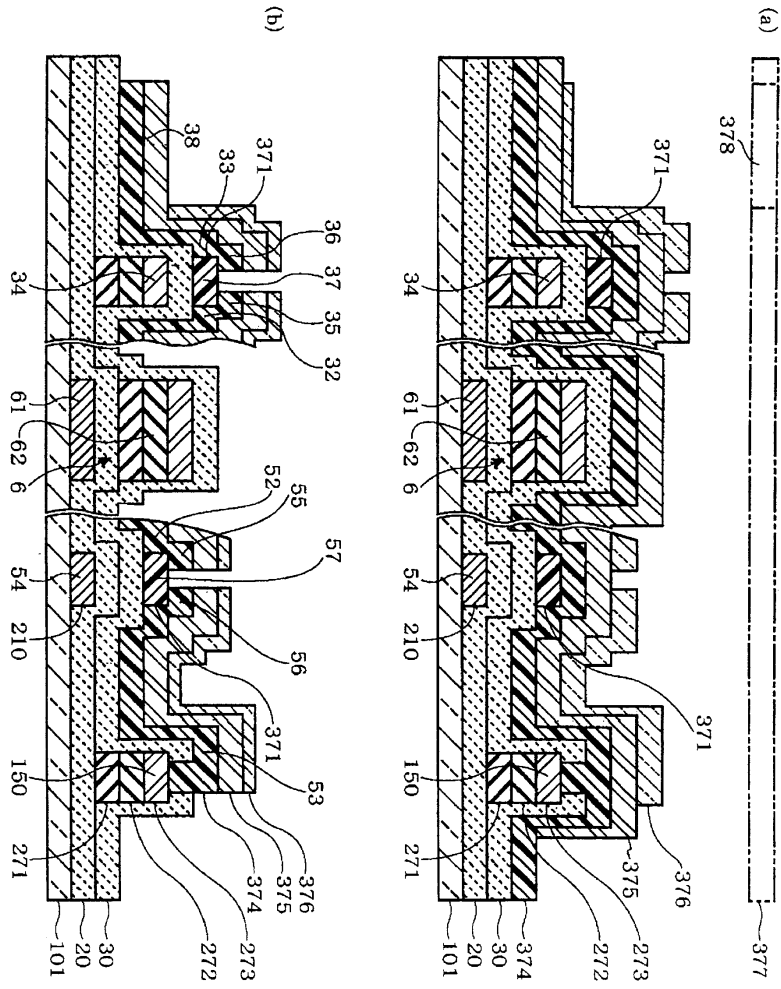
도면46



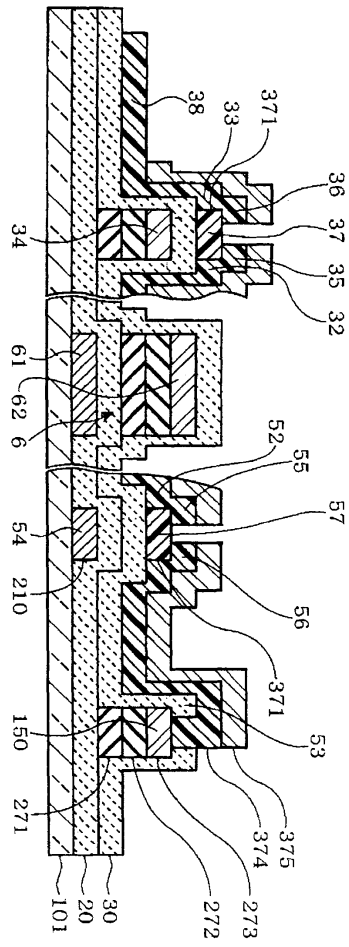
도면47



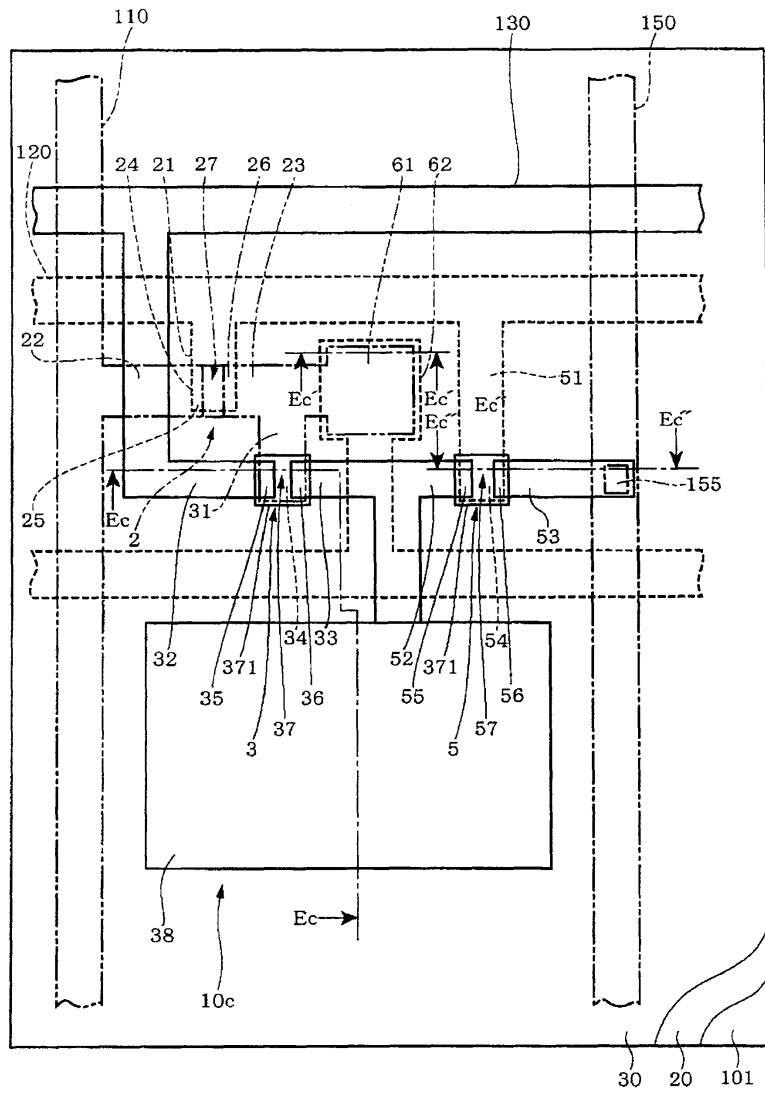
도면48



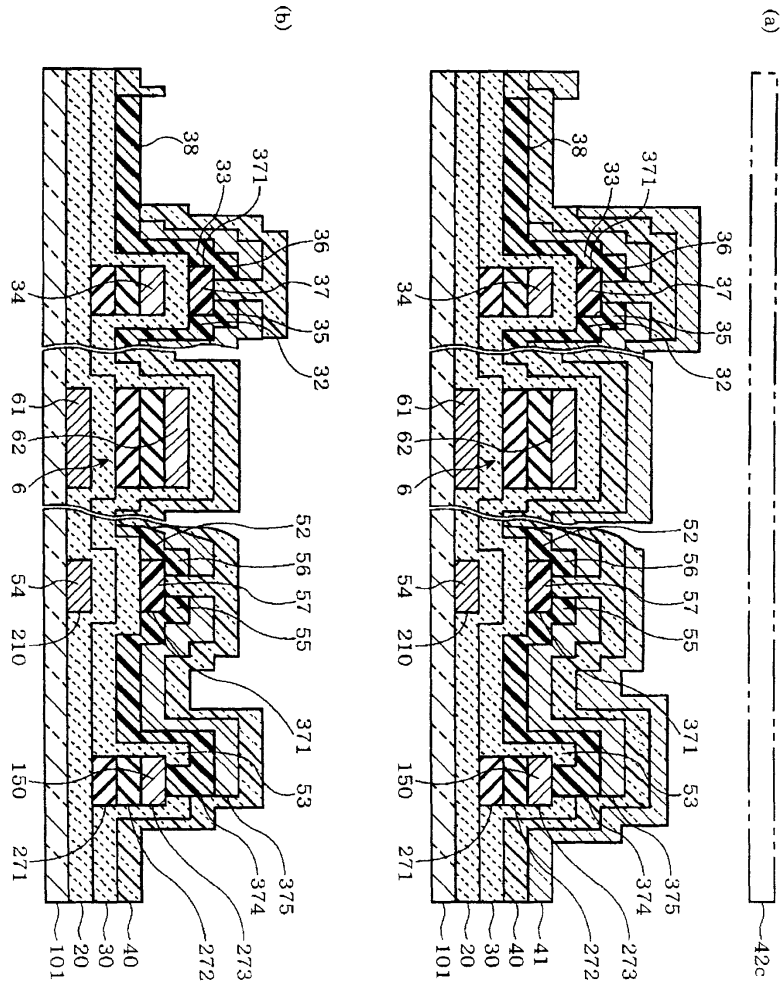
도면49



도면50

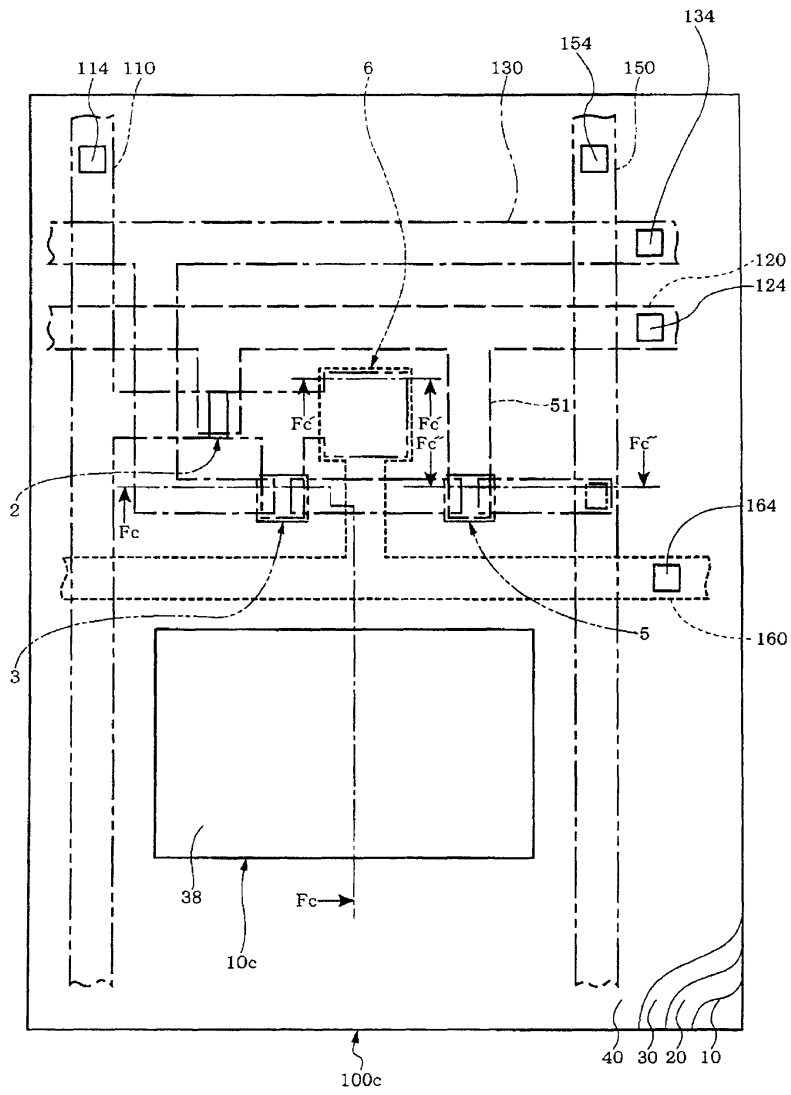


도면51

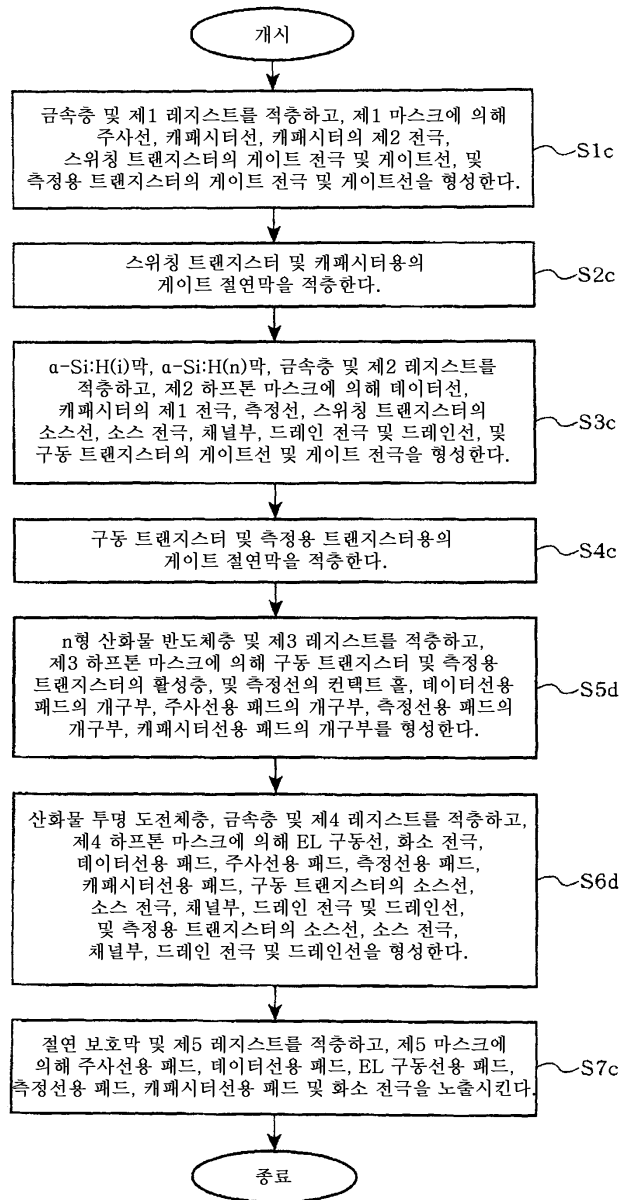




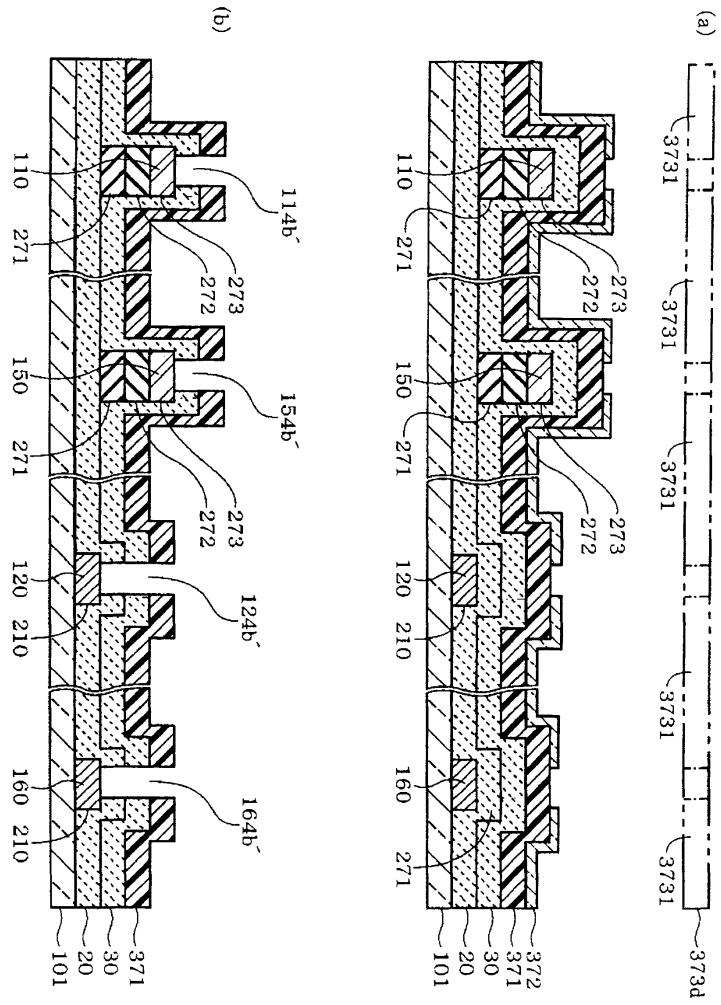
도면52



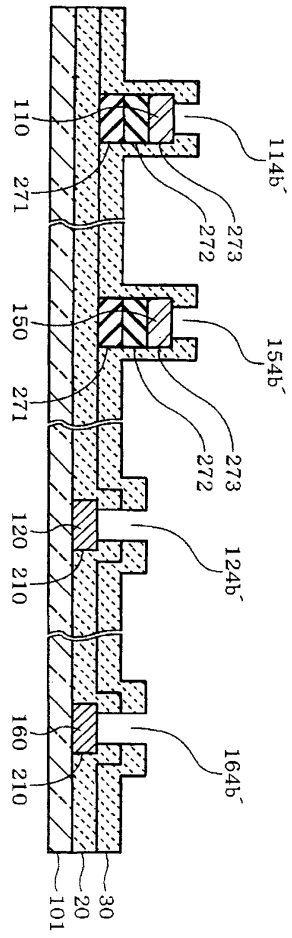
도면53



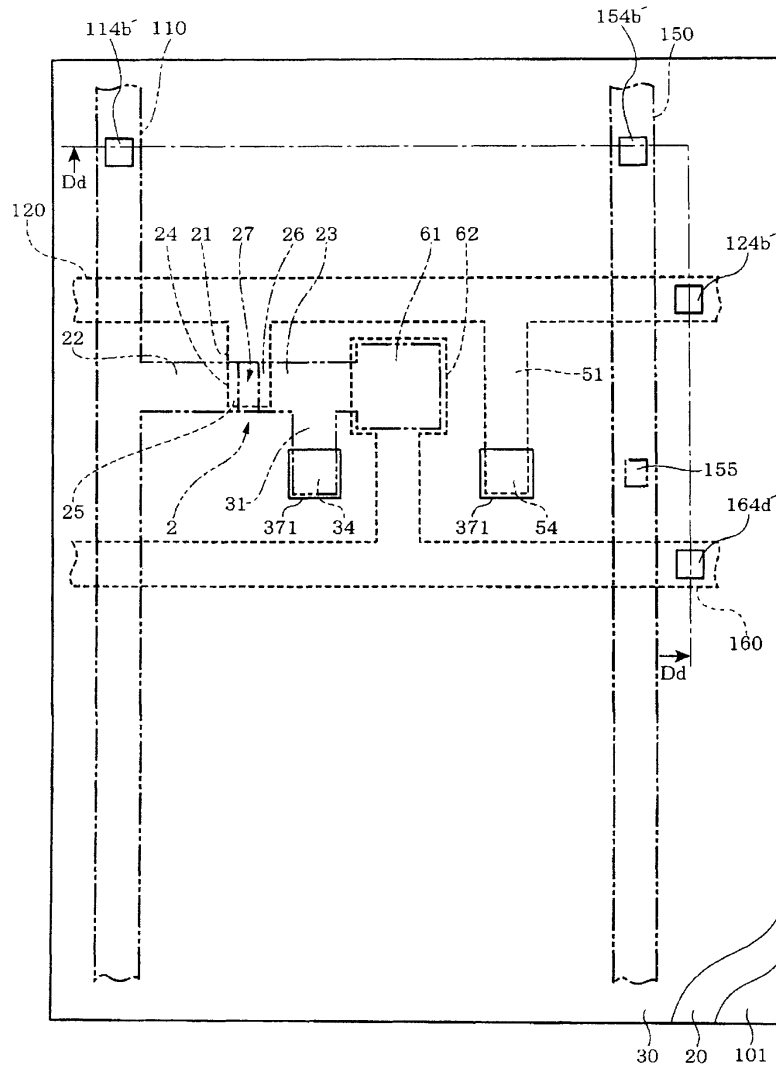
도면54



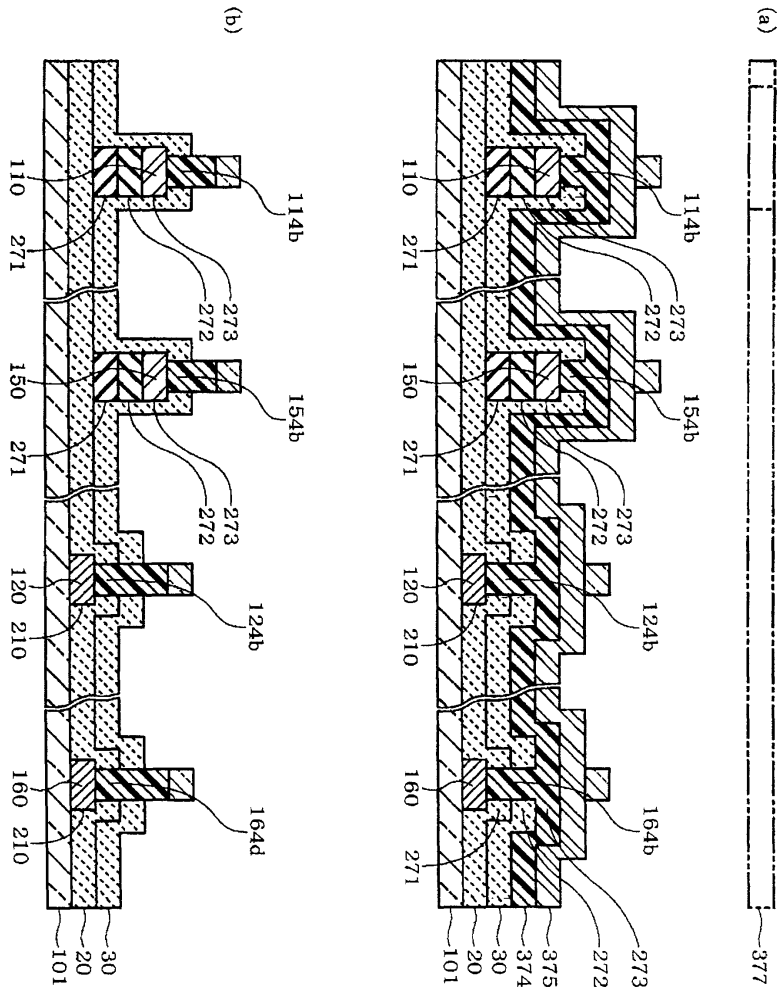
도면55



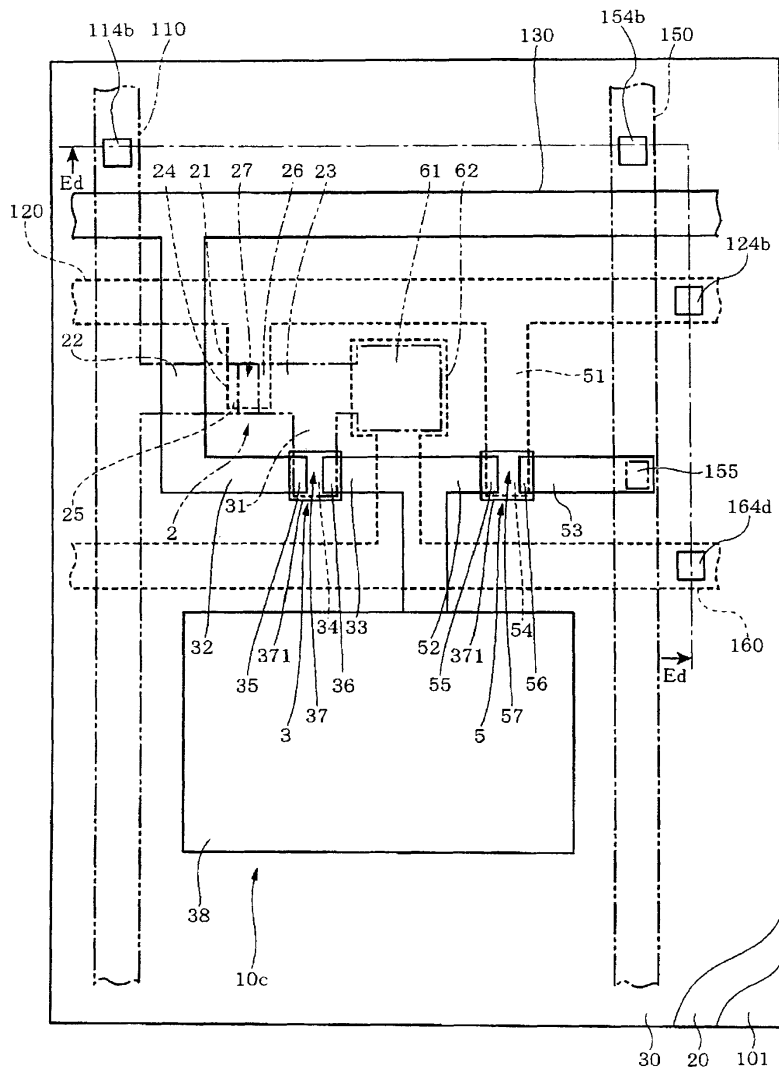
도면56



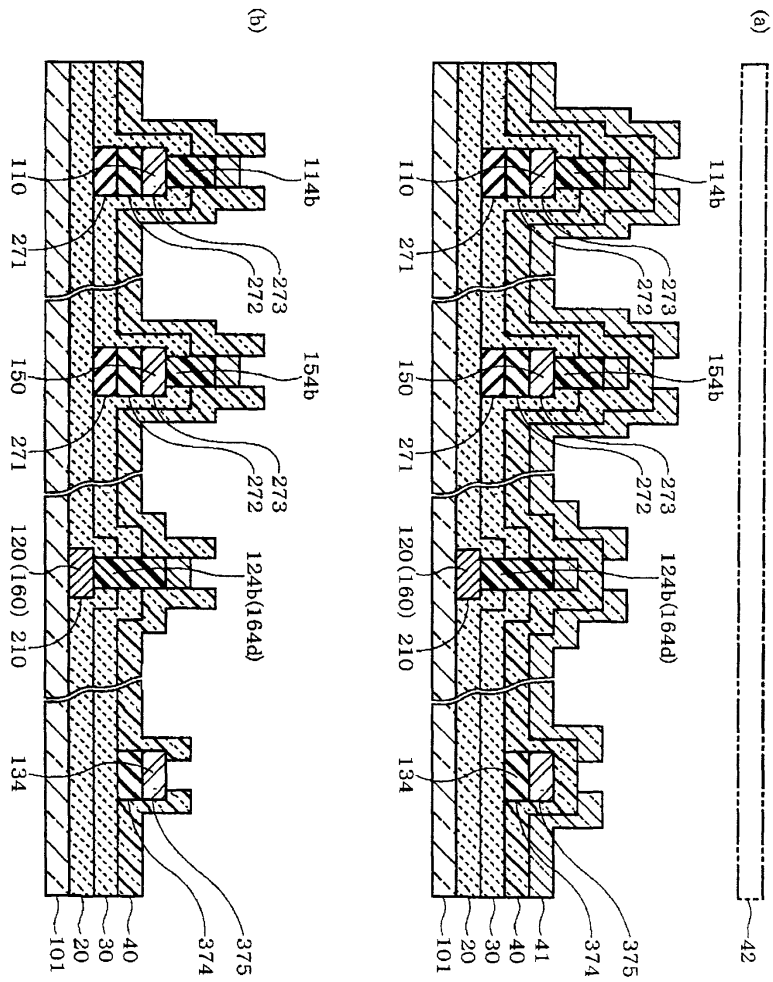
도면57



도면58



도면59





도면60

