

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294565

(P2005-294565A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl.⁷

H O 1 L 21/8247

H O 1 L 27/115

H O 1 L 29/786

H O 1 L 29/788

H O 1 L 29/792

F I

H O 1 L 29/78

3 7 1

H O 1 L 27/10

4 3 4

H O 1 L 29/78

6 1 3 B

テーマコード (参考)

5 F O 8 3

5 F 1 0 1

5 F 1 1 0

審査請求 有 請求項の数 9 O L (全 22 頁)

(21) 出願番号 特願2004-108053 (P2004-108053)

(22) 出願日 平成16年3月31日 (2004.3.31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100109900

弁理士 堀口 浩

(72) 発明者 小野 瑞城

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP03 EP23 EP42 EP55

EP63 ER03 ER14 ER21 ER30

GA05 HA02 JA02 JA05 JA35

JA36 JA37 JA39 JA53 MA02

NA01 ZA21

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびこの不揮発性半導体記憶装置を含む半導体装置

(57) 【要約】

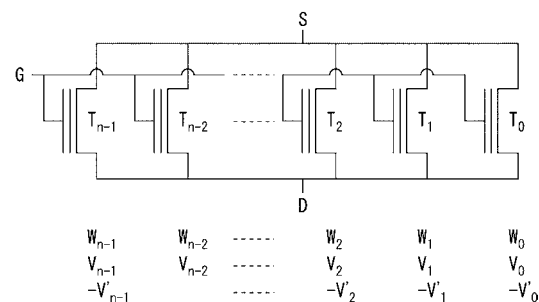
【課題】

多値を記憶可能な従来の不揮発性半導体記憶装置において不可避であった、しきい値電圧のパラツキに起因する電源電圧の下限の問題を解決する。その結果、十分な低電源電圧下における動作が可能かつ多値記憶可能な、低消費電力の高性能な不揮発性半導体記憶装置およびこの不揮発性半導体記憶装置を含む半導体装置を提供する。

【解決手段】

書き込み電圧条件ないし消去電圧条件の異なる素子を並列接続することにより、2種類のしきい値を用いるのみで1ビットを超える多値の記憶可能な不揮発性半導体記憶装置を実現する。このことにより従来不可避であった、しきい値電圧のパラツキに起因する電源電圧の下限は存在なくなり、十分な低電源電圧下の動作が可能となる。その結果、低消費電力かつ多値記憶可能な、高性能な不揮発性半導体記憶装置が実現される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板中に形成されたソース・ドレイン領域と、前記ソース・ドレイン領域間の前記半導体基板上に第一の絶縁膜を介して形成された第一のゲート電極と、前記第一のゲート電極上に第二の絶縁膜を介して形成された第二のゲート電極と、を備える素子が少なくとも二つ形成され、且つ前記二つの素子の書き込み電圧条件ないし消去電圧条件の少なくとも一方が前記素子毎に異なる値であり、且つ前記素子のソース領域同士、ドレイン領域同士がそれぞれ電氣的に結合され、且つ前記素子の第二のゲート電極同士も電氣的に結合されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

10

前記素子の書き込み電圧条件及び消去電圧条件のいずれもが前記素子毎に異なる値であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記素子のソース・ドレイン領域間を流れる電流の主方向に垂直に測った幅が前記素子毎に異なる値であることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記素子のソース・ドレイン領域間を流れる電流の主方向に垂直に測った幅に 0 ないし 1 を掛けた値の前記素子の全体に渡る総和が、前記素子の各々に対する 0 ないし 1 の可能な割り振り方の全てに対して尽く異なる値となることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

20

【請求項 5】

前記第一の絶縁膜の厚さが前記素子毎に異なる値であることを特徴とする請求項 1 から請求項 4 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 6】

前記素子のソース・ドレイン領域間を流れる電流の流路の形成される半導体領域と前記第一の絶縁膜との界面が各々の素子の内で少なくとも二つの面よりなることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記第一のゲート電極は、浮遊ゲート電極もしくは、酸化膜 / 窒化膜の積層膜からなることを特徴とする請求 1 ないし 6 のいずれかに記載の不揮発性半導体記憶装置。

30

【請求項 8】

前記第一の絶縁膜は、トンネルゲート絶縁膜であることを特徴とする請求 1 ないし 6 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 9】

前記請求項 1 に記載の不揮発性半導体記憶装置を一部に含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、半導体装置に係り、更に詳しくは不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来の不揮発性半導体記憶装置として、例えば、N 型半導体基板に P 型ウエル領域が形成され、この P 型ウエル領域内に複数のメモリ素子が配列されたものが知られている。

【0003】

前記メモリ素子は、内部に電荷を蓄積させる浮遊ゲートもしくは界面に電荷を蓄積させる酸化膜 / 窒化膜の積層膜 (以下、電荷蓄積層と呼ぶ) と、この電荷蓄積層上に中間絶縁膜を介して積層形成された制御ゲート電極からなる積層形ゲート電極およびこのゲート電極を挟むように形成された N 型のソース・ドレイン領域を備える。電荷蓄積層への電荷の注

50

入或いは電荷蓄積層からの電荷の放出は、前記半導体基板上に形成されたトンネル絶縁膜を介して行われる。

【0004】

上述した従来の不揮発性半導体記憶装置においては、制御ゲート電極ないしソース・ドレイン領域の電位等を調節することで電荷蓄積層に電荷を注入ないし電荷蓄積層から電荷を放出させることによって浮遊ゲート電極中の電荷の量を調節し、それによって素子のしきい値電圧を変えることで情報の記憶を行っていた。この方法で情報の記憶を行う場合に、しきい値電圧が十分に高い状態と十分に低い状態との二つの状態のみを用いて1ビットのみの情報を記憶するのであれば良いが、しきい値電圧に2種類以上の値を取らせる(つまり浮遊ゲート電極中の電荷量に2種類以上の値を取らせる)ことによって1ビットを超える多値の情報を記憶しようとする、しきい値のバラツキを十分に小さい値に収める必要がある。

10

【0005】

一つの例として2ビットの情報を記憶する場合を考えると、しきい値電圧の値は $2 \times 2 = 4$ 通りの値が必要となる。最も低いしきい値電圧は負の値としてその状態にある素子は常時オンとなる様にし、最も高いしきい値電圧は電源電圧よりも高い値としてその状態にある素子は常時オフとなる様にした場合でもゼロと電源電圧との間に2種類のしきい値電圧が収まる必要がある。それ故、電源電圧(V_{DD} とする)としきい値電圧のバラツキ(V_{TH} とする)とは、 $V_{DD} > 2 \times V_{TH}$ と言う関係を満たす必要が在る。

【0006】

20

ここで V_{TH} の具体的な値はペリファイ機能を持たせない場合で2.3V(非特許文献1)、ペリファイ機能を持たせた場合で0.5V(非特許文献2)程度の値が報告されている。

【0007】

従って、仮にペリファイ機能を持たせたとしても V_{DD} は $0.5V \times 2 = 1.0V$ 程度より低い値に設定することは不可能である。ここでは2ビットの情報を記憶する場合を考えたが、更に大きな量の情報を記憶させる場合には更に多くの種類のしきい値電圧が必要となるので電源電圧の下限は更に高い値となる。それ故、このことは低消費電力化の要求に伴う低電源電圧化の大きな障害となっている。

【非特許文献1】Masayuki Ichige他 "A novel self-aligned shallow trench isolation cell for 90 nm 4Gbit NAND Flash EEPROMs", in Technical Digest of 2003 VLSI Technology pp.89-90 30

【非特許文献2】Osama Khouri他 "Program and Verify Word-Line Voltage Regulator for Multilevel Flash Memories", in Analog Integrated Circuits and Signal Processing, vol. 34 (2003) pp.119-131

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、上記問題点を解決するためになされたもので、その目的はしきい値電圧のバラツキに起因する電源電圧の下限に対する制約を取り除き、低い電源電圧下でも動作が可能で且つ1ビットを超える多値の情報が記憶可能な、低消費電力の高性能な不揮発性半導体記憶装置およびこの不揮発性半導体記憶装置を含む半導体装置を提供することにある。

40

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明では、半導体基板中に形成されたソース・ドレイン領域と、前記ソース・ドレイン領域間の前記半導体基板上に第一の絶縁膜を介して形成された第一のゲート電極と、前記第一のゲート電極上に第二の絶縁膜を介して形成された第二のゲート電極と、を備える素子が少なくとも二つ形成され、且つ前記二つの素子の書き込み電圧条件ないし消去電圧条件の少なくとも一方が前記素子毎に異なる値であり、且つ前記素子のソース領域同士、ドレイン領域同士がそれぞれ電氣的に結合され、且つ前記素子の第二のゲート電極同士も電氣的に結合されていることを特徴とする不揮発性半導体記

50

憶装置を提供する。

【発明の効果】

【0010】

本発明によれば、しきい値電圧のバラツキに起因する電源電圧の下限に対する制約を取り除き、低い電源電圧下でも動作可能で、且つ1ビットを超える多値の情報が記憶可能な、低消費電力で高性能な不揮発性半導体記憶装置およびこの不揮発性半導体記憶装置を含む半導体装置が得られる。

【発明を実施するための最良の形態】

【0011】

前記目的を達成するために本発明は、トンネルゲート絶縁膜と電荷蓄積層(浮遊ゲート電極などないし酸化膜/窒化膜の積層膜など)と中間絶縁膜(インターポリ絶縁膜等)と制御ゲート電極とからなる積層のゲート構造を持つ素子における、電荷蓄積層への電荷の注入の起こる制御ゲート電極ないしソース・ドレイン領域の電圧条件(本明細書中では「書き込み電圧条件」と言う)、ないし浮遊ゲート電極からの電荷の放出の起こる制御ゲート電極ないしソース・ドレイン領域の電圧条件(本明細書中では「消去電圧条件」と言う)を異なる値に調整した素子を少なくとも二つ形成し、それらの素子のソース領域同士、ドレイン領域同士、制御ゲート電極同士を各々電気的に結合した素子を提供する。

【0012】

ここで電荷蓄積層への電荷の注入ないし電荷蓄積層からの電荷の放出はトンネルゲート絶縁膜を貫くトンネル電流等を用いて行うので、制御ゲート電極ないしソース・ドレイン領域の電圧条件をある特定の条件とした場合には電流が流れ、別のある特定の条件とした場合には電流は流れないと言う様に不連続に変わるものではないが、その電流の値が予め定めておいた特定の値となる電圧条件を「書き込み電圧条件」ないし「消去電圧条件」と定義すると、これらの「書き込み電圧条件」ないし「消去電圧条件」は明確に定義される。

【0013】

本発明の実施例による不揮発性半導体記憶装置においては、複数の素子が並列に接続されているので各々の素子のしきい値電圧は二通りの値しか取れないとしても、それらの素子を流れる電流の総和は、各々の素子のしきい値電圧の組み合わせによって様々な値を取ることが可能となり、それに伴って共通であるところのソース領域とドレイン領域との間を流れる電流は様々な値を取る。

【0014】

本発明の実施例による不揮発性半導体記憶装置においては、各々の素子のしきい値電圧の値は二通りで十分であるので、それらの値を例えば電源電圧よりも十分に高い値とゼロよりも十分に低い値とに設定しておけば、しきい値電圧のバラツキと全く独立に電源電圧の値を設定することが可能となる。

【0015】

それ故、従来の不揮発性半導体記憶装置においては存在していた電源電圧の下限に対する制約は無くなり、1ビットを超える多値の情報が記憶可能であり且つ電源電圧を十分に低く設定することが可能となる。

【0016】

図1の等価回路図は、本発明の実施例である半導体記憶素子を示している。

【0017】

この素子はトンネルゲート絶縁膜と浮遊ゲート電極とインターポリ絶縁膜と制御ゲート電極とからなる積層のゲート構造を持つ n ヶの素子(図の右の方に在る素子から順に T_0 、 T_1 、 T_{n-1} と呼ぶことにする)が並列に接続され、これらの素子のソース領域同士、ドレイン領域同士、制御ゲート電極同士が電気的に結合されており、全体として一つの素子を形成している。

【0018】

この素子において各 T_j ($0 \leq j \leq n-1$)の浮遊ゲート電極に電荷が蓄えられているか

10

20

30

40

50

否かによって、それらのしきい値電圧は高い値($V_{TH,H}$)か低い値($V_{TH,L}$)かのいずれかの値を取る。その状態で、共通であるところの制御ゲート電極の端子(図中のGの端子)に $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加すると、しきい値電圧が $V_{TH,L}$ である素子はオン状態となるが、しきい値電圧が $V_{TH,H}$ である素子はオフ状態となるので、共通であるところのソース端子(図中のSの端子)と共通であるところのドレイン端子(図中のDの端子)との間を流れる電流は、しきい値電圧が $V_{TH,L}$ である素子の幅の総和に比例する。

【0019】

ここで各 $T_j(0 \leq j \leq n-1)$ はNMOSであるとし、その各々に対してソース・ドレインを接地した場合に書き込み電圧条件を満たす制御ゲート電圧を $V_j(0 \leq j \leq n-1)$ とし、 $V_{j-1} < V_j(1 \leq j \leq n-1)$ が成り立つとする。浮遊ゲート電極には電子が蓄えられるものとする、浮遊ゲート電極に電荷が蓄えられている場合にしきい値電圧は高い値($V_{TH,H}$)となり、電荷が蓄えられていない場合にしきい値電圧は低い値($V_{TH,L}$)となる。先ずSとDとを接地した状態でGに十分に低い電圧を印加すると各 $T_j(0 \leq j \leq n-1)$ の浮遊ゲート電極中の電子は放電されるので、浮遊ゲート電極は電荷が蓄えられていない状態となる。この状態では全ての $T_j(0 \leq j \leq n-1)$ のしきい値電圧は $V_{TH,L}$ である。この状態で図中のSを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加すると、全ての $T_j(0 \leq j \leq n-1)$ はオン状態となるので図中のSとDとの間を流れる電流は $W_j(0 \leq j \leq n-1)$ の総和に比例する。ここに $W_j(0 \leq j \leq n-1)$ は各々 $T_j(0 \leq j \leq n-1)$ の幅である。次にSとDとを接地した状態でGに V_{k-1} と $V_k(1 \leq k \leq n-1)$ との間の電圧を印加すると、 $T_j(0 \leq j \leq k-1)$ の浮遊ゲート電極には電荷が注入されるのでそれらの素子のしきい値電圧は $V_{TH,H}$ に変化するが、 $T_j(k \leq j \leq n-1)$ の浮遊ゲート電極には電荷が注入されないでそれらの素子のしきい値電圧は $V_{TH,L}$ のままである。それ故、Sを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加すると、 $T_j(k \leq j \leq n-1)$ のみがオン状態となるのでSとDとの間を流れる電流は $W_j(k \leq j \leq n-1)$ の総和に比例する。またSとDとを接地した状態でGに V_{n-1} よりも高い電圧を印加すると、全ての $T_j(0 \leq j \leq n-1)$ の浮遊ゲート電極に電荷が注入されるので全ての素子のしきい値電圧は $V_{TH,H}$ に変化する。それ故、Sを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加するといずれの $T_j(0 \leq j \leq n-1)$ もオフ状態となるのでSとDとの間を流れる電流はゼロである。この様にしてSを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加した状態でSとDとの間を流れる電流を測定すれば各 $T_j(0 \leq j \leq n-1)$ の浮遊ゲート電極に蓄えられている電荷の状態に応じて電流の値が異なるので、それらの電荷の状態を識別することが可能である。ここで $n \geq 2$ とすると上の方法で、「いずれの $T_j(j = 0, 1)$ の浮遊ゲートにも電荷が蓄えられていない」、「 T_0 の浮遊ゲートにのみ電荷が蓄えられている」、「いずれの $T_j(j = 0, 1)$ の浮遊ゲートにも電荷が蓄えられている」、の少なくとも3通りの異なる状態が存在する。それ故、この様にして1ビットを超える多値を記憶することの可能な不揮発性半導体記憶装置が実現される。ここに用いた例においては各 $T_j(0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に書き込み電圧条件を満たす制御ゲート電圧を $V_j(0 \leq j \leq n-1)$ とし、それらに対して $V_{j-1} < V_j(1 \leq j \leq n-1)$ が成り立つとしたが、 $V_j(0 \leq j \leq n-1)$ の大小関係がこの様な順であることは本質的ではなく、本質的なのは $V_j(0 \leq j \leq n-1)$ の値が相互に異なることである。

【0020】

なお、ここでは各 $T_j(0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に書き込み電圧条件を満たす制御ゲート電圧が全て異なるとしたが、各 $T_j(0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に消去電圧条件を満たす制御ゲート電圧が全て異なるとしてもよい。例えば、それらを各 $T_j(0 \leq j \leq n-1)$ に対して各々 $-V'_j(0 \leq j \leq n-1)$ とし、 $-V'_{j-1} > -V'_j(1 \leq j \leq n-1)$ が成り立つとする。

【0021】

先ずSとDとを接地した状態でGに十分に高い電圧を印加すると各 $T_j(0 \leq j \leq n-1)$ の浮遊ゲート電極に電荷が蓄えられるので、それらの素子のしきい値電圧は $V_{TH,H}$ となる。この状態でSを接地してDにプラスの電圧を印加すると、全ての $T_j(0 \leq j \leq n-1)$ はオン状態となるのでSとDとの間を流れる電流は $W_j(0 \leq j \leq n-1)$ の総和に比例する。

1)の浮遊ゲート電極にはいずれも電子が注入されるので、浮遊ゲート電極は電荷が蓄えられた状態となる。この状態では全ての $T_j (0 \leq j \leq n-1)$ のしきい値電圧は $V_{TH,H}$ である。この状態でSを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加すると、全ての $T_j (0 \leq j \leq n-1)$ はオフ状態となるのでSとDとの間を流れる電流はゼロとなる。次にSとDとを接地した状態でGに $-V'_{k-1}$ と $-V'_k (1 \leq k \leq n-1)$ との間の電圧を印加すると、 $T_j (0 \leq j \leq k-1)$ の浮遊ゲート電極の電荷は放出されるのでそれらの素子のしきい値電圧は $V_{TH,L}$ に変化するが、 $T_j (k \leq j \leq n-1)$ の浮遊ゲート電極の電荷は放出されないでそれらの素子のしきい値電圧は $V_{TH,H}$ のままである。それ故、Sを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加すると、 $T_j (0 \leq j \leq k-1)$ のみがオン状態となるのでSとDとの間を流れる電流は $W_j (0 \leq j \leq k-1)$ の総和に比例する。またSとDとを接地した状態でGに $-V'_{n-1}$ よりも低い電圧を印加すると、全ての $T_j (0 \leq j \leq n-1)$ の浮遊ゲート電極の電荷が放出されるので全ての素子のしきい値電圧は $V_{TH,L}$ に変化する。それ故、Sを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加するといずれの $T_j (0 \leq j \leq n-1)$ もオン状態となるのでSとDとの間を流れる電流は $W_j (0 \leq j \leq n-1)$ の総和に比例する。この様にしてSを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加した状態でSとDとの間を流れる電流を測定すれば各 $T_j (0 \leq j \leq n-1)$ の浮遊ゲート電極に蓄えられている電荷の状態に応じて電流の値が異なるので、この場合にもそれらの電荷の状態を識別することが可能である。ここに用いた例においては各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に消去電圧条件を満たす制御ゲート電圧を $-V'_j (0 \leq j \leq n-1)$ とし、 $-V'_{j-1} > -V'_j (1 \leq j \leq n-1)$ が成り立つとしたが、 $-V'_j (0 \leq j \leq n-1)$ の大小関係がこの様な順であることは本質的ではなく、本質的なのは $-V'_j (0 \leq j \leq n-1)$ の値が相互に異なることである。

【0022】

別の例として、各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に書き込み電圧条件を満たす制御ゲート電圧を $V_j (0 \leq j \leq n-1)$ とし、 $V_{j-1} < V_j (1 \leq j \leq n-1)$ が成り立つとする。そして各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に消去電圧条件を満たす制御ゲート電圧を $-V'_j (0 \leq j \leq n-1)$ とし、 $-V'_{j-1} > -V'_j (1 \leq j \leq n-1)$ が成り立つとする。

【0023】

この様にしておくと以下に説明する様にSとDとGとの3つの端子に印加する電圧を調節することで各 $T_j (0 \leq j \leq n-1)$ のしきい値電圧を独立に $V_{TH,H}$ と $V_{TH,L}$ とに調節することが可能となる。ここで $a_j (0 \leq j \leq n-1)$ を0または1のみの値を取る量として、 $a_j (0 \leq j \leq n-1)$ を T_j のしきい値電圧が $V_{TH,H}$ であれば $a_j = 0$ 、 T_j のしきい値電圧が $V_{TH,L}$ であれば $a_j = 1$ と定義する。この状態でSを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加すると、しきい値電圧が $V_{TH,L}$ である $T_j (0 \leq j \leq n-1)$ はオン状態になるが、しきい値電圧が $V_{TH,H}$ である $T_j (0 \leq j \leq n-1)$ はオフ状態になるのでSとDとの間を流れる電流は $a_j \times W_j (0 \leq j \leq n-1)$ の総和に比例する。殊に各 $a_j (0 \leq j \leq n-1)$ に対する0または1の全ての可能な割り振り方(全部で 2^n 通り存在する)に対して $a_j \times W_j (0 \leq j \leq n-1)$ の総和が全く異なる値となる様に $W_j (1 \leq j \leq n-1)$ の値を調節した場合を考えると、この総和の値は各 $T_j (0 \leq j \leq n-1)$ に対する $V_{TH,H}$ と $V_{TH,L}$ との全ての可能な割り振り方(全部で 2^n 通り存在する)に対して全く異なる値となる。それ故、この不揮発性半導体記憶装置においては 2^n 通りの異なる状態が記憶可能となる。

【0024】

すなわち n ビットの情報が記憶可能となる。各 $a_j (0 \leq j \leq n-1)$ に対する0または1の全ての可能な割り振り方(全部で 2^n 通り存在する)に対して $a_j \times W_j (0 \leq j \leq n-1)$ の総和が全く異なる値となる様な $W_j (0 \leq j \leq n-1)$ の値の取り方としては例えば $W_j (2^j (0 \leq j \leq n-1))$ と取ることが可能である。

【0025】

この場合にはSを接地してDにプラスの電圧を印加した状態でGに $V_{TH,H}$ と $V_{TH,L}$ との間の電圧を印加することによってSとDとの間を流れる電流は $a_{n-1} a_{n-2} \cdots a_1 a_0$ に依り2進法表示された値に比例する。

【0026】

各 $a_j (0 \leq j \leq n-1)$ に対する0または1の全ての可能な割り振り方(全部で 2^n 通り存在する)に対して $a_j \times W_j (0 \leq j \leq n-1)$ の総和が尽く異なる値となる様な $W_j (0 \leq j \leq n-1)$ の値の取り方が $W_j (2^j (0 \leq j \leq n-1))$ に限るものでは無いことは無論である。

【0027】

しかしこの様にとるとSとDとの間を流れる電流は $a_{n-1} a_{n-2} \cdots a_1 a_0$ に依り2進法表示された値に比例するのでその出力信号は等間隔となり、信号の処理が容易になると言う利点がある。なお、 $W_j (2^j (0 \leq j \leq n-1))$ と取る場合にも $W_j (0 \leq j \leq n-1)$ の順序は任意でよい。

【0028】

続いて、各 $T_j (0 \leq j \leq n-1)$ のしきい値電圧を独立に $V_{TH,H}$ と $V_{TH,L}$ とに調節する方法に関して説明する。先ずSとDとを接地した状態でGに十分に低い電圧を印加すると各 $T_j (0 \leq j \leq n-1)$ の浮遊ゲート電極中の電子は放電されるので、浮遊ゲート電極は電荷が蓄えられていない状態となる。この状態では全ての $T_j (0 \leq j \leq n-1)$ のしきい値電圧は $V_{TH,L}$ である。ここで $a_j (0 \leq j \leq n-1)$ を T_j の設定したいしきい値電圧が $V_{TH,H}$ であれば $a_j = 0$ 、 T_j の設定したいしきい値電圧が $V_{TH,L}$ であれば $a_j = 1$ と定義する。先ず $a_j (0 \leq j \leq n-1)$ をjの大きい者から順に見て行き、初めて $a_j = 0$ となるjをkとする。SとDとを接地した状態でGに V_k と V_{k+1} との間の電圧を印加する。但し $j = n-1$ の場合にはSとDとを接地した状態でGに V_{n-1} よりも高い電圧を印加する。その様なjが存在しない場合にはGには電圧を印加しない。すると、 $T_j (0 \leq j \leq k)$ の浮遊ゲート電極には電荷が注入されるのでそれらの素子のしきい値電圧は $V_{TH,H}$ に変化するが、 $T_j (k+1 \leq j \leq n-1)$ の浮遊ゲート電極には電荷が注入されないののでそれらの素子のしきい値電圧は $V_{TH,L}$ のままである。

【0029】

次に $a_j (0 \leq j \leq k-1)$ をjの大きい者から順に見て行き、初めて $a_j = 1$ となるjをmとする。SとDとを接地した状態でGに $-V'_m$ と $-V'_{m+1}$ との間の電圧を印加すると、 $T_j (0 \leq j \leq m)$ の浮遊ゲート電極の電荷は放出されるのでそれらの素子のしきい値電圧は $V_{TH,L}$ に変化するが、 $T_j (m+1 \leq j \leq k)$ の浮遊ゲート電極の電荷は放出されないののでそれらの素子のしきい値電圧は $V_{TH,H}$ のままである。同様にして条件を満たすjが存在しなくなるまで、この手続きを繰り返すと各 $T_j (0 \leq j \leq n-1)$ のしきい値電圧は全て設定したい値となる。

【0030】

この様にして各 $T_j (0 \leq j \leq n-1)$ のしきい値電圧を独立に $V_{TH,H}$ と $V_{TH,L}$ とに調節することが可能となる。なおここでは、各 $T_j (0 \leq j \leq n-1)$ の浮遊ゲート電極にはいずれも電荷が蓄えられていない、すなわちしきい値電圧は全て $V_{TH,L}$ である、場合を初期に実現するものとして説明したが、各 $T_j (0 \leq j \leq n-1)$ の浮遊ゲート電極にはいずれも電荷がたくわえられている、すなわちしきい値電圧は全て $V_{TH,H}$ である、場合を初期に実現する場合も同様にして各 $T_j (0 \leq j \leq n-1)$ のしきい値電圧を独立に $V_{TH,H}$ と $V_{TH,L}$ とに調節することが可能である。

【0031】

$n = 3$ 且つ T_2 のしきい値電圧 = $V_{TH,H}$ 、 T_1 のしきい値電圧 = $V_{TH,L}$ 、 T_0 のしきい値電圧 = $V_{TH,H}$ に設定する場合を例に取って説明する。

【0032】

先ずSとDとを接地した状態でGに十分に低い電圧を印加すると各 $T_j (0 \leq j \leq 2)$ の浮遊ゲート電極中の電子は放電されるので、浮遊ゲート電極は電荷が蓄えられていない状

10

20

30

40

50

態となる。この状態では全ての $T_j (0 \leq j \leq 2)$ のしきい値電圧は $V_{TH,L}$ である。図 1 中の G の端子に印加する電圧 V_0 のこの状態以降の時間変化を模式的に図 2 に示す。上に記した $a_j (0 \leq j \leq 2)$ の定義に従うと $a_2 = 0$ 、 $a_1 = 1$ 、 $a_0 = 0$ である。

【0033】

まず $a_j (0 \leq j \leq 2)$ を j の大きい者から順に見て行くと、初めて $a_j = 0$ となる j は 2 であるので S と D とを接地した状態で G に V_2 よりも高い電圧を印加する。すると、 $V_2 > V_1 > V_0$ と設定してあるので全ての $T_j (0 \leq j \leq 2)$ の浮遊ゲート電極には電荷が注入され、しきい値電圧は $V_{TH,H}$ に変化する。次に $a_j (0 \leq j \leq 1)$ を j の大きい者から順に見て行くと、初めて $a_j = 1$ となる j は 1 であるので S と D とを接地した状態で G に $-V'_1$ と $-V'_2$ との間の電圧を印加する。すると、 $-V'_2 < -V'_1 < -V'_0$ と設定してあるので $T_j (0 \leq j \leq 1)$ の浮遊ゲート電極の電荷は放出されるのでそれらの素子のしきい値電圧は $V_{TH,L}$ に変化するが、 T_2 の浮遊ゲート電極の電荷は放出されないののでしきい値電圧は $V_{TH,H}$ のままである。残った a_0 を見ると 0 であるので S と D とを接地した状態で G に V_0 と V_1 との間の電圧を印加する。すると、 $V_2 > V_1 > V_0$ と設定してあるので T_0 の浮遊ゲート電極には電荷が注入されるののでしきい値電圧は $V_{TH,H}$ に変化するが、 $T_j (1 \leq j \leq 2)$ の浮遊ゲート電極には電荷が注入されないののでしきい値電圧は変化しない。この様にして T_2 のしきい値電圧 = $V_{TH,H}$ 、 T_1 のしきい値電圧 = $V_{TH,L}$ 、 T_0 のしきい値電圧 = $V_{TH,H}$ に設定される。

【0034】

この様にして、上に説明した何れの場合にも S と D と G との 3 つの端子に印加する電圧を調節するのみで 1 ビットを越える情報を記憶し、また読み出すことが可能となる。従来の不揮発性半導体記憶装置においても複数のセルを用いれば、いくらでも大きな量の情報を記憶することは可能であるが、その場合には多数の端子に対する電圧の制御が必要となる。それに対して本発明の不揮発性半導体記憶装置においては 3 つの端子に印加する電圧を調節するのみで 1 ビットを越える多値の情報を記憶することが可能になると言う利点がある。

【0035】

初めの 2 つの例で説明したように「各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に書き込み電圧条件を満たす制御ゲート電圧を $V_j (0 \leq j \leq n-1)$ とし、 $V_j (0 \leq j \leq n-1)$ が相互に異なること」または「各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に消去電圧条件を満たす制御ゲート電圧を $-V'_j (0 \leq j \leq n-1)$ とし、 $-V'_j (0 \leq j \leq n-1)$ が相互に異なること」のみを要求して、それらのいずれかの間である様な電圧を制御ゲートに印加することで一部の素子の浮遊ゲート電極に対してのみ電荷の注入ないし放出を行うことで 1 ビットを超える多値を記憶する場合には、浮遊ゲート電極に対する電荷の充電ないし放電が制御ゲート電極に対する一度の電圧印加の操作のみで済み、操作が簡略化されるという利点がある。

【0036】

一方、3 つ目の例で説明した様に、「各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に書き込み電圧条件を満たす制御ゲート電圧を各 $V_j (0 \leq j \leq n-1)$ とし、各 $V_j (0 \leq j \leq n-1)$ が相互に異なること」と「各 $T_j (0 \leq j \leq n-1)$ に対してソース・ドレインを接地した場合に消去電圧条件を満たす制御ゲート電圧を $-V'_j (0 \leq j \leq n-1)$ とし、 $-V'_j (0 \leq j \leq n-1)$ が相互に異なること」とのいずれも満たされている場合には、浮遊ゲート電極の各々に対して電荷が存在するか否かを独立に調節することが可能となり、その結果として本発明の不揮発性半導体記憶装置はより多くの情報を記憶することが可能になると言う利点がある。更に加えて「 $a_j (0 \leq j \leq n-1)$ を 0 または 1 のみの値を取る量として各 $a_j (0 \leq j \leq n-1)$ に対する 0 または 1 の全ての可能な割り振り方(全部で 2^n 通り存在する)に対して $a_j \times W_j (0 \leq j \leq n-1)$ の総和が尽く異なる値となること」と言う条件もまた満たされている場合には、浮遊ゲート電極の各々に対して電荷が存在するか否かの全てを識別することが可能となり、その結果として素子が n 個である場合に n ビットの情報が記憶可能となる、すなわち一つの不揮発性半導体記憶

装置に記憶可能な情報量が更に大きくなるという利点がある。

【0037】

以上の例ではソース・ドレイン領域を接地した状態で制御ゲート電極に印加する電圧を調節することで浮遊ゲート電極への電化の注入や放出を行ったが、このことは本質ではなく、例えばゲート電極を接地してソースないしドレイン領域に電圧を印加することで行ってもよいし、例えばチャンネルに電流を流して高いエネルギーのキャリアを発生させることで行ってもよい。本質的なのは上に記した各 $T_j (0 \leq j \leq n-1)$ に対する書き込み電圧条件ないし消去電圧条件が異なることである。

【0038】

また、上に示した例では素子の書き込み電圧条件ないし消去電圧条件ないし素子の幅が素子の並んでいる順に従って単調に変化するとしたが、このことは本質ではなく異なる順序であっても良い。但し、各素子の浮遊ゲート電極に電荷の蓄積されている状態と蓄積されていない状態とを独立に制御することが可能である為には、書き込み電圧条件の高低の順と消去電圧条件の高低の順とは逆になっている必要がある。

【0039】

なお、書き込み電圧条件ないし消去電圧条件を素子により異ならせることは例えばトンネルゲート絶縁膜厚を素子毎に変えることに依り可能である。殊に制御ゲート電極とソース・ドレイン領域との間に電位差を設けることに依り、制御ゲート電極と浮遊ゲート電極との間の容量結合を利用して浮遊ゲート電極とソース・ドレイン領域との間に電位差を設けてファウラー・ノルドハイム・トンネリングによって電子がトンネルゲート絶縁膜を貫くことを利用して、浮遊ゲート電極への電荷の注入及び放出を行う場合には、トンネルゲート絶縁膜厚を素子毎に変えることで書き込み電圧条件や消去電圧条件を容易に変えることができる。そして、例えばメサ分離SOI素子、トライゲート素子、パイゲート素子、オメガゲート素子、ゲート・オール・アラウンド素子、縦型構造素子等の様にチャンネルの形成される半導体領域とゲート絶縁膜との界面が少なくとも二つの面よりなる場合には面の境界を成す稜の近傍において絶縁膜中の電場は極めて強くなり且つ絶縁膜の厚さと共に急激に変化するので、チャンネルの形成される領域が少なくとも二つの面よりなる場合にはトンネルゲート絶縁膜厚を素子毎に変えることで書き込み電圧条件や消去電圧条件を更に容易に変えることができると考えられる。

【0040】

このことを調べる為にチャンネルの稜の近傍を図3に模式的に示す様に円筒で近似してトンネルゲート絶縁膜中の電場のトンネルゲート絶縁膜厚に対する依存性を調べた。なお図3には計算に用いた構造の1/4のみを示してある。図3中の10は半導体基板ないしソース・ドレインを想定した導体領域で半径は10nmとした。11はトンネルゲート絶縁膜を想定した絶縁膜であり、厚さを様々に変えて、この領域中での電場の最大値を求めた。絶縁膜11中で電場が最大となるのは10の導体領域との界面においてである。なお11の材質は SiO_2 を想定して誘電率は3.9とした。12は浮遊ゲート電極を想定した導体領域であり、厚さは100nmとした。13はインターポリ膜を想定した絶縁膜であり、いずれも厚さが5nmの $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ の積層構造を想定し、三層の誘電率は各々3.9、7.8、3.9とした。そして14は制御ゲート電極を想定した導体領域である。10と14との間の電位差を1Vとした場合の、11の厚さに対する11中の電場の最大値の依存性を図4に示す。なお図4には図3に示した構造と等しい厚さと誘電率との平板を積層した平行平板の構造における、トンネルゲート絶縁膜を想定した絶縁膜中の電場をも示してある。図4を見ると円筒構造の場合には平行平板構造の場合と比べてトンネルゲート絶縁膜厚に対する絶縁膜中の電場強度の依存性が極めて大きいことが判る。

【0041】

すなわちチャンネルが稜を持つ構造の稜の近傍におけるトンネルゲート絶縁膜中の電場強度は、トンネルゲート絶縁膜厚を変えることで大きく変化する。なお、ここに結果を示した計算においては10と14との間の電位差を1Vとしたが、この電位差と電場強度とは比例するので、10と14との間の電位差を異なる値に設定したとしてもチャンネルが稜を

持つ構造においては、トンネルゲート絶縁膜厚を変えることで稜の近傍におけるトンネルゲート絶縁膜中の電場強度は大きく変化する。従って、チャンネルが稜を持つ構造においてはトンネルゲート絶縁膜厚を変えることで素子の書き込み電圧条件や消去電圧条件を容易に変えることが可能であることが判る。このことは今回の検討で新たに得られた知見である。

【0042】

また、上に示した例では素子の幅を異なった値に設定することで電流値を素子毎に異なる値としたが、このことは本質的ではなく、チャンネル領域への不純物の注入条件や各ゲート絶縁膜の厚さ等、他の条件を素子毎に異ならせることによって電流値を素子毎に異なる値としてもよい。更に複数の条件を素子毎に異ならせることによって電流の値を異ならせるのであれば、リソグラフィ工程に用いるマスクをその様にデザインしておけば良いので工程が簡略になると言う利点がある。またトンネルゲート絶縁膜厚を素子毎に異ならせることによって電流の値を異ならせるのであれば、上に記した様に書き込み電圧条件や消去電圧条件をも同時に異ならせることが可能となると言う別の利点が見られる。

10

【0043】

本発明の実施例による不揮発性半導体記憶装置においては、従来の不揮発性半導体記憶装置と異なり、しきい値電圧は $V_{TH,H}$ と $V_{TH,L}$ との2種類の値のみで十分である。それ故、 $V_{TH,H}$ は電源電圧よりも十分に高い値に設定し、 $V_{TH,L}$ は電源電圧よりも十分に低い値に設定すれば、しきい値電圧のバラツキとは独立に電源電圧を設定することが可能となる。従って従来の不揮発性半導体記憶装置と異なり、電源電圧に対する下限は存在せず、十分に電源電圧を低く設定することが可能となる。それ故、消費電力が低く且つ1ビットを超える多値の記憶可能な高性能の不揮発性半導体記憶装置が実現される。

20

【実施例】

【0044】

以下図面を用いて本発明の実施形態を詳細に説明する。なお本発明は以下の実施形態に限定されるものではなく、種々変更して用いることができる。

【0045】

(実施例1)

図5は本発明の実施例1による不揮発性半導体記憶装置の断面を示す模式図である。

30

【0046】

本実施例ではNチャンネルの場合を例にとって示す。不純物の導電型を逆にすればPチャンネルの場合にもまったく同様であり、また光蝕刻法等の方法を用いて半導体基板内の特定の領域にのみ不純物を注入する等の方法を用いれば相補型の場合も全く同様の効果が得られる。

【0047】

この不揮発性半導体記憶装置は半導体基板1上に形成されており、異なる素子の間は素子分離領域2に依り隔てられている。半導体基板領域1の内部にはBイオン注入に依りウエル領域3が形成される。そしてウエル領域3の内にチャンネル形成領域4が在り、その上に SiO_2 によるトンネルゲート絶縁膜5が形成され、その上に多結晶シリコンによる浮遊ゲート電極6が形成される。浮遊ゲート電極6の上には SiO_2 と Si_3N_4 と SiO_2 との積層より成るインターポリ絶縁膜7が形成され、その上に多結晶シリコンによる制御ゲート電極8が形成される。

40

【0048】

ここで、トンネルゲート絶縁膜5a、5bの厚さは素子により異なった厚さとしてある。そしてウエル領域3中には浮遊ゲート電極6ないし制御ゲート電極8を挟む様にAsイオン注入によってソース・ドレイン領域9が形成されている。なお、この図においては配線金属、制御ゲート電極8ないしソース・ドレイン領域9に対して配線金属を結合させるためのコンタクト領域、層間絶縁膜、等は省略してあるが、各々の素子に対して浮遊ゲート電極6ないし制御ゲート電極8を挟むソース・ドレイン領域9の内の一方をソース、他

50

方をドレインとするとソース同士、ドレイン同士、制御ゲート電極 8 同士は各々電氣的に結合される。

【0049】

ここに示す不揮発性半導体記憶装置は素子によりトンネルゲート絶縁膜の厚さが異なるので、書き込み電圧条件ないし消去電圧条件が素子により異なる。そして素子の紙面に垂直方向の長さ、すなわち幅、が素子により異なる。その結果として上に説明した様に低電源電圧下でも動作が可能であり且つ 1 ビットを超える多値を記憶することの可能な低消費電力動作の高性能の不揮発性半導体記憶装置が実現される。

【0050】

なお、ここでは説明の都合上、チャンネルを流れる電流の主方向に平行に二つの素子が並んでいるように描いてあるが、このことは本質的ではなく素子相互の相対的な位置関係はどのようなであっても良い。但し、ソース同士、ドレイン同士、制御ゲート同士を電氣的に結合する配線の配置を考えると、図 6 に模式的に示された平面図に記載されたようにチャンネルを流れる電流の主方向に垂直に素子が並んでいる場合は、制御ゲート電極を一体の構造で形成可能となる等、配線が簡単になるという利点がある。また、ここでは素子が二つの場合を示しているが、このことは本質ではなく素子が三つ以上である場合も同様である。

【0051】

次に本発明の実施例による不揮発性半導体記憶装置の製造方法について以下、説明する。

先ず図 7 に示すように、半導体基板 1 に対し例えば B (硼素) イオンを 100 KeV 、 $2.0 \times 10^{12}\text{ cm}^{-2}$ で注入し、その後、例えば 1050、30 秒の熱工程を施すことによりウエル領域 3 を形成する。続いて例えば RIE 法 (反応性イオンエッチング法) 等の異方性エッチングを施すことにより、チャンネルの形成される半導体領域以外の領域に溝を形成し、前記溝を例えば SiO_2 等の絶縁材料で埋め込むことにより素子分離領域 2 を形成する。

【0052】

次に図 8 に示す様に、例えば B イオンを注入することにより、所望のしきい値電圧が得られるようにチャンネル形成領域 4 の表面近傍における不純物の濃度を調節する。続いて例えば 800 の酸化雰囲気中に半導体基板を曝すことにより半導体基板表面に例えば厚さ 7 nm の SiO_2 膜 15 を形成する。

【0053】

次に図 9 に示す様に、例えば弗化水素酸等の薬液処理等の方法を用いることにより、薄いトンネルゲート絶縁膜を形成したい素子領域上の SiO_2 膜 15 を除去する。

【0054】

次に図 10 に示す様に、例えば 800 の酸化雰囲気中に半導体基板を曝すことにより、半導体基板表面に例えば厚さ 10 nm の SiO_2 膜を形成し、場所により厚さの異なる SiO_2 膜 15a を形成する。図 10 においては、左側の素子領域の SiO_2 膜の膜厚の方が右側の素子領域の SiO_2 膜の膜厚よりも厚く形成されている。

【0055】

次に図 11 に示す様に、例えば CVD 法 (化学的気相成長法) 等の方法を用いることにより、例えば厚さ 100 nm の例えば P (リン) を含有する多結晶シリコン膜 16 を形成する。

【0056】

次に図 12 に示す様に、例えば CVD 法等の方法により、全面に例えば厚さ 5 nm の酸化シリコン膜を堆積し、続いて全面に例えば厚さ 5 nm の窒化シリコン膜を堆積し、更に続いて全面に例えば厚さ 5 nm の酸化シリコン膜を堆積することにより $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層絶縁膜 17 を形成する。

【0057】

次に図 13 に示すように、例えば CVD 法等の方法により、例えば厚さ 200 nm の例

えばP(リン)を含有する多結晶シリコン膜を形成する。続いて例えばR I E 法等の方法を用いることに依り、前記厚さ200nmの多結晶シリコン膜、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 積層絶縁膜17、厚さ100nmの多結晶シリコン膜16、 SiO_2 膜15aを加工して、制御ゲート電極8及びインターポリ膜7及び浮遊ゲート電極6及びトンネルゲート絶縁膜5a、5bを形成する。

【0058】

次に、例えばAs(砒素)イオンを30KeV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入する。そして熱工程によりソース・ドレイン領域9を形成して、図5に示す不揮発性半導体記憶装置が形成される。以後は通常の層間絶縁膜形成工程、配線孔開孔工程、配線工程等を経て半導体装置が形成される。

10

【0059】

本実施例においてはN型の場合を例に取って示したが、不純物の導電型を逆にすればP型の場合にも、そして光蝕刻法等の方法を用いて基板内の特定の領域にのみ不純物を導入すれば相補型の場合に対しても同様である。また、それらを一部として含む半導体装置にも用いることができる。

また、不揮発性半導体記憶装置の他に、電界効果トランジスターやバイポーラー型トランジスターや単一電子トランジスター等の他の能動素子、ないしは抵抗体やダイオードやインダクターやキャパシター等の受動素子、ないしは例えば強誘電体を用いた素子や磁性体を用いた素子をも含む半導体装置の一部として不揮発性半導体記憶装置を形成する場合にも用いることができる。OEIC(オプト-エレクトリカル-インテグレートッド-サーキット)やMEMS(マイクロ-エレクトロ-メカニカル-システム)の一部として不揮発性半導体記憶装置を形成する場合もまた同様である。また、それらの素子が複数の面に渡って形成されていてもよい。

20

【0060】

また、本実施例では平面構造の素子を例に取って説明したが、メサ分離SOI素子、ゲート-オール-アラウンド型素子、パイゲート素子、オメガゲート素子、縦型構造素子、フィン型構造素子(FINFET)などに対しても同様の効果が得られる。これらの素子の場合にはチャネル領域の不純物濃度を極めて低く設定することが可能になるため、キャリアの高い移動度を実現することが可能になるという利点がある。

【0061】

30

また、本実施例では、N型半導体層を形成するための不純物としてはAsないしPを、P型半導体層を形成するための不純物としてはBを用いたが、N型半導体層を形成するための不純物として他のV族不純物を用いる、ないしはP型半導体層を形成するための不純物として他のIII族不純物を用いてもよい。また、III族やV族の不純物の導入はそれらを含む化合物の形で行ってもよい。

【0062】

また、本実施例では、不純物の導入(「は」を補って下さい。)イオン注入を用いて行ったが、イオン注入以外の例えば固相拡散や気相拡散等の方法を用いて行ってもよい。また、不純物を含有する半導体を堆積するないしは成長させる等の方法を用いてもよい。

【0063】

40

また、本実施例では素子分離領域の形成はトレンチ素子分離法を用いて行ったが、例えば局所酸化法ないしはメサ分離法等の他の方法を用いて行ってもよい。

【0064】

また、本実施例では、ウエルを形成するための不純物導入とは別の工程でしきい値電圧を調節するための不純物導入を行っているが、これらを同一の工程で導入してもよい。このようにすると工程の短縮が図られるという利点がある。また、本実施例の様にするとしきい値電圧を所望の値に設定しやすくなるという利点が見られる。

【0065】

また、本実施例では、シングルドレイン構造の素子を示したが、シングルドレイン構造以外の例えばエクステンション構造ないしLDD(ライトリード-ドープト ソース・ドレイ

50

ン)構造やGDD(グレイデッドディフューズドソース・ドレイン)構造等の構造の素子を構築したとしてもよい。またハロー構造ないしポケット構造等の素子を用いてもよい。これらの様な構造とすると素子の短チャネル効果に対する耐性が向上するので好ましい。

【0066】

また、本実施例では、ソース・ドレイン領域の形成をゲート電極ないしゲート絶縁膜の加工の後に行っているが、これらの順序は本質ではなく、逆の順序で行ってもよい。ゲート電極ないしゲート絶縁膜の材質によっては熱工程を施すことが好ましくない場合がある。その様な場合にはソース・ドレイン領域への不純物の導入ないし活性化の熱工程をゲート電極ないしゲート絶縁膜の加工に先立って行うことが好ましい。

【0067】

また、本実施例では、制御ゲート電極も浮遊ゲート電極も多結晶シリコンを用いて形成しているが、例えばW(タングステン)等の金属を用いて形成してもよい。また単結晶シリコンや非晶質シリコン等の半導体、ないしは必ずしも高融点とは限らない金属、金属を含む化合物等、ないしはそれらの積層等で形成してもよい。金属ないし金属を含む化合物でゲート電極を形成するとゲート電極の抵抗が抑制されるので素子の高速動作が得られ、好ましい。また金属でゲートを形成すると酸化反応が進みにくいので、ゲート絶縁膜ないしインターポリ膜とゲート電極との界面の制御性が良いと言う利点もある。また、ゲート電極の少なくとも一部に多結晶シリコン等の半導体を用いると仕事関数の制御が容易であるので素子のしきい値電圧の調節が容易になるという別の利点がある。

【0068】

また、本実施例では、ゲート電極の形成はゲート電極材料を堆積した後に異方性エッチングを施すという方法で形成しているが、例えばダマシンプロセス等のような埋め込み等の方法を用いてゲート電極を形成してもよい。ゲート電極の形成に先立ってソース・ドレイン領域を形成する場合には、ダマシンプロセスを用いるとソース・ドレイン領域とゲート電極とが自己整合的に形成されるので好ましい。

【0069】

また、本実施例では、素子を流れる電流の主方向に測ったゲート電極の長さは、ゲート電極の上部も下部も等しいが、このことは本質的ではない。例えばゲート電極の上部を測った長さの方が下部を測った長さよりも長いアルファベットの「T」字の様な形であってもよい。この場合にはゲート抵抗を低減することができるという他の利点も得られる。

【0070】

また、本実施例では明記していないが、配線の為の金属層の形成は例えばスパッタ法等を用いて行ってもよいし、堆積法等の方法を用いて行ってもよい。また、金属の選択成長等の方法を用いてもよいし、ダマシン法等の方法を用いてもよい。また、配線金属の材料は例えばSiを含有するAl等を用いても、例えばCu等の金属を用いてもよい。殊にCuは抵抗率が低いので好ましい。

【0071】

また、本実施例では、シリサイド工程には言及しなかったが、ソース・ドレイン領域上にシリサイド層を形成してもよい。また、ソース・ドレイン領域上に金属を含む層を堆積ないしは成長させる等の方法を用いてもよい。この様にするとソース・ドレイン領域の抵抗が低減されるので好ましい。また、ゲート電極を多結晶シリコン等で形成する場合にはゲート電極に対してのシリサイド化を施してもよい。その場合にシリサイド化を施すとゲート抵抗が低減されるので好ましい。また、エレベート構造を用いてもよい。エレベート構造によってもソース・ドレイン領域の抵抗が低減されるので好ましい。

【0072】

また、本実施例では、制御ゲート電極の上部は電極が露出する構造であるが、上部に例えば酸化シリコンや窒化シリコンや酸化窒化シリコン等の絶縁物を設けてもよい。殊に制御ゲート電極が金属を含む材料で形成されており、且つソース・ドレイン領域上にシリサイド層を形成する場合等、製造工程の途中で制御ゲート電極を保護する必要がある場合等は制御ゲート電極の上部に酸化シリコンや窒化シリコンや酸化窒化シリコン等の保護材料

10

20

30

40

50

を設けることは必須である。

【0073】

また、本実施例では、トンネルゲート絶縁膜として熱酸化法に依り形成した SiO_2 膜を用いたが、Hf(ハフニウム)、Zr(ジルコニウム)、Ti(チタン)、Sc(スカンジウム)、Y(イットリウム)、Ta(タンタル)、Al、La(ランタン)、Ce(セリウム)、Pr(プラセオジウム)、ないしはランタノイド系列の元素等の金属等の酸化物等ないしはこれらの元素をはじめとする様々な元素を含むシリケート材料等、ないしはそれらに窒素をも含有させた絶縁膜等、高誘電体膜ないしはそれらの積層等の他の絶縁膜をトンネルゲート絶縁膜として用いてもよい。絶縁膜中に窒素が存在すると、特定の元素のみが結晶化して析出することが抑制されるので好ましい。

10

【0074】

また、絶縁膜中に窒素が存在すると、ゲート電極として不純物を含有する多結晶シリコンを用いる場合に不純物が基板中に拡散することを抑制するという別の利点もあるので好ましい。また、絶縁膜の形成方法は熱酸化法に限るものではなく、CVD法等の堆積法、蒸着法ないしスパッタ法ないしエピタキシャル成長法等の他の方法を用いてもよい。また、絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。インターポリ膜に関しても同様である。また、トンネルゲート絶縁膜ないしインターポリ膜を形成する絶縁膜等の厚さは本実施例の値に限るものではない。

【0075】

また、本実施例では素子毎に厚さの異なるトンネルゲート絶縁膜を形成する為に、先ず全面に絶縁膜を形成し、薄い絶縁膜を形成したい素子の領域においてのみ絶縁膜を剥離し、続いて全面に再び絶縁膜を形成するという方法を用いたが、この方法は本質的ではなく、絶縁膜形成に先立って窒素原子ないし窒素分子を注入しておくとその後の熱酸化膜の成膜が遅くなることが知られているので、薄い絶縁膜を形成したい素子の領域のみは絶縁膜形成に先立って窒素原子ないし例えば窒素分子を注入しておいてから絶縁膜の成膜を行う等の方法によっても可能である。

20

【0076】

また、本実施例ではゲート側壁には言及していないが、ゲート電極に側壁を設けてもよい。殊に高誘電体材料でゲート絶縁膜を形成する場合に高誘電率材料でゲート側壁を設けると本発明者による公開2003-209247号公報に記載されているようにゲート電極下端角近傍のトンネルゲート絶縁膜中の電場が緩和され、トンネルゲート絶縁膜の信頼性が向上するという利点が得られるので好ましい。

30

【0077】

また、本実施例では、トンネルゲート絶縁膜は単層の構造としたが、このことに必然性はなく、積層構造としても良い。殊に高誘電体材料でトンネルゲート絶縁膜を形成する場合に、基板との界面の近傍に酸化シリコンないし窒化シリコンないし酸化窒化シリコン等の膜を設けるとキャリアのモビリティが向上するので電流駆動能力が更に向上するという利点がある。なお、絶縁膜中や半導体基板との界面に存在する電荷や準位等が少ないことが望ましいので、このことに鑑みると半導体基板と接する層には酸化シリコンを用いることが好ましい。

40

【0078】

一方、ゲート電極に半導体を用いた場合において不純物がチャネル領域に拡散することを防ぐと言う観点から考えると、窒素の存在に依り不純物の拡散が抑制されることが知られているので窒化シリコンないし酸化窒化シリコンを用いることが好ましい。

【0079】

またこれらの膜の形成方法は例えば昇温状態の酸素気体に曝すないしは堆積等の方法を用いることに依り可能であるし、必ずしも昇温を伴わない励起状態の酸素気体に曝してもよい。昇温を伴わない励起状態の酸素気体に曝するという方法で形成すれば、チャネル領域中の不純物が拡散に依り濃度分布を変えることが抑制されるので好ましい。更に酸化窒化

50

シリコンを用いる場合には、先ず酸化シリコン膜を形成し、その後に昇温状態ないし励起状態の窒素を含む気体に曝すことに依り絶縁膜中に窒素を導入してもよい。この場合において昇温を伴わない励起状態の窒素気体に曝すと言う方法で形成すれば、チャンネル領域中の不純物が拡散に依り濃度分布を変えることが抑制されるので好ましい。

【0080】

また、本実施例では、素子はバルク基板上に形成したが、SOI基板上に形成してもよい。バルク基板上に形成すると基板を通じてウエル領域の電位を制御する端子を設けることが可能になる為に例えば寄生バイポーラ効果が有効に抑制されるという利点がある。またSOI基板上に形成するとチャンネル領域の不純物濃度を極めて低く設定することが可能になる為、キャリアの高い移動度を実現することが可能になるという利点がある。

10

【0081】

また、本実施例では、ゲート電極形成後の後酸化には言及していないが、ゲート電極やゲート絶縁膜材料等に鑑みて可能であれば、後酸化工程を行ってもよい。また、必ずしも後酸化に限らず、例えば薬液処理ないしは反応性の気体に曝す等の方法でゲート電極下端の角を丸める処理を行ってもよい。これらの工程が可能な場合にはそれによりゲート電極下端角部の電場が緩和されるのでゲート絶縁膜の信頼性が向上し、好ましい。

【0082】

また、本実施例では明記していないが、層間絶縁膜としては酸化シリコン膜を用いてもよいし、例えば低誘電率材料等の酸化シリコン以外の物質を層間絶縁膜に用いてもよい。

20

【0083】

層間絶縁膜の誘電率を低くすると素子の寄生容量が低減されるので素子の高速動作が得られるという利点がある。

【0084】

また、本実施例では明記していないが、コンタクト孔に関しては自己整合コンタクトを形成することも可能である。自己整合コンタクトを用いると素子の面積を低減することができるので、集積度の向上が図られ、好ましい。

【0085】

また、本実施例においてはゲート電極下以外のソース・ドレイン領域上のトンネルゲート絶縁膜は除去したが、除去せずに残してもよい。例えばソース・ドレイン領域を、ゲート電極形成後にイオン注入により形成する場合等はドーズロスが防止されるので、ソース・ドレイン領域上のゲート絶縁膜は除去する方が好ましい。また、ソース・ドレイン領域に対してシリサイド化を行う場合には、除去することが必須である。また、除去の方法はRIE法に限るものではなく、例えばCDE法（化学的気相エッチング法）ないし湿式処理法等の方法を用いてもよい。

30

【0086】

また、本実施例においては図5に示す様にゲート絶縁膜の側面はゲート電極に合わせて加工されているが、例えば模式的な断面を図14に示す様にゲート絶縁膜がゲート電極よりも張り出すように加工してもよい。このようにするとソース・ドレイン領域とゲート電極との間の容量結合が強まるのでソース・ドレイン領域の抵抗が低減され、寄生抵抗が抑制されて更なる高速動作が可能になるという利点を得られる。

40

【0087】

また図15に示すようにゲート絶縁膜をゲート電極よりも内側に入り込むように加工してもよい。これによれば、ゲート電極とソース・ドレイン領域との間に形成される静電容量が減るので素子の寄生容量が低減され、更なる高速動作が可能になるという利点を得られる。更に、トンネルゲート絶縁膜に高誘電体材料を用いる場合には、ゲート絶縁膜をゲート電極よりも内側に入り込むように加工すると、先の公開2003-209247号公報に記載されているようにゲート電極下端角近傍のトンネルゲート絶縁膜中における電場が緩和されるため、絶縁膜の信頼性が向上するという別の利点も得られる。更に、ソース側とドレイン側とでゲート絶縁膜のゲート電極からの張り出し長さや、ゲート電極の内側

50

への入り込み長さ等が、ソース側とドレイン側とで非対称であってもよい。また、素子毎に異なってもよい。なお、本実施例ないし変形例においては素子が二つの場合の構造のみを示したが、ここに示した実施例ないし変形例は素子が二つの場合に限定されるものではなく、かつ同様の効果が得られることは無論である。

【0088】

(実施例2)

次に本発明の別の実施例による不揮発性半導体記憶装置について、以下、説明する。

図16の斜視図に模式的に構造を示すように、この実施例の不揮発性半導体記憶装置はSOI基板上に形成され、素子分離はメサ分離法により行われている。

【0089】

なお、この図においては配線金属、制御ゲート電極8ないしソース・ドレイン領域9に対して配線金属を結合させるためのコンタクト領域、層間絶縁膜、等は省略してある。このような構造の素子においてはチャンネルの形成される半導体領域とトンネルゲート絶縁膜との界面はメサ分離で得られたSOI基板の半導体層の上面と側面との二つの面に渡り、その境界に稜が存在する。稜を図中に破線の丸で示す。このようにチャンネルの形成される領域に稜が在ると、上に記したようにトンネルゲート絶縁膜5の厚さを変えることにより、トンネルゲート絶縁膜中の電場を効果的に変えることができ、その結果、素子毎に書き込み電圧条件や消去電圧条件を容易に異ならせることが可能となるという利点が見られる。

【0090】

なおこのことは本実施例に示したメサ分離のSOI構造のみならず、トライゲート素子、パイゲート素子、オメガゲート素子、ゲート・オール・アラウンド素子、縦型構造素子等のようにチャンネルの形成される半導体領域とトンネルゲート絶縁膜との界面が少なくとも二つの面よりなる場合には同様である。

【0091】

また、図16においては幅の広い方の素子のトンネルゲート絶縁膜が厚い例を示してあるが、このことは本質的ではなく素子の幅とトンネルゲート絶縁膜厚との大小関係が逆であっても同様の効果が得られる。

【0092】

また、例えば図17に示すように、隣り合う素子の浮遊ゲート電極の間に制御ゲート電極が存在してもよい。なお、この図においては配線金属、制御ゲート電極8ないしソース・ドレイン領域9に対して配線金属を結合させるためのコンタクト領域、層間絶縁膜、等は省略してある。このようにすると異なる素子の浮遊ゲート電極の間に形成される容量結合が制御ゲート電極により弱められるので、各素子の書き込みないし消去電圧条件が他の素子の浮遊ゲート電極に蓄積されている電荷の有無等の状態によって被る影響を低減する事が可能になるという利点がある。

【0093】

更に図17に示すように、制御ゲート電極が浮遊ゲート電極を覆う様に形成されていると、制御ゲート電極と浮遊ゲート電極との間に形成される容量結合が強まるので、浮遊ゲート電極の電位に対する制御ゲート電極の制御性が高まるという他の利点もまた得られる。

【0094】

一方、図16に示す様にすると、素子の間隔を狭く設計する事が可能となるので、集積度が増すという他の利点が見られる。

【0095】

本実施例においても実施例1に記したような種々の変形が可能であり、同様の効果が得られる。

【0096】

(実施例3)

次に本発明のさらに別の実施例による不揮発性半導体記憶装置の例について説明する。

10

20

30

40

50

【0097】

図18の斜視図に模式的に構造を示す様に、この不揮発性半導体記憶装置は、トライゲート素子を用いて形成されている。そして素子に依りソース・ドレイン領域9ないしチャネルの形成される半導体領域の高さが異なっている。そのことにより、素子毎の電流値を異なる値に設定してある。なお、この図においては配線金属、制御ゲート電極8ないしソース・ドレイン領域9に対して配線金属を結合させる為のコンタクト領域、層間絶縁膜、等は省略してある。このようにすると平面構造の素子ないしはメサ分離のSOI構造の素子等を用いた場合と比較して不揮発性半導体記憶装置の面積を縮小する事が可能となり、集積度の向上が図られると言う利点がある。図18においてはトライゲート素子を用いた場合の例を示したが、トライゲート素子に限らず、パイゲート素子、オメガゲート素子、ゲート・オール・アラウンド素子、フィン型構造素子(FINFET)等の素子を用いた場合にも同様の利点が得られる。

10

【0098】

本実施例においても上記実施例に記した様な種々の変形が可能であり、同様の効果が得られる。

【0099】

(実施例4)

次に本発明のさらに別の実施例による不揮発性半導体記憶装置の例について説明する。

【0100】

図19の斜視図に模式的に構造を示すように、この不揮発性半導体記憶装置はメサ分離のSOI素子を用いて形成されている。

20

【0101】

そしてそれらの素子は異なる面に形成されている。なお、この図においては配線金属、制御ゲート電極8ないしソース・ドレイン領域9に対して配線金属を結合させる為のコンタクト領域、層間絶縁膜、等は省略してある。この様にすると全ての素子を単一の面内に形成した場合と比較して不揮発性半導体記憶装置の面積を縮小する事が可能となり、集積度の向上が図られると言う利点がある。図19においてはメサ分離SOI型素子を用いた場合の例を示したが、メサ分離SOI型素子に限らず、通常の平面構造素子、トライゲート素子、パイゲート素子、オメガゲート素子、ゲート・オール・アラウンド素子、縦型構造素子、フィン型構造素子(FINFET)等の素子を用いた場合にも同様の利点が得られる。なお、図19においては幅ないしトンネルゲート絶縁膜厚の値の小さい素子がより上の面に形成されている場合を示しているが、この事は本質的ではなく、素子の形成される面の上下関係はどの様であっても同様の効果が得られる。

30

【0102】

本実施例においても上記実施例に記した様な種々の変形が可能であり、同様の効果が得られる。

【0103】

以上述べたように、本発明の実施例の不揮発性半導体記憶装置によれば、書き込み電圧条件ないし消去電圧条件の異なる素子が並列に接続された構造であり、各々の素子においては高いしきい値電圧と低いしきい値電圧との2種類のしきい値電圧を設定するのみで1ビットを超える多値の記憶を行う事が可能である。そのため、高い方のしきい値電圧は電源電圧よりも十分に高い値に設定し、低い方のしきい値電圧はゼロよりも十分に低い値に設定すれば、従来の不揮発性半導体記憶装置と異なり、しきい値電圧のバラツキに起因する電源電圧の下限は存在しない。それ故、電源電圧を十分に低く設定することが可能となり、その結果として低消費電力且つ1ビットを超える多値の記憶可能な高性能の不揮発性半導体記憶装置および半導体記憶装置を含む半導体装置が実現される。

40

【図面の簡単な説明】

【0104】

【図1】本発明の実施例による不揮発性半導体記憶装置を説明するための等価回路図

【図2】本発明の実施例による不揮発性半導体記憶装置の制御方法を説明するためのG端

50

子の電圧変化を示すタイミングチャート図

【図 3】本発明の実施例による不揮発性半導体記憶装置を説明するための模式図

【図 4】本発明の実施例による不揮発性半導体記憶装置を説明するための特性図

【図 5】本発明の実施例 1 による不揮発性半導体記憶装置の構造を説明するための断面図

【図 6】本発明の実施例 1 による不揮発性半導体記憶装置の構造を説明するための平面図

【図 7】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図

【図 8】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図

【図 9】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図 10

【図 10】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図

【図 11】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図

【図 12】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図

【図 13】本発明の実施例 1 による不揮発性半導体記憶装置の製造工程を説明するための断面図

【図 14】本発明の実施例 1 による不揮発性半導体記憶装置の変形例を説明するための断面図 20

【図 15】本発明の実施例 1 による不揮発性半導体記憶装置のさらに別の変形例を説明するための断面図

【図 16】本発明の実施例 2 による不揮発性半導体記憶装置の構造を模式的に説明するための斜視図

【図 17】本発明の実施例 2 による不揮発性半導体記憶装置の変形例を模式的に説明するための斜視図

【図 18】本発明の実施例 3 による不揮発性半導体記憶装置の構造を模式的に説明するための斜視図

【図 19】本発明の実施例 4 による不揮発性半導体記憶装置の構造を模式的に説明するための斜視図 30

【符号の説明】

【0105】

1 ... 半導体基板

2 ... 素子分離領域

3 ... ウエル領域

4 ... チャネル形成領域

5、5a、5b ... トンネルゲート絶縁膜

6 ... 浮遊ゲート電極

7 ... インターポリ絶縁膜(中間絶縁膜)

8 ... 制御ゲート電極

9 ... ソース・ドレイン領域

10 ... 半導体基板ないしソース・ドレインを想定した導体領域

11 ... トンネルゲート絶縁膜を想定した絶縁膜

12 ... 浮遊ゲート電極を想定した導体領域

13 ... インターポリ絶縁膜を想定した絶縁膜

14 ... 制御ゲート電極を想定した導体領域

15 ... SiO₂膜

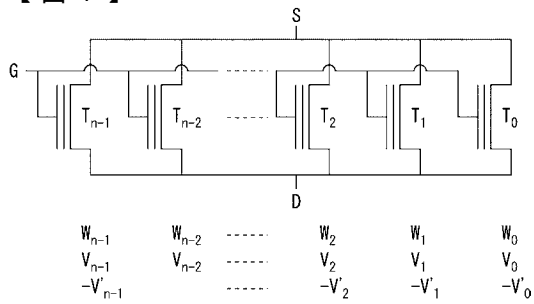
16 ... 多結晶シリコン膜

17 ... SiO₂/Si₃N₄/SiO₂積層絶縁膜

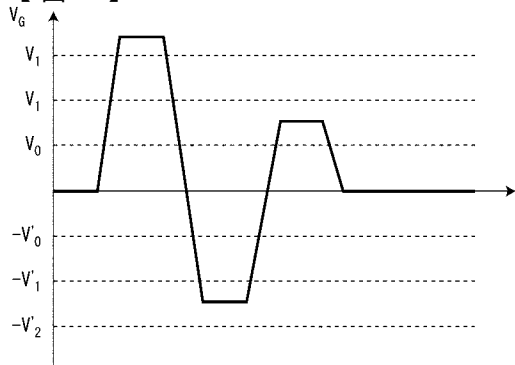
40

50

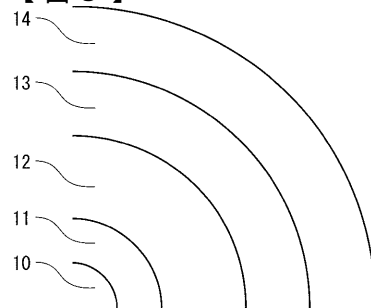
【図 1】



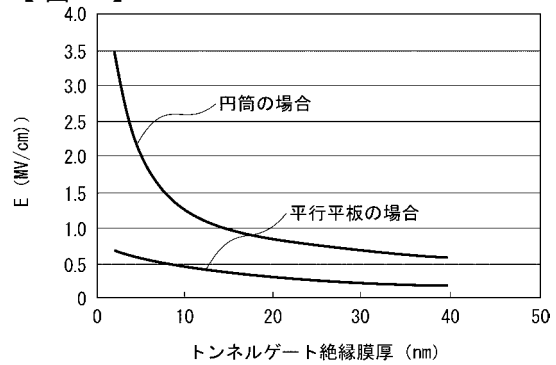
【図 2】



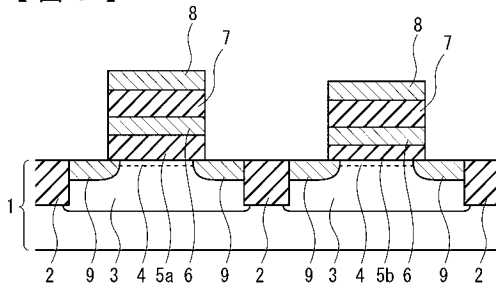
【図 3】



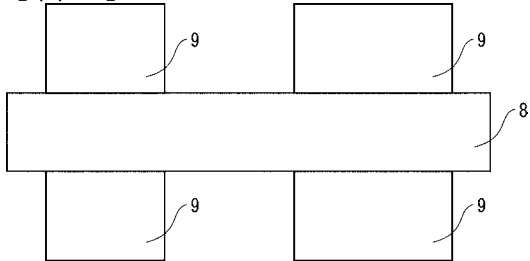
【図 4】



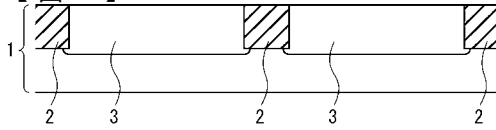
【図 5】



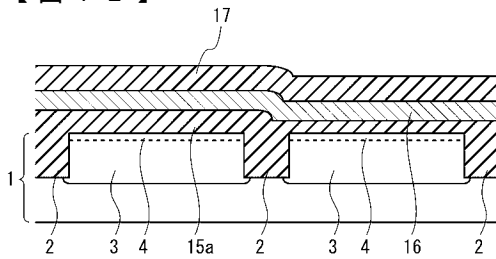
【図 6】



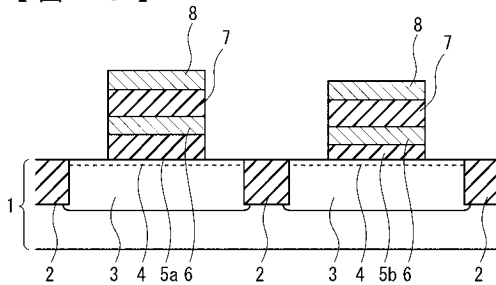
【図 7】



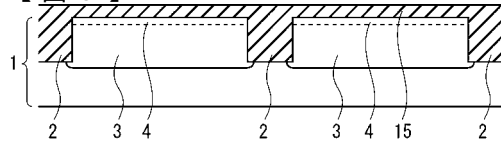
【図 12】



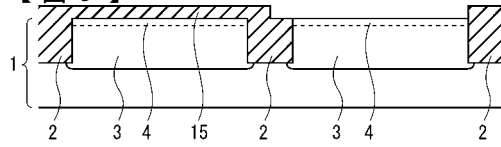
【図 13】



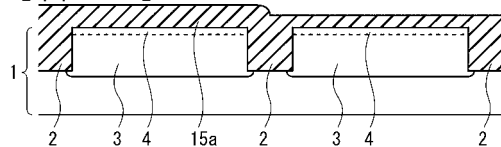
【図 8】



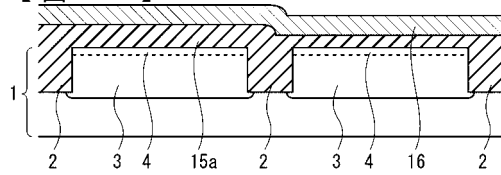
【図 9】



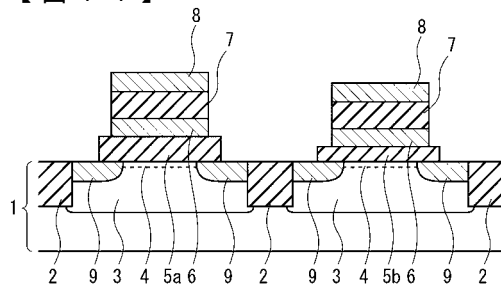
【図 10】



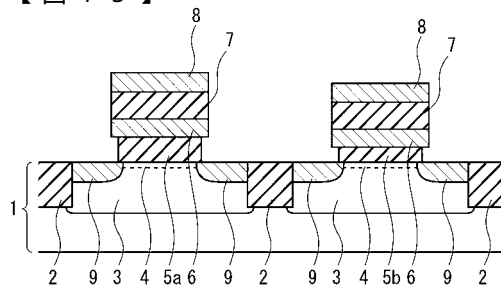
【図 11】



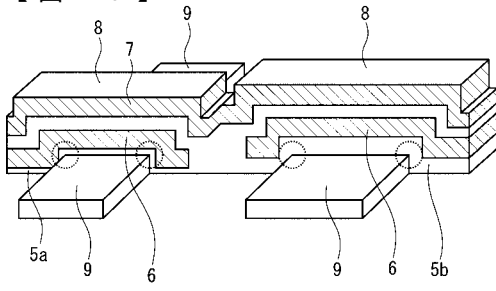
【図 14】



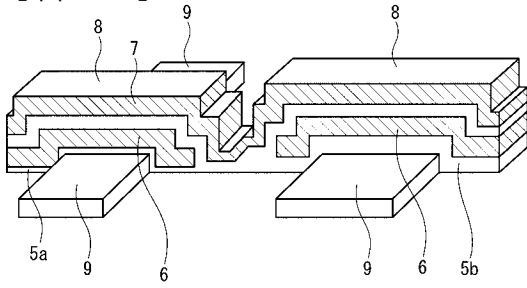
【図 15】



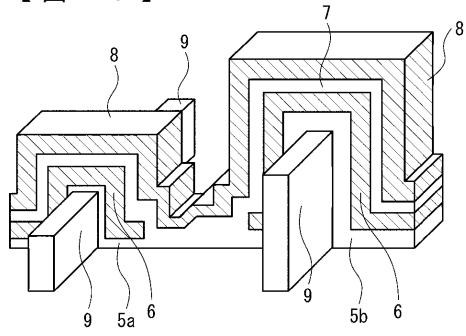
【図 16】



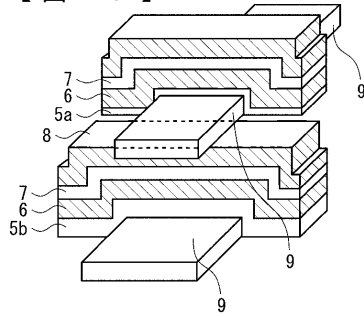
【図 17】



【図 18】



【図 19】



フロントページの続き

F ターム(参考) 5F101 BA12 BA29 BA36 BB05 BC01 BD07 BD13 BD16 BD30 BD35
BE02 BE05 BE07 BF05 BH19
5F110 AA09 BB05 CC02 DD11 EE05 EE09 EE14 EE27 EE45 EE48
FF01 FF02 FF03 FF10 FF29 HJ01 HJ04 HJ13 HK02 HK05
HM02 HM12 HM15 NN78

【要約の続き】