



## (12) 发明专利

(10) 授权公告号 CN 107799154 B

(45) 授权公告日 2021.12.10

(21) 申请号 201710766891.5

(51) Int.CI.

(22) 申请日 2017.08.31

G11C 17/16 (2006.01)

(65) 同一申请的已公布的文献号

H01L 27/112 (2006.01)

申请公布号 CN 107799154 A

B41J 2/14 (2006.01)

(43) 申请公布日 2018.03.13

B41J 2/02 (2006.01)

(30) 优先权数据

B41J 29/38 (2006.01)

2016-169617 2016.08.31 JP

B33Y 30/00 (2015.01)

(73) 专利权人 佳能株式会社

(56) 对比文件

地址 日本东京

US 2014078223 A1, 2014.03.20

(72) 发明人 藤井一成 根岸俊雄

US 2010073122 A1, 2010.03.25

(74) 专利代理机构 中国贸促会专利商标事务所  
有限公司 11038

JP S6373550 A, 1988.04.04

代理人 杨小明

CN 102668053 A, 2012.09.12

审查员 王浩同

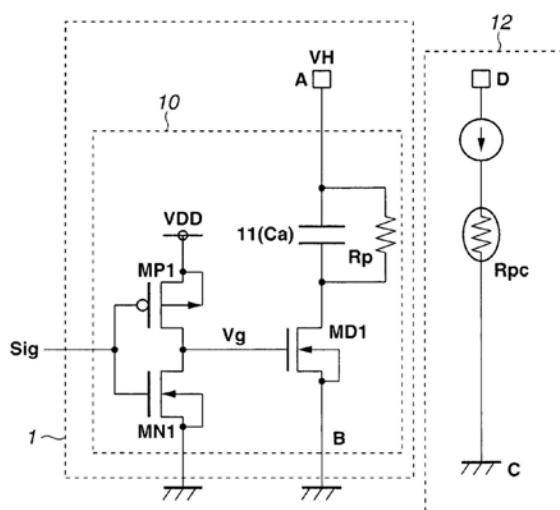
权利要求书3页 说明书11页 附图8页

## (54) 发明名称

半导体装置、液体排出头基板、液体排出头  
及装置

## (57) 摘要

本发明涉及半导体装置、液体排出头基板、液体排出头及装置。半导体装置包括：连接到具有第一电势的第一电势端子的晶体管；连接于所述晶体管与具有第二电势的第二电势端子之间的反熔丝元件；在所述晶体管与第二电势端子之间与反熔丝元件并联连接的电阻元件；和被设置为面对所述电阻元件的温度调节单元。



1.一种半导体装置,包括:

连接到具有第一电势的第一电势端子的晶体管;

连接于所述晶体管与具有第二电势的第二电势端子之间的反熔丝元件;

在所述晶体管和第二电势端子之间与反熔丝元件并联连接的电阻元件;和

被设置为面对所述电阻元件的温度调节单元,

其中,温度调节单元是导电层,

其中,所述电阻元件沿第一方向被设置,所述电阻元件中的每一个具有沿与第一方向相交的第二方向延伸的形状,

其中,导电层具有在关于半导体基板的表面的平面图中与所述电阻元件重叠并且沿第一方向延伸的形状,以及

其中,所述晶体管被设置在所述表面上。

2.根据权利要求1所述的半导体装置,其中,温度调节单元隔着绝缘体面对所述电阻元件。

3.根据权利要求2所述的半导体装置,其中,所述绝缘体是覆盖反熔丝元件、所述电阻元件和所述晶体管的绝缘体层。

4.根据权利要求1所述的半导体装置,

其中,温度调节单元在关于半导体基板的表面的平面图中与所述电阻元件重叠,以及

其中,所述晶体管、反熔丝元件和所述电阻元件在所述表面上形成。

5.根据权利要求1所述的半导体装置,其中,温度调节单元是加热器。

6.根据权利要求1所述的半导体装置,其中,所述导电层的第一端子连接到具有第三电势的第三端子,并且所述导电层的第二端子连接到具有与第三电势不同的电势的第四端子。

7.根据权利要求1所述的半导体装置,

其中,半导体装置包含所述电阻元件。

8.根据权利要求1所述的半导体装置,

其中,所述晶体管的沟道形成区域在半导体基板中形成,以及

其中,所述电阻元件具有在半导体基板中形成的半导体区域。

9.根据权利要求1所述的半导体装置,其中,反熔丝元件具有MOS结构,并且被配置为使得当在具有MOS结构的栅极绝缘膜中出现电介质击穿时信息被写入。

10.根据权利要求1所述的半导体装置,其中,温度检测单元被设置在所述电阻元件的附近。

11.根据权利要求1所述的半导体装置,其中,所述电阻元件的电阻率的温度系数为百万分之2000(ppm)/度或更高。

12.根据权利要求1所述的半导体装置,其中,所述电阻元件的电阻率的温度系数为4000ppm/度或更高。

13.一种半导体装置,包括:

具有第一端子和第二端子的晶体管,第一端子连接到具有第一电势的第一电势端子;

具有第三端子和第四端子的反熔丝元件,第三端子连接到第二端子,并且第四端子连接到具有第二电势的第二电势端子;

具有第五端子和第六端子的电阻元件，第五端子连接到第三端子，并且第六端子连接到第四端子；和

被设置为在关于半导体基板的表面的平面图中与所述电阻元件重叠的导电层，

其中，所述晶体管、反熔丝元件和所述电阻元件在所述表面上形成，

其中，半导体装置包含所述电阻元件，

其中，所述电阻元件沿第一方向被设置，所述电阻元件中的每一个具有沿与第一方向相交的第二方向延伸的形状，以及

其中，导电层具有在关于半导体基板的表面的平面图中与所述电阻元件重叠并且沿第一方向延伸的形状。

14. 根据权利要求13所述的半导体装置，其中，所述导电层的第一端子连接到具有第三电势的第三端子，并且所述导电层的第二端子连接到具有与第三电势不同的电势的第四端子。

15. 根据权利要求13所述的半导体装置，

其中，晶体管的沟道形成区域在半导体基板中形成，以及

其中，所述电阻元件具有在半导体基板中形成的半导体区域。

16. 根据权利要求13所述的半导体装置，其中，反熔丝元件具有MOS结构，并且被配置为使得当在具有MOS结构的栅极绝缘膜中出现电介质击穿时信息被写入。

17. 根据权利要求13所述的半导体装置，其中，温度检测单元被设置在所述电阻元件的附近。

18. 根据权利要求13所述的半导体装置，其中，所述电阻元件的电阻率的温度系数为2000ppm/度或更高。

19. 根据权利要求13所述的半导体装置，其中，所述电阻元件的电阻率的温度系数为4000ppm/度或更高。

20. 一种半导体装置，包括：

连接到具有第一电势的第一电势端子的晶体管；

连接于所述晶体管与具有第二电势的第二电势端子之间的反熔丝元件；

具有在所述晶体管和第二电势端子之间与反熔丝元件并联连接的电阻元件的电阻部分；和

被配置为减小源自所述电阻元件的随温度的特性变化的所述电阻部分的特性变化的调节单元，

其中，调节单元是导电层，

其中，半导体装置包含所述电阻元件，

其中，所述电阻元件沿第一方向被设置，所述电阻元件中的每一个具有沿与第一方向相交的第二方向延伸的形状，以及

其中，所述导电层具有在关于半导体基板的设置所述晶体管的表面的平面图中与所述电阻元件重叠并且沿第一方向延伸的形状。

21. 根据权利要求20所述的半导体装置，其中，调节单元是加热器。

22. 根据权利要求20所述的半导体装置，其中，所述导电层的第一端子连接到具有第三电势的第三端子，并且所述导电层的第二端子连接到具有与第三电势不同的电势的第四端子。

子。

23. 根据权利要求20所述的半导体装置,其中,调节单元与所述电阻元件串联连接。

24. 根据权利要求20所述的半导体装置,其中,在调节单元中,电阻值的温度特性是与所述电阻元件相反的温度特性。

25. 根据权利要求20所述的半导体装置,

其中,所述晶体管的沟道形成区域在半导体基板中形成,并且

其中,所述电阻元件具有在半导体基板中形成的半导体区域。

26. 根据权利要求20所述的半导体装置,其中,反熔丝元件具有MOS结构,并且被配置为使得当在具有MOS结构的栅极绝缘膜中出现电介质击穿时信息被写入。

27. 根据权利要求20所述的半导体装置,其中,温度检测单元被设置在所述电阻元件的附近。

28. 根据权利要求20所述的半导体装置,其中,所述电阻元件的电阻率的温度系数为2000ppm/度或更高。

29. 根据权利要求20所述的半导体装置,其中,所述电阻元件的电阻率的温度系数为4000ppm/度或更高。

30. 一种液体排出头基板,包括:

被配置为排出液体的排出元件;

与排出元件连接的控制电路;和

与控制电路连接的根据权利要求1~29中的任一项所述的半导体装置。

31. 根据权利要求30所述的液体排出头基板,其中,排出元件是加热器。

32. 一种液体排出头,包括:

记录单元;和

附着到记录单元的墨水容器,

其中,记录单元包含:

根据权利要求30所述的液体排出头基板;和

分别被设置为对应于液体排出头基板的排出元件中的不同的一个的排出端口。

33. 一种液体排出装置,包括:

根据权利要求32所述的液体排出头;

被配置为安装液体排出头的滑架;和

被配置为移动所述滑架的引导件。

## 半导体装置、液体排出头基板、液体排出头及装置

### 技术领域

[0001] 实施例的方面涉及具有反熔丝元件的半导体装置、液体排出头基板、液体排出头和液体排出装置。

### 背景技术

[0002] 近年，半导体装置使用用于在产品完成之后记录包含芯片识别数据 (ID) 和设定参数的产品特定信息的一次可编程 (OTP) 存储器。存在两种不同类型的OTP存储器：使用熔丝元件的OTP存储器和使用反熔丝元件的OTP存储器。日本专利申请公开No.2014-58130讨论了使用反熔丝元件的常规技术的配置。

### 发明内容

[0003] 根据本公开的一个方面，一种半导体装置包括：连接到具有第一电势的第一电势端子的晶体管，连接于所述晶体管与具有第二电势的第二电势端子之间的反熔丝元件，在所述晶体管和第二电势端子之间与反熔丝元件并联连接的电阻元件，和被设置为面对所述电阻元件的温度调节单元。

[0004] 根据本公开的另一方面，一种半导体装置包括：具有第一端子和第二端子的晶体管，第一端子连接到具有第一电势的第一电势端子，具有第三端子和第三四端子的反熔丝元件，第三端子连接到第二端子，并且第四端子连接到具有第二电势的第二电势端子，具有第五端子和第六端子的电阻元件，第五端子连接到第三端子，并且第六端子连接到第四端子，和被设置为在关于半导体基板的表面的平面图中与所述电阻元件重叠的导电层，其中，所述晶体管、反熔丝元件和所述电阻元件在所述表面上形成。

[0005] 根据本发明的另一方面，一种半导体装置包括：连接到具有第一电势的第一电势端子的晶体管，连接于所述晶体管与具有第二电势的第二电势端子之间的反熔丝元件，具有在所述晶体管和第二电势端子之间与反熔丝元件并联连接的电阻元件的电阻部分，和被配置为减小源自所述电阻元件的随温度的特性变化的所述电阻部分的特性变化的调节单元。

[0006] 从参照附图对示例性实施例的以下描述，本发明的其它特征将变得清晰。

### 附图说明

- [0007] 图1示出根据第一示例性实施例的半导体装置的电路构成。
- [0008] 图2示出半导体装置的截面结构的一部分。
- [0009] 图3以平面图示意性地示出根据第一示例性实施例的液体排出头基板。
- [0010] 图4是示出图3所示的液体排出头基板的一部分的平面图。
- [0011] 图5示出根据第二示例性实施例的半导体装置的电路构成。
- [0012] 图6示出根据第三示例性实施例的液体排出头基板的电路构成。
- [0013] 图7A、图7B、图7C和图7D示出安装液体排出头基板的液体排出装置的例子。

## 具体实施方式

[0014] 以下将参照附图详细描述本公开的各种示例性实施例、特征和方面。

[0015] 存在具有反熔丝元件作为存储器元件的诸如液体排出头基板的半导体装置。在这种半导体装置中，伴随与反熔丝元件并联连接的电阻器的电阻值随着由环境和打印情况导致的温度变化而变化，写入和读取可能变得困难。

[0016] 图1示出信息被写入反熔丝元件之前的状态下的、根据本公开的第一示例性实施例的半导体装置的电路构成的例子。

[0017] 根据第一示例性实施例的半导体装置包括存储器单元10和电源端子A(第二电势端子)。存储器单元10包括晶体管MP1、晶体管MN1、晶体管MD1、反熔丝元件11和电阻元件Rp(电阻部分)。根据本示例性实施例，反熔丝元件11的电阻值随着信息写入动作而改变。反熔丝元件11在信息被写入其中之前具有大的电阻值。例如，在信息被写入其中之前，反熔丝元件11用作电容元件Ca。参照示出信息被写入反熔丝元件11之前的状态的图1，反熔丝元件11由电容元件Ca代表。

[0018] 当写入信息时，反熔丝元件11的电阻值减小。因此，反熔丝元件11用作电阻元件。基于反熔丝元件11的电阻值的变化，这种构成使得能够读取反熔丝元件11中所写入的信息。根据本说明书，电阻值可被计算为直流(DC)电阻。

[0019] 参照图1，晶体管MP1是P型晶体管，晶体管MN1是N型晶体管。控制信号Sig被输入到晶体管MP1和晶体管MN1的栅极端子。

[0020] 晶体管MP1的源极端子和漏极端子中的任一个以及背栅极端子被供给电源电压VDD，并且晶体管MP1的另一个端子连接到晶体管MN1的源极端子和漏极端子中的任一个并且连接到晶体管MD1的栅极端子。晶体管MN1的另一端子和背栅极端子连接到接地线GND。晶体管MP1和MN1形成逻辑电路。用于形成逻辑电路的晶体管MP1和MN1的耐受电压低于作为高耐压晶体管的晶体管MD1的耐受电压。使用低耐压晶体管可实现逻辑电路的高速动作。

[0021] 作为高耐压晶体管的晶体管MD1控制对反熔丝元件11的电压施加。例如，晶体管MD1可以是N型金属氧化物半导体(NMOS)晶体管。高耐压晶体管指的是具有比用于逻辑电路的晶体管(晶体管MP1和MN1)的耐受电压更高的耐受电压的晶体管。在一个实施例中，高耐压晶体管形成为：即使所述晶体管被施加诸如控制单元中的一般逻辑电路中的晶体管不能耐受的高电压也不击穿。

[0022] 反熔丝元件11经由晶体管MD1连接到被供给第一电势的电源端子B(第一电势端子)。作为反熔丝元件11，例如，可以使用具有金属氧化物半导体(MOS)结构的反熔丝元件。电阻元件Rp经由晶体管MD1连接到具有第一电势的电源端子B，并且与反熔丝元件11并联连接。反熔丝元件11和电阻元件Rp连接到被供给与第一电势不同的第二电势的电源端子A。

[0023] 电源端子A和B是用于电连接存储器单元10和外部元件的焊盘，也是用于向反熔丝元件11施加电压的端子。电源端子B的电势与电源端子A的电势不同。例如，电源端子B的电势为接地电势，电源端子A的电势为在写入信息时要施加的高电压VH(例如，32V)。参照图1，晶体管MD1直接连接到电源端子B，反熔丝元件11直接连接到电源端子A。然而，晶体管MD1和反熔丝元件11中的每一个可以经由其间的另一电气元件被连接，只要不损害根据本示例性实施例的功能即可。

[0024] 作为特定连接，晶体管MD1的源极端子和漏极端子中的任一个连接到反熔丝元件

11的一个端子和电阻元件Rp的一个端子。晶体管MD1的另一端子经由接地线GND连接到电源端子B,电源端子B被设定于接地电势。反熔丝元件11的另一端子与电阻元件Rp的另一个端子连接,并且,这两个端子连接到电源端子A。晶体管MD1可以是例如N型MOS晶体管。

[0025] 当晶体管MD1处于截止状态时,与反熔丝元件11并联连接的电阻元件Rp将作为反熔丝元件11的电容元件Ca的一个端子和另一个端子的电势设定为几乎相同的电势。

[0026] 根据本示例性实施例,作为温度调节单元的调节单元12可以包括例如加热器Rpc。参照图1,除了加热器Rpc之外,调节单元12还包括电流源。尽管在本示例性实施例中,电流源被设置在记录元件基板上,但是本公开不限于此。电流源可以被设置在液体排出头基板之外。调节单元12的一个端子连接到电源端子C(第三电势端子),其另一个端子连接到电源端子D(第四电势端子)。电源端子C和D是用于电连接调节单元12和外部元件的焊盘。电源端子C具有接地电势,电源端子D具有正电势。

[0027] 根据本示例性实施例,电阻元件Rp是电阻部分。当电流源向加热器Rpc发送电流时,加热器Rpc的温度变化。这使得能够减小或消除电阻元件Rp的温度变化,由此减小或消除源自由于温度导致的电阻元件Rp的特性变化的所述电阻部分的特性变化。并且,能够在电阻元件Rp附近设置诸如二极管的温度检测单元,并且在监视温度检测单元的输出的同时控制要供给到加热器Rpc的电流量。在这种情况下,例如基于来自温度检测单元的输出,通过设置在液体排出头基板之外的控制装置,设定供给到加热器Rpc的电流量。

[0028] 将温度检测单元配置在电阻元件Rp附近使得能够根据电阻元件Rp的温度变化控制供给到加热器Rpc的电流量。在这种情况下,电阻元件Rp的附近包括可以测量电阻元件Rp的温度的位置和可以通过测量与电阻元件Rp接触的绝缘体或元件的一部分的温度来测量用于估计电阻元件Rp的温度变化的元件的温度的位置。

[0029] 下面将描述写入动作。

[0030] 当在反熔丝元件11中写入信息时,作为控制信号Sig的低电平信号(例如,具有接地电势的信号)被输入,以导通晶体管MD1。因此,反熔丝元件11的栅极绝缘膜被供给高电压VH。结果,在反熔丝元件11的栅极绝缘膜中出现电介质击穿。当出现栅极绝缘膜的电介质击穿时,反熔丝元件11的栅极端子与半导体基板110之间的电阻值大幅减小。更具体地,反熔丝元件11在写入之前用作电容元件Ca,并且在写入之后用作电阻元件。因此,信息被写入反熔丝元件11。

[0031] 下面将描述读取动作。当从反熔丝元件11读取信息时,低电平信号(例如,具有接地电势的信号)作为对应于反熔丝元件11的控制信号Sig被输入,以导通晶体管MD1。从连接到外部的端子测量反熔丝元件11的电阻值使得能够读取信息是否被写入了反熔丝元件11中。

[0032] 更具体地,电流经由电源端子A从外部被供给到反熔丝元件11,并且电压被监视。在信息没有被写入反熔丝元件11中的状态下,即,当反熔丝元件11用作电容元件Ca时,对于电阻元件Rp的电阻值和晶体管MD1的导通电阻值的合成电阻值的电压被读取。根据本示例性实施例,晶体管MD1的导通电阻值小于电阻元件Rp的电阻值。因此,电源端子A的电势比电源端子B的电势高借助于从外部供给的电流的跨着电阻元件Rp的电压降。

[0033] 另一方面,在信息被写入反熔丝元件11中的状态下,对于反熔丝元件11的写入状态电阻值、电阻元件Rp的电阻值和晶体管MD1的导通电阻值的合成电阻值的电压被读取。

根据本示例性实施例,写入信息之后的反熔丝元件11的电阻值小于电阻元件Rp的电阻值。因此,在这种情况下,合成电阻几乎等于反熔丝元件11的电阻值与晶体管MD1的导通电阻值之和。当合成电阻值变得小于电阻元件Rp的电阻值时,电源端子A的电势变得更接近电源端子B的电势。

[0034] 以这种方式,电阻元件Rp的电阻值被设定为充分高于写入信息之后的反熔丝元件11的电阻值。因此,可以使得信息被写入反熔丝元件11中的情况与信息没被写入其中的情况之间的电压差足够大,以确定是否已经写入信息。

[0035] 例如,通过在产品出货时在工厂使用检查机,将信息写入反熔丝元件11中。当反熔丝元件11被安装在产品的主单元上并且用户在开始使用产品之后将信息写入反熔丝元件11中时,从产品的主单元向反熔丝元件11供给相当于高电压VH的电压。

[0036] 在一个实施例中,为了获得写入信息前后的大的电阻值差,电阻元件Rp的电阻值为几万欧或更大。例如,使用扩散的扩散电阻器可以被用作高电阻元件。然而,扩散电阻器Rp具有随着温度大幅变化的电阻值和1000ppm/度或更大的电阻率的温度系数。例如,当电阻元件Rp的电阻率的温度系数为4000ppm/度时,如果温度从0度变化到100度,则电阻元件Rp的电阻值将改变40%。可以使用电阻率的温度系数为2000ppm/度或更大即4000ppm/度或更大的电阻元件作为扩散电阻器Rp。

[0037] 在写入信息之前,电阻元件Rp的电阻值变得在反熔丝元件11和电阻元件Rp的电阻值中占主导。因此,信息没写入反熔丝元件11中的状态下的电阻值将随温度而变化。如上所述,写入信息的情况与没写入信息的情况之间的读取电势的差异根据电阻元件Rp的电阻值而变化。因此,当电阻元件Rp的电阻值大幅变化时,可能变得难以正确地写入或读取信息。

[0038] 例如,当写入信息时,对应于写入目标反熔丝元件11的晶体管MD1导通并然后截止。在这种情况下,对于反熔丝元件11的施加电压的瞬态响应被确定为反熔丝元件11、电阻元件Rp和晶体管MD1的电阻值以及电容元件Ca的电容值。当电阻元件Rp的电阻值大幅变化时,写入信息时的施加电压特性将变化,使得难以稳定地写入信息。

[0039] 当读取信息时,在信息被写入反熔丝元件11之前读取对应于电阻元件Rp的电阻值与晶体管MD1的导通电阻值的合成电阻值的电压。因此,在读取信息中,电阻元件Rp的电阻值变得占主导。因此,当电阻元件Rp的电阻值大幅度化时,变得难以稳定地读取信息。为了减小这些影响,在电阻元件Rp附近设置调节单元12。

[0040] 调节单元12是用于减小由于温度导致的电阻元件Rp的特性变化(电阻变化)的元件。图1所示的加热器Rpc例如被设置在面向电阻元件Rp的位置。调节单元12的一个端子连接到电源端子C,并且其另一个端子连接到电源端子D。当从设置在半导体装置内部或外部的电流源向调节单元12供给电流时,加热器Rpc产生热量以使得能够控制电阻元件Rp的温度。用于向加热器Rpc供给电流的电流源可以被设置在其上设置半导体装置的基板上,并且可以被设置在基板的外面。

[0041] 在本说明书中,将沿着一定方向具有纵向的构件A设置为面向构件B意味着,在关于包含构件A的纵向的面的平面图中,在重叠位置处设置两个构件,使得在其间插入绝缘体。

[0042] 例如,二极管(未示出)作为温度检测单元被设置在电阻元件Rp的附近。可以在监视温度检测单元的输出的同时控制供给到加热器Rpc的电流量。可以通过外部控制单元或

设置在其上设置半导体装置的基板上的控制单元调节基于监视结果供给到加热器Rpc的电流量。在一个实施例中,温度检测单元被设置在各电阻元件Rp上,并且,至少一个半导体器件可以被设置在半导体器件中。并且,不需要监视温度。

[0043] 设置调节单元12以执行温度调节使得能够减小电阻元件Rp的温度变化导致的特性变化并且防止通过使用反熔丝元件11的信息读取和写入失败。

[0044] 调节单元12还可以对半导体装置的其它部分执行具有温度调节的部分的温度调节。例如,当半导体装置具有用于排出液体的排出元件时,调节单元12可以控制排出元件的温度。

[0045] 图2示出图1所示的电容元件Ca、电阻元件Rp和晶体管MD1的截面结构的具体例子。

[0046] 在半导体基板110中,在P型硅基板100上形成P阱区101和N阱区102a、102b和102c。能够以与用于形成逻辑电路的NMOS晶体管的P阱相同的处理形成P阱区域101。能够以与用于形成逻辑电路的PMOS晶体管的N阱相同的处理形成N阱区域102a、102b和102c。

[0047] 利用相对于P型硅基板100的N阱区的杂质浓度,P型硅基板100与N阱区102a、102b和102c之间的击穿电压变得高于高电压VH。利用P阱区域101和N阱区域102a、102b和102c的杂质浓度,P阱区域101与N阱区域102a和102b之间的击穿电压变得高于高电压VH。

[0048] 在P阱区域101和N阱区域102a、102b和102c上形成场氧化物膜103、高浓度N型扩散区域106a～106e和高浓度P型扩散区域107。场氧化物膜103可以例如通过使用硅局部氧化(LOCOS)方法形成。

[0049] 下面将描述作为高耐压NMOS晶体管的晶体管MD1的构成。栅极电极105a隔着栅极绝缘膜104被设置在N阱区域102a和邻接的P阱区域101上。P阱区域101与栅极电极105a重叠的区域变为沟道形成区域。

[0050] 高浓度N型扩散区域106a用作晶体管MD1的源极,高浓度P型扩散区域107是其背栅电极。N阱区域102a具有延伸到栅极电极105a下方的部分的部分作为漏极电极的电场弛豫区域。在N阱区域102a中形成的高浓度N型扩散区域106b用作晶体管MD1的漏极电极。并且,栅电极105a的漏极侧被构造为覆盖形成在N阱区域102a中的场氧化物膜103(所谓的LOCOS偏移结构)。

[0051] 因此,即使当晶体管MD1截止即漏极电极的电压为GND时漏极电极的电压上升到高电压VH,也可以确保栅极-漏极耐受电压。

[0052] 下面将描述反熔丝元件11的结构。反熔丝元件11具有上电极、下电极和其间的绝缘层。例如,隔着栅极绝缘膜104在N阱区域102b上形成的电极105b用作反熔丝元件11的上电极。N-阱区域102b的连接到高浓度N-型扩散区域106c并且在关于半导体基板110的设置晶体管MD1和其它元件的表面的平面图中与上电极重叠的部分用作下电极。关于设置晶体管MD1、反熔丝元件11、电阻元件Rp和其他元件的表面的平面图是例如关于晶体管MD1的沟道形成区域的前表面的平面图。

[0053] 参照图2,仅在N阱区域102b的在平面图中不与上部电极重叠的区域中形成高浓度N型扩散区域106c。然而,高浓度N型扩散区域106c不限于此。例如,可以在与上部电极重叠的部分的一部分或全部中形成高浓度N型扩散区域106b。当在平面图中与上电极重叠的区域也形成高浓度N型扩散区域106c时,高浓度N型扩散区域106c的重叠部分也用作反熔丝元件11的下电极。

[0054] 参照图1,反熔丝元件11的下电极连接到晶体管MD1的漏极端子。然而,反熔丝元件11的上电极可以连接到第三晶体管MD1的漏极端子,并且下电极可以连接到高电压VH。

[0055] 可以在形成晶体管MP1和MN1的栅极绝缘膜的处理中形成栅极绝缘膜104,晶体管MP1和MN1用于形成逻辑电路。例如,栅极绝缘膜104可以由氧化物膜形成。电极105a和105b可以是例如多晶硅层。能够以与形成晶体管MP1和MN1的各元件的处理相同的处理形成多晶硅层、高浓度N型扩散区域106a~106c和高浓度P型扩散区域107,晶体管MP1和MN1用于形成低耐压逻辑电路。

[0056] 如果使用具有MOS结构的反熔丝元件作为反熔丝元件11并且使用MOS晶体管作为用于控制对反熔丝元件11的写入动作的晶体管,则能够以相同的处理形成反熔丝元件和所述晶体管。因此,能够以少量的处理和低成本形成半导体装置。

[0057] 在高浓度P型扩散区域107、N型扩散区域106a~106e和场氧化物膜103上形成具有多个接触部分108的绝缘膜。在绝缘膜上形成导电层109a~109e。在导电层109a~109e上形成绝缘膜。在绝缘膜上进一步形成导电层109f。导电层109a~109f可以由诸如铝的金属形成。如果导电层109a~109f、电极和导线被电连接,则制造方法、材料和结构不受限制。

[0058] 图2示出作为反熔丝元件11的示例的电容元件,所述电容元件具有分别由N阱区域和多晶硅形成的下电极和上电极。然而,反熔丝元件11不限于该结构,并且可以是例如使用PMOS晶体管的电容元件。反熔丝元件11的上电极和下电极中的任一个用作一个端子,其电极中的另一个用作另一个端子。

[0059] 具有N阱区域102c作为半导体基板110内的半导体区域的电阻元件Rp分别经由高浓度N型扩散区域106d和106e连接到导电层109d和109e。电阻元件Rp不限于此结构。例如,可以使用由导电层制成的电阻器或由多晶硅制成的电阻器作为电阻元件Rp。

[0060] 作为调节单元12的加热器Rpc是作为电阻元件Rp的上层的导电层109f。当从电流源(未示出)向导电层109f发送电流时,导电层109f的温度被调节。导电层109f被设置为隔着绝缘体(两层绝缘膜)面对电阻元件Rp。

[0061] 所述绝缘膜是在半导体基板110上形成以覆盖晶体管MD1和电阻元件Rp的绝缘体层。绝缘层由例如氧化硅制成。绝缘层不限于此,并且可以由氮化硅或碳化硅制成,或者可以是这些材料的叠层或混合层。在调节单元12与电阻元件Rp之间可以存在空隙(space),而不是绝缘膜。参照图2,导电层109f由与其它导电层相同的层形成。然而,导电层109f可以由另外的上导电层形成,并且未必被设置在电阻元件Rp的正上方,只要它在电阻元件Rp附近即可。

[0062] 导电层109a经由接触部分108与晶体管MD1的源极和后栅极端子连接并被施加接地电势。导电层109b经由接触部分108连接到晶体管MD1的漏极电极和反熔丝元件11的下电极。导电层109c经由接触部分108连接到反熔丝元件11的上电极,并且在写入信息时被施加高电压VH。导电层109d与导电层109c连接(未示出),并且导电层109e与导电层109b连接(未示出)。

[0063] 图3在关于半导体基板110的形成元件的表面的平面图中示出具有根据本示例性实施例的半导体装置的液体排出头基板的概念。液体排出头基板300包括供给端口301、具有多个排出元件的排出元件组302a和302b,驱动电路部分303a和303b、反熔丝元件组304和电阻元件组305。

[0064] 供给端口301沿X方向延伸。排出元件组302a和302b分别包括沿X方向布置的多个排出元件，并且以在其间具有供给端口301的方式沿Y方向被设置。驱动电路部分303a和303b分别包括多个驱动电路，每个驱动电路分别驱动排出元件组302a和302b中的相应的排出元件。驱动电路包括例如AND电路和MOS晶体管。

[0065] 反熔丝元件组304沿着半导体基板110的沿X方向延伸的边被设置。反熔丝元件组304包括沿X方向布置的多个反熔丝元件11。电阻元件组305沿Y方向被设置在反熔丝元件组304与驱动电路部分303b之间并与相应的反熔丝并联连接。电阻元件组305包括沿X方向布置的多个电阻元件Rp。

[0066] 沿着半导体基板110的沿Y方向延伸的边设置多个电源端子306。调节单元12可以被设置在电阻元件Rp的温度可以被调节的位置处，例如，被设置在调节单元12在关于半导体基板110的形成元件的表面的平面图中与包含多个电阻元件Rp的电阻元件组305重叠的位置处。参照图3，调节单元12由连接到多个电源端子306之中的电源端子C和D并且沿着半导体基板110的外周被设置的导电层形成，从而在平面图中与电阻元件组305重叠。

[0067] 调节单元12不仅具有通过电阻元件Rp调节温度变化的功能，而且具有用于调节整个基板的温度的副加热器的功能。然而，根据本示例性实施例的液体排出头基板不限于此。例如，调节单元12可以由与作为副加热器的导电层电隔离的导电层形成。

[0068] 图4是详细示出由图3所示的虚线绘制的、具有半导体装置的记录头基板的区域的平面图。图2所示的截面图是沿图4所示的线A-B和C-D切取的面中的半导体装置的截面。如图4所示，调节单元12被设置为在关于半导体基板110的形成晶体管MD1、反熔丝元件11、电阻元件Rp和其它元件的表面的平面图中与电阻元件Rp的N阱区域102c重叠，并且沿X方向延伸。在平面图中，调节单元12可以不仅与N阱区域102e重叠而且与晶体管MD1和反熔丝元件11重叠。

[0069] 多个电阻元件Rp沿X方向被布置。另一方面，构成电阻元件Rp的N阱区域102c沿Y方向延伸。这种构成使得能够以短的间隔设置多个电阻元件Rp。在一个实施例中，晶体管MD1具有大的沟道宽度来发送大电流，并且，晶体管MD1形成为使得沟道宽度沿Y方向延伸。沿Y方向延伸的沟道宽度使得能够以短的间隔设置多个晶体管MD1。该构成使得能够在限制液体排出基板在X方向上的尺寸增加的同时适当地调节电阻元件Rp的电阻值和晶体管MD1的沟道宽度。

[0070] 例如，包括晶体管MD1、反熔丝元件11和电阻元件Rp的存储器机构可以被设置在关于具有排出元件和对应于排出元件的驱动电路的排出机构对应于Y方向的位置处。上述排出机构和存储器机构的对沿X方向被布置。在这种情况下，如上所述，电阻元件Rp和晶体管MD1被设置为沿X方向以短间隔被布置。这防止液体排出头基板在X方向上的宽度大于由排出机构规定的宽度。

[0071] 调节单元12设置为在平面图中与电阻元件Rp重叠，可以减小多个电阻元件Rp的温度变化。

[0072] 使用根据本示例性实施例的调节单元12使得能够减小作为存储器元件的反熔丝元件11的写入和读取失效。

[0073] 下面示出用于减小与根据第一示例性实施例的反熔丝元件11并联连接的电阻元件Rp的温度特性的影响的另一例子。根据第二示例性实施例，电阻部分具有电阻元件Rp和

与电阻元件Rp串联连接的电阻元件Rs。

[0074] 图5示出信息被写入反熔丝元件11之前的状态下的根据第二示例性实施例的半导体装置的电路构成。

[0075] 调节单元12是根据本示例性实施例的电阻调节单元。更具体地，调节单元12是与电阻元件Rp串联设置的电阻元件Rs，它们与反熔丝元件11并联连接。如图5所示，根据本示例性实施例，电阻部分(串联连接的电阻元件Rp和电阻元件Rs)与反熔丝元件11并联连接。电阻元件Rs具有与电阻元件Rp相反的温度特性，其中，温度系数的绝对值近似相等。电阻元件的温度特性意指响应于温度变化的电阻值变化的特性。温度特性的温度系数是关于1度温度变化的电阻值变化量。相反的温度特性意味着温度系数的符号不同。

[0076] 电阻元件Rs由多晶硅制成。通常对于多晶硅，温度系数可以通过离子注入的量来调节。串联设置具有与串联的电阻元件Rp相反的温度特性的电阻元件Rs使得能够减小或消除电阻元件Rp和电阻元件Rs的组合电阻值的关于温度的电阻值变化量。更具体地，可以减小或消除源自电阻元件Rp的温度变化的电阻部分的特性变化。这使得能够减小反熔丝元件11的写入和读取失效。根据本示例性实施例的调节单元12设置没有供给电流的功能的电阻元件Rs，从而导致半导体装置的简化。

[0077] 根据本示例性实施例，使用多晶硅电阻作为电阻元件Rs。然而，电阻元件Rs不限于此，并且可以是具有与电阻元件Rp相反的温度特性的电阻元件，例如具有MOS结构或二极管的元件。在一个实施例中，电阻元件Rs和Rp的温度系数的绝对值相等。即使这些绝对值不相等，只要电阻元件Rs具有与电阻元件Rp相反的温度特性即可获得相同的效果。

[0078] 下面，将以根据第一或第二示例性实施例的半导体装置被应用于液体排出装置的例子为中心，描述第三示例性实施例。

[0079] 图6示出具有根据第一或第二示例性实施例的半导体装置(存储器单元10)的液体排出头基板的示例性电路构成。液体排出头基板包括存储器单元10、NAND逻辑电路和记录单元201。

[0080] 存储器单元10包括由晶体管MP1和MN1形成的反相器、晶体管MD1、反熔丝元件Ca和电阻元件Rp。各记录单元201包括作为排出元件的加热器Rh(电热转换元件)和用于驱动加热器Rh的驱动器(例如，晶体管MD2和AND逻辑电路)。驱动加热器Rh即向加热器Rh供给电流以产生热量使得能够排出记录材料并执行记录。

[0081] 控制电路203可以由例如移位寄存器和锁存电路(未示出)形成。时钟信号CLK、图像数据信号DATA、锁存信号LT和加热器控制信号HE可以例如经由主机个人计算机(PC)被输入到控制电路203。AND和NAND逻辑电路和控制电路203被供给第一电源电压VDD(例如，3~5V)作为用于逻辑电路的电源电压。记录单元201和存储器单元10分别电连接到控制电路203。

[0082] 对于分别包括n个记录单元201的m个组，例如，控制电路203可以执行时分驱动动作，以控制记录单元201的动作从而驱动各个组的加热器Rh。可在控制电路203输出m位块选择信号204和n位时分选择信号205时执行时分驱动。

[0083] 当校正块选择信号204、时分选择信号205和控制信号206被输入到AND逻辑电路时，晶体管MD2导通以驱动与晶体管MD2串联连接的加热器Rh。记录单元201被供给第二电源电压VH1(例如，24V)作为用于驱动加热器Rh的电源电压并且连接到接地电势GND。

[0084] 当校正块选择信号204、时分选择信号205和控制信号207被输入到NAND逻辑电路时,反相器将根据这些信号的信号输出到晶体管MD1,以使晶体管MD1导通和关断。存储器单元10被供给用于在反熔丝元件Ca中写入信息的第三电源电压VH2并且连接到接地电势GND。

[0085] 为了实现稳定的液体排出,液体排出头基板具有初步加热加热器Rsh以加热基板的功能。通过用温度监视器(未示出)检测液体排出头基板的温度并向加热器Rsh发送电流,液体排出头基板的温度保持恒定。

[0086] 同时,设置用于调节与反熔丝元件11并联连接的电阻元件Rp的温度特性的单独的调节单元12。在一个实施例中,当单独地设置记录单元201和存储器单元10时,单独地设置调节单元12。单独地设置调节单元12使得能够将温度调节到不同的目标温度,并且还使得能够根据需要单独地使调节单元12动作,从而节省电力。另一方面,作为单独地使用用于加热基板的加热器Rsh和作为调节单元12的加热器Rpc的替代,这些加热器Rsh和Rpc可以被电连接,并且,从单个电流源或端子发送到加热器Rsh和Rpc的电流可以被控制。

[0087] 以下,将参照图7A、图7B、图7C和图7D描述安装在喷墨液体排出装置上的上述液体排出头基板的例子。液体排出装置的形式不限于此。例如,熔丝或升华型的热转印液体排出装置也是适用的。液体排出装置可以是仅具有记录功能的单功能打印机或具有诸如记录功能、传真功能和扫描仪功能的多种功能的多功能打印机。液体排出装置也可以是用于基于预定记录方法制造滤色器、电子设备、光学设备或微结构的制造装置。

[0088] 术语“记录”不仅可以包括在记录介质上形成实现为通过人类视觉可感知的图像、设计、图案、结构和其他对象的情况,而且可以包括处理介质的情况。术语“记录介质”不仅可以包括与普通液体排出装置一起使用的纸,而且可以包括布、塑料膜、金属板、玻璃、陶瓷、树脂、木材、皮革以及可向其应用记录剂的其它材料。术语“记录剂”不仅可以包括要被设置为形成图像、设计、图案等或者通过施加到其上处理记录介质的诸如墨水的液体,而且可以包括被设置为执行记录剂的处理(例如,其中所含的着色材料的固化或不溶化)的液体。

[0089] 图7A示出了液体排出头1810的一部分。液体排出头1810具有墨水供给端口1803。根据上述示例性实施例的加热器被示出为发热单元1806。如图7A所示,液体排出头1810由基座1808、用于形成与多个排出口1800连通的液体通道1805的流动通道壁构件1801和具有墨水供给端口1803的顶板1802构成。流动通道壁构件1801和顶板1802与基座1808组装在一起。在这种情况下,从墨水供给端口1803注入的墨水蓄积于内部公共液体室1804中,并然后被供应到液体通道1805。当在该状态下驱动基座1808和发热单元1806时,从排出口1800排出墨水。

[0090] 图7B示出液体排出头1810的整体结构。液体排出头1810包括多个排出口1800、具有根据第一或第二示例性实施例的液体排出头基板300的记录单元1811以及用于保持要供给到记录单元1811的墨水的墨水容器1812。墨水容器1812以边界线K作为边界可拆卸地附接到记录单元1811。液体排出头1810被设置有用于当安装在图7C所示的液体排出装置上时从滑架侧接收电信号的电触头(未示出)。发热单元1806基于该电信号产生热量。墨水容器1812包括用于保持墨水的纤维或多孔墨水吸收体。墨水由这些墨水吸收体保持。

[0091] 图7B所示的液体排出头1810附接到喷墨液体排出装置的主体上,并且,从主体施加到液体排出头1810的信号被控制。该构成使得能够提供能够实现高速记录和高清晰度记

录的喷墨液体排出装置。下面将描述使用液体排出头1810的喷墨液体排出装置。

[0092] 图7C是示出根据本公开的示例性实施例的喷墨液体排出装置1900的外观的透视图。参照图7C,液体排出头1810被安装在滑架1920上,该滑架1920与导螺杆1904的螺旋槽1921接合,导螺杆1904经由驱动力传递齿轮1902和1903伴随驱动马达1901的正向和反向旋转而旋转。上述构成允许液体排出头1810通过驱动马达1901的驱动力与滑架1920一起沿着引导件1919在箭头a或b的方向往复运动。通过记录介质馈送装置(未示出)在台板1906传送的用于记录纸P的纸按压板1905沿着滑架1920的移动方向将记录纸P按压到台板1906上。

[0093] 光耦合器1907和1908是用于在设置光电耦合器1907和1908的区域中检查设置在滑架1920上的杆1909的存在并且切换驱动马达1901的旋转方向的原位检测单元。支撑构件1910支撑用于封盖液体排出头1810的整个表面的盖构件1911。吸引单元1912吸引盖构件1911的内部,以经由盖构件1911中的开口1913在液体排出头1810上执行吸引恢复。移动构件1915允许清洁刮板1914前后移动。清洁刮板1914和移动构件1915由主体支撑板1916支撑。作为根据本示例性实施例的清洁刮板1914,可以应用已知的清洁刮板来代替示出的形式。被设置为开始用于吸引恢复的吸引的杆1917伴随与滑架1920接合的凸轮1918的移动而移动。来自驱动马达1901的驱动力由诸如离合器切换的已知的传送单元控制。装置的主体被设置有用于向设置在液体排出头1810上的发热单元1806供给信号并管理驱动马达1901和其它机构的驱动控制的记录控制单元(未示出)。

[0094] 在具有上述构成的喷墨液体排出装置1900中,液体排出头1810在通过记录介质馈送装置在台板1906上传输的记录纸P上执行记录,同时在记录纸P的整个宽度上往复移动。由于液体排出头1810使用根据上述示例性实施例的液体排出基板,因此变得能够实现墨水排出精度的提高和低电压的驱动。

[0095] 用于对装置执行上述的记录控制的控制电路203的构成。图7D是示出喷墨液体排出装置1900的控制电路203的构成的框图。控制电路203包括用于输入记录信号的接口1700、微处理器(MPU)1701、程序只读存储器(ROM)1702、动态随机存取存储器(DRAM)1703和门阵列1704。程序ROM 1702存储由MPU 1701执行的控制程序。动态类型DRAM 1703存储上述的记录信号和要供给到液体排出头1810的诸如记录数据的各种数据。门阵列1704对液体排出头单元1708执行记录数据供给控制。门阵列1704还执行接口1700、MPU 1701与DRAM 1703之间的数据传送控制。控制电路203还包括用于传输液体排出头单元1708的滑架马达1710和用于传输记录纸的传输马达1709。控制电路203还包括用于驱动液体排出头单元1708的头驱动器1705和分别用于驱动传输马达1709和滑架马达1710的马达驱动器1706和1707。

[0096] 以下将描述上述的控制配置的动作。当记录信号被输入到接口1700时,记录信号在门阵列1704与MPU 1701之间被转换成用于打印的记录数据。当马达驱动器1706和1707被驱动并且同时液体排出头1810根据发送到头驱动器1705的记录数据被驱动时,执行打印。

[0097] 具有三维(3D)数据的上述液体排出装置1900可以被用作用于形成三维图像的装置。

[0098] 以这种方式将根据第一或第二示例性实施例的半导体装置应用于液体排出装置使得能够减小作为存储器元件的反熔丝元件的写入和读取失效。

[0099] 虽然已参照行业性实施例说明了本公开,但应理解,本公开不限于公开的示例性实施例。所附权利要求的范围应被赋予最宽的解释以包含所有这样的修改以及等同的结构

和功能。

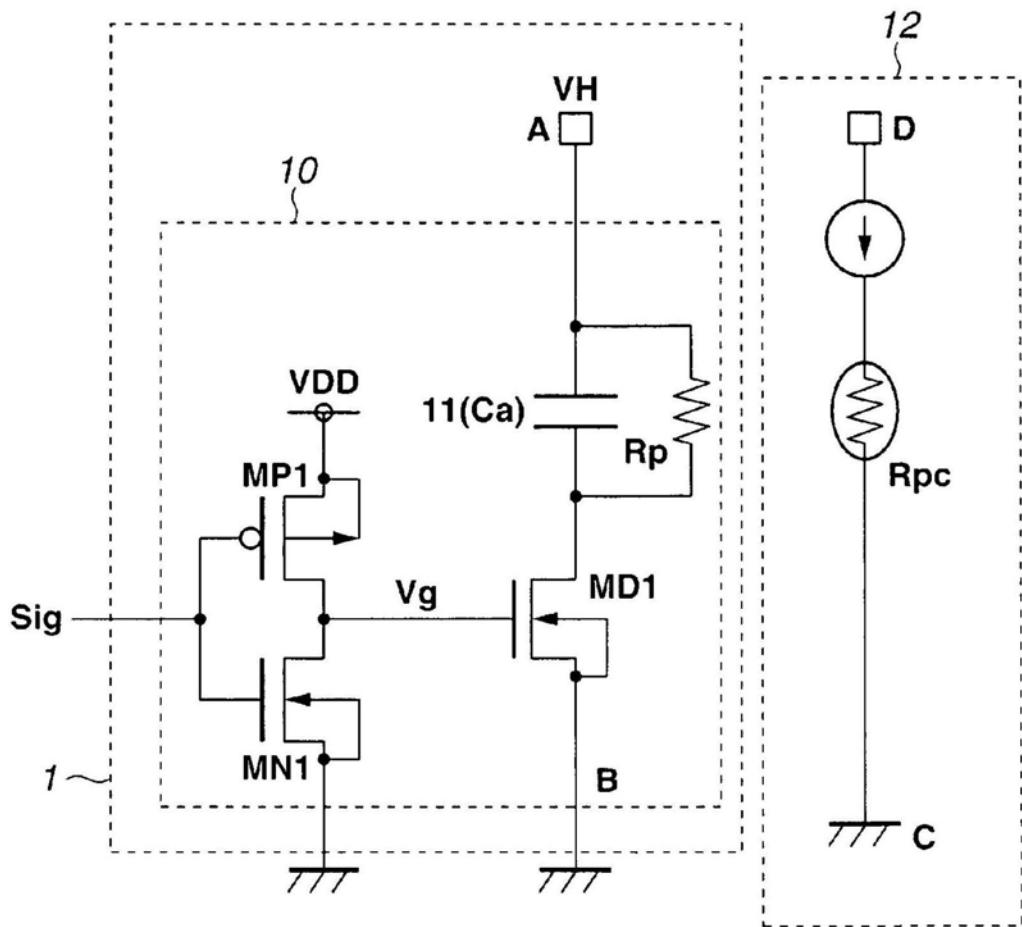


图1

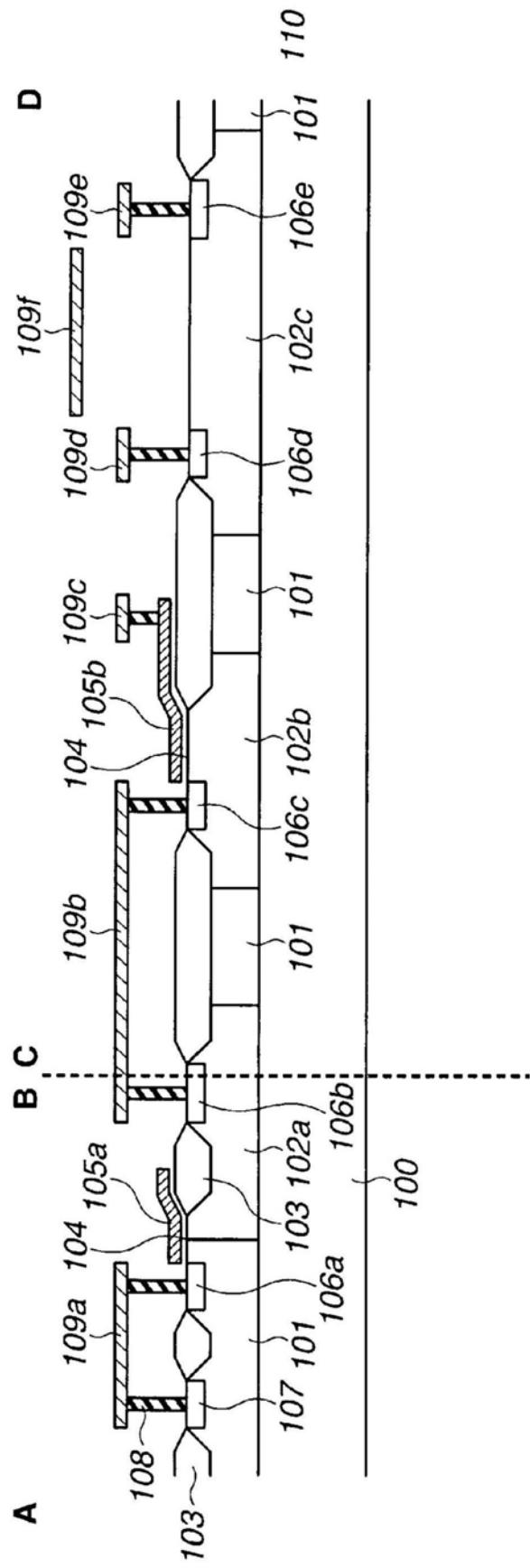


图2

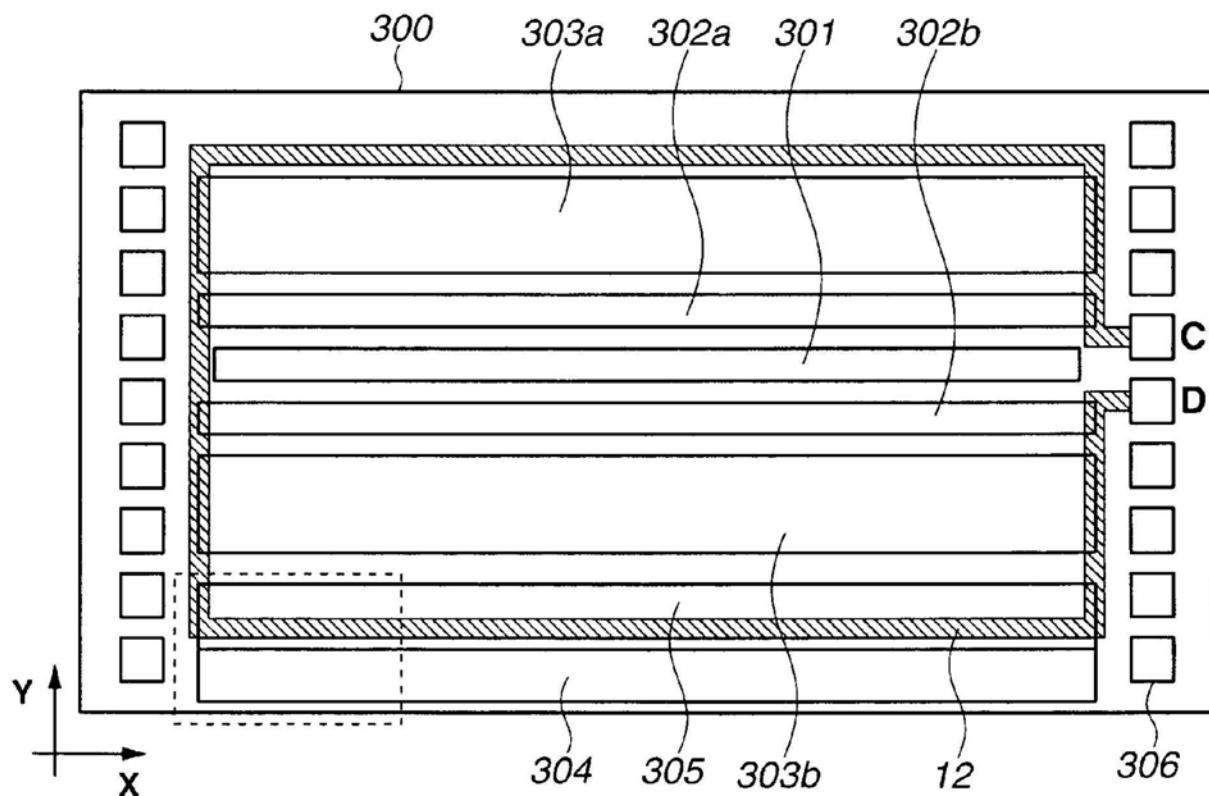


图3

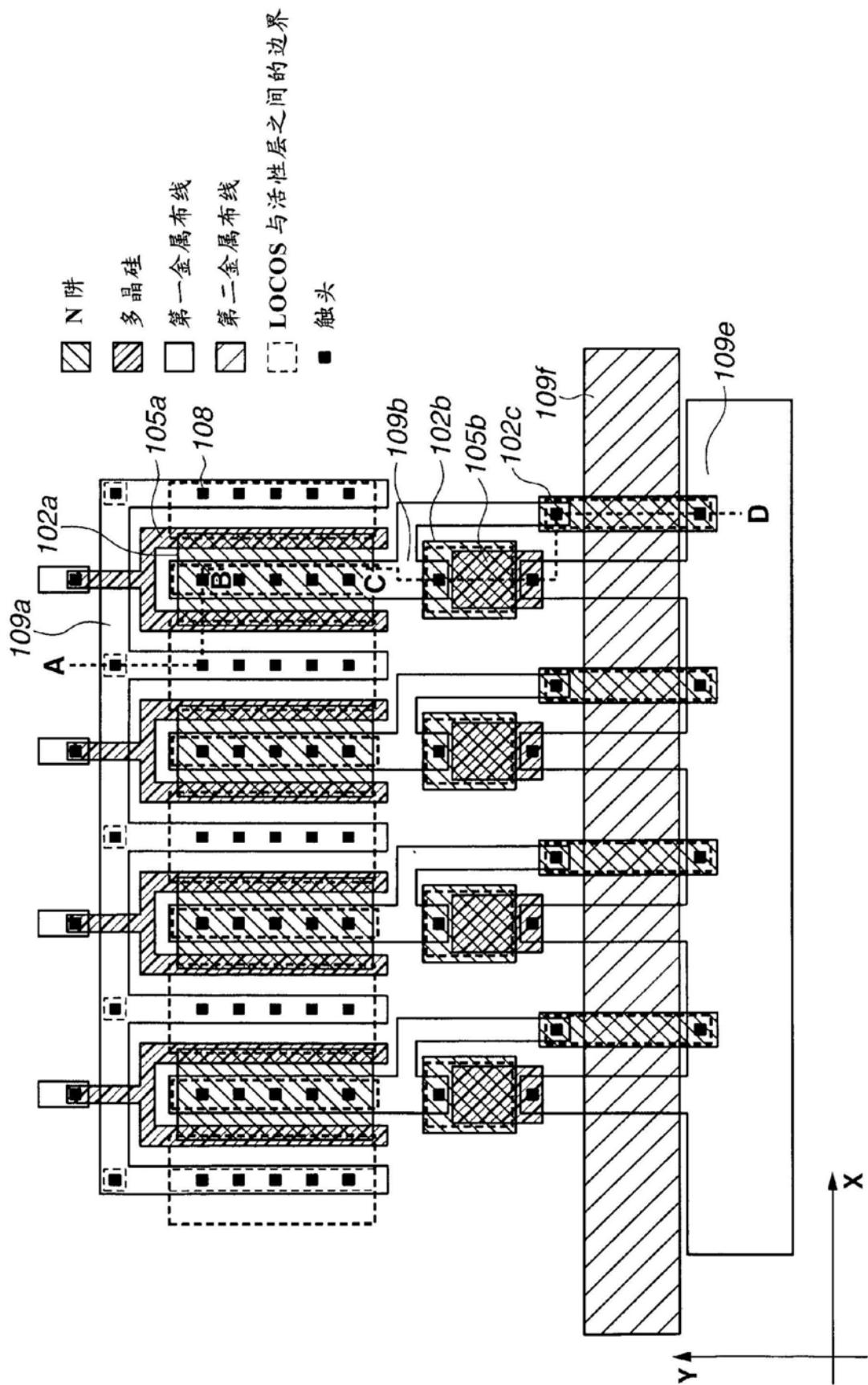


图4

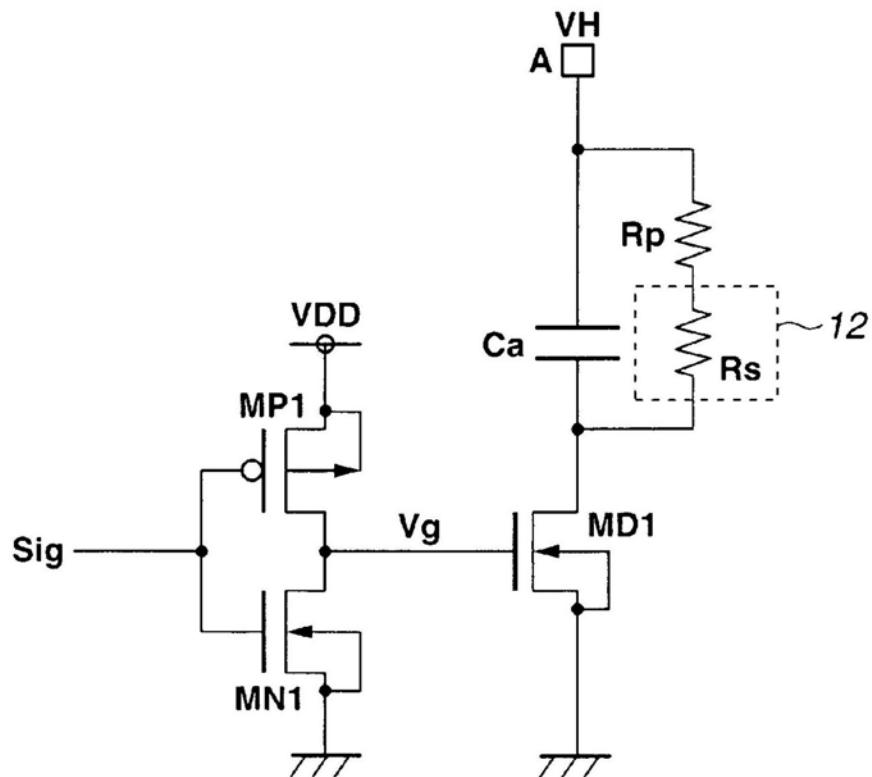


图5

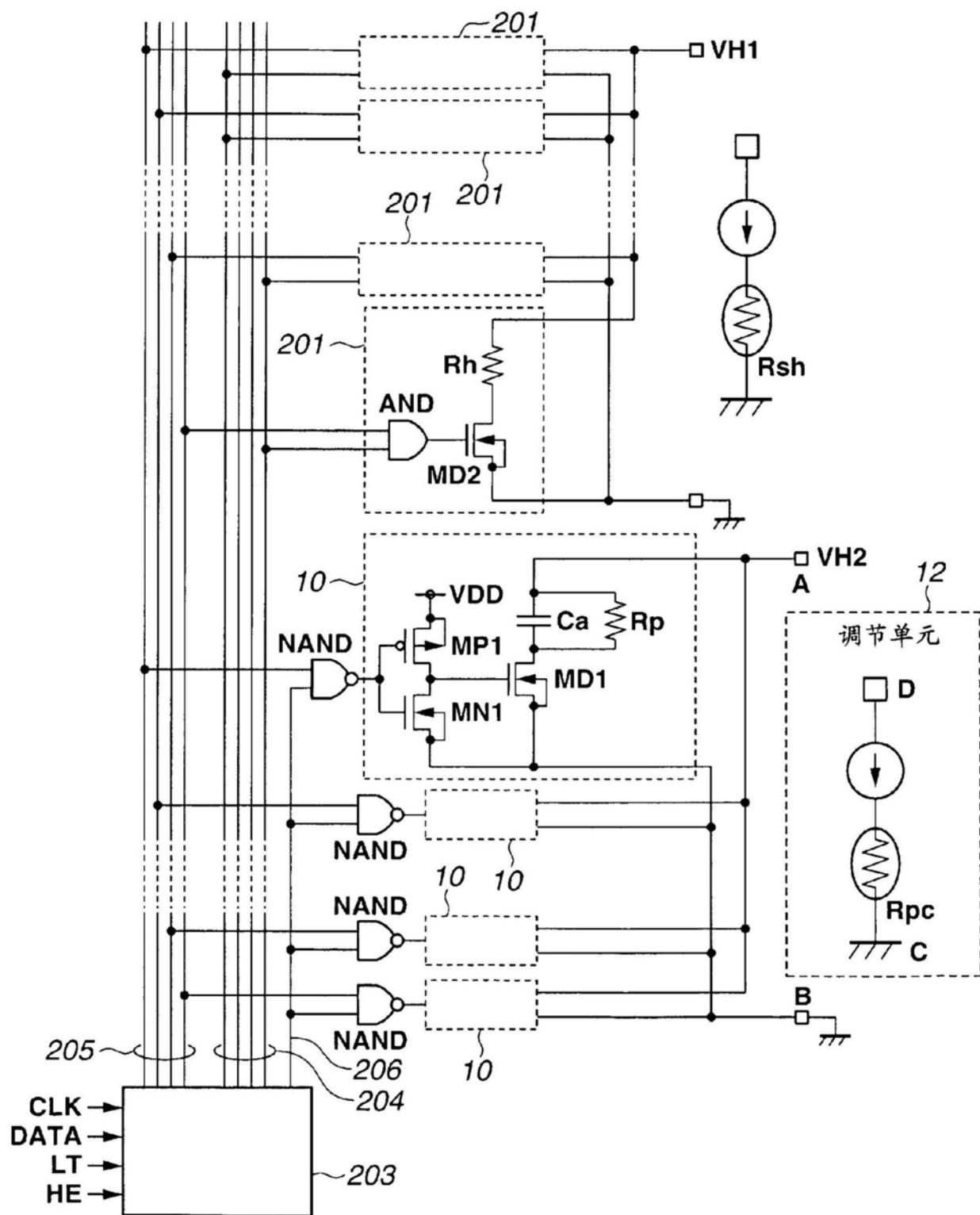


图6

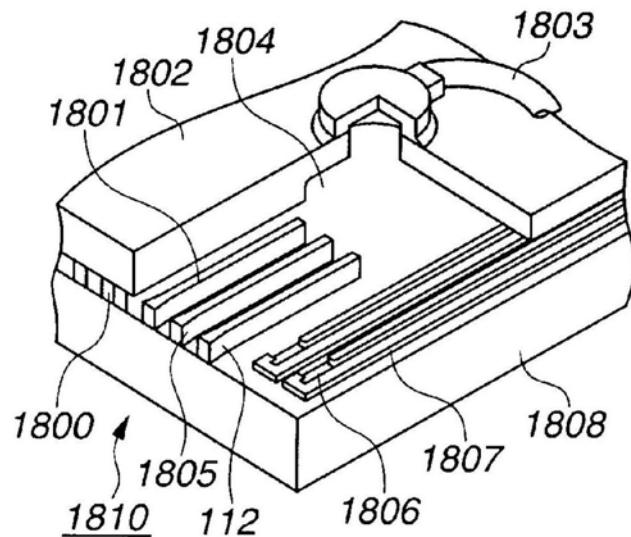


图7A

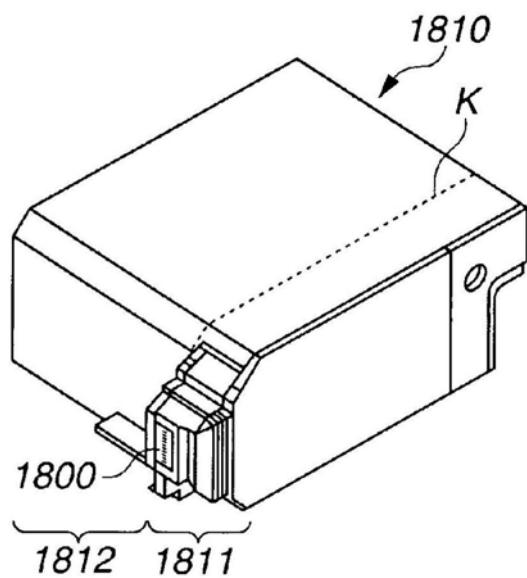


图7B

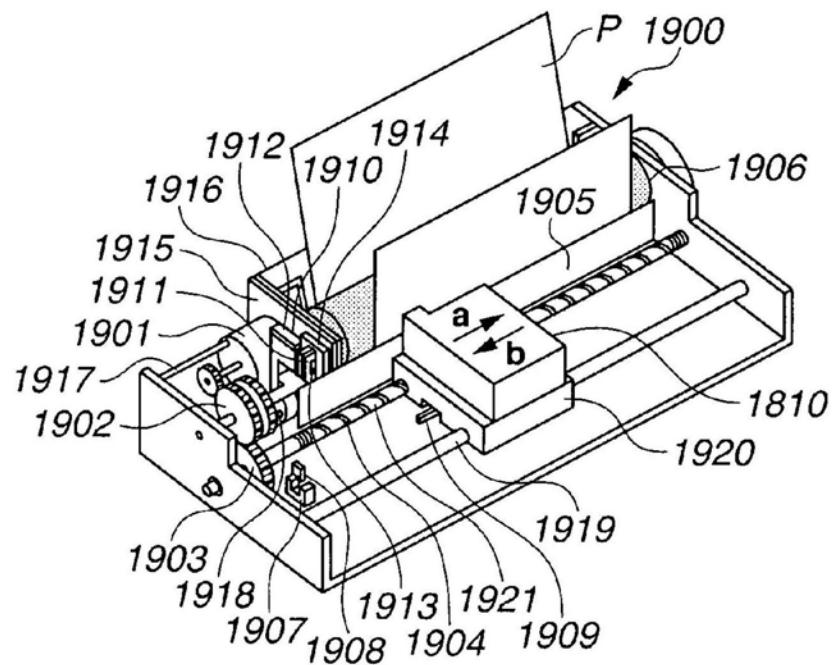


图7C

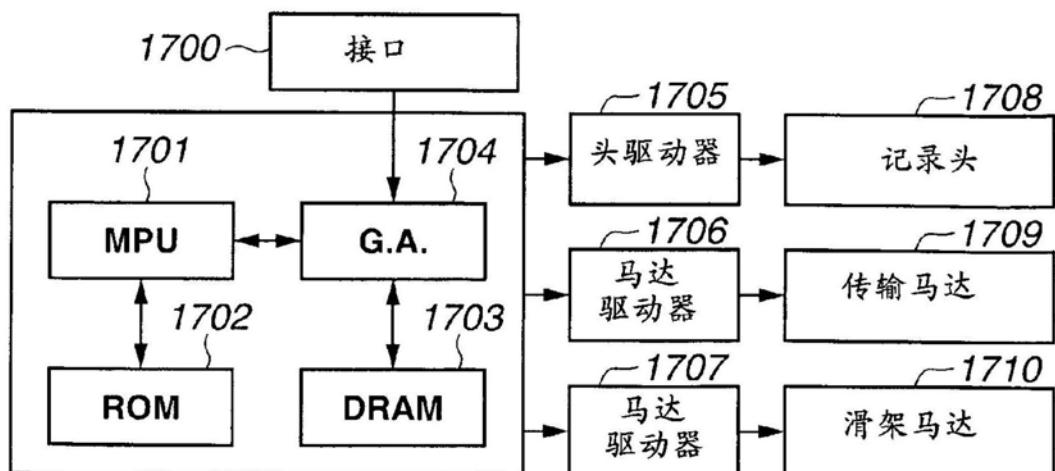


图7D