

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G06F 12/00	(11) 공개번호 특 1999-000719	(43) 공개일자 1999년01월 15일
(21) 출원번호 특 1997-023788		
(22) 출원일자 1997년06월 10일		
(71) 출원인 현대전자산업 주식회사 김영환		
(72) 발명자 최석환	경기도 이천시 부발읍 아미리 산 136-1	
(74) 대리인 김학제	경기도 이천시 대월면 사동리 현대전자사원아파트 109동 806호	

심사청구 : 있음

(54) 비동기 전송 모드 망 인터페이스 모듈에서의 실시간 데이터 송수신을 위한 메모리 제어 방법

요약

본 발명은 비동기 전송 모드 망 인터페이스 모듈에서 데이터 송수신시 실시간 데이터 송수신을 가능하게 하기 위한 메모리 제어 방법에 관한 것으로, 송수신을 위한 서로 다른 2개 이상의 데이터가 메모리에 입력되면, 메모리에 입력된 2개 이상의 서로 다른 데이터를 각각 셀 단위로 분할한 후 저장하고, 분할한 셀 단위의 2개 이상의 서로 다른 데이터를 서로 번갈아가며 출력토록하여 출력된 데이터를 송수신한다.
본 발명은 특히, 임의의 데이터가 모두 송수신되지 않았더라도 다른 데이터가 송수신될 수 있도록 하여 송수신되는 데이터의 실시간 처리가 가능하게 하는 효과가 있는 것이다.

대표도

도2

명세서

도면의 간단한 설명

- 도 1은 종래의 메모리 제어 방법을 보여주는 순서도,
- 도 2는 본 발명의 메모리 제어 방법을 보여주는 순서도,
- 도 3은 본 발명에 의한 메모리의 구조를 보여주는 도면,
- 도 4는 도 3에서 제 3 및 제 4 메모리영역의 데이터 구성을 보여주는 도면.

도면의 주요부분에 대한 부호의 설명

- 10 : 패킷메모리20 : 제어메모리
- 21 : 제 1메모리영역22 : 제 2메모리영역
- 23 : 제 3메모리영역24 : 제 4메모리영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 제어 방법에 관한 것으로, 특히, 비동기 전송 모드 망 인터페이스 모듈에서 데이터 송수신시 실시간 데이터 송수신을 가능하게 하기 위한 메모리 제어 방법에 관한 것이다.

본 발명은 비동기 전송 모드 망 인터페이스 모듈에서 뿐만 아니라, 실시간 처리를 요구하는 데이터 송수신시에 응용하여 사용할 수 있다.

일반적인 메모리의 제어 방법에 대한 상세 설명을 도 1을 참조하여 설명하면 하기와 같고, 하기에 설명하는 메모리의 제어 방법은 데이터 송수신시에 대한 것이며, 데이터 수신시의 메모리 제어 방법은 데이터 송수신시의 메모리 제어 방법과 반대로 이루어진다.

데이터 송수신시의 일반적인 메모리 제어 방법은 도 1에 도시된 바와 같이, 데이터의 송신 요청이 접수되

면, 송신 데이터의 크기를 체크하고, 송신 데이터의 크기를 수용할 수 있는 메모리 영역의 상태를 점검하여, 해당 메모리 영역의 상태가 풀 상태이면 송신을 거절하고, 해당 메모리 영역의 상태가 풀 상태가 아니면 데이터를 입력받아 데이터를 전송하기 위한 처리 과정(데이터의 저장, 데이터가 저장된 메모리 주소 정보 저장, 데이터의 길이 정보 저장 등)을 수행하며, 기 입력받은 데이터(전송중이던 데이터)의 전송이 완료되면 입력받은 데이터의 전송을 시작하고, 입력받은 데이터의 전송이 완료되면 데이터 전송 완료를 나타내는 신호를 발생하며, 데이터의 전송 완료를 나타내는 신호가 발생하면 송신 상태를 검사하여 에러 발생 유무를 체크한 후 데이터 전송을 완료한다.

즉, 상기와 같은 메모리 제어 방식은 임의의 데이터에 대한 송신이 완료되지 않았을 경우, 송신을 원하는 다른 데이터를 현재 송신을 수행하고 있는 데이터의 송신 동작이 완료될 때까지 대기 상태가 된다.

예를 들어, 목적지 A는 가지는 데이터와 목적지 B를 가지는 데이터가 메모리로 송신되었을 때, 상기와 같은 메모리 제어 방식은 목적지 A를 가지는 데이터를 A로 모두 송신한 후, 목적지 B를 가지는 데이터를 B로 송신하게 되는 것이다(목적지 A를 가지는 데이터가 먼저 송신 되었다는 가정하에서 이루어지는 동작임).

상기에서 A와 B는 임의의 목적지를 나타내는 변수이다.

그러나, 상기와 같은 종래의 메모리 제어 방법에 의해 데이터를 송수신하게 되면, 비동기 전송 모드 망 인터페이스에서의 데이터 송수신시 요구되는 데이터의 실시간적 처리를 수용하지 못한다는 문제점이 발생한다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기와 같은 문제점을 해결하고자 하는 것으로, 서로 다른 데이터(예를 들어, 서로 다른 목적지를 가진 데이터) 송수신시 송수신 데이터의 실시간 처리를 가능하게 하는, 서로 다른 데이터 패킷간의 인터리빙을 수행하기 위한 메모리 제어 방법을 제공하는데 그 목적이 있다.

상기와 같은 목적을 구현하기 위한 본 발명 비동기 전송 모드 망 인터페이스 모듈에서의 실시간 데이터 송수신을 위한 메모리 제어 방법은, 송수신을 위한 서로 다른 2개 이상의 데이터가 메모리에 입력되면, 메모리에 입력된 2개 이상의 서로 다른 데이터를 각각 셀 단위로 분할한 후 저장하고, 분할한 셀 단위의 2개 이상의 서로 다른 데이터를 서로 번갈아가며 출력토록하여 출력된 데이터를 송수신함으로써, 임의의 데이터가 모두 송수신되지 않았더라도 다른 데이터가 송수신될 수 있도록 하여 송수신되는 데이터의 실시간 처리가 가능하게 하였다.

발명의 구성 및 작용

이하, 본 발명의 일실시예를 도면을 참조하여 상세히 설명하면 다음과 같다.

[실시예]

하기에 설명하는 본 발명의 일실시예에 따른 메모리의 제어 과정 및 메모리의 구조는 데이터의 송신시에 대한 것으로, 데이터 수신시의 메모리 제어 과정은 데이터 송신시와 반대로 이루어지고, 메모리의 구조는 수신된 데이터의 확인을 위한 1개의 메모리 영역과, 수신된 데이터의 크기 정보를 저장하는 2개의 메모리 영역(큰 데이터와 작은 데이터에 대한 메모리 영역)이 부가된다.

본 발명의 메모리 제어 방식에 의해 형성되는 메모리 영역은 도 3에 도시된 바와 같이, 송신할 데이터를 입력받아 저장했다가 패킷 형태로 출력하는 패킷메모리(10)와, 패킷메모리(10)에서의 데이터 입출력을 제어하기 위한 정보를 저장하고 있는 제어메모리(20)로 구성된다. 상기에서 제어메모리(20)는 패킷메모리(10)에 저장된 송신 데이터의 수에 대한 정보를 저장하는 제 1메모리영역(21)과, 패킷메모리(10)에 저장된 서로 다른 데이터의 출력을 제어하기 위한 값을 저장하는 제 2메모리영역(22)과, 데이터의 상태에 대한 정보를 저장하는 제 3메모리영역(23)과, 데이터의 구조에 대한 정보를 저장하는 제 4메모리영역(24)로 이루어진다. 상기에서 제 3메모리영역(23)과 제 4메모리영역(24)에서의 데이터 구성은 도 4에 도시된 바와 같고, 본 발명에서 핵심이 되는 메모리영역은 상기 제어메모리(20)에서 제 4메모리영역(24)이며, 상기에서 제 2메모리영역(22)의 값에 의해 출력(송신)되는 데이터가 결정된다.

도 2는 본 발명에 의해 메모리를 제어하는 과정을 보여주는 도면으로, 서로 다른 목적지를 가지는 데이터 A, B, C가 패킷메모리(10)에 입력되면, 제어 메모리에서 데이터 A, B, C의 구성에 대한 정보(패킷메모리(10)에서의 시작 주소, 바이트 카운트 등)를 제 4메모리영역(24)에, 상태에 대한 정보(데이터를 셀 단위로 분할할 때 헤더에 해당하는 정보 데이터)를 제 3메모리영역(23)에 순차 저장하고, 실시간 전송을 요구하는 데이터 수에 의해 각 데이터 A, B, C의 단위 시간당 전송해야 할 바이트수를 계산하여 분할 제어기(도면에는 도시하지 않음)에 저장하며, 데이터의 실시간 전송을 요구하는 서비스의 콜(CALL) 수를 관리하는 분할 제어기(제어메모리(20)의 시작, 종료, 리드, 라이트 주소를 저장하고 있음)의 레지스터(도면에는 도시하지 않음) 값을 실시간 전송을 수행해야 하는 데이터의 수만큼 증가시키고, 제 1메모리영역(21)에 패킷메모리(10)의 데이터 저장 정보를 가지고 있는 제어메모리(20)의 디스크립터(DESCRIPTOR) 번호를 저장하며, 분할 제어기에 저장된 제어메모리(20)의 제 1메모리영역(21)의 라이트 주소를 증가시키고, 분할 제어기에 저장된 제어메모리(20)의 제 1메모리영역(21)의 라이트 주소가 리드 주소와 동일한지를 체크하여, 동일하지 않으면 분할 제어기에서 제어메모리(20)의 제 4메모리영역(24)에서 패킷메모리(10)에 저장된 A데이터에 대한 정보를 읽어온 후, 패킷메모리(10)에서 셀 단위로 분할된 A데이터를 출력하여 전송하고, 또 다른 데이터의 실시간 전송을 요구하는 서비스 콜이 존재하는지를 체크하여, 존재하면 또 다른 데이터의 실시간 전송을 요구하는 서비스 콜에 응답하는 데이터를 데이터 A와 동일한 방법으로 셀 단위로 분할하여 출력토록 하여 전송하고, 모든 실시간 전송을 요구하는 서비스 콜에 응답하는 데이터를 데이터 A와 동일한 방법으로 셀 단위로 분할하여 출력한 후, 다시 데이터 A부터 상기에서 출력하여 전송한 다음의 셀 단위로 분할된 데이터를 출력하여 전송하고, 상기에서 패킷메모리(10)

에서 셀 단위로 분할된 A데이터를 출력하여 전송한 후, 또 다른 데이터의 실시간 전송을 요구하는 서비스 콜이 존재하지 않으면, 계속해서 A데이터의 다음 셀 단위의 데이터를 출력하여 전송한다.

즉, 송수신을 위한 서로 다른 2개 이상의 데이터가 메모리에 입력되면, 메모리에 입력된 2개 이상의 서로 다른 데이터를 각각 셀 단위로 분할한 후 저장하고, 분할한 셀 단위의 2개 이상의 서로 다른 데이터를 서로 번갈아가며 출력토록 하여 출력된 데이터를 송수신한다. 상기에서 셀 단위로 분할한 데이터 셀의 크기는 메모리에 입력된 데이터의 갯수와, 메모리에 입력된 각 데이터의 실시간 처리가 수행되기 위하여 각 데이터가 단위 시간당 전송되어야 할 바이트 수를 감안하여 결정한다.

예를 들어, 목적지 A를 가지는 데이터 패킷 메모리에 입력되면, 입력된 목적지 A를 가지는 데이터를 셀 단위로 분할하여 목적지 A로 송신하고, 상기 목적지 A를 가지는 데이터의 송신중에 목적지 B를 가지는 데이터가 패킷 메모리에 입력되면, 입력된 목적지 B를 가지는 셀 단위의 데이터를 번갈아가며 출력하여 데이터를 전송한다. 상기에서 A와 B는 임의의 변수이다.

상기와 같은 본 발명에 의하면, 임의의 데이터가 모두 송수신되지 않았더라도 다른 데이터가 송수신될 수 있도록 하여 송수신되는 데이터의 실시간 처리가 가능하게 되는 것이다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명은, 특히, 임의의 데이터가 모두 송수신되지 않았더라도 다른 데이터가 송수신될 수 있도록 하여 송수신되는 데이터의 실시간 처리가 가능하게 하는 효과가 있는 것이다.

(57) 청구의 범위

청구항 1

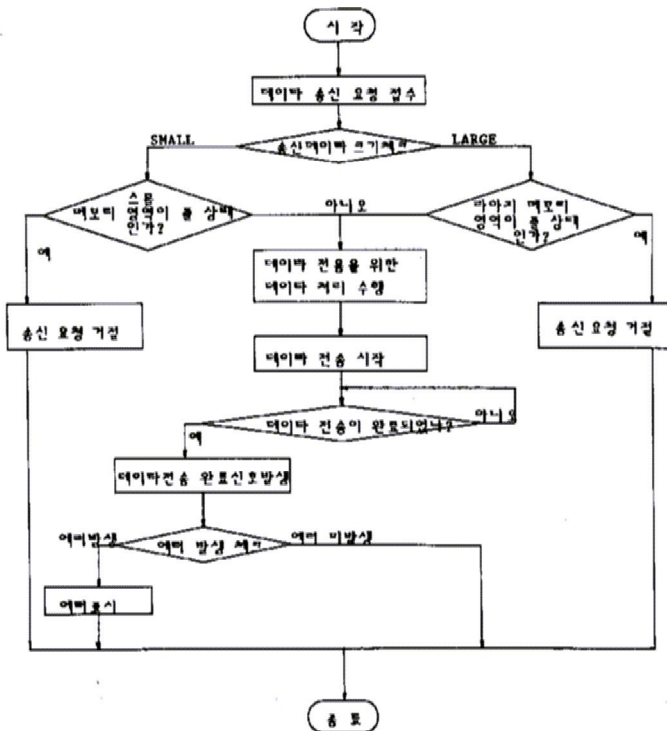
송수신을 위한 서로 다른 2개 이상의 데이터가 메모리에 입력되면, 메모리에 입력된 2개 이상의 서로 다른 데이터를 각각 셀 단위로 분할한 후 저장하고, 분할한 셀 단위의 2개 이상의 서로 다른 데이터를 서로 번갈아가며 출력토록하여, 상기 출력된 데이터를 송수신함을 특징으로 하는 비동기 전송 모드 망 인터페이스 모듈에서의 실시간 데이터 송수신을 위한 메모리 제어 방법.

청구항 2

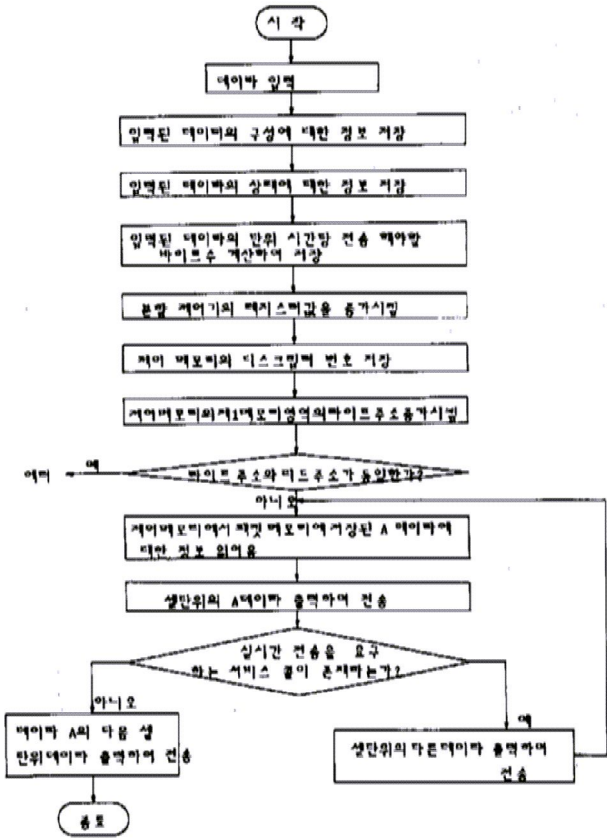
제 1 항에 있어서, 셀 단위로 분할한 데이터 셀의 크기는 메모리에 입력된 데이터의 갯수와, 메모리에 입력된 각 데이터의 실시간 처리가 수행되기 위하여 각 데이터가 단위 시간당 전송되어야 할 바이트 수를 감안하여 결정함을 특징으로 하는 비동기 전송 모드 망 인터페이스 모듈에서의 실시간 데이터 송수신을 위한 메모리 제어 방법.

도면

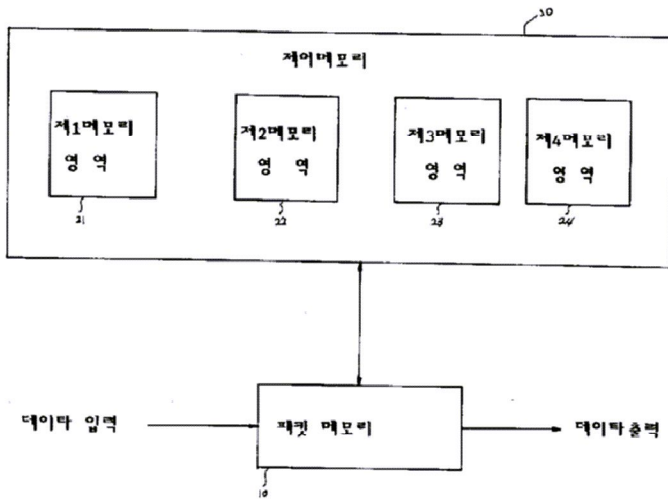
도면1



도면2



도면3



도면4

15		8		7		5		0	
Reserved									
Reserved									
ATM Header0(hdr0)					ATM Header1(hdr1)				
ATM Header2(hdr2)					ATM Header3(hdr3)				
Virtual Circuit Mode Bits									
Reserved									
Reserved					Cell Quota				
Reserved									

제 3 메모리 영역

15		0	
Descriptor Mode Bits			
VC Table Index			
0 0 0 0 0		Message Identifier(MID)	
Packet Byte Count			
Packet Memory Start Address(HIGH)			
Packet Memory Start Address(LOW)			
Cell unit Count Field			
Reserved for future SABA-S use			
Unused			

제 4 메모리 영역