

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 26.08.10.

③③ Priorité :

④③ Date de mise à la disposition du public de la
demande : 02.03.12 Bulletin 12/09.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥③ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

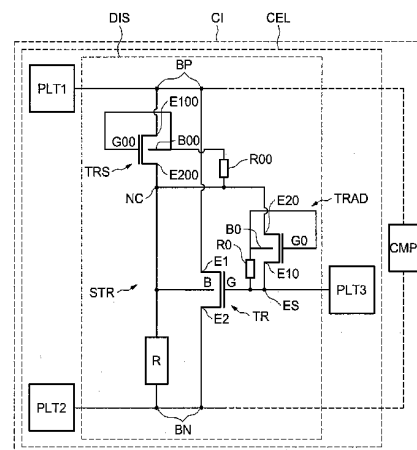
⑦② Inventeur(s) : GALY PHILIPPE et JIMENEZ JEAN.

⑦③ Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

⑦④ Mandataire(s) : BUREAU D.A. CASALONGA &
JOSSE.

⑤④ DISPOSITIF ELECTRONIQUE COMPORTANT UN ETAGE TAMPON ET DES MOYENS DE PROTECTION
CONTRE LES DECHARGES ELECTROSTATIQUES.

⑤⑦ Le dispositif électronique comprend une première borne (BP) et une deuxième borne (BN), un étage tampon connecté entre la première borne et la deuxième borne et comportant une entrée de signal, et des moyens de protection contre des décharges électrostatiques susceptibles de se produire entre au moins une paire de noeuds (BP, BN) de l'étage tampon. Le dispositif comprend au moins une structure intégrée (STR) connectée entre les deux noeuds (BP, BN) ainsi qu'à ladite entrée de signal (ES), contenant au moins un transistor MOS (TR) et formant à la fois lesdits moyens de protection et au moins une partie dudit étage tampon.



**Dispositif électronique comportant un étage tampon et des moyens
de protection contre les décharges électrostatiques**

5 L'invention concerne les dispositifs électroniques, et notamment ceux comportant un étage tampon (« buffer » en langue anglaise) ainsi que des moyens destinés à la protection des composants contre les décharges électrostatiques (ESD : ElectroStatic Discharge).

10 Un étage tampon est par exemple incorporé dans une cellule d'entrée/sortie d'un circuit intégré. Classiquement il existe deux grandes familles d'étages tampons.

Une première famille comporte les étages tampons dits à « drain ouvert » (« open drain » en langue anglaise) ne comportant qu'un seul type de transistor MOS. Ainsi un étage tampon de ce type, 15 par exemple un étage tampon de sortie, comporte un transistor MOS, par exemple un transistor NMOS, dont la grille est destinée à recevoir un signal émanant d'un autre composant, dont le drain forme une sortie de signal de l'étage tampon et est connecté au plot d'entrée/sortie de la cellule, et dont la masse et le substrat sont 20 connectés à un autre plot de la cellule destiné à être connecté à la masse.

La cellule comprend par ailleurs des moyens de protection (par exemple des diodes ou bien des transistors NMOS dont la grille est directement connectée à la masse (Gate Grounded NMOS) et dont le 25 substrat est également directement connecté à la masse) destinés à protéger contre des décharges électrostatiques pouvant se produire entre le plot d'entrée/sortie et ledit autre plot, un composant connecté à ces deux plots.

30 Une deuxième famille comporte les étages tampons comportant des transistors MOS complémentaires (NMOS et PMOS) connectés en série par l'intermédiaire d'un nœud commun et ayant leur grille reliée. Les grilles reçoivent alors par exemple un signal émanant d'un autre

composant et le nœud commun de connexion en série forme une sortie de signal.

5 Là encore la cellule contenant l'étage tampon contient également des moyens classiques de protection contre les décharges électrostatiques.

 Selon un mode de réalisation il est proposé de réduire, par rapport à l'art antérieur, la surface de silicium d'un dispositif comportant un étage tampon et des moyens de protection ESD.

10 L'utilisation de technologies CMOS avancées, par exemple l'utilisation de technologies inférieures ou égales à 65 nanomètres, et en particulier les technologies 45 ou 32 nanomètres, conduit à l'utilisation de tensions d'alimentation de plus en plus faibles.

15 Selon un mode de réalisation, il est par conséquent proposé un tel dispositif électronique capable, en présence de décharges électrostatiques, de déclencher à des tensions très faibles, de façon en particulier à limiter à une faible valeur la surtension aux bornes du composant à protéger.

20 Selon un mode de réalisation il est proposé de réaliser dans une même structure réalisée de façon intégrée, un étage tampon à transistor(s) MOS et les moyens de protection ESD, alors que dans l'art antérieur cet étage tampon et les moyens de protection ESD étaient réalisés par deux structures distinctes.

25 Selon un aspect il est ainsi proposé un dispositif électronique, comprenant une première borne et une deuxième borne, un étage tampon connecté entre la première borne et la deuxième borne et comportant une entrée de signal, et des moyens de protection contre des décharges électrostatiques susceptibles de se produire entre au moins une paire de nœuds de l'étage tampon.

30 Selon une caractéristique générale de cet aspect, le dispositif comprend au moins une structure intégrée connectée entre les deux nœuds ainsi qu'à ladite entrée de signal, contenant au moins un transistor MOS et formant à la fois lesdits moyens de protection et au moins une partie dudit étage tampon.

A cet égard et selon un mode de réalisation, ledit au moins un transistor MOS qui inclut un transistor bipolaire parasite, est configuré pour, en présence d'une impulsion de courant entre les deux noeuds, résultant par exemple d'une décharge électrostatique, fonctionner au moins transitoirement dans un mode hybride incluant un fonctionnement du type MOS dans un mode sous-seuil et un fonctionnement du transistor bipolaire parasite.

Par contre lors que le circuit intégré est en fonctionnement normal ou régime établi, ledit au moins un transistor MOS est configuré pour se comporter comme un étage tampon, du type dit à drain ouvert ou du type à transistors MOS complémentaires, fournissant en sortie un signal dont les caractéristiques dépendent de celles du signal d'entrée et de la plage de fonctionnement du transistor MOS. Ainsi, par exemple, lorsque le transistor MOS fonctionne en régime linéaire, l'étage tampon est un étage amplificateur linéaire, tandis qu'il forme un étage amplificateur classe D lorsque le transistor MOS fonctionne en régime saturé. Les transistors MOS peuvent également, notamment dans le cas d'un étage tampon à transistors complémentaires, fonctionner en régime bloqué/saturé dans un mode de fonctionnement numérique.

Comme indiqué ci-avant l'étage tampon peut être du type dit à drain ouvert ou du type à transistors MOS complémentaires.

Ainsi selon un mode de réalisation prévoyant un étage tampon du type dit à drain ouvert, dans lequel l'étage tampon comporte un seul transistor MOS ou un seul groupe de plusieurs transistors MOS de même conductivité en parallèle, connecté entre la première borne et la deuxième borne, les deux bornes forment ladite paire de noeuds.

Dans un tel cas ladite structure intégrée forme à la fois la totalité de l'étage tampon et des moyens de protection ESD pour des décharges susceptibles de se produire entre les deux bornes.

Selon un mode de réalisation prévoyant un étage tampon à transistors complémentaires, dans lequel l'étage tampon comporte un premier transistor MOS ayant un premier type de conductivité ou un premier groupe de plusieurs premiers transistors MOS en parallèle

ayant chacun le premier type de conductivité, un deuxième transistor MOS ayant un deuxième type de conductivité opposé au premier ou un deuxième groupe de plusieurs deuxièmes transistors MOS en parallèle ayant chacun le deuxième type de conductivité, le premier transistor MOS ou le premier groupe de transistors MOS étant connecté en série avec le deuxième transistor MOS ou le deuxième groupe de transistors MOS entre la première borne et la deuxième borne par l'intermédiaire d'un nœud commun, l'une des deux bornes et ledit nœud commun peuvent former ladite paire de nœuds entre lesquels est connectée ladite structure intégrée.

Dans un tel cas la structure intégrée incorpore l'un des transistors complémentaire, par exemple le ou les transistors NMOS, et elle forme à la fois une partie de l'étage tampon et des moyens de protection ESD pour des décharges susceptibles de se produire à travers le ou les transistors de cette partie, ici le ou les transistors NMOS.

Des moyens de protection ESD classiques peuvent alors être envisagés aux bornes de l'autre ou des autres transistors complémentaires, ici le ou les transistors PMOS.

Il est également possible dans un mode de réalisation prévoyant un étage tampon à transistors complémentaires, de prévoir deux structures intégrées respectivement connectées entre une première paire de nœuds formée par la première borne et ledit nœud commun et entre une deuxième paire de noeuds formée par ledit nœud commun et la deuxième borne.

Dans un tel cas chaque structure intégrée incorpore l'un des transistors complémentaire et elle forme à la fois une partie de l'étage tampon et des moyens de protection ESD pour des décharges susceptibles de se produire à travers le ou les transistors de cette partie. Les deux structures forment ensemble la totalité de l'étage tampon et des moyens de protection ESD contre des décharges pouvant se produire entre les deux bornes, c'est-à-dire se propageant à travers tous les transistors complémentaires.

Le principe d'un fonctionnement hybride d'un transistor MOS a été mis en évidence dans l'article de Ph. Galy et V. Berland intitulé « Ideal Gummel curves simulation of high current gain vertical NPN BIMOS transistor », INT. J. ELECTRONICS, 1996, vol. 80 N°6, 717-726. Cet article est une étude théorique effectuée sur un transistor à structure verticale présentant une longueur de grille (longueur de canal) de l'ordre du micron et validée par des simulations, sans qu'une quelconque application d'un tel fonctionnement hybride soit mentionnée.

Un composant micro électronique tétrapode conjuguant l'effet bipolaire et l'effet MOS dans un mode de fonctionnement hybride de façon à améliorer le gain en courant, a également été décrit dans la demande de brevet français n° 2 784 503. Un tel composant est présenté comme résistant aux radiations ionisantes et il est précisé d'une façon générale qu'il peut être employé pour des applications grand public, spatial et/ou militaire, dans les domaines numérique et analogique, sans qu'une quelconque application du fonctionnement hybride du composant soit mentionnée.

Les inventeurs ont observé qu'il était particulièrement intéressant d'utiliser ce principe de fonctionnement hybride du transistor notamment pour la réalisation d'un moyen de protection d'un composant contre les décharges électrostatiques qui se traduisent par des impulsions de courant entre les deux bornes du moyen en raison d'une différence de tension impulsionnelle entre ces deux bornes.

Ce fonctionnement hybride est obtenu lorsque le transistor est configuré de façon à ce que la grille du transistor MOS soit polarisée avec une tension inférieure à sa tension de seuil et à ce que la différence de tension substrat-source du transistor MOS soit positive. Cette différence de tension positive est par exemple obtenue lorsque le substrat du transistor MOS, qui forme la base intrinsèque du transistor bipolaire parasite est polarisée avec une tension non nulle alors que la source du transistor MOS est reliée à la masse.

Pour autant que les conditions de configuration du transistor soient réalisées pour obtenir ce fonctionnement hybride, celui-ci peut apparaître pour des longueurs de grille relativement grande par exemple 1 micron, mais toutefois dans ce cas de façon peu
5 significativement utilisable industriellement.

Par contre avec l'évolution des technologies, la base du transistor bipolaire parasite se réduit, ce qui est le cas notamment pour les technologies inférieures ou égales à 250 nanomètres, en particulier
10 pour les technologies inférieures ou égales à 65 nanomètres, et plus particulièrement pour les technologies inférieures à 50 nanomètres, par exemple les technologies 45 nanomètres et 32 nanomètres, conférant une importance plus grande au comportement bipolaire parasite du transistor MOS.

Il devient alors possible de faire fonctionner de façon
15 significative, au moins transitoirement au début de l'impulsion de courant, le transistor MOS sous sa tension de seuil et simultanément, de faire fonctionner le transistor bipolaire parasite.

Et, dans un tel fonctionnement hybride, le gain en courant du transistor bipolaire, contrôlé par la tension de grille du transistor
20 MOS, peut devenir important jusqu'à atteindre plusieurs décades.

Ainsi, ce fonctionnement hybride permet à un tel dispositif de pouvoir être utilisé pour la protection contre les décharges électrostatiques avec un déclenchement pour des tensions très faibles, par exemple dans certains cas de l'ordre du volt pour des technologies
25 45 nm ou 32 nm.

En effet puisque le gain en courant I_c/I_b du transistor bipolaire devient très grand lorsque la tension de grille, non nulle, reste inférieure à la tension de seuil du transistor MOS, le courant traversant le transistor va, en présence d'une impulsion de type ESD,
30 très rapidement atteindre des valeurs significatives, correspondant au seuil de déclenchement mentionné ci avant, tout en limitant après ce déclenchement, la tension aux bornes du composant à protéger à des valeurs faibles, par exemple de l'ordre du volt.

Ce fonctionnement hybride du transistor permet ainsi d'avoir un déclenchement plus rapide que celui obtenu avec un circuit de protection ESD classique utilisant par exemple un transistor NMOS dont la grille est directement connectée à la masse (Gate Grounded NMOS) et dont le substrat est également directement connecté à la masse.

Bien entendu si au cours de l'impulsion la tension grille-source du transistor MOS devient supérieure à la tension de seuil de ce transistor, le transistor MOS passe du mode de fonctionnement hybride à un mode de fonctionnement du type MOS.

Plusieurs modes de réalisation sont possibles pour la structure intégrée couplée entre les deux noeuds de l'étage tampon.

Ainsi il est possible de prévoir un transistor MOS ayant sa première électrode, par exemple son drain, couplée à un premier noeud, sa deuxième électrode, par exemple sa source, couplée à un deuxième noeud, et sa grille couplée à son substrat sans être directement couplée au deuxième noeud, ; par ailleurs la structure comprend avantageusement en outre un élément résistif, ou plus généralement un circuit de contrôle de la tension de substrat du transistor MOS, couplé entre le substrat du transistor MOS et le deuxième noeud.

Ce circuit de contrôle est ainsi notamment configuré pour permettre une élévation de la tension du substrat en fonction du courant traversant le circuit de contrôle. Un élément résistif, tel qu'une résistance ou un transistor MOS monté en résistance, en est un mode de réalisation particulièrement simple. Cela étant on pourrait utiliser par exemple un générateur de courant, un condensateur ou une inductance.

Avec une telle configuration du transistor, celui-ci va passer en présence d'une décharge électrostatique appliquée entre les deux noeuds, au moins transitoirement au début de la décharge électrostatique, dans son mode de fonctionnement hybride car les conditions de polarisation du substrat et de la grille pour obtenir un fonctionnement hybride sont au moins transitoirement satisfaites.

Cela étant même si ce fonctionnement hybride apparaît avec une telle configuration pour des technologies de 1 micron (longueur de grille de 1 micron), il devient de plus en plus significativement intéressant dans les applications de protection ESD notamment, avec la diminution des longueurs de grilles. Ainsi de tels dispositifs de protection ESD ont été réalisés avec des technologies 250 nanomètres. Ces dispositifs de protection ESD s'avèrent par ailleurs particulièrement adaptés aux technologies avancées, comme par exemple les technologies 65 nanomètres et moins, en particulier la technologie 32 nanomètres.

Un tel mode de réalisation permet de pouvoir conjuguer simultanément les effets bipolaires et MOS tout en les amplifiant et en réduisant les courants de fuite.

Par ailleurs en régime établi, lorsque le transistor MOS de l'étage tampon est un transistor NMOS, l'élément résistif permet de polariser le substrat du transistor NMOS à la masse.

Cela étant, selon un autre mode de réalisation ladite structure comprend outre ledit au moins un transistor MOS possédant une première électrode connectée audit premier noeud, une deuxième électrode connectée au deuxième noeud, et une grille connectée à ladite entrée de signal, un transistor MOS additionnel possédant une première électrode connectée à la grille dudit transistor MOS, une deuxième électrode connectée au substrat dudit transistor MOS, la grille et le substrat du transistor additionnel étant mutuellement reliés, et un circuit de contrôle, tel qu'un élément résistif, connecté entre le substrat dudit au moins un transistor MOS et le deuxième noeud, et configuré pour contrôler la tension de substrat dudit au moins un transistor MOS.

Le transistor MOS additionnel est donc configuré pour lui aussi passer au moins transitoirement dans un mode de fonctionnement hybride en présence d'une impulsion ESD, ce qui va permettre par voie de conséquence d'amplifier encore les effets conjugués bipolaire et MOS dudit transistor MOS.

La structure peut comprendre en outre un élément résistif additionnel connecté entre le substrat et la première électrode du transistor additionnel.

5 Selon un autre mode de réalisation, ladite structure comprend en outre un transistor supplémentaire possédant une première électrode connectée au premier noeud, une deuxième électrode connectée au substrat dudit transistor MOS, la grille et le substrat du transistor supplémentaire étant mutuellement reliés.

10 L'à encore le transistor MOS supplémentaire est donc configuré pour lui aussi passer au moins transitoirement dans un mode de fonctionnement hybride en présence d'une impulsion ESD, ce qui va permettre d'obtenir un plus fort courant drain-source du transistor MOS.

15 La structure peut également comprendre en outre un élément résistif supplémentaire connecté entre le substrat et la deuxième électrode du transistor supplémentaire.

20 Selon un autre aspect il est proposé un circuit intégré comprenant un dispositif électronique tel que défini ci avant. Ce dispositif peut incorporé par exemple dans une cellule d'entrée/sortie du circuit intégré ou bien au cœur de celui-ci.

25 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée d'un mode de réalisation, nullement limitatif, et des dessins annexés sur lesquels les figures 1 à 5 illustrent très schématiquement différents modes de réalisation d'un dispositif électronique selon l'invention.

30 Sur la figure 1, la référence DIS désigne un dispositif électronique comportant une structure intégrée STR connectée entre une première borne BP et une deuxième borne BN et formant, dans cette variante de réalisation, à la fois un étage tampon du type à drain ouvert (« open drain ») et des moyens de protection contre les décharges électrostatiques (« Electrostatic Discharges » : ESD selon un acronyme anglosaxon) pouvant se produire entre ces deux bornes ou noeuds. Un composant CMP peut être connecté à la première borne BP et à la deuxième borne BN du dispositif DIS.

A titre indicatif, lorsque le composant CMP (ou le circuit intégré dans lequel il se situe) est en fonctionnement, c'est-à-dire lorsqu'on est en régime établi, la borne BP peut avoir une tension V_p positive et la borne BN peut être reliée à une tension V_n négative ou égale à zéro (la masse).

Lorsque le composant CMP n'est pas en fonctionnement, il peut être soumis à une décharge électrostatique se traduisant typiquement par une impulsion très brève de courant (typiquement quelques microsecondes) dont le pic de courant peut atteindre par exemple environ 30 ampères en une nanoseconde.

Il convient alors que cette impulsion de courant circule à travers le dispositif DIS et non à travers le composant CMP à protéger.

Le dispositif DIS vise par conséquent à absorber cette impulsion de courant et à éviter les surtensions aux bornes du composant CMP.

En régime établi, le dispositif DIS forme ici un étage tampon à drain ouvert.

Plus précisément, le dispositif DIS comporte une structure intégrée STR connectée entre la première borne BP et la deuxième borne BN ainsi qu'à une entrée de signal ES. Cette structure STR contient un transistor MOS TR, ici un transistor NMOS, et forme à la fois l'étage tampon et les moyens de protection contre les décharges électrostatiques.

Dans certaines applications, il peut être nécessaire comme illustré sur la figure 2, de prévoir non pas un transistor TR, mais un groupe G1 de plusieurs transistors de même conductivité, par exemple plusieurs transistors NMOS, en parallèle, ayant notamment les grilles respectives reliées et les substrats respectifs reliés.

Dans la suite du texte on ne considère qu'un seul transistor TR et ce qui va être expliqué et décrit pour un transistor TR serait valable pour tous les transistors du groupe.

Le transistor TR comporte une première électrode E1, par exemple le drain, connectée à la première borne BP, et une deuxième

électrode E2, par exemple la source, connectée à la deuxième borne BN. Le transistor TR comporte également une grille G formant l'entrée de signal ES de l'étage tampon.

5 La structure STR comporte par ailleurs dans cet exemple un élément résistif R connecté entre la deuxième borne BN et le substrat B du transistor TR.

Dans cet exemple de réalisation, le substrat du transistor TR est connecté à la grille G de ce transistor par l'intermédiaire d'un transistor additionnel TRAD, ici un transistor NMOS.

10 Plus précisément, ce transistor TRAD comporte une première électrode E10, par exemple la source, connectée à la grille G du transistor TR, et une deuxième électrode E20, par exemple le drain, connectée au substrat B du transistor TR. Par ailleurs, la grille G0 et le substrat B0 du transistor TRAD sont reliés.

15 La structure STR comporte également un transistor supplémentaire TRS, ici un transistor NMOS. Le transistor supplémentaire TRS possède une première électrode E100, par exemple le drain, connectée à la première borne BP, et une deuxième électrode E200, par exemple la source, connectée au substrat B du transistor TR. Par ailleurs, là encore, le substrat B00 et la grille G00 du transistor TRS sont reliés.

20 Chaque transistor TR, TRAD et TRS est réalisé en technologie 250 nanomètres. En d'autres termes, la longueur de grille de ces transistors est de 250 nanomètres.

25 Par ailleurs, chacun de ces transistors est configuré pour fonctionner au moins transitoirement dans un mode de fonctionnement hybride en présence d'une décharge électrostatique.

30 En présence d'une décharge électrostatique positive, c'est-à-dire donnant lieu à une différence de potentiel positive entre la borne BP et la borne BN (donnant lieu à une impulsion de courant allant de la borne BP à la borne BN), celle-ci est transmise par le biais de la capacité drain-substrat C_{DB} sur le substrat B du transistor TR, et par la capacité drain-grille C_{DG} sur la grille G du transistor TR. En effet, en présence d'un potentiel haut sur la borne BP et d'un potentiel bas sur

la borne BN, l'électrode E1 du transistor TR est son drain tandis que l'électrode E2 du transistor TR est sa source.

L'impulsion de courant est transformée par la résistance R en une tension substrat-source V_{BS} et en une tension grille-source V_{GS} .

5 La présence de la capacité C_{DB} , qui est très grande par rapport à la capacité C_{DG} ainsi que la connexion entre le substrat B et la grille G du transistor TR permet d'avoir des effets bipolaire et MOS conjugués et amplifiés. En effet, puisque la capacité C_{DB} est très grande par rapport à la capacité C_{DG} , l'impulsion transmise sur la grille est plus faible que celle transmise sur le substrat. Par ailleurs, la présence de la connexion entre la grille G et le substrat B du transistor TR permet à la grille de se polariser davantage (par le biais de l'impulsion transmise via la capacité C_{DG} et par le biais de l'impulsion transmise sur le substrat) et par conséquent d'amplifier ces effets conjugués, car plus la tension de grille se rapproche de la tension de seuil du transistor MOS, plus le gain en courant augmente.

Par ailleurs, plus le produit R par C_{DB} est élevé, plus la tension ou seuil de déclenchement du dispositif DIS est faible.

Ainsi, en fonction de la technologie utilisée, on choisira notamment la valeur de R de façon à avoir un seuil de déclenchement acceptable compatible avec un fonctionnement en sous-seuil du transistor MOS.

A titre indicatif, pour une technologie 250 nanomètres, on a une capacité C_{DB} égale à $0,47\text{fF}/\mu\text{m}$ et une capacité C_{DG} égale à $0,36\text{fF}/\mu\text{m}$.

On choisira alors par exemple une résistance R égale à 100 kilohms.

Le transistor TR passe au moins transitoirement au début de l'impulsion dans son mode de fonctionnement hybride. Bien entendu, si la tension grille-source du transistor TR devient supérieure à la tension de seuil du transistor MOS, celui-ci passe dans un mode de fonctionnement du type MOS.

Le courant résultant de la décharge électrostatique circule donc à travers la structure STR depuis la borne BP vers la borne BN.

Les transistors TRS et TRAD qui vont également passer au moins transitoirement dans leur mode de fonctionnement hybride en présence de l'impulsion ESD positive, vont contribuer à amplifier les effets bipolaire et MOS conjugués du transistor TR.

5 Plus précisément, au début de l'impulsion ESD positive, l'effet bipolaire et MOS du transistor TRS est obtenu par le couplage capacitif grille-substrat formé par les condensateurs C_{DB} et C_{DG} du transistor TRS. Cet effet est amplifié par la connexion électrique entre la grille et le substrat du transistor TRS. Le transistor TRS injecte par
10 conséquent un courant sur le nœud commun NC entre le transistor TRAD et le substrat B du transistor TR. Il y a par conséquent une injection supplémentaire de courant dans la base B du transistor bipolaire parasite du transistor TR par l'intermédiaire du transistor TRS.

15 Le transistor additionnel TRAD passe également au début de l'impulsion ESD dans son mode de fonctionnement hybride, ce qui contribue à la polarisation de la grille G du transistor TR.

Le courant additionnel délivré par le transistor TRS est fortement amplifié du fait du fonctionnement du transistor TRS dans son mode hybride, ce qui confère ainsi un meilleur courant drain-source du transistor TR. A titre indicatif, en l'absence du transistor TRS, le courant de drain est 50% plus faible. Par exemple, le pic du courant de drain du transistor TR est de 32 ampères sans transistor TRS tandis qu'il est de 47 ampères avec le transistor TRS soit un gain
20 de 15 ampères.

Par ailleurs, la tension développée aux bornes du dipôle BP BN (et par conséquent la tension aux bornes du composant CMP) est à titre d'exemple de l'ordre de 8 volts (seuil de déclenchement), ce qui est bien plus faible que le seuil de déclenchement obtenu avec un
30 moyen de protection classique tel qu'un transistor GG NMOS (« Gated Grounded NMOS ») pour lequel le seuil de déclenchement serait de l'ordre de 15 volts.

En présence d'une impulsion ESD négative, c'est-à-dire avec un potentiel haut sur la borne BN et un potentiel bas sur la borne BP,

l'électrode E2 sur transistor TR forme le drain de ce transistor tandis que l'électrode E1 forme la source.

5 Au début de l'impulsion, le courant circule à travers la résistance R, ce qui transmet la décharge sur les transistors TRS et TRAD, qui passent alors dans leur mode de fonctionnement hybride. Il existe donc un courant de base dans le transistor bipolaire parasite du transistor TR ainsi qu'une polarisation de grille de ce transistor TR. Celui-ci passe donc dans son mode de fonctionnement hybride dont les effets sont amplifiés par la connexion entre le substrat B et la grille G
10 ainsi que par la présence des deux transistors TRS et TRAD.

Par ailleurs, lorsque la tension dépasse la tension de seuil d'une diode (environ 0,6 volts), le courant circule également à travers la diode passante de la jonction substrat-source (électrode E2) du transistor TR.

15 Le pic de courant est alors de l'ordre de 33 ampères pour une tension développée de 12 volts.

On notera également que, en l'absence du transistor TRS, la structure réagit de façon similaire. En effet, la résistance R transmet bien l'impulsion électrostatique au transistor TRAD qui polarise la grille du transistor TR et, comme la résistance polarise également la
20 base du transistor bipolaire parasite du transistor TR, on obtient également un mode de fonctionnement hybride.

En variante il est possible de rajouter un élément résistif additionnel R0 entre le substrat B0 du transistor additionnel TRAD et sa première électrode E10, et un élément résistif supplémentaire R00
25 entre le substrat B00 du transistor supplémentaire TRS et sa deuxième électrode E200.

Ces éléments résistifs R0 et R00 permettent d'améliorer la sensibilité de déclenchement des modes de fonctionnement hybride des transistors TRAD et TRS, au même titre que l'élément résistif R pour
30 le transistor TR.

Lorsque le circuit intégré est en fonctionnement normal ou régime établi, les transistors TRAD et TRS sont bloqués. Le transistor MOS TR est configuré pour se comporter comme un étage tampon du

type à drain ouvert, fournissant en sortie (ici le drain E1), un signal dont les caractéristiques dépendent de celles du signal d'entrée présent sur l'entrée de signal ES, et de la plage de fonctionnement du transistor MOS TR. Ainsi, si le transistor TR fonctionne en régime
5 linéaire, l'étage tampon est alors un étage amplificateur linéaire tandis qu'il forme un étage amplificateur classe D lorsque le transistor TR lorsque le transistor TR fonctionne en régime saturé.

Le dispositif qui vient d'être décrit permet ainsi de réaliser un étage tampon et de moyens de protection ESD au sein d'une même
10 structure ayant un très faible encombrement surfacique. Les transistors TRAD et TRS peuvent être des transistors ayant une faible largeur de grille (par exemple 10 microns).

Par ailleurs, le dispositif présente une capacité très faible ainsi que des courants de fuite très faibles.

15 Dans l'exemple illustré sur la figure, le dispositif DIS est incorporé au sein d'une cellule d'entrée-sortie CEL d'un circuit intégré CI. A cet égard, la borne BP du dispositif DIS est reliée à un plot PLT1 tandis que la borne BN est reliée à un plot PLT2 et que l'entrée de signal ES est reliée à un plot PLT3. Le signal délivré sur le
20 plot PLT3 peut provenir par exemple du composant CMP ou bien d'un autre composant du circuit intégré. L'étage tampon du dispositif DIS est donc ici un étage de sortie en ce sens qu'il reçoit un signal provenant du cœur du circuit intégré et transmet un signal à l'extérieur du circuit intégré.

25 En variante, le dispositif DIS pourrait être incorporé au sein du cœur même du circuit intégré CI, et former par exemple un étage tampon d'entrée.

Bien que dans l'exemple décrit ci avant, on ait utilisé un ou plusieurs transistors NMOS, l'invention s'applique également à un ou
30 plusieurs transistors PMOS de façon duale. Plus précisément, par exemple, la source du transistor PMOS TR reste connectée à la borne BN qui est susceptible de recevoir une tension Vdd positive, et le drain du transistor PMOS TR reste connecté à la borne BP qui est cette fois-ci susceptible de recevoir une tension négative ou nulle.

Bien entendu, compte tenu de la symétrie d'un transistor MOS vis-à-vis de ses deux électrodes, une première électrode du transistor, couplée à la première borne BP, forme effectivement le drain ou la source du transistor MOS tandis que la deuxième électrode, couplée à la deuxième borne BN, forme effectivement la source ou le drain du transistor, en fonction du sens de l'impulsion de courant.

L'invention n'est pas limitée au mode de réalisation qui vient d'être décrit mais en embrasse toutes les variantes.

Ainsi comme illustré sur les figures 3 à 5, l'étage tampon peut être un étage à transistors MOS complémentaires.

Plus précisément, comme illustré sur la figure 3, l'étage tampon comporte un premier transistor MOS TR ayant un premier type de conductivité, ici un transistor NMOS, (ou un premier groupe de plusieurs premiers transistors MOS en parallèle ayant chacun le premier type de conductivité) et un deuxième transistor MOS TRP, ici un transistor PMOS, ayant un deuxième type de conductivité opposé au premier (ou un deuxième groupe de plusieurs deuxièmes transistors MOS en parallèle ayant chacun le deuxième type de conductivité).

Le premier transistor MOS TR (ou le premier groupe de transistors MOS) est connecté en série avec le deuxième transistor MOS TRP (ou le deuxième groupe de transistors MOS) entre la première borne BP et la deuxième borne BN par l'intermédiaire d'un nœud commun NCS.

En régime établi le plot PLT4 relié à la borne BR reçoit une tension d'alimentation positive tandis que le plot PLT2 est relié à la masse.

Le plot PLT1 est toujours le plot d'entrée/sortie de la cellule et le plot PLT3 relié à l'entrée de signal ES est connecté au cœur du circuit intégré.

Dans cet exemple de réalisation, la deuxième borne BN et ledit nœud commun NCS forment la paire de nœuds entre lesquels est connectée la structure intégrée STR qui a été décrite précédemment.

La structure intégrée incorpore donc ici l'un des transistors complémentaire, par exemple le ou les transistors NMOS, et elle forme

à la fois une partie de l'étage tampon et des moyens de protection ESD pour des décharges susceptibles de se produire entre les nœuds NCS et BN à travers le ou les transistors de cette partie, ici le ou les transistors NMOS.

5 Des moyens de protection ESD classiques MPR, tels que des diodes par exemple, peuvent alors être envisagés entre les noeuds BP, NCS de l'autre ou des autres transistors complémentaires, ici le ou les transistors PMOS.

10 Dans l'exemple de réalisation de la figure 4, la première borne BP et ledit nœud commun NCS forment la paire de nœuds entre lesquels est connectée la structure intégrée STR qui a été décrite précédemment. Cette structure STR est bien entendu connectée de façon symétrique par rapport à la structure STR de la figure 3, c'est-à-dire que l'élément résistif R est connecté à la borne BP.

15 La structure intégrée incorpore donc ici le ou les transistors PMOS, et elle forme à la fois une autre partie de l'étage tampon et des moyens de protection ESD pour des décharges susceptibles de se produire entre les nœuds BP et NCS à travers le ou les transistors de cette autre partie, ici le ou les transistors PMOS.

20 Des moyens de protection ESD classiques MPR, tels que des diodes par exemple, peuvent alors être envisagés entre les noeuds BN, NCS de l'autre ou des autres transistors complémentaires, ici le ou les transistors NMOS.

25 Dans l'exemple de réalisation de la figure 5, le dispositif DIS comprend deux structures intégrées STR2, STR1 telles que celle précédemment décrite, respectivement connectées entre une première paire de nœuds formée par la première borne BP et ledit nœud commun NCS et entre une deuxième paire de noeuds formée par ledit nœud commun NCS et la deuxième borne BN. Là encore, comme indiqué ci-avant, les deux structures STR1, STR2 sont connectées de façon symétrique par rapport au nœud commun NCS.

30

Chaque structure intégrée incorpore donc l'un des transistors complémentaire et elle forme à la fois une partie de l'étage tampon et des moyens de protection ESD pour des décharges susceptibles de se

produire entre les deux nœuds correspondants à travers le ou les transistors de cette partie. Les deux structures forment ensemble la totalité de l'étage tampon et des moyens de protection ESD contre des décharges pouvant se produire entre les deux bornes BP et BN, c'est-à-dire se propageant à travers tous les transistors complémentaires.

L'invention qui vient d'être décrite s'applique à tous types de technologie intégrée, que ce soit une technologie sur substrat massif ou bien une technologie du type silicium sur isolant (SOI : « Silicon On Insulator » selon un acronyme anglosaxon bien connu de l'homme du métier).

REVENDICATIONS

1. Dispositif électronique, comprenant une première borne (BP) et une deuxième borne (BN), un étage tampon connecté entre la première borne et la deuxième borne et comportant une entrée de signal, et des moyens de protection contre des décharges électrostatiques susceptibles de se produire entre au moins une paire de noeuds (BP, BN) de l'étage tampon, caractérisé en ce qu'il comprend au moins une structure intégrée (STR) connectée entre les deux noeuds (BP, BN) ainsi qu'à ladite entrée de signal (ES), contenant au moins un transistor MOS (TR) et formant à la fois lesdits moyens de protection et au moins une partie dudit étage tampon .

2. Dispositif selon la revendication 1, dans lequel ledit au moins un transistor MOS (TR), contenant un transistor bipolaire parasite, est configuré pour, en présence d'une impulsion de courant entre les deux noeuds, résultant par exemple d'une décharge électrostatique, fonctionner au moins transitoirement dans un mode hybride incluant un fonctionnement du type MOS dans un mode sous-seuil et un fonctionnement du transistor bipolaire parasite.

3. Dispositif selon la revendication 1 ou 2, dans lequel ladite structure (STR) comprend outre ledit au moins un transistor MOS (TR) possédant une première électrode (E1) connectée à un premier noeud (BP), une deuxième électrode (E2) connectée à un deuxième noeud (BN), et une grille (G) connectée à ladite entrée de signal (ES), un transistor MOS additionnel (TRAD) possédant une première électrode (E10) connectée à la grille (G) dudit au moins un transistor MOS (TR), une deuxième électrode (E20) connectée au substrat (B) dudit au moins un transistor MOS (TR), la grille (G0) et le substrat (B0) du transistor additionnel (TRAD) étant mutuellement reliés, un circuit de contrôle (R) connecté entre le substrat (B) dudit au moins un transistor MOS et le deuxième noeud (BN) et configuré pour contrôler la tension de substrat dudit au moins un transistor MOS.

4. Dispositif selon la revendication 3, dans lequel le circuit de contrôle comprend un élément résistif (R).

5. Dispositif selon la revendication 3 ou 4, dans lequel la structure (STR) comprend en outre un élément résistif additionnel (R0) connecté entre le substrat et la première électrode du transistor additionnel.

5 6. Dispositif selon l'une des revendications 3 à 5, dans lequel ladite structure (STR) comprend en outre un transistor supplémentaire (TRS) possédant une première électrode (E100) connectée au premier noeud (BP), une deuxième électrode (E200) connectée au substrat (B) dudit transistor MOS (TR), la grille (G00) et le substrat (B00) du transistor supplémentaire (TRS) étant mutuellement reliés.

10 7. Dispositif selon la revendication 6, dans lequel la structure (STR) comprend en outre un élément résistif supplémentaire (R00) connecté entre le substrat et la deuxième électrode du transistor supplémentaire.

15 8. Dispositif selon l'une des revendications précédentes, dans lequel la longueur de la grille de chaque transistor MOS (TR, TRAD, TRS) est inférieure à 1 micromètre.

20 9. Dispositif selon l'une des revendications précédentes, dans lequel l'étage tampon comporte un seul transistor MOS (TR) ou un seul groupe de plusieurs transistors MOS de même conductivité en parallèle, connecté entre la première borne (BP) et la deuxième borne (BN), les deux bornes (BP, BN) formant ladite paire de nœuds entre lesquels est connecté ladite structure intégrée (STR).

25 10. Dispositif selon l'une des revendications 1 à 8, dans lequel l'étage tampon comporte un premier transistor MOS (TR) ayant un premier type de conductivité ou un premier groupe de plusieurs premiers transistors MOS en parallèle ayant chacun le premier type de conductivité, un deuxième transistor MOS (TRP) ayant un deuxième type de conductivité opposé au premier ou un deuxième groupe de plusieurs deuxièmes transistors MOS en parallèle ayant chacun le deuxième type de conductivité, le premier transistor MOS ou le premier groupe de transistors MOS étant connecté en série avec le

30 deuxième transistor MOS ou le deuxième groupe de transistors MOS entre la première borne (BP) et la deuxième borne (BN) par

l'intermédiaire d'un nœud commun (NCS), et l'une des deux bornes (BP, BN) et ledit nœud commun (NCS) forment ladite paire de nœuds entre lesquels est connectée ladite structure intégrée (STR).

- 5 11. Dispositif selon l'une des revendications 1 à 8, dans lequel
l'étage tampon comporte un premier transistor MOS (TR) ayant un
premier type de conductivité ou un premier groupe de plusieurs
premiers transistors MOS en parallèle ayant chacun le premier type de
conductivité, un deuxième transistor MOS (TRP) ayant un deuxième
type de conductivité opposé au premier ou un deuxième groupe de
10 plusieurs deuxièmes transistors MOS en parallèle ayant chacun le
deuxième type de conductivité, le premier transistor MOS (TR) ou le
premier groupe de transistors MOS étant connecté en série avec le
deuxième transistor MOS (TRP) ou le deuxième groupe de transistors
MOS entre la première borne (BP) et la deuxième borne (BN) par
15 l'intermédiaire d'un nœud commun (NCS), et le dispositif comprend
deux structures intégrées (STR2, STR1) respectivement connectées
entre une première paire de nœuds formée par la première borne (BP)
et ledit nœud commun (NCS) et entre une deuxième paire de noeuds
formée par ledit nœud commun (NCS) et la deuxième borne (BN).
- 20 12. Circuit intégré comprenant au moins un dispositif (DIS)
selon l'une des revendications 1 à 11.

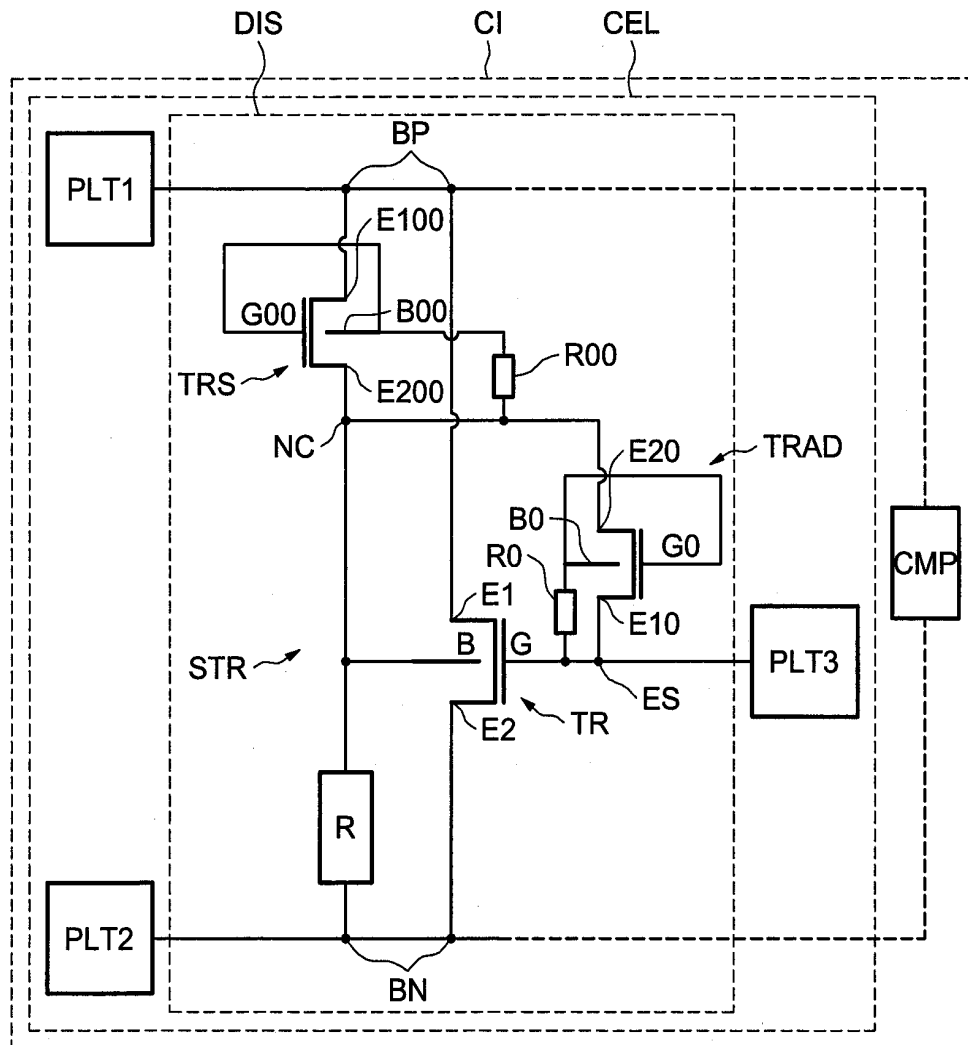
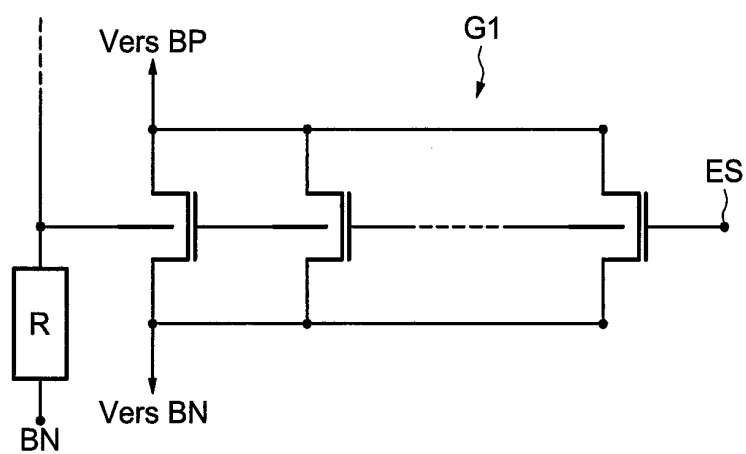
1/5
FIG.1

FIG.2

3/5

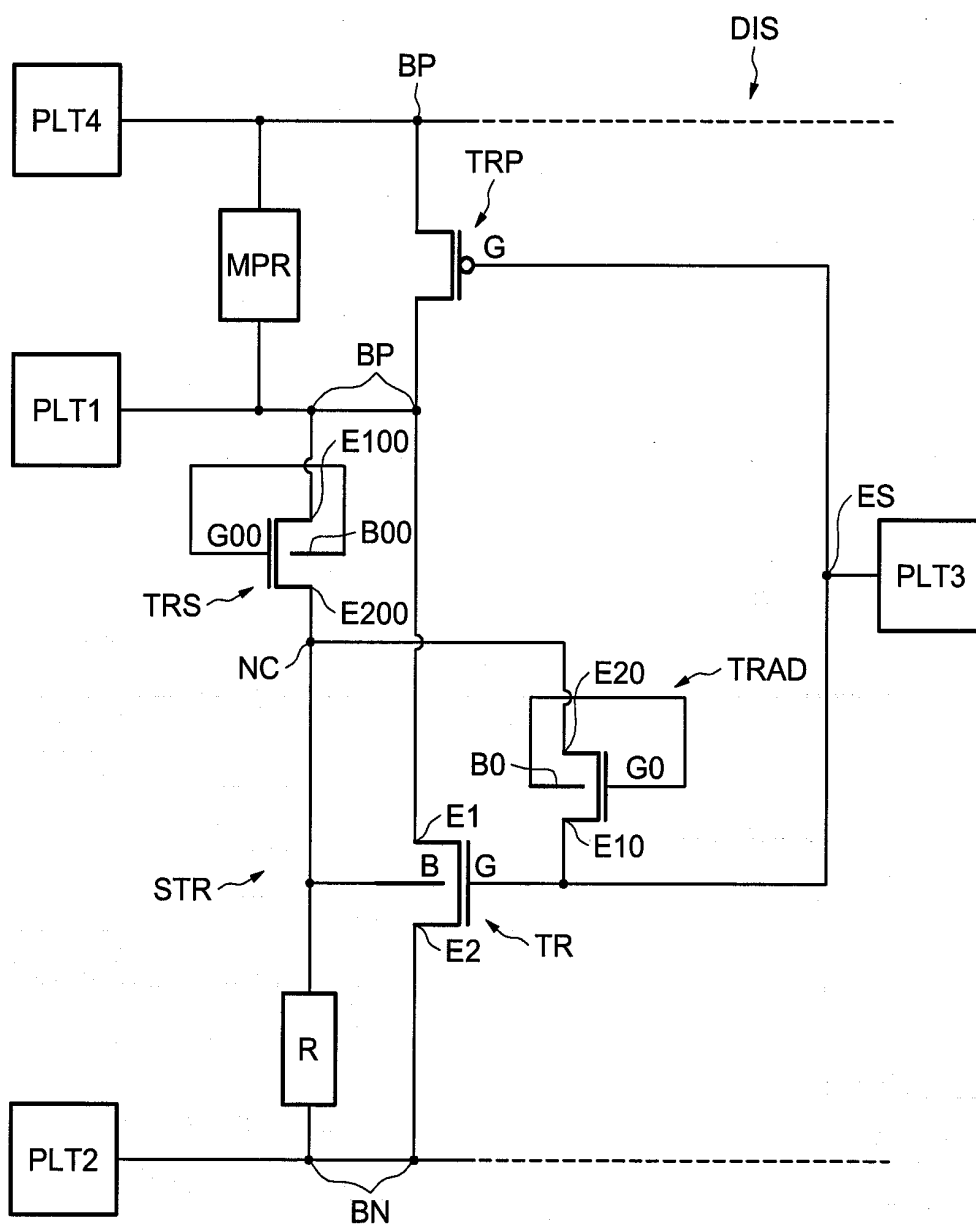
FIG.3

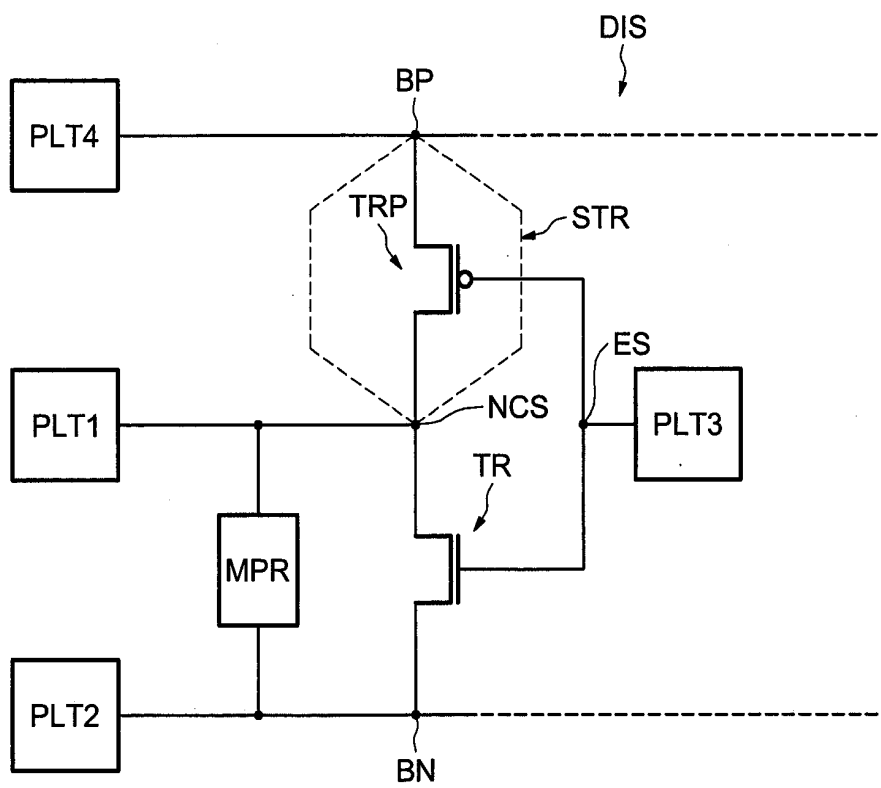
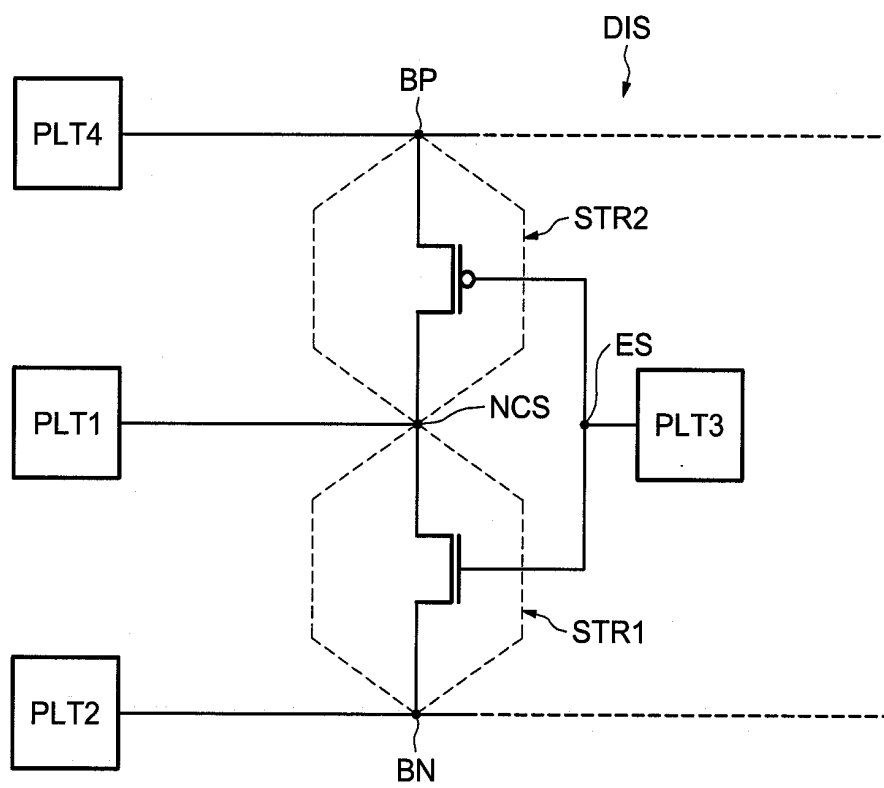
FIG.4

FIG.5



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 744469
FR 1056789

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X A	US 6 465 768 B1 (KER MING-DOU [TW] ET AL) 15 octobre 2002 (2002-10-15) * abrégé; figures 4,5,10 * * colonne 1, ligne 7 - ligne 10 * * colonne 1, ligne 29 - ligne 49 * * colonne 2, ligne 54 - colonne 3, ligne 25 * * colonne 5, ligne 39 - ligne 57 * * colonne 7, ligne 46 - colonne 8, ligne 56 *	1,2,8-12 3,4	H01L27/085 H01L27/118
X	US 2008/062599 A1 (KATO KATSUHIRO [JP]) 13 mars 2008 (2008-03-13) * abrégé; figure 4 * * alinéas [0010], [0011] *	1,2,8,9, 12	
X	US 2004/051146 A1 (KER MING-DOU [TW] ET AL) 18 mars 2004 (2004-03-18) * abrégé; figure 9 * * alinéa [0014] *	1,2,8,9, 12	
X	US 2008/151446 A1 (KER MING-DOU [TW] ET AL) 26 juin 2008 (2008-06-26) * abrégé; figure 8 * * alinéas [0008], [0052] - [0055] *	1,2,8,9, 12	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H03K H01L
X	US 6 479 872 B1 (CHENG TAO [TW] ET AL) 12 novembre 2002 (2002-11-12) * abrégé; figures 3,6 * * colonne 2, ligne 39 - ligne 44 * * colonne 5, ligne 39 - colonne 7, ligne 5 *	1,2,8-12	
Date d'achèvement de la recherche		Examineur	
23 mars 2011		Mesic, Maté	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1056789 FA 744469**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **23-03-2011**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 6465768	B1	15-10-2002	CN	1402358 A	12-03-2003
US 2008062599	A1	13-03-2008	JP	2008071871 A	27-03-2008
US 2004051146	A1	18-03-2004	TW	548824 B	21-08-2003
US 2008151446	A1	26-06-2008	AUCUN		
US 6479872	B1	12-11-2002	US	2003047787 A1	13-03-2003