

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4457551号  
(P4457551)

(45) 発行日 平成22年4月28日 (2010. 4. 28)

(24) 登録日 平成22年2月19日 (2010. 2. 19)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006. 01)	HO 1 L 27/04		H
HO 1 L 27/04	(2006. 01)	HO 1 L 27/04		A
HO 1 L 27/06	(2006. 01)	HO 1 L 27/06	3 1 1 B	
		HO 1 L 27/06	3 1 1 C	

請求項の数 5 外国語出願 (全 8 頁)

(21) 出願番号	特願2002-307000 (P2002-307000)	(73) 特許権者	591035139
(22) 出願日	平成14年10月22日 (2002. 10. 22)		エステーマイクロエレクトロニクス ソシエ
(65) 公開番号	特開2003-163278 (P2003-163278A)		テ アノニム
(43) 公開日	平成15年6月6日 (2003. 6. 6)		フランス国, 9 2 1 2 0 モンルージュ,
審査請求日	平成17年9月21日 (2005. 9. 21)		ブルバール ロマン ロラン, 2 9 番地
(31) 優先権主張番号	0113675	(74) 代理人	100074930
(32) 優先日	平成13年10月23日 (2001. 10. 23)		弁理士 山本 恵一
(33) 優先権主張国	フランス (FR)	(72) 発明者	アレクサンドル マルエルベ
			フランス国, 1 3 5 3 0 トレット, ア
			ヴェニュー グリゾール, パティマン 2
			5, ロティスマン カバースド
		(72) 発明者	ファブリス ブリゾン
			フランス国, 1 3 1 0 0 エクス アン
			プロヴァンス, シュマン コトン ル
			ージュ, 1 9 番地, レ リエーレ ア
			最終頁に続く

(54) 【発明の名称】 静電放電と過電圧に対する集積回路の保護

(57) 【特許請求の範囲】

【請求項 1】

レールに形成される供給導体 ( 1 2 , 1 3 ) を短絡する少なくともひとつのスイッチ ( M O S S W I ) を有し電子保護の少なくともひとつの素子 ( 1 ) を有する集積回路において、

前記スイッチが前記導体の下で前記レールに集積化され、

前記スイッチ ( M O S S W I ) は M O S トランジスタで構成され、それらのドレインとソースは各々前記集積回路の 2 つの供給導体 ( 1 2 , 1 3 ) の一方に接続され、

前記レール ( 1 1 ) に、前記 M O S トランジスタのゲートの制御のための別の導体 ( 2 3 ) がもうけられ、

前記 M O S トランジスタのゲートは、前記レールの前記供給導体 ( 1 2 , 1 3 ) に対して垂直にもうけられ、該ゲートは、ゲートの制御のための前記別の導体 ( 2 3 ) にピア ( 2 7 ) により接続されることを特徴とする集積回路。

【請求項 2】

少なくともひとつの第 1 の共通回路 ( 6 ) により数個の前記スイッチ ( M O S S W I ) が制御される、請求項 1 記載の回路。

【請求項 3】

前記第 1 の共通回路は静電電荷の発生を検出する、請求項 2 記載の回路。

【請求項 4】

前記供給導体の間の過電圧の発生を検出する少なくともひとつの第 2 制御回路 ( 8 ) を

ふくむ、請求項 2 記載の回路。

【請求項 5】

短絡スイッチのための前記第 1 の共通回路 ( 6 ) は、前記集積回路のコア ( CORE ) にもうけられる、請求項 2 又は 4 に記載の回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は静電放電及び他の過電圧からの集積回路の保護に関する。本発明は特に保護に必要な回路の集積に関する。

【 0 0 0 2 】

【従来の技術】

静電放電 ( ESD ) に対する保護回路は電子回路をその端子から来る静電放電に対して保護することを意図している。

【 0 0 0 3 】

図 1 は従来の電子保護回路 1 の例を示す。この回路の機能は、回路のパッド 4 に印加される静電放電による過電圧が発生したときに、集積回路の供給ライン 2 と 3 を短絡することである。この一連の接続の中間点 5 は電気的にパッド 4 に接続される。ダイオード D 1 と D 2 は、通常動作で、オフになるようにバイアスされる。従って、図 1 の例で、線 2 は正の供給線、線 3 は負の供給線 ( 一般に接地 ) を形成する。回路 1 は又供給線 2 と 3 の間に MOS トランジスタ MOS SW I をふくみ、そのゲートは少なくともひとつの ESD 保護制御回路 6 に接続される。

【 0 0 0 4 】

パッド 4 が受信する静電タイプの妨害は正又は負の電荷により形成される。この種の電荷があらわれるとダイオード D 1 と D 2 の一方が導通する。次にトランジスタ MOS SW I がオンとなって供給線 2 と 3 を短絡し、従って過剰電荷を導通放散させる。電荷をトランジスタ MOS SW I に流すことによりコアへの損害が避けられる。ダイオード D 1 又は D 2 による電気回路の抵抗が回路のコアを通る抵抗より小さくなることを保証するために、パッド 4 と集積回路コアの間に抵抗 7 がもうけられる。

【 0 0 0 5 】

従って、回路 6 ( CT ) は、静電放電が発生したとき、つまり、電流がダイオード D 1 又は D 2 に流れたときに、トランジスタ MOS SW I をトリガする時定数 ( ) を設定する。回路 6 は一般に抵抗性及び容量性の回路 ( RC セル ) で形成される。

【 0 0 0 6 】

供給導体を短絡するトランジスタ MOS SW I は、又、集積回路技術で許される最大値に関し過電圧に対する保護としても使用される。この場合、別の制御回路 8 ( OVT ) が過電圧 ( 例えば所定の電圧スレッシュホールド  $V_{ref}$  に関して ) を検出し、回路に関連するトランジスタ MOS SW I をオンにする機能を有する。従って集積回路は静電放電ばかりでなく、発生源が何であれ過電圧に対しても保護される。

【 0 0 0 7 】

以後の説明では静電放電 ( ESD ) に対する保護に対する電子保護回路を例示する。そして、特に明示しない限り過電圧に対する保護もふくむ。

【 0 0 0 8 】

電子保護回路 1 の特徴の中で特に注目すべきは、トランジスタ MOS SW I のオン状態抵抗 (  $R_{dsON}$  ) を出来るだけ小さくして、その保護作用を達成させ過電圧が回路の他の個所に伝播するのを防止するようにするということである。その結果、トランジスタ MOS SW I ( 一般に N チャンネル MOS トランジスタ ) は、過剰な電荷を急速に導通させるために大きなサイズを有する。

【 0 0 0 9 】

過電圧を検出するための制御回路 6 は一般に低い時定数 ( 多くの場合 200 ns 以下 ) をもたなければならない。

10

20

30

40

50

## 【 0 0 1 0 】

その結果、一般に、保護回路のトランジスタMOS SW Iを保護対象のパッド4に出来るだけ近く配置することが望ましい。これは、実際の供給線と、パッドとトランジスタ端子の間の区間によりもたらされる抵抗を小さくするためである。

## 【 0 0 1 1 】

さらに、従来、制御回路自身をトランジスタMOS SW Iに出来るだけ近く配置して、制御回路6の容量素子を形成する制御回路とトランジスタMOS SW Iのゲートの間の導電路による抵抗を小さくしている。

## 【 0 0 1 2 】

図2は従来の集積回路10の上面図で、ESD保護回路に関連するパッド4を有する。図2の例では、3個のパッド4(PAD)と2個のESD保護回路1が示されている。上述の近接の理由により、保護回路1は集積回路のいわゆるクラウンの位置に置かれる。このクラウンは集積回路の特定の応用に関連する異なる機能を集積する回路コアを囲んでいる。

10

## 【 0 0 1 3 】

回路10のクラウンは一般に集積回路の正の電源電圧VPと負の電源電圧VNを運ぶ少なくとも2つの導体12, 13をふくむ給電レール11(BUS)をふくむ。必要ならば、給電レール11は他の導体、例えば、集積回路が正の供給電圧をもつならば接地と負の供給電圧をふくむことができる。

## 【 0 0 1 4 】

給電バスは集積回路の周辺部に部分的に、又は異なって(例えば中央部)に配置することができる。コアの表記は、その位置にかかわらず、集積回路に特有の応用に関連し、任意の形態のバスで給電される集積素子を取り囲む。

20

## 【 0 0 1 5 】

回路1の各トランジスタMOS SW Iは、各々、導体14, 15により給電バスの導体12, 13に接続される。同様に、各パッド4はダイオード(図1のD1, D2, 図2には図示なし)を介して導体12, 13に接続される。

## 【 0 0 1 6 】

接続パッドの観点から、2つの大規模集積回路ファミリーが区別される。

## 【 0 0 1 7 】

第1のファミリーはパッド制限回路と呼ばれる。ここでは、集積回路コアから外部への多数の接続パッドが、パッドの配列に必要な周囲長のため実際の集積回路のサイズを条件づける。

30

## 【 0 0 1 8 】

第2のファミリーはコア制限回路と呼ばれ、そのサイズは、パッドの配列のための周囲長ではなく、コアの表面積により限定される。

## 【 0 0 1 9 】

第1のファミリーの回路では、集積回路を静電放電から正しく保護するための十分な数のMOS SW Iトランジスタとその制御回路を形成するために必要な空間は集積回路コアの中で確保することができる。

40

## 【 0 0 2 0 】

しかし、集積回路コアにより既にサイズが決定されている回路では、ESD保護回路のMOS SW Iトランジスタを形成するためにコアのサイズを増加させることは、回路にとって有害である。代表的には、保護回路はチップコアサイズの10%までを占め、所望の小型化に悪い影響を与える。

## 【 0 0 2 1 】

## 【 発明が解決しようとする課題 】

本発明はサイズの小さな電子保護素子をもった集積回路を提供することを目的とする。

## 【 0 0 2 2 】

本発明は特に電子保護素子をもったコア制限型の集積回路の体積を減少させることを目的

50

とする。

【 0 0 2 3 】

本発明は更に E S D 保護の品質に悪影響がないか又はむしろそれを改良する解決を提供することを目的とする。

【 0 0 2 4 】

本発明は更に任意の型の過電圧から集積回路を保護する解決を提供することを目的とする。

【 0 0 2 5 】

本発明は更に現在の集積回路の製造技術と互換性のある解決を提供することを目的とする。

【 0 0 2 6 】

【課題を解決するための手段】

上記目的及び他の目的を達成するために、本発明は、

レールに形成される供給導体を短絡する少なくともひとつのスイッチを有し電子保護の少なくともひとつの素子を有する集積回路において、

前記スイッチが前記導体の下で前記レールに集積化され、

前記スイッチ ( M O S S W I ) は M O S トランジスタで構成され、それらのドレインとソースは各々前記集積回路の 2 つの供給導体 ( 1 2 , 1 3 ) の一方に接続され、

前記レール ( 1 1 ) に、前記 M O S トランジスタのゲートの制御のための別の導体 ( 2 3 ) がもうけられ、

前記 M O S トランジスタのゲートは、前記レールの前記供給導体 ( 1 2 , 1 3 ) に対して垂直にもうけられ、該ゲートは、ゲートの制御のための前記別の導体 ( 2 3 ) にビア ( 2 7 ) により接続される集積回路を提供する。

【 0 0 2 7 】

本発明の実施例によると、少なくともひとつの第 1 の共通回路により数個のスイッチが制御される。

【 0 0 2 8 】

本発明の実施例によると、前記第 1 の共通回路は静電電荷の発生を検出する。

【 0 0 2 9 】

本発明の実施例によると、前記供給導体の間の過電圧の発生を検出する少なくともひとつの第 2 制御回路をふくむ。

【 0 0 3 0 】

本発明の実施例によると、短絡スイッチのための前記制御回路は、前記集積回路のコアにもうけられる。

【 0 0 3 4 】

【発明の実施の形態】

異なる図で、同じ部材は同じ参照番号で示す。明瞭化のために本発明の理解に必要な素子のみを図示し記述する。特に、集積回路の応用機能は詳述しない。本発明は集積回路の応用にかかわらず適用可能である。

【 0 0 3 5 】

本発明の特徴は、静電放電又は過電圧に対する電子保護素子の M O S S W I トランジスタを集積化する集積回路の供給レールの下のシリコン表面を利用することにある。

【 0 0 3 6 】

空間を倏約するためには、集積回路の応用に特有の素子を供給レールの下に集積化することが考えられる。しかし、応用のコア回路の接続が相互接続のためのメタライゼーション層を必要とするので、上述の解決は不十分である。現在、供給レールでは、全てのメタライゼーション層は実際の供給導体 ( 図 2 の 1 2 , 1 3 ) を形成するために使用され、供給レールの幅を減少させてその厚さを増加させ、従って回路が大形になっていた。

【 0 0 3 7 】

本発明は、電子保護素子 ( 特に E S D ) のスイッチ ( M O S S W I ) とその接続が正と負

10

20

30

40

50

の供給信号と制御信号のみしか必要としないという事実を利用する。供給導体は既にレールの中に存在するので、本発明はシリコン表面の上へのMOSSWIトランジスタの集積を提供する。

【0038】

図3は本発明による集積回路20の実施例の上面図を図2との比較で示す。

【0039】

集積回路20のコアの外部への接続のためのパッドと、正の給電電圧VPを運ぶ導体12と負の給電電圧VN（一般には接地）を運ぶ導体13をふくむ給電レール（例えば、周辺）がふくまれる。

【0040】

本発明によると、電子保護回路（ESD及び/又は過電圧）のMOSSWIトランジスタは給電レールの導体12と13の下に配置される。MOSSWIトランジスタの導体12、13への接続は図3では21、22により示され、これらは図2の14、15と比較される。本発明の回路のMOSSWIトランジスタの制御は、RCセル型の遅延回路で構成される前述と同様の制御回路6により提供される制御信号CTRLを運ぶ導体23によって提供される。回路6は従来通り給電導体に接続される（図2及び図3には図示なし）。

【0041】

本発明の特徴として単一のESD保護制御回路6で、集積回路全体に対して十分である。従来の技術で制御回路は多くの空間を占める素子ではないが、本発明は回路の体積の減少に有効である。しかし、例えば、制御信号のアクセス抵抗を減少したいときは、数個の制御回路をもうけることもできる。そのとき、全ての制御回路は制御導体23に並列に接続される。

【0042】

同様に、集積回路全体に対して、過電圧に対する保護に対しては、単一の制御回路8で十分である。

【0043】

本発明の実施のためには制御信号CTRLを運ぶ導体をレールに追加しなければならない。しかし、この導体は大きな断面を必要としない。従って、それが占める空間は小さい。さらに、レールにおいて全てのメタライゼーション層の利用が可能であるので、この制御信号を構成するためにひとつのメタライゼーション層のわずかな区間を割り当てることは問題がない。従来、レールにあらわれる2つの信号は、本発明の実施のために、大きな断面（供給導体）を必要とする。

【0044】

図4は本発明の第1実施例によるMOSSWIトランジスタの構成の断面の斜視図である。図示のごとく、トランジスタは供給レールの導体12、13と垂直に形成される。これにより、各トランジスタのドレインとソース（図示なし）の、導体12、13からの接点（及びビア）25、26による接続が容易になる。従って、図4の実施例で、小さな多数のMOSトランジスタが供給レール11の下に分布する。小さいということは、多数を並列接続することにより補償され、小さな直列抵抗で所望のトランジスタ表面積が得られる。

【0045】

本発明のここにあらわれる別の利点は集積回路の各パッド4が必然的に近接したトランジスタ群をもつことである。

【0046】

図4の実施例で、トランジスタのゲートGの接続は、図3の実施例に反して、導体12と13の横、つまり供給レールの内側又は外側の周囲にもうけられる信号CTRLを運ぶ導体23により行われる。導体23のゲートGへの接続は1又は複数の接点、及びおそらくはビア27により行われる。図4でゲートGの両側には厚い酸化領域29のみを示す。トランジスタは従来の技術によりシリコンの中に実現することができる。

【0047】

10

20

30

40

50

図5は本発明の第2実施例の上面を部分的に示す。この実施例はMOSSWIトランジスタの制御導体23が供給レール11の中央にある場合を示す。図5の実施例で、レール11のみが図示され、レール11は正の供給導体12が2つの接地導体13に囲まれた構造を有する。

【0048】

図4の実施例のように、MOSSWIトランジスタのゲートGは供給レール11の導体に垂直である。図5の実施例でゲートGを導体23に接続するための複数のビア27が示され、一方、各トランジスタのドレインとソースを供給導体に接続するための単一のビア、各々25と26、が示される。しかし、ビアの数は電流と応用に従って場合毎に適応される。図5の実施例では集積回路基板を接地にバイアスするための別のシリーズのビア28が図示される。

10

【0049】

本発明の利点は電子保護素子(特にESD)が占有する表面が応用のためのコア表面積に比べて非常に小さいことにある。

【0050】

本発明の別の利点は保護素子のMOSSWIトランジスタの分布が、表面積を最少にするために保護素子の数を少なくしていた従来技術の場合よりも、一様なことである。

【0051】

もちろん、本発明の変形、修飾、改良は当業者に容易である。特に、電子保護素子(ESD又は過電圧)、特にMOSSWIトランジスタの実際の実現は応用と上記の機能的記述にもとづいて当業者に容易である。本発明のMOSSWIトランジスタのゲート容量はトランジスタの表面積との比較で従来MOSSWIトランジスタよりも大きい。さらに、保護回路のダイオードD1、D2の形成については詳述しないが、ダイオードは従来と同様にレールの外側でパッド4に出来るだけ近接して置くことができる。

20

【0052】

上述の変更、修飾、改良は本記載の一部であり、本発明の精神の範囲に含まれる。従って、上述の記述は単なる例であり、発明を限定しない。本発明は請求の範囲とその均等によってのみ限定される。

【図面の簡単な説明】

【図1】静電放電と過電圧に対する従来保護回路を示す。

30

【図2】集積回路の過電圧に対する従来回路の例である。

【図3】本発明による電子保護回路を示す。

【図4】本発明による集積回路の供給レールに関するMOSSWIトランジスタの第1の実施例の斜視図である。

【図5】本発明による集積回路の供給レールに関するMOSSWIトランジスタの第2実施例を示す。

【符号の説明】

4 パッド

6 制御回路

11 給電レール

12, 13 導体

20 集積回路

21, 22 導体

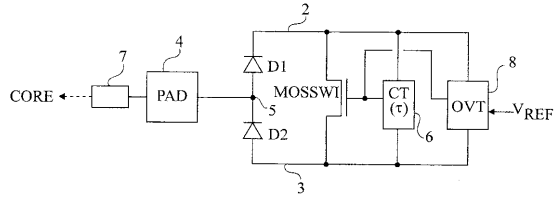
23 導体

MOSSWI MOSトランジスタ

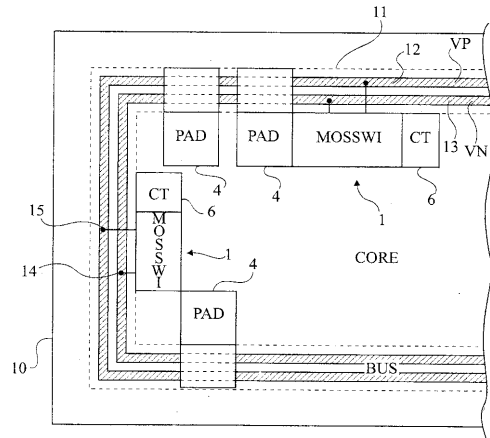
CORE コア

40

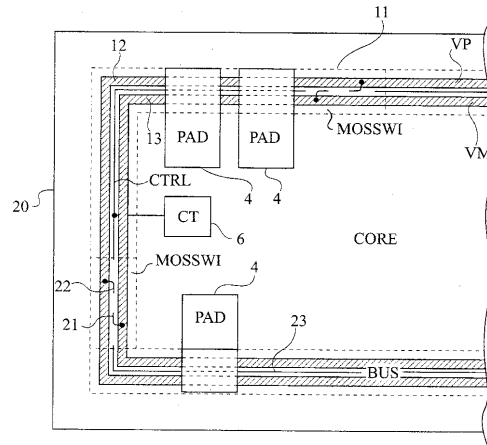
【図1】



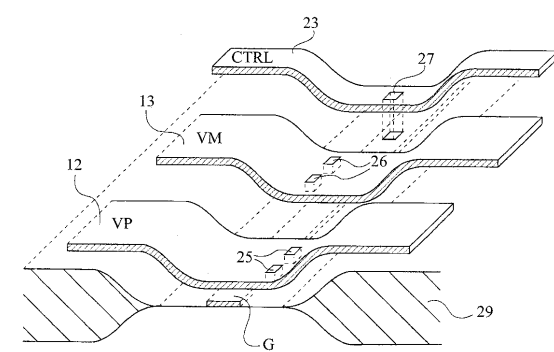
【図2】



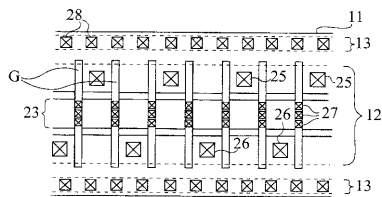
【図3】



【図4】



【図5】



---

フロントページの続き

審査官 大嶋 洋一

- (56)参考文献 特開2000-332207(JP,A)  
特開平10-214905(JP,A)  
特開平08-097362(JP,A)  
特開昭63-228309(JP,A)  
米国特許第05237395(US,A)  
米国特許第06258672(US,B1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 27/04

H01L 27/06