

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. (45) 공고일자 2006년05월10일
H01L 27/10 (2006.01) (11) 등록번호 10-0577544
(24) 등록일자 2006년05월01일

(21) 출원번호	10-2004-7007005	(65) 공개번호	10-2004-0063929
(22) 출원일자	2004년05월07일	(43) 공개일자	2004년07월14일
번역문 제출일자	2004년05월07일		
(86) 국제출원번호	PCT/NO2002/000414	(87) 국제공개번호	WO 2003/041084
국제출원일자	2002년11월08일	국제공개일자	2003년05월15일

(30) 우선권주장 20015509 2001년11월09일 노르웨이(NO)

(73) 특허권자 뎀 필름 일렉트로닉스 에이에스에이
노르웨이 오슬로 엔-0124 비카 피.오.박스 1872

(72) 발명자 구테센, 한스, 구테
벨기에비-1000브뤼셀루에폴튼17
라이슈타트, 가이르, 아이.
노르웨이엔-1337잔트비카중스슈투벤19

(74) 대리인 남상선

심사관 : 정병홍

(54) 메모리 구조물을 위한 전극들, 방법 및 장치

요약

각각의 층에 평행 스트라이프형 전기 도체들의 형태의 전극들(ϵ)을 가진 제 1 및 제 2 박막 전극층들(L1,L2)을 포함하는 전극수단에 있어서, 상기 전극들(ϵ)은 전극들의 폭의 많아야 일부분의 두께를 가진 전기 절연 재료의 박막에 의해서 단지 분리되어 제공되고, 적어도 전극들의 측면 에지들을 따라서 연장하고, 전극들 사이에 절연벽(6a)을 형성한다. 전극층들(L1,L2)은 최대한 평평한 표면을 얻기 위해서 평탄화된다. 하나 이상의 전극수단(EM)을 포함하는 장치에서, 각각의 전극층들(L1,L2)은 전극들 사이에 넓게 끼워져 제공된 기능 매체(3)를 가지고, 임의의 각도, 바람직하게 수직한 교차부 전극들(1;2)과 서로 배향되고, 따라서 바람직하게 수동 매트릭스-어드레서블 장치가 얻어지고, 예를 들면 각각의 논리 셀들 또는 메모리 셀들의 형태로 개개의 어드레서블 기능 엘리먼트들(5)을 포함하는 매트릭스-어드레서블 데이터 프로세싱 디바이스 또는 매트릭스-어드레서블 데이터 저장 디바이스로 적당하게 사용되고, 글로벌 기능 매체의(3) 채움 인자는 1에 근접하고, 상기 장치에서 셀들의 최대수는 대략 A/f^2 이고, A는 전극층들(L1,L2) 사이에 끼워진 글로벌 기능 매체(3)의 면적이고, f는 프로세스-제약 최소 피처이다.

대표도

도 12a

명세서

기술분야

본 발명은 전극수단의 제조방법 뿐만 아니라 각각의 층에 평행한 스트라이프형(stripe-like) 전기적 도체들의 형태의 전극들을 가지는 제 1 및 제 2 박막 전극층을 포함하는 전극수단에 관한 것이며, 상기 제 2 전극층의 전극들은 제 1 층 전극들에 대해 비스듬히 또는 실질적으로 수직하게 배향되고, 상기 전극 층들의 적어도 하나는 기판 또는 후면의 절연 표면 위에 제공되고, 전극층들은 그 사이에 넓게 제공된 기능 매체층과 접촉하는 평행하게 이격된 평면들에 제공된다.

본 발명은 또한 각각의 층에 평행 스트라이프형 전기적 도체들의 형태의 전극들을 가진 제 1 및 제 2 박막 전극층들을 포함하는 적어도 하나의 전극수단 장치에 관한 것이며, 상기 제 2 전극층의 전극들은 제 1 층 전극들에 대해 비스듬히 또는 실질적으로 수직하게 배향되고, 전극층들의 적어도 하나는 기판 또는 후면의 절연 표면 위에 제공되고, 전극층들은 그 사이에 넓게 제공된 기능 매체층과 접촉하는 평행하게 떨어진 평면에 제공되고, 기능 엘리먼트들은 매트릭스-어드레서블 어레이를 제공하기 위해서, 제 1 전극층의 전극들과 제 2 전극층 사이의 각각의 중첩부에서 형성된 기능 매체의 볼륨에서 형성되고, 기능 엘리먼트는 전위차 기능 엘리먼트에 대해서 생성되도록 기능 엘리먼트를 형성하는 교차부(crossing) 전극들에 전압을 인가함으로써 활성화될 수 있고, 따라서 기능 엘리먼트의 물리적 상태는 일시적 또는 영구적으로 바뀌거나 또는 인식 가능한 물리적 상태들 사이의 스위칭이 일어나고, 상기 전압인가는 기록 또는 판독 동작에 대한 기능 엘리먼트들의 어드레싱에 대응하고, 선택된 기능재료의 성질들에 따른 기능 엘리먼트들은 다음, 즉 데이터 처리장치의 스위치가 가능한 논리 엘리먼트들, 데이터 저장장치의 메모리 셀들, 또는 정보 디스플레이장치의 픽셀들 중 적어도 하나로 동작하기 위해서 만들어질 수 있고, 따라서 상기 엘리먼트들, 셀들, 또는 픽셀들의 어드레싱은 매트릭스-어드레서블 구조에서 일어난다.

마지막으로, 본 발명은 또한 본 발명에 따른 장치로 본 발명에 따른 전극수단의 사용법들에 관한 것이다.

본 발명은 특히 평면 어레이의 기능 엘리먼트들을 포함하는 장치들 및 디바이스들을 사용하는 전극수단에 관한 것이며, 상기 기능 엘리먼트들은 기능 엘리먼트의 한 면 위에 접촉하여 배치된 평행 스트라이프형 전극들을 가진 제 1 전극수단 및 유사한 전극들을 가지지만, 제 1 전극수단의 전극들에 수직하여 배향되고 기능 엘리먼트의 대향면과 접촉하여 제공되는 또 다른 전극수단을 각각 통해서 어드레스된다. 이는 소위 매트릭스-어드레서블 디바이스를 구성한다. 상기 매트릭스-어드레서블 디바이스들은, 예를 들면 논리 셀들의 형태, 또는 메모리 셀들의 형태의 기능 엘리먼트들을 포함한다. 상기 기능 엘리먼트들은 하나 이상의 능동 스위칭 수단을 포함하고, 상기 경우에 매트릭스-어드레서블 디바이스는 능동 매트릭스-어드레서블 디바이스로 불리워지거나 또는 상기 기능 엘리먼트들이 수동 수단, 예를 들면 저항성 또는 용량성 수단만을 포함하고, 상기 경우에 매트릭스-어드레서블 디바이스는 수동 매트릭스-어드레서블 디바이스로 불리워진다. 후자는 어드레싱에 가장 효율적인 방식을 제공하는 것으로 알려져 있고, 예를 들면 메모리 디바이스들의 경우에 있어서, 스위칭 엘리먼트들, 즉 트랜지스터들이 메모리 셀에서 요구되지 않는다. 가능한 한 높은 저장 밀도를 달성하는 것이 바람직하지만, 상기 셀에 더 낮은 제한을 설정하는 현재의 설계 규칙들은, 또한 셀의 채움 인자(fill factor)를 제한하고, 즉 저장 목적을 위해 실제로 사용될 수 있는 매트릭스-어드레서블 메모리 디바이스의 메모리 재료의 영역이다.

배경기술

종래 기술의 수동 매트릭스-어드레서블 디바이스가 도1a에 도시되고, 폭(w) 및 거리(d)만큼 떨어진 평행 스트라이프형 전극들(1)을 포함하는 제 1 전극수단과 동일한 폭(w)을 갖지만 전극들(1)에 수직하여 배치된 전극들(2)을 가지는 평행 스트라이프형 전극들(2)을 포함하는 유사한 제 2 전극수단 사이에 끼워진 기능재료의 본질적으로 평면인 글로벌층(3)을 포함한다. 기능재료의 글로벌층(3)에서, 각각의 전극수단의 전극들(1,2) 사이의 중첩부에서는 글로벌층(3)의 기능재료의 기능 엘리먼트(5)를 형성한다. 상기 위치에서 전극들 교차부에 전압을 인가함으로써, 예를 들면 논리 셀, 또는 메모리 셀일 수 있는 기능 엘리먼트의 물리적 상태가 바뀌거나 스위치된다.

도1b는 선 X-X를 따라서 자른 단면도로 도1a의 종래기술의 디바이스를 도시하고, 전극들(1,2)의 설계, 및 기능 엘리먼트(5)의 위치 뿐만 아니라 끼워진 기능재료(3)의 글로벌층을 분명하게 표시한다. 일반적으로, 글로벌층(3)의 기능재료는 교차부 전극들(1,2)에 전압인가가 단지 그것의 교차부에 있는 기능 엘리먼트(5)에 영향을 주고, 전자의 근방의 전극들 교차부에 있는 이웃하는 기능 엘리먼트들 또는 셀들에는 영향을 주지 않는 성질들을 가진다. 글로벌층의 기능재료가, 예를 들면 전기적으로 전도성이 있다면, 상기 기능재료에 이상성 성질을 제공함으로써 달성되고, 전도(conduction)는 단지 기능재료 및 오버래핑 전극들 사이의 수직 방향에서 발생하고, 나머지 기능 엘리먼트들의 글로벌층을 통해서 전류가 흐르지 않는다. 그러나, 많은 응용예에서 글로벌층의 기능재료는 비-전도성, 즉 유전성이고, 기능 엘리먼트는 높은 저항성 또는 순 유전성이어서 커패시터와 같이 동작한다. 유전성재료는 분극 가능한 유기 또는 무기 재료이고, 히스테리시스를 나타

낼 수 있다. 상기 재료들은 강유전체 및 일렉트릭 재료들을 포함하고, 분극되고 히스테리시스를 나타내는 능력은, 예를 들면 도1에 도시된 것과 유사한 디바이스 구성을 가지는 강유전체 매트릭스 메모리들 또는 일렉트릭 매트릭스 메모리들에 이용된다. 상기 디바이스들에서, 메모리 셀의 분극상태, 즉 기능 엘리먼트(5)는 중첩부에서 메모리 셀을 형성하는 전극들에 적당한 전압 인가에 의해서 설정되고, 메모리 셀에 기록 및 판독 동작들을 확인하는 동작들에 의해서, 분극이 스위치되거나 또는 셀이 초기상태로 원상회복된다. 물론, 상기 매트릭스 디바이스들의 기능성들은 선택된 기능재료에 의존할 뿐만 아니라 메모리 디바이스의 구조적인 제약들에도 의존한다. 상기 글로벌층(3)의 메모리 매체의 저장 용량은 메모리 셀들(5)의 크기와 밀도에 의존하고, 이는 제조 프로세스에서 발생될 수 있는 최소 프로세스-제약 피처들에 의존한다. 상기 피처들은, 예를 들면 전극들이 포토리소그래피 마스크들 및 예를 들면 에칭에 의지하는 포토마이크로리소그래피 프로세스에서 나중에 패터닝되는 금속배선으로 설계될 때, 마스크에 의해서 형성될 수 있는 가장 작은 프로세스-제약 피처(f)에 의존하고, 그 값은 사용된 빛의 파장에 의존한다. 다른 말로, 상기 피처(f)은 오늘날 기술의 범위내에서 일반적으로 0.15-0.2 μ m로 제한되고, 따라서 전극들(1,2)의 폭(w)과 그 사이의 공간들은 약 상기 크기일 것이다.

계속해서, 일반적으로 값(2f)은 피처를 말하고, 종래 제조기술로 얻을 수 있는 유닛 길이당 최대 선들(lines)수는 팩터 1/2 f까지 주어지고 따라서 유닛 영역당 최대 피처 수는 팩터 1/4 f²이다. 따라서, 도1에서 도시된 영역(4)이 고려된다면, 셀의 크기는 더 자세하게 영역(4)을 도시한 도1c로부터 분명한 것처럼 f²으로 주어진다. 각각의 셀은 영역(4)에 대응하는 영역을 요구하며, 그 크기는 4f²이고, 다른 말로, 셀의 영역(f²)보다 4배 더 크다. 상기 구성은 도1의 매트릭스가 0.25, 즉 f²/4f²의 채움 인자를 가지는 것을 보여준다. 따라서, 상기 층(3)에 의해서 제공되는 영역의 이용도는 낮다. 더 높은 채움 인자 또는 글로벌층(3)의 기능 엘리먼트들 또는 셀들(5)의 더 높은 밀도에 도달하기 위해서, 채움 인자를 증가시키거나 또는 매트릭스의 프로세스-제약 피처의 예를 들면 0.1 μ m이하 범위로 더 높은 해상도를 얻는 것이 바람직하다. 그러나, 상기가 유사한 영역에서 전체 셀들의 수를 증가시키지만, 여전히 더 높은 채움 인자를 보장할 수는 없다.

능동형의 매트릭스 디바이스들, 즉 각각의 기능 엘리먼트 또는 셀과 결합한 적어도 하나의 능동 스위칭 엘리먼트들을 포함하는 디바이스라면, 일반적으로 채움 인자는 1/6, 즉 단지 16.7%의 채움 인자보다 더 낮게 된다.

Gill에게 특허되고 텍사스인스트루먼트사에게 양도된 미국 특허 제5,017,515호로부터, 집적회로의 엘리먼트들 사이의 서브리소그래피 거리들을 형성하기 위한 프로세스들이 개시되었다. 상기 공보의 도1에 도시된 것처럼, 상기 프로세스는 절연 피처(14)에 의해서 상호 절연된 조밀 평행 스트라이프형 전극들(13,19)을 가진 전극층을 형성하는데 적합하고, 상기 절연 피처는 포토마이크로리소그래피 프로세스의 사용에 의해서 부과된 치수 제약들에 의존하지 않지만, 이는 컨덕터들 또는 전극들의 치수들과 비교해서 매우 얇게 만들어진다. 상기 공보는 집적회로 디바이스, 예를 들면 스위칭 및 저장 트랜지스터 구조를 각각 포함하는 메모리 셀들을 가진 반도체 메모리 디바이스에서 스트라이프형 플로팅 게이트 전극들을 형성하기 위해서 상기 종류의 전극수단이 어떻게 사용되는지를 개시한다. 비트라인들은 기판의 적당한 도핑에 의해서 형성되고, 명백히, 조밀한 전극층을 형성하기 위한 프로세스에서 사용된 것처럼 동일한 포토마스크를 도핑 프로세스에 사용한다. 비트라인들 및 워드라인들/제어 게이트 전극들(42)은 플로팅 게이트들(13,19)로부터 절연체에 의해서 분리되어 형성되고, 트랜지스터들을 포함하는 다중 단자 메모리 셀들을 가지는 반도체 메모리 어레이 구조를 만든다. 그러나, 두 개의 전극층들을 가지는 전극수단을 형성하기 위한 미국 특허 5,017,515호에서는 힌트 또는 지시들이 없고, 조밀한 배치 및 두 개의 전극층들의 전극들이 상기 전극층들 각각이 전극층들 사이에 위치되고 전극층들의 전극과 접촉하는 기능 매체의 넓게 제공된 층에서 기능 엘리먼트들을 어드레싱하기 적합한 전극 매트릭스를 함께 형성하도록 배향되는 전극들을 포함한다. 기능 매체 글로벌층의 매트릭스 어드레싱의 효과적인 이용은 또한 상기 종류의 매트릭스-어드레서블 디바이스층들에 본질적인 높은 평탄화도를 전제하지만, 이는 기판 위에서 수직으로 연장하는 지형적 구조의 생성이 추가적인 전극층들이 표면 피처에 상기 구조의 윤곽을 다시 만들어내는 것을 의미하는 것처럼 종래기술에서는 달성되지 않는다. 또한, 종래기술은 다수의 상기 매트릭스-어드레서블 어레이들이 용량성(volumetric) 디바이스들, 예를 들면 종래기술에서 공지된 것처럼 다수의 매트릭스-어드레서블 메모리 디바이스의 스택을 형성하기 위해서 적층되는 다수의 상기 매트릭스-어드레서블 어레이들의 경우에는 적당하지 않다.

전극들이 수직 전극 매트릭스를 형성하도록 기능 매체의 한쪽 측면 위에 배치된 전극층들을 가진 수동 매트릭스-어드레서블 데이터 프로세싱 또는 메모리 디바이스의 예는 공개된 국제출원 WO98/58383에 개시되었다. 분명하게, 상기 종류의 장치는 각각의 전극층에 전극들의 채움 인자를 증가시킴으로써 매트릭스의 기능 엘리먼트들의 밀도를 증가시키는 것에 관하여 장점을 가지고, 매트릭스의 기능 엘리먼트들은 어떠한 경우에는 예를 들면 메모리 셀에 대응하고, 어떠한 경우에는 제 1 및 제 2 전극층 각각의 사이의 교차부에 의해서 형성된 중첩 영역에 의해서 형성된다.

발명의 상세한 설명

상기 고려사항들의 관점에서, 본 발명의 중요한 목적은 1에 가까운 값까지 앞서 언급된 종류의 매트릭스 디바이스들의 채움 인자의 증가를 가능하게 하는 것이고, 최소 프로세스-제약 피쳐(f)의 실제적인 크기에 의해서 제한되지 않고, 상기 디바이스들의 기능재료의 글로벌층(3)에 의해서 제공된 영역을 최대한 이용하는 것이고, 채움 인자가 피쳐(f)의 감소에 영향을 받지 않고, 글로벌층(3)에서 얻을 수 있는 최대 기능 엘리먼트들 또는 셀들의 최대수를 또한 증가시킨다.

도1a에 도시된 종류의 매트릭스 디바이스들은 용량성 디바이스들을 형성하기 위해서 서로의 위에 적층되고, 그러한 경우에 단일 디바이스는 분리층 또는 절연층에 의해서 스택의 다음 디바이스로부터 분리되어, 디바이스들 중 하나의 전극들에 전압인가를 방지하고 스택에 있는 이웃하는 디바이스들 영향으로부터 그 안에 기능 엘리먼트들의 스위칭을 방지한다. 물론, 상기 용량성 디바이스들은 대용량 용량성 메모리 디바이스들을 허용하지만, 채움 인자가 1 또는 100% 까지 증가된다면, 단일 매트릭스의 전체 용량은 용량성 디바이스를 형성하기 위해서 적층된 유사한 종래의 매트릭스 디바이스들의 4배의 용량에 접근한다는 것이 공지되었다.

이론적으로 스택을 형성하는 디바이스의 수에는 제한이 없지만, 바람직하지 않은 종류의 전기적, 물리적 및 열적 결합들이 스택 위의 디바이스들 사이에 도입되는 것은 바람직하지 않고, 이는 다양한 디바이스들의 기능 엘리먼트들의 대량의 평행 어드레싱을 의미한다. 또한 단점은 스택 각각의 단일 디바이스에 있는 본질적인 불균등(unevenness)이다. 디바이스가 실질적으로 평면이더라도, 디바이스들이 서로 위에 계속해서 적층되고, 불균등은 디바이스에 증가하는 울퉁불퉁한 스택이 추가됨에 따라 널리 퍼진다. 상기 울퉁불퉁함은 또한 본질적으로 평면 회로 기술에서 매우 바람직하지 않다.

상기 견지에서, 본 발명의 두 번째 목적은 매트릭스 디바이스에서 얻을 수 있는 기능 엘리먼트들의 수에 관한 전체 용량의 증가이고, 따라서 상당한 용량이 종래기술에서 필요한 디바이스들 또는 층들의 4분의 1의 수를 포함하는 스택으로 달성될 때, 다중층 또는 용량성 디바이스들, 즉 많은 층들을 개발하는 필요성은 줄어든다.

마지막으로, 본 발명의 목적은 높은 평면도를 제공하기 위해서 쉽게 프로세스될 수 있는 전극수단을 제공하는 것이고, 따라서 표면 불균등 또는 울퉁불퉁함을 피하고, 적층된 용량성 디바이스들의 응용에 더 적당한 전극수단을 만든다.

또 다른 장점들 및 특징들 뿐만아니라 상기 목적들은 전극수단을 가진 본 발명에 따라 달성되고, 상기 전극수단은, 각각의 박막 전극층은 기관 위에 제공되는 폭(w_a) 및 두께(h_a)를 가진 상기 스트라이프형 전극들의 제 1 세트를 포함하는데, 상기 제 1 세트 전극들은 w_a 와 같거나 또는 더 긴 거리(d)만큼 서로 떨어져 있고, 폭 (w_b) 및 두께(h_b)를 가진 상기 스트라이프형 제 2 세트 전극들을 포함하는데, 상기 제 2 세트 전극들은 제 1 세트 전극들 사이의 공간에 제공되고, 두께(δ)를 가지는 전기 절연재료 박막에 의해서 상기 제 1 세트 전극들로부터 절연되고, 적어도 평행 전극들의 측면 에지들을 따라서 연장하고, 상기 제 1 세트 전극들 사이에서 두께(δ)의 절연벽을 형성하고, δ 의 크기는 w_a 또는 w_b 의 크기와 비교하여 작고, 제 1 세트 전극들 사이의 공간거리(d)는 $w_b + 2\delta$ 이고, 및 전극들을 가진 전극층들과 절연 박막은 전극수단에 글로벌 평면층들을 형성하는 것을 특징으로 한다.

바람직하게, 적어도 하나의 전극층에 전극들의 전도성 재료는 기관의 표면 위에 직접 제공될 수 있다.

바람직하게, 전극층들 중 하나의 전극들은 다른 전극층에 대향하는 전극층들의 표면 외부에 노출될 수 있거나, 또는 선택적으로 다른 전극층에 대향하는 전극층들 중 하나의 표면은 후면으로 커버될 수 있다.

본 발명에 따른 전극수단의 바람직한 실시예에서, 2개 세트의 전극들의 면적은 $w_a \times h_a = w_b \times h_b$ 으로 동일하다.

본 발명에 따른 전극수단의 또 다른 바람직한 실시예에서, 제 1 세트의 전극들의 면적은 제 2 세트의 전극들의 면적과 $w_a \times h_a \neq w_b \times h_b$ 로 다르다.

본 발명에 따른 전극수단의 또한 바람직한 실시예에서, 2개 세트의 전극들의 전도성 재료는 동일하다.

본 발명에 따른 전극수단의 또한 바람직한 실시예에서, 제 2 세트의 전극들의 전도성 재료는 제 1 세트의 전극들의 전도성 재료와 다르다.

상기 전도성 재료가 다른 경우에, 제 1 세트의 전극들의 전도성 재료와 제 2 세트의 전극들의 전도성 재료는 각각 σ_a , σ_b 의 크기의 전도율을 갖고,

$$\frac{w_a \cdot h_a}{w_b \cdot h_b} = \frac{\sigma_b}{\sigma_a}$$

관계식을 가지고, 따라서 제 1 및 제 2 전극 세트들의 각각의 전극의 전도성 용량은 각각 동일하다.

본 발명에 따른 전극수단의 바람직한 실시예에서, 제 1 세트 전극들 및 제 2 세트 전극들 사이의 절연벽들은 제 1 세트의 전극들을 커버하는 연속층 및 전극들 사이의 공간의 기관에 제공된 절연 박막부를 형성하고, 제 2 세트 전극들은 절연 박막의 벽 부분들 사이 및 기관을 커버하는 절연 박막부 위의 리세스에 제공되고, 제 2 세트 전극들의 상부면은 제 1 세트 전극들의 상부면을 커버하는 절연 박막부의 표면과 동일 평면에 있고, 따라서 제 1 및 제 2 세트 둘 다의 전극들은 동일한 높이 $h_a = h_b$ 를 가지고, 전극들을 및 절연 박막을 가진 전극층들은 전극수단에 글로벌 평면층들을 형성한다.

전극수단의 바람직한 실시예에서, 제 1 세트 전극들 및 제 2 세트 전극들 사이의 절연벽들은 제 1 세트 전극들의 측면 에지들에서 상부면까지를 커버하는 층 및 전극들 사이의 기관에 제공된 절연 재료의 박막부들을 형성하고, 제 2 세트 전극들은 절연 박막 벽부 사이의 리세스 및 기관을 커버하는 절연 박막부의 위에 제공되고, 제 2 세트 전극들은 제 1 세트 전극들의 상부면 뿐만아니라 절연 벽들의 상부 에지와 동일한 높이를 가지고, 따라서 제 2 세트 전극들은 높이($h_b = h_a - \delta$)를 가지고, 전극들 및 절연 재료를 가진 전극층들은 전극수단에 두께(h_a)의 글로벌 평면층을 형성한다.

본 발명에 따른 전극수단의 또 다른 바람직한 실시예에서, 제 1 세트 전극들 및 제 2 세트 전극들 사이의 절연벽들은 기관 아래로 제 1 세트의 전극들을 커버하는 층에 제공된 절연 박막부를 형성하고, 제 2 세트 전극들은 절연 박막 벽부들 사이의 리세스들 및 노출된 기관 상에 직접 제공되고, 제 1 세트의 전극들의 상부면과 동일한 높이를 가지고, 따라서 제 1 세트의 전극들은 높이($h_a = h_b - \delta$)를 가지고, 전극들과 절연 박막을 가지는 전극층들은 전극수단에 두께(h_b)의 글로벌 평면층을 형성한다.

추가적인 장점들 및 특징들 뿐만아니라 본 발명의 목적들은 전극수단을 제조하는 방법의 본 발명에 따라 또한 달성되고, 상기 방법은 기관 위에 두께(h_a)를 가진 전기 전도성 재료의 평면층을 증착하는 단계, 패터닝 프로세스에서 만들어진 전극들 사이의 리세스들에 의해서 서로 공간 분리되고, 폭(w_a)과 두께(h_a)를 가진 상기 스트라이프형 전극들의 제 1 세트를 형성하기 위해서 상기 전도성 재료의 평면층을 패터닝하는 단계, 전도성 재료부들을 제거하고 제 1 세트의 스트라이프형 전극들 사이의 기관 표면을 노출시키는 단계, 이어 제 1 세트의 평행 전극들은 상기 전극들 사이의 리세스들의 폭과 동일한 거리(d)에 의해서 이격되고, w_a 보다 동일하거나 또는 더 크고, 적어도 제 1 세트의 전극들의 측면 에지들을 커버하는 전기 절연 재료 박막을 형성하는 단계, 및 폭(w_b) 및 두께(h_b)를 가진 전극들의 제 2 세트를 형성하기 위해서 제 1 세트의 전극들의 측면 에지들을 커버하는 절연 박막 사이의 리세스들에 전기 전도성 재료를 증착하는 단계에 의해서 특징지워지고, 그 결과 전극층이 전극수단에 글로벌 평면층으로 얻어진다.

본 발명에 따른 방법의 바람직한 실시예에서, 절연 박막은 전극들의 제 1 세트와 기관의 노출된 표면 둘 다를 커버하는 글로벌층으로 형성되고, 제 2 세트의 전극들을 위한 전도성 재료는 제 1 세트의 전극들 사이 및 절연 박막 위의 리세스들에 증착되고, 제 2 세트의 전극들의 상부면은 제 1 세트의 전극들을 커버하는 절연 박막과 동일한 높이를 가지기 위해서 전극층은 평탄화된다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에서, 절연 박막은 제 1 세트의 전극들 및 기관의 노출된 표면을 커버하는 글로벌층으로 형성되고, 제 2 세트의 전극들에 대한 전도성 재료는 제 1 세트 전극들 사이 및 절연 박막 위의 리세스들에 증착되고, 전극층은 평탄화되어 제 1 세트의 전극들을 커버하는 절연 박막은 상기 전극들의 상부면을 노출시키기 위해서 제거되고, 세트들 및 절연 박막의 상부 에지들 둘 다의 전극들의 표면들은 전극층의 상부면에서 동일 평면이다.

본 발명에 따른 방법의 또 다른 바람직한 실시예에서, 절연 박막은 제 1 세트의 전극들과 기관의 노출된 표면 둘 다를 커버하는 글로벌층으로 형성되고, 리세스들의 바닥에 있는 절연 박막은 아래로 기관까지 제 1 세트의 전극들을 커버하는 절연

박막을 남겨두고, 기관의 표면을 노출시키고, 제 2 세트의 전극들의 전도성 재료는 상기 리세스들에 증착되고, 전극층들은 평탄화되어 제 2 세트의 전극들의 상부면들 및 제 1 세트의 전극들을 커버하는 절연 박막의 표면들은 전극층의 상부면과 동일 평면이다.

본 발명에 따른 방법의 바람직한 실시예에서, 기능 매체의 글로벌층은 기관 위에 제공되고 기관의 전극들과 접촉하는 하나의 전극층을 커버하여 증착될 수 있고, 이어 제 2 전극층은 기관 위에 전극층을 형성하기 위해 사용된 것과 유사한 단계에 의해서 기능 매체의 글로벌층 위에 직접 형성될 수 있다. 바람직하게, 후면의 기관은 기능 매체의 글로벌층 위에 형성된 전극층을 커버하여 제공될 수 있다.

본 발명에 따른 방법에 있어서, 제 1 세트의 전극들의 전도성 재료 및/또는 표면 산화하기 쉬운 재료들로 기관 재료를 바람직하게 선택하고, 적당한 적어도 하나의 산화 프로세스 중 하나로 표면을 산화시킴으로써 절연 박막을 형성한다.

마지막으로, 또한 장점들 및 특징들 뿐만아니라 상기 목적들은 각각의 전극수단의 전극들이 각각의 전극층에 제공되고, 전극수단의 전극들 모두는 대략 동일한 폭(w)을 가지고, 각각의 수단의 전극들은 두께(δ)의 절연 박막에 의해서 서로 전기적으로 절연되고, δ 의 크기는 폭(w)의 작은 부분이고, w의 최소 크기는 프로세스-제약 최소 특성 피처 사이즈(f)와 동일한 것으로 특징되는 장치를 가진 발명에 따라 달성되고, 따라서 기능 매체의 기능 엘리먼트들의 채움 인자는 1에 가깝고, 기능 엘리먼트들의 수는 전극수단 사이에 끼워진 기능 매체의 전체 영역(A) 및 상기 피처 사이즈(f)에 의해서 규정된 최대값에 근접하고, 상기 최대값은 A/f^2 으로 규정된다.

마지막으로, 또한 장점들 및 특징들 뿐만아니라 상기 목적들은 진보적인 장치의 발명에 일치하는 전극수단의 사용 뿐만아니라 장치의 매트릭스-어드레서블 어레이를 구성하는 기능 엘리먼트들에 수동 매트릭스 어드레싱을 수행하기 위해서 진보적인 장치의 발명에 일치하는 전극수단을 사용하는 본 발명에 따라 달성되고, 각각의 기능 엘리먼트는 장치의 매트릭스-어드레서블 어레이를 구성하는 기능 엘리먼트들에 능동 매트릭스 어드레싱을 수행하기 위해서 적어도 하나의 능동 스위칭 컴포넌트와 연결된다.

본 발명은 전극수단 및 전극수단의 제조 방법의 예시적인 실시예들의 다음 설명 및 첨부된 도면들과 함께 장치의 실시예의 설명을 읽음으로써 더 잘 이해된다.

도면의 간단한 설명

도1a,b,c는 상기 디바이스들에서 일반적으로 달성할 수 있는 채움 인자를 예시하는 종래 기술의 수동 매트릭스-어드레서블 디바이스를 도시한다.

도2a-2f는 본 발명에 따른 전극층의 제 1 실시예를 제조하는 프로세스 단계들을 개략적으로 도시한다.

도3a,b는 본 발명에 따른 전극층의 제 2 실시예를 제조하고, 도2c로부터 유도하는 프로세스 단계들을 개략적으로 도시한다.

도4a,b는 본 발명에 따른 전극층의 제3 실시예를 제조하고, 도2c로부터 유도하는 프로세스 단계들을 개략적으로 도시한다.

도5a,b는 본 발명에 따른 전극층의 제4 실시예를 제조하고, 도2b 또는 도2c로부터 유도하는 프로세스 단계들을 개략적으로 도시한다.

도6a는 본 발명에 따른 전극수단의 전극층의 제 1 실시예의 평면도를 개략적으로 도시한다.

도6b는 도6a의 실시예의 단면도를 개략적으로 도시한다.

도7은 본 발명에 따른 전극수단의 전극층의 제 2 실시예의 단면도를 개략적으로 도시한다.

도8은 본 발명에 따른 전극수단의 전극층의 제3 실시예의 단면도를 개략적으로 도시한다.

도9a는 본 발명에 따른 전극수단의 전극층의 제4 실시예의 평면도를 개략적으로 도시한다.

도9b는 도9a의 실시예의 단면도를 개략적으로 도시한다.

도10a는 본 발명에 따른 전극수단 및 기능매체의 글로벌층에 의해서 커버된 제 1 전극층의 단면도를 도시한다.

도10b는 제 1 전극층 중 하나로 유사한 실시예 및 본 발명에 따른 전극수단을 형성하도록 위치한 제 2 전극층을 도시한다.

도10c는 본 발명에 따른 전극수단의 바람직한 실시예를 도시한다.

도10d는 다수의 전극수단이 어떻게 용량성 디바이스를 형성하도록 적층되는지를 도시한다.

도11a-d는 본 발명에 따른 전극수단의 또 다른 실시예의 제조 단계들을 도시한다.

도11e는 상기 실시예에 따른 다수의 전극수단이 어떻게 용량성 디바이스를 형성하도록 적층되는지를 도시한다.

도12a는 본 발명에 따른 장치 실시예 및 본 발명에 따른 전극수단을 가진 수동 매트릭스-어드레서블 디바이스의 평면도를 도시한다.

도12b는 도12a를 선 X-X를 따라 절단한 단면을 도시한다.

도12c는 도12a의 상세도 및 본 발명에 따라 얻을 수 있는 채움 인자를 예시한다.

실시예

본 발명에 따른 전극수단이 도1-5를 참조하여 논의될 것이고, 본 발명에 따른 전극수단의 전극층의 다양한 실시예들을 설명한다. 상기 도면들은 매우 개략적이고, 단지 본 발명에 따른 제조 단계들 및 전극수단의 전극층들을 설명하는데 필요한 스트라이프형 전극들의 충분한 수를 보여주기 위해서 제한된다.

본 발명에 따른 전극수단은 상기 종류의 2개의 전극층들(L1,L2)을 포함하고, 상기 전극층들 사이의 기능매체의 글로벌층(3)과 면하는 전극들(ϵ)을 가지고, 전극층들 안에 전극들과 접촉한다. 제 2 전극층(2)은 이전에 설명된 것과 유사한 단계 및 실시예들로 제조될 수 있고, 적당하게 배치되고, 적당한 방법으로 제 1 전극층(L1) 및 기능매체의 글로벌층(3)과 조립된다. 이는 전극수단(EM)의 두 개의 바람직한 실시예들 및 상기 전극수단의 실시예들이, 본 발명에 따른 다수의 전극수단을 포함하는 용량성 구조를 형성하기 위해서 어떻게 적층되는지를 참조하여 아래에 설명될 것이다.

도 2a에서, 적당한 재료로 만들어지고, 어떤 경우에는 절연성을 갖거나 또는 적어도 하나의 절연성 표면을 가지는 기관에는 전도성 재료층(ϵ)이 제공된다. 상기 층(ϵ)은 기관(7)의 절연 표면 위에 제공된다. 도 2b에서 도시된 두 번째 단계에서, 기관(7)을 커버하는 글로벌층으로 제공된 전도성 재료(ϵ)는 거리(d)만큼 떨어진 제 1 전극 세트(E_a)의 전극들을 형성하는 평행 스트라이프형 전극들(ϵ_a)로 패터닝되어, 리세스(recess)를 형성한다. 예를 들면, 종래의 포토마이크로리소그래피 및 포토마스크를 가진 패터닝이 사용되고 에칭이 사용될 때, 패터닝 프로세스에서 얻을 수 있는 전극들(ϵ_a)의 폭(w)이 최소 프로세스-제약 피처의 크기(f) 이하로 제한될 것이다. f의 크기는 $0.15\mu\text{m}$ 이하의 범위이고, 이는 전극들 사이의 리세스의 폭(w) 뿐만아니라 전극들(ϵ_a)의 최소 폭 둘 다에 대응한다.

도2c에 도시된 세 번째 프로세스에서, 스트라이프형 전극들(ϵ_a) 및 기관의 노출된 부분들은 절연재료 박막(6)으로 커버되고, 적당한 프로세스, 예를 들면 화학기상증착, 스프레이 등에 의해서 증착되고 형성된다. 당업자에게 공지된 것처럼, 상기 절연층(6)은 매우 얇고, 즉 몇 나노미터 범위이고, 전극들(ϵ_a)의 폭(w_a)과 비교해서 매우 작은 두께(δ)를 가진다.

도2d에 도시된 네 번째 프로세스에서, 전극들(ϵ_a)과 기관(7)을 커버하는 절연층(6)이 제거되고, 상기 제거는 전극들(ϵ_a)을 패터닝하기 위해서 사용된 것과 다른 프로세스, 또는 선택적으로 적당한 프로세스의 조합에 의해서 가능하지만, 그러나 일반적으로 바람직한 프로세스는 에칭이 이어지는 포토마이크로리소그래피이다. 도2b에 도시된 것처럼 대응하는 포토마

스크들은, 예를 들면 전극들(ϵ_a)의 폭(w_a)에 맞게, 전극들 사이의 리세스(8)의 폭(d)에 또한 알맞게 사용된다. 네 번째 프로세스 단계 후에, 도2d에 도시된 것과 같은 구조가 만들어진다. 박막층에서 단지 남아있는 부분은 스트라이프형 전극들(ϵ_a)의 측면을 따라서 연장된 전극들의 벽부분들(6a)이다.

도2e에 도시된 다섯 번째 단계에서, 전극들 세트(E_a)로 사용된 것과 동일한 또 다른 전도성 재료(ϵ)가 전극들(ϵ_a) 사이의 리세스(8)에 제공된다. 상기 전도성 재료(ϵ)는 또한 전극(ϵ_a)과 리세스(8) 양쪽을 커버하는 글로벌층에 제공되지만, 도시된 도면에서는 단지 리세스들을 주로 채우기 위해서 증착된다. 상기 증착은 도2a의 층 증착과 유사한 방식, 즉 기상증착, 스프레이 등과 유사한 방식을 사용한다.

마지막으로, 도2f는 평탄화 단계를 도시하고, 전도성 재료(ϵ)는 절연벽부들(6a)의 높이 이하로 제거되고, 그 결과 제 1 전극 세트(E_a)의 전극들(ϵ_a) 사이의 제 2 전극 세트(E_b)의 스트라이프형 전극(ϵ_b)을 형성하고, 제 1 전극 세트(E_a)의 전극들(ϵ_a)로부터 절연박막(6)의 절연벽부들(6a)에 의해서 전기적으로 절연된다. 도2e를 설명하는 프로세스 단계에 대한 리세스(8a)는 캐스팅 몰드 및 적당한 캐스팅 프로세스에 의해서 거기에 제공된 전도성 재료(ϵ)이다.

상기 본 발명에 따른 전극수단의 사용을 위한 전극층의 결과적인 실시예는 도2f에 개략적으로 예시되고, 도6a에 평면도로 도시된다. 여기서, 전극층(L)은 기판 위에 제공된 다수의 스트라이프형 평행 전극들(ϵ_a, ϵ_b)을 포함한다. 전극들(ϵ_a)은 도 2b의 패턴링 단계로부터 만들어진 전극들(ϵ_a)의 제 1 전극 세트(E_a)에 속하게 그려질 수 있고, 반면에 전극들(ϵ_a) 사이의 전극들(ϵ_b)은 도2e 및 도2f에 도시된 프로세스 단계로부터 만들어진 전극들의 제 2 전극 세트(E_b)에 속하게 여겨질 수 있다. 두 전극들(ϵ_a) 사이의 거리는 이제 d 이고, 전극들(ϵ_a)의 폭은 w_a 이고, 전극들(ϵ_b)의 폭은 w_b 이다. 이제 w_a, w_b , 및 d의 값들이 모두 비교될 수 있고, 대략 비슷한 크기를 가지고, 그것의 최소값은 도2b의 구조를 얻기 위한 패턴링 프로세스에서 얻을 수 있는 최소 프로세스-제약 피처(f)의 값으로 주어진다. 동시에, 전극들(ϵ_a, ϵ_b) 사이의 절연벽부들(6a)의 두께(δ)는 f에 의해 제약받지 않고, 나노미터 단위이하의 두께를 가질 수 있고, 다만 전극들(ϵ_a, ϵ_b) 사이의 전기적 결합 및 브레이크 다운을 방지하는 절연 박막을 제공하는 제약을 가진다. 다른 말로, 요구되는 전극들과 계면하는 기판(7)의 표면이 또한 전기적으로 절연성이 있다면, 모든 평행 스트라이프형 전극들(ϵ_a, ϵ_b)은 서로 전기적으로 절연된다. 절연벽부(6a) 뿐만 아니라 전극들(ϵ_a, ϵ_b) 둘 다의 높이는 h이고, 방정식 $d = w_b + 2\delta$ 를 가진다는 것이 주목되지만, 도6b에 도시된 도6a의 평면도는 더 이상의 설명이 필요없다. 전극들 사이의 거리(d)가 $w_a + 2\delta$ 로 선택된다면, 전극들(ϵ_a, ϵ_b)의 폭은 같을 것이고, w 값과 동일하고, 모든 전극들(ϵ_a, ϵ_b)은 동일한 단면적을 가지고, 만약 동일한 전도성 재료(ϵ)라면, 또한 동일한 전도성 성질들을 가진다.

달성할 수 있는 채움 인자들에 관하여 논의된 것처럼 전극층들(L)을 포함하는 전극수단(EM)의 장점들은 도10a에 도시된 것처럼 본 발명에 따른 장치의 논의와 연결해서 아래에 설명될 것이다.

도3a,3b는 본 발명에 따른 전극수단(EM)의 전극층(L)의 제 2 실시예를 제조하는 프로세스 단계를 도시한다. 도3a에 도시된 프로세스 단계는 이미 절연 박막(6)을 위치에 가진 도2c에 도시된 구조를 시작 포인트로 가진다. 도3a에 도시된 것처럼, 전극들(ϵ_a)의 전도성 재료와 다시 동일할 수 있는 전기 전도성 재료(ϵ)가 적당한 프로세스에 의해서 도2c의 리세스(8)에 증착되고나서, 본 발명에 따른 전극층(L)의 제 2 실시예와 일치하는 도3b에 도시된 구조를 가져오는 평탄화 단계가 이어진다. 상기 실시예에서, 제 1 세트의 전극들(ϵ_a)은 전극들의 측면 에지를 따라서 부분들(6a) 형성하는 절연 박막(6)에 의해서 커버되고, 리세스(8)의 하부 부분들(6b) 뿐만 아니라 전극들의 상부면 부분들(6c)은 전도성 재료(ϵ)로 커버되고, 상기 단계에서, 전극들의 상부면이 전극(ϵ_a)을 커버하는 절연 박막(6)의 부분들(6c)과 동일한 높이를 가진 제 2 세트(E_b)의 전극들(ϵ_b)을 만들도록 처리된다. 도7에 단면으로 도시된 제 2 실시예에 관해서, 전극들(ϵ_a)은 그 위에 제공된 어떠한 접촉 재료와도 저항성 접촉(ohmic contact)을 하지 않지만, 절연 박막(6)은 전극(ϵ_b)과 접촉 재료 사이의 용량성 결합을 방지하지 못한다. 따라서, 본 발명에 따른 전극층(L)의 상기 실시예는 전극들(ϵ_a, ϵ_b)이 단지 용량성 결합이 요구되는 환경에서 사용되는 어플리케이션에 적당하다. 또한, 전극들(ϵ_b)의 높이(h_b)는 전극들(ϵ_a)의 높이(h_a)보다 절연 박막(6)의 두께(δ)에 상응하는 크기만큼 더 작다. 두 개의 전극들(ϵ_a, ϵ_b)에 대해서 동일한 전극 단면적을 얻기 위해서는, 상기 전극들의 높이(h_b)가 전극들의 상부면을 절연박막부(6c)(비교, 도7)와 동일한 높이를 만드는 평탄화 단계 후에, $h_a - \delta$ 라는 사실을 고려해서 전극들(ϵ_b)의 폭(w_b)이 이에 상응하게 확대되어야 한다.

본 발명에 따른 전극층(L)의 제3 실시예를 제조하는 프로세스 단계는 도4a, 4b에 도시된다. 도4a는 도2c에 도시된 구조를 시작 포인트로 하여, 절연 박막(6)은 기판(7) 및 전극들(ϵ_a)을 넓게 커버하여 증착된다. 이제, 전도성 재료(ϵ)가 도4b에 도시된 전극(ϵ_b)을 형성하기 위해서, 도2c의 리세스(8)를 채우고 커버하여, 도4a의 구조를 만든다. 물론, 전도성 재료(ϵ)는 전처럼 전극들(ϵ_a)에 사용된 것과 동일할 수 있다. 이제, 평탄화 단계가 이어지고, 평탄화 단계동안 과도한 전극 재료(ϵ) 뿐만아니라 전극들(ϵ_a)을 커버하는 절연 박막(6) 부분이 제거되고, 모두 상호 동일하게 전극층의 표면에 노출된 전극들(ϵ_a , ϵ_b)을 남겨두고, 도4b에 도시된 것처럼 절연 박막(6)의 벽 부분(6a)의 상부 에지와 동일한 높이를 가진다. 상기 제3 실시예는 도8에 단면으로 도시된 것과 일치하고, 상기에서, 모든 전극들(ϵ_a , ϵ_b)이 상부면을 노출시키고, 따라서 전극들 위에 제공된 접촉 또는 기능 재료에 대한 저항성 결합 뿐만아니라 용량성 결합에 대해서도 적당할 것이다. 전극들(ϵ_a , ϵ_b)의 최소 폭(w_a, w_b)에 관한 상기의 생각들은 여기서 또한 유효하다. 또한, 전극들(ϵ_a)의 높이(h_a)가 전극들(ϵ_b)의 높이(h_b)보다 박막(6)의 부분(6b)의 두께(δ)에 일치하는 양(δ)만큼 다르다. 전처럼, 이는 전극들(ϵ_a) 사이의 거리(d)가 동일한 단면적을 가진 전극들(ϵ_a , ϵ_b)을 얻기 위해서 패터닝 프로세스에서 증가되어야 함을 의미하고, 바람직하다면, 전극들(ϵ_a , ϵ_b)이 동일한 전도율을 가진 전도성 재료로 만들어진다면, 동일한 전도 용량을 얻을 수 있다. 평탄화는 적당한 수단, 예를 들면 화학 기계 연마, 제어 에칭 또는 제어 마이크로-연마 프로세스로 쉽게 가능하다.

마지막으로, 도5a, 5b는 본 발명에 따른 전극층(L)의 제4 실시예를 제조하기 위한 도2b 또는 도2c 중 하나의 프로세스 단계로부터 유도되는 프로세스 단계를 도시한다. 시작점이 도2b라면, 이는 전극 구조들(ϵ_a)이 적당한 성질들을 가진 전도성 재료, 예를 들면 티탄늄 또는 알루미늄과 같은 금속으로 만들어진다면, 도5a에 도시된 것처럼 전극들을 에지 부분들 또는 벽 부분들(6a) 및 상부면부(6c)로 커버하는 절연 박막(6)을 형성하기 위해서 선택적으로 산화될 수 있다는 것을 의미한다. 그러나, 도5a에 도시된 프로세스 단계는 또한 절연 박막(6)이 기판을 커버하는 곳, 즉 리세스(8)에서 떨어져서 에칭되어야 하고, 단지 절연 박막(6)의 부분들(6a, 6c)에 의해서 커버되는 전극들(ϵ_a)을 남겨두어야 하는 것을 의미하는 도2c에 도시된 상황에서 시작할 수도 있다. 그러나, 이는 제 2의 마스크 단계의 사용을 수반하고, 이는 프로세스 비용을 증가시킨다. 전극들(ϵ_b)에 대해서 전기 전도성 재료(ϵ)를 증착하기 전에, 전극들(ϵ_a)의 선택적 산화를 사용함으로써 전극들(ϵ_a)을 커버하는 절연 박막(6)을 제공하는 훨씬 저렴한 방법을 얻을 수 있다. 전기 전도성 재료(ϵ)는 전극들(ϵ_a) 사이의 리세스(8)에 증착되고, 이어, 이전 처럼 절연벽부(6a)에 의해서 전극들로부터 절연되고, 그 후에, 도5b에 도시된 평탄화 단계가 과도한 전도성 재료(ϵ)를 제거하여 도5b에 도시된 벽부들(6a) 사이의 리세스(8)에서 전극들(ϵ_b)을 형성하고, 기판과 직접 접촉하여 기판(7)의 절연 표면을 커버한다.

제4 실시예는 도9a의 평면도 및 도9b의 단면도에 도시된 것과 일치하고, 그로부터 전극(ϵ_a)은 높이(h_a)를 가지고, 전극(ϵ_b)은 다른 높이(h_b)를 가지고, 따라서, 전극들(ϵ_a , ϵ_b)의 단면적은 각각 $w_a \cdot h_a$, $w_b \cdot h_b$ 이고, 동일한 폭 $w_a = w_b = w$ 을 가진 전극들(ϵ_a , ϵ_b)을 형성하기 위해서, 제 1 전극 세트(E_a)의 전극들(ϵ_a)사이의 거리(d)는 도2b에 도시된 패터닝 단계에서 조절되어야 한다는 것을 의미한다. 이제 절연 박막(6)이 부분(6c)을 가진 전극(ϵ_b)의 상부면을 또한 커버함에 따라, 물론 이것은 도9a에 도시된 것처럼 전극층(L)의 제4 실시예가, 예를 들면 절연 박막 위에 증착된 어떠한 접촉 재료와 용량성 결합을 만들기 위해서 제한되는 것을 의미한다. 도9a의 평면도는 전극들(ϵ_a)이 이전에 전극들(ϵ_a)이 절연 박막부(6c)에 의해서 커버되는 것을 제외하고 도6a의 평면도에 도시된 실시예와 유사하다.

상기에 이미 언급된 것처럼, 절연 박막(6)은 적당한 수단, 예를 들면 화학 기상 증착, 스프레이 또는 스퍼터링에 의해서 증착될 수 있지만, 그러나 전극 재료(ϵ)와 기판 재료가 산화된다면, 절연 박막은 예를 들면 열산화 프로세스에 의해서 형성되고, 도2c에 도시된 구조를 만든다. 이는 일반적으로 전자 디바이스들에 전극 재료들로 사용되는 티탄늄, 알루미늄, 구리등과 같은 재료들을 사용해서 금속배선(metallization)으로 증착되는 전극 재료를 가진 경우에 적용할 수 있다. 이제, 기판(7)이, 예를 들면 실리콘으로 만들어지고, 전극들(ϵ_a)에 의해서 커버되지 않은 기판의 표면은 기판 위에 SiO_2 의 절연층을 형성하기 위해서 동시에 산화된다. 또한, 도5a에 도시된 것처럼, 절연 박막부들은 상기 이미 언급된 것처럼 상기 전극들 사이의 리세스들에 전도성 재료(ϵ)의 증착 전에, 전극들(ϵ_a)의 선택적 산화에 의해서 형성된다. 상기 산화 프로세스들은 당업자들에게 잘 알려져 있고, 여기에서 더 이상 논의하지 않을 것이다.

도10a는 본 발명에 따른 전극수단의 제 1 전극층(L1)의 실시예의 단면도를 도시하고, 전극들(1)을 커버하고 전극들과 접촉하여 제공되는 기능 매체의 글로벌 층으로 커버된다. 도10b는 제 1 전극층의 기판(7)과 일치하는 후면(7') 위에 제공된

전극들을 가진 제 2 전극층(L2)을 도시한다. 상기 전극층은 모든 관점에서 제 1 전극층(L1)과 유사하고, 본 발명에 따른 유사한 전극수단(EM)을 형성하기 위해서 제 1 전극층(L1)과 기능 매체의 글로벌층을 포함하는 배치와 함께 결합된다. 결과적인 실시예가 도10c에 단면도로 도시되고, 제 1 전극층(L1)은 90°로 회전하고, 전극들(2)은 전극층(L1)의 전극들(1)에 비스듬히 또는 수직하게 배향된다. 결과적인 구조는 기능 매체의 글로벌층과 접촉하는 조밀 전극 매트릭스를 형성하고, 각각의 전극층들(L1:L2)의 교차부 전극들(1:2)이 중첩부하는 곳에서 형성된 기능성 엘리먼트들을 가진다. 글로벌 기능 매체의 기능 엘리먼트들의 매트릭스-어드레싱을 이용하는 전극 매트릭스 형태의 전극수단의 설계는 제 1 전극층의 선택된 전극(1) 및 제 2 전극층의 선택된 전극(2)에 전압을 인가함으로써 가능하다. 상기 선택된 전극들이 전기장을 가로지르거나, 또는 전위차가 기능 매체(3)에 대해서 인가될 수 있고, 어드레스된 기능 엘리먼트, 예를 들면 임피던스의 변화의 형태로 선택된 전극들의 물리적 파라미터의 변화를 유도한다. 기능 매체가 아래 설명된 것처럼 분극가능한 강유전체 또는 일렉트릭 재료라면, 도10c에 도시된 다바이스는 수동 매트릭스-어드레서블 메모리로 생각될 수 있고, 제 1 및 제 2 전극층에 전압을 인가하는 것은 특히 강유전체 또는 일렉트릭 메모리일 수 있는 교차부 전극들(1,2) 사이에 형성된 기능 엘리먼트(5)를 분극한다. 메모리 셀들의 어드레싱 동작들과 연결된 구동 및 제어에 대해서, 기능 매체가 메모리 재료, 예를 들면 기록 및 판독 동작들일 때, 전극들은 당업자에게 쉽게 이해되는 것처럼 주변 드라이버 및 제어 회로와 연결되어야만 한다. 도10d는 어떻게 전극수단을 포함하는 몇몇 상기 다바이스들이 기능 매체를 가진 다수의 전극수단을 형성하기 위해서 적층되고, 용량성 다바이스를 구현하는지를 도시한다. 상기 종류의 다바이스에서, 전극수단은 도시되지 않은 주변회로에 적당히 연결될 때, 개별적으로 평행하게 어드레스될 수 있다는 것을 쉽게 볼 수 있다.

본 발명에 따른 전극수단의 제 2 실시예가 도11a-11d에 도시되고, 제조에 있어서 다양한 단계들이 수행된다. 도11a는 도 2f에 도시되고, 기관(7) 위에 제공된 것과 일치하는 제 1 전극층(L1)의 실시예를 도시한다. 이제, 기능 매체(3)의 글로벌층이 제 1 전극층(L1)에 대해 적용되고, 전극층의 전극들과 접촉한다. 상기 글로벌층은 평탄화되고 나서 제 2 전극층(L2)이 글로벌층 위에 제공될 때, 기관으로 사용된다. 이렇게 하는 프로세스는 도2a-f에 도시된 단계들을 따라하는 것이고, 결과적인 전극층(L2)은 후면으로 커버되지 않지만, 기능 매체(3)의 제 2 층이 그 위에 증착되기 전에 평탄화되고, 제3 전극층(L3)의 증착을 위해서 기관을 형성한다. 상기 프로세스는 반복될 수 있고, 도11c에 도시된 것처럼, 어떻게 다수의 전극수단(EM1,EM2)을 가지는 적층 구조가 얻어지는지 알 수 있다. 그러나, 본 발명에 따른 전극수단을 가진 용량성 다바이스의 실시예는 제 1 전극수단(E1)의 제 2 전극층(L2)은 제 2 전극수단(E2)의 제 1 전극층(L1)을 형성하고 계속해서 그렇게 형성한다는 점에서 도10d에 도시된 것과는 다르다. 결과는 n 전극수단을 가지는 적층 다바이스에 있어서 전극층들의 전체수는 2n이 아니라, 적층 구조의 전극수단이 서로 기관 또는 후면(7,7')에 의해서 격리될 때의 경우처럼, n+1이다. 이는 상기 종류의 용량성 실시예의 완제품의 크기(두께)를 감소시킨다. 그러나, 단지 모든 제 2 전극수단이 상기 실시예에서 평행하게 어드레스될 수 있고, 예를 들면, 제 1 및 제 3 전극수단 등은 제 2 전극수단에서 마지막 제 2 전극수단까지의 전극층들이 모두 그 일측면 상에서 연결될 수 있기 때문이다.

기능 매체 위에 제 2 전극층(L2)을 직접 증착하는 것은 예를 들면 기능 매체의 재료가 낮은 녹는점을 가진 유기 재료이고, 제 2 전극층(L2)의 전극들이 한 종류 또는 또 다른 종류의 무기 또는 금속 재료의 도체들로 증착될 때, 특정 문제들이 발생한다. 예를 들면, 기능 매체가 중합체 또는 공중합체로 만들어진 강유전체 또는 일렉트릭 메모리 재료일 때, 상기 재료는 200°C 주위의 녹는점을 가지고, 재료의 금속배선, 예를 들면 상기 종류의 재료 위에 직접 금속 코팅을 제공하는 것은 재료의 표면층에서 재료가 녹게 만든다. 또한, 평행 스트라이프형 전극들을 형성하기 위해서 패터닝 단계에 이어지는 에칭은 상기 종류의 재료 성질들에 악영향을 준다. 그러나, 중합체 재료 형태의 기능 매체에 해롭게 높은 열적 스트레스를 유발하지 않고, 금속배선층을 설계하는 증착 프로세스들을 사용하는 것이 가능하다고 증명되었다. 다양한 스프레이 및 스퍼터링 프로세스들, 예를 들면 전자 또는 이온 빔들을 사용하는 프로세스들이 기능 매체 위에 부과된 열적 제약들과 부합하는 열적 영역에서 수행될 수 있고, 또한 패터닝 단계에서 특별한 주의가 있을 때, 예를 들면 금속배선층을 패터닝하는 이온 반응 프로세스에서의 높은 선택적 반응물들을 사용함으로써 기능 매체 재료의 기능 성질들의 악화를 피할 수 있다. 다른 말로, 상기가 금속배선 및 제 2 층(L2)의 전극들을 형성하기 위해서 사용된 재료층의 이어지는 에칭을 포함하더라도, 이어지는 증착 및 제 2 전극층의 패터닝을 위한 기관으로 기능 매체층(3)을 이용하는 것이 가능하다.

도12a, 12b 및 12c와 연결해서, 본 발명의 전극수단을 포함해서 본 발명에 따른 장치에 대한 설명이 주어진다. 상기 설명으로부터 또한 어떻게 본 발명에 따른 전극수단이 채움 인자가 상기 종류의 장치에서 1에 접근하는지가 분명하게 될 것이다.

본 발명에 따른 장치가 수동 매트릭스-어드레서블 다바이스로 한정된 실시예로 도12a에 도시되고, 여기서, 기능 매체는 글로벌층(3)에 증착되고, 본 발명에 따른 전극수단(EM)을 형성하는 두 개의 전극층들(L1,L2) 사이에 끼워진다. 사용된 기능 매체의 종류에 따라, 도6-9에 도시된 실시예들인 제 1 전극층(L1)은, 도시된 것처럼 임의의 각도 및 바람직하게 전극층(L1)의 대응하는 전극들(1)에 수직하게 배향되는 평행 스트라이프형 전극들(2)이 제공된 전극층(L2)과 동일하다. 전극들(1,2)이 중첩부되는 곳에서 기능 엘리먼트(5)가 그 사이의 기능 매체(3)에서 형성된다. 기능 엘리먼트(5)는 반도체 무기 또는 유기 재료일 수 있거나 또는 바람직하게 유기, 예를 들면 중합체 또는 공중합체일 수 있는 강유전체 또는 일렉트릭 재료

와 같이 분극될 수 있고 히스테리시스를 나타낼 수 있는 유전체 재료일 수 있다. 상기 후자의 경우에, 결합은 용량성이고, 도7 또는 도9b 중 하나에 단면도로 도시된 것처럼 전극층(L)의 실시예를 사용하는 것이 가능하다. 본 발명에 따른 장치의 실시예의 다음 설명은 간략함을 위해서 데이터 저장 디바이스, 특히 바람직하게 중합체 또는 공중합체 형태의 유기 재료로 선택된 기능 매체를 가진 강유전체 데이터 저장 디바이스로 제한된다. 그러나, 본 발명에 따른 장치의 구현은 결코 거기에 제한되지 않고, 당업자들에게는 다른 가능성들이 분명할 것이다. 또한 모든 드라이버, 센싱 및 제어 회로들이 명확함을 위해서 도12a에는 도시되지 않았지만, 상기가 동일한 재료로 만들어 진다면, 실제적인 실시예에서, 실리콘에 기초한 CMOS 기술에서 구현되고, 기판(7)에 제공된다. 이어, 모든 전극들(1,2)은 당업자들에게 잘 알려진 방법들로 적당하게 라우팅되고, 상기 회로에 연결된다.

상기 언급한 대로, 기능 재료(3)는 선 X-X를 따라서 절단된 도12a의 장치를 통해서 단면을 도시한 도12b에 바람직하게 도시된 것처럼, 전극층들(L1,L2) 사이에 끼워진다. 전극들(1,2)의 중첩부 또는 교차부들에서, 메모리 셀(5)은 기능 매체(3), 즉 강유전체 재료에서 형성되고, 메모리 셀(5)의 상기 재료는 전압이 제 1 및 제 2 전극층들(L1,L2)의 오버래핑 전극들(1,2)에 각각 인가될 때, 최초 상태에서부터 분극될 수 있다. 히스테리시스를 나타낼 수 있는 강유전체 재료(3)의 분극 상태는 재료안에 논리값을 저장하기 위해서 영구적으로 설정될 수 있고, 및/또는 분극의 사인(방향), 즉 + 또는 - 는 반대로 스위칭될 수 있고, 소위 파괴성 판독 프로세스(destructive readout process)에서 발생할 수 있는 현상은 메모리 셀의 논리 상태, 즉 이진수 0 또는 이진수 1을 검출하기 위해서이다. 그러나, 또한 판독은 예를 들면 메모리 셀(5)을 형성하는 전극들(1,2)에 전압을 인가함으로써, 셀의 논리 상태의 판독이 일어난 후에 변경되지 않은 상태로 유지되도록 비-파괴적일 수 있다.

물리적으로, 전극층들(L1,L2)의 전극들(1,2)의 중첩부 및 그 사이에 끼워지고 메모리 셀(5)을 형성하는 강유전체 재료(3)는 커패시터 구조로 생각될 수 있고, 그 결과 일반적으로 상기 종류의 강유전체 메모리는 용량성 데이터 저장 디바이스 유형으로 분류된다. 어떠한 경우에는 각각의 전극층(L1,L2)의 전극들(ϵ_a, ϵ_b)이 단지 절연 재료의 초박막(6)에 의해서 분리되기 때문에, 상기의 두께(δ)는 단지 전극들(ϵ_a, ϵ_b)의 폭(w)의 작은 부분이고, 바람직하게 최소 프로세스-제약 또는 프로세스-정의 피처(f)에 일치하고, 본 발명에 따른 전극수단(EM)은 1 을 향하여 채움 인자를 증가시킨다. 어떠한 경우에 전극들(ϵ_a, ϵ_b)은 서로 다른 폭(w_a, w_b)을 가지지만, 그러나 실제로 있어서 전극들의 폭은 대략 동일한 값(w)을 가지는 것으로 생각될 수 있다는 것이 주목된다.

이는 도12c에 도시된 것처럼, 4개의 메모리 셀들(5_1-5_4)을 포함하는 평면부(4)를 고려할 때, 장점으로 알 수 있다. 전극들 사이에 절연 벽들(6a)이 차지하고 있는 영역은 셀들($5_1...5_4$)의 영역을 형성하고, 전극층들(L1,L2) 중 하나의 전극들은 $4f^2 + 8f\delta + 4\delta^2$ 이다. 이는 전극들(1,2)의 f 또는 폭(w) 중 하나의 단지 얇은 부분인 δ 를 가지고, 채움 인자는 본 발명에 따른 장치에서 1에 근접하고, 전극층들(L1,L2) 사이에 끼워진 기능 매체(3)의 영역의 100%에 근접하는 것은 기능 엘리먼트들 또는 셀들에 의해서 이루어지고, 그것의 최소 크기는 f^2 이다. 예를 들면, $f \sim w$ 가 1 및 $\delta = 0.01f$ 로 설정된다면, 평면 구역은 $4 + 8 \cdot 0.01 + 0.0004 \sim 4.08$ 이고, 채움 인자는 $4/4.08 = 0.98$, 즉 98%의 채움 인자이다. 액세스가능한 기능 매체의 영역이 A라고 주어진 매트릭스에서 기능 엘리먼트들 또는 셀들(5)의 최대수는 본 발명에 따른 장치에서 A/f^2 에 가깝다. 예를 들면, 적용된 설계 규칙이 $0.2\mu m$ 로 f가 설정되고, 기능 매체의 영역(A)은 $10^6\mu m$, 즉 $0.98 \cdot 10^6 / 0.2^2 = 24.5 \cdot 10^6$, 어드레스를 기능 엘리먼트들(3)은 하나의 비트를 저장하는 메모리 셀들로 제공되고, 저장 밀도는 대략 25Mbit/mm^2 이다. 종래기술에서 공지된 것처럼, 전극들은 최소 프로세스-제약 피처(f)에 의해서 형성된 거리(d)만큼 분리되고, 도10c에 도시된 평면 구역은 단지 하나의 셀을 포함하고, 따라서 채움 인자는 0.25 또는 25%이고, 반면에 얻을 수 있는 셀들의 최대수는 본 발명에 따른 전극수단(EM)을 사용했을 때 달성될 수 있는 수의 1/4이다.

이는 또한 본 발명에 따른 장치에서 2개의 전극층들(L1,L2) 및 그 사이에 끼워진 기능 매체(3)를 가진 단일 디바이스는 종래의 기술에서 4개의 상기 디바이스들과 동일한 용량을 가지고, 용량성 데이터 저장 장치를 형성하기 위해서 적층된다. 그러나, 도12b에 도시된 것과 같은 디바이스들이 높은 용량 및 높은 저장 밀도를 가진, 예를 들면 적층부의 제 1 디바이스와 다음 디바이스 사이에 분리 및/또는 절연층으로 기능하기 위해서 제공된 전극층(L2)의 상부 위에 기판(7)을 가진 용량성 데이터 저장 디바이스를 만들기 위해서 적층될 수 있다. 결과는 동일한 용량이 적층된 용량성 데이터 저장 장치의 본 발명을 구현하는 단지 1/4의 수의 디바이스들을 가지고 달성될 수 있다. 많은 수의 적층 디바이스들을 사용하는데 내재하는 문제점들이 동일한 데이터 저장 용량을 얻기 위해서 종래의 기술에서는 필수적이고 따라서 이를 피할 수 있다.

특히, 전극층을 형성하는 마지막 단계에서 적용될 수 있는 평탄화 프로세스가 매우 높은 정확도를 가지고 수행될 수 있고, 본 발명에 따른 대영역 전극수단에서도 나노단위 이하로 전체 평탄도를 이룰 수 있다. 예를 들면, 언급한 대로 화학 기계적 연마가 기능 재료 상에 직접적인 금속배선으로 제공되는 종래기술의 전극수단을 곤란하게 하는 불균일도 또는 울퉁불퉁함 없이 완성된 전극수단에 제공되도록 적용될 수 있다.

따라서, 더 많은 디바이스들이 적층되는 것처럼 적층 디바이스의 증가하는 울퉁불퉁함을 피하는 것은 불가능하다. 또한, 각각의 분리된 메모리 디바이스에서 기능 매체의 셀들에 데이터를 쓰고 판독 위해서 전압이 인가될 때, 발생하는 열적 및 기계적 스트레스에 의한 문제점들을 피할 수 있다.

상기 종류의 장치가 적층 메모리 디바이스들로 형성되는지 아니지가 특히 바람직하지만, 본 발명에 따른 전극수단(EM)의 어플리케이션은 결코 데이터 저장 장치에 제한되지 않는다. 일반적인 상기 장치의 설계 및 구조, 및 기능 매체에 대한 다수의 가능한 재료들 및 재료 조합들에 대해서, 참조가, 본 출원인에 권리가 있고 US 특허 및 EP 특허로 둘 다에서 허여된 이미 언급된 공개된 국제 특허 출원 WO98/58383호에 개시되어 있다. 상기 출원은 메모리 디바이스들의 경우에, 데이터 프로세싱 디바이스들에 대한 구조들을 개시하지만, 그러나 강유전체 메모리 디바이스들로 특정하여 지시되지는 않는다. 부가하여, 상기 공보는 또한 예를 들면 정보 디스플레이 디바이스들에 적용되는 유사한 구조를 개시한다.

메모리 디바이스들과 같은 다양한 디바이스들에서 사용되는 것처럼 전극수단(EM)에 대한 전극 재료들에 관하여, 적당한 전도성 재료, 예를 들면 전자 디바이스들에서 일반적으로 사용되는 티타늄 및 알루미늄과 같은 금속들로 언급된다. 전극 재료들은 또한 무기 재료들, 예를 들면 전도성 중합체들이지만, 그러나 절연 박막층을 형성하기 위해서 사용된 프로세스와 부합하거나 또는 박막층의 부분들을 제거하기 위해서 사용된 프로세스와 부합되어야만 한다.

본 발명에 따른 전극수단(EM)의 전극들의 폭(w)은 최소 프로세스 제약 피처(f)에 의해서 형성된 최소값을 가져야 하는 것이 이해되고, 제 1 예에서 제한되는 전극들 사이의 거리 뿐만아니라 증착되고 패터닝되어야만 하는 제 1 세트의 전극들(ϵ_a)의 폭이다. 전극들(ϵ_b)은 패터닝 프로세스에 적용하는 설계 규칙에 의해서 제한되지 않는 프로세스들에 의해서 증착될 수 있다. 이는 얻을 수 있는 피처에 대한 최소 크기 제약이 f의 값보다 상당히 적다는 것을 의미한다. 동일하게 발생할 수 있는 절연 박막의 어플리케이션에 적용하고, 예를 들면, 거의 단원자 크기 이하로 산화, 기상 증착 또는 스프레이 또는 스핀 코팅에 의해서 적용한다. 필요조건은 전극층(L)의 전극들의 각각의 세트(E_a, E_b)에 인접한 전극들(ϵ_a, ϵ_b) 사이의 필요한 전기 절연을 제공해야 하는 것이다. 또한, 일반적으로 종래의 포토마이크로리소그래피 프로세스에서의 f는 0.2 μ m 또는 다소 작은 범위 이내에 있고, 현재 설정된 또는 개발중인 다른 기술들은 나노 단위 범위, 즉 약 10 나노미터 이하의 전극폭들의 피처를 사용하고, 예를 들면 필요한 평탄화를 달성하기 위해서 화학 기계적 프로세싱의 사용, 이는 높은 평탄도의 상부면을 가진 전극층(L)을 만들고, 절연 박막(6) 뿐만아니라 모든 컴포넌트 부분들, 즉 전극들(ϵ_a, ϵ_b)은 전극들의 상부면에 동일한 높이가 된다.

일반적으로 기능 매체가 매트릭스-어드레서블 디바이스를 형성하기 위해서 평행 스트라이프형 전극들을 가지고, 및 임의의 각도 및 바람직하게 수직으로 각각 서로 배향되는 한 쌍의 전극층들 사이에 끼워진 장치 또는 디바이스의 본 발명에 따른 전극수단의 사용은 1에 근접하는 채움 인자 및 전극들의 패터닝 프로세스를 위한 적용가능한 설계 규칙에 의해서 단지 제한되는 형성할 수 있는 기능 엘리먼트들 또는 셀들의 최대수를 가능하게 한다. 특히 바람직한 것은, 예를 들면 오픈 릴식(reel-to-reel)의 본 발명에 따른 전극층들을 제조하는 가능성이고, 그 후에 분리된 전극층들이 원하는 크기로 전극들의 연속적인 밴드를 잘라냄으로써 얻어진다. 이제, 기능 매체가 전극층들 중 하나의 전극 측면에 적용되고, 그 후에 본 발명에 따른 제 2 전극층들이 제 1 전극층들의 전극들에 수직하게 개개의 전극들로 재배향되고, 제 1 전극층들에 이미 적용된 기능 매체와 관계하여 계면에서 제공되고 대향하는 전극들로 재배향되어, 본 발명에 따른 전극수단(EM)을, 기능 매체 상에 직접적인 금속 배선 단계의 적어도 제 2 전극수단의 전극들에 제공하지 않고서 형성하고, 상기 논의된 프로세스는, 예를 들면 강유전체 매트릭스-어드레서블 디바이스를 제공하기 위해서 사용된 중합체 또는 공중합체들과 같은 유기 재료들의 경우에 특히 기능 매체의 재료에 해로울 수 있다. 그러나, 개략적인 제조 과정은 능동 매트릭스-어드레서블 디바이스들에 쉽게 적용될 수 없지만, 최근 개발들의 관점에서, 특정의 바람직한 제안들, 말하자면 매트릭스-어드레서블 강유전체 메모리 디바이스들로 나타난다. 능동 매트릭스-어드레서블 강유전체 메모리 디바이스들이 복잡하고, 높은 전력 소비를 가질 뿐만아니라 본 발명에 따른 전극수단으로 조차도, 채움 인자는 1보다 훨씬 적을 것이다. 예를 들면, 1T, 1C(하나의 트랜지스터, 하나의 커패시터) 타입의 능동 강유전체 메모리 셀의 경우에, 얻을 수 있는 채움 인자는 기껏해야 0.67을 넘을 수 없다.

선택적으로, 기능 매체는 또한 연속적 또는 반-연속적 오픈 릴방식 동작의 전극수단의 평탄화 후에, 마지막 프로세스에서 주의깊은 두께 제어, 또는 제 2 평탄화가 이어지게 해서 적용될 수 있다. 이어, 분리된 전극층들은 바람직한 크기, 서로 수직으로 관계하여 각각의 전극들과 인-시튜로 적당하게 배향된 기능 매체를 가진 2개의 전극들로 커팅되고, 그 후에, 본 발명에 따른 전극수단이 형성되고, 계면 관계로 각각의 전극수단의 기능 매체와 인-시튜로 연결된다. 상기 제조 과정은 바람직한 수로 적층된 본 발명에 따른 다수의 전극수단을 포함하는, 예를 들면 용량성 데이터 저장 장치를 제조하기 위해서 되풀이될 수 있고, 용량성 구성으로 본 발명에 따른 장치를 구현할 수 있다.

바람직하게 평탄화된 전극층들을 가진 본 발명에 따른 전극수단은 또한 전극 크기들, 즉 전류-전도 용량에 관하여 일정한 전극들의 단면적의 신중한 제어를 하게 한다. 이는 기능 매체에 기능 엘리먼트에 대한 어드레싱은 미리 결정된 임피던스 (저항성 또는 용량성) 상태로 엘리먼트들을 유도하거나 또는 설정하는 동일한 전위 차이들의 엘리먼트들에 의존한다. 스위칭 전압의 부분인 전압들을 가진 기록 및 판독 프로토콜을 말하면, 강유전체 메모리 재료가 사용되고, 높은 신뢰도가 얻어질 때, 수동 매트릭스-어드레싱 구조의 비활성적인 워드 및 비트 라인들에 인가된 비활성적인 전위를 신중하게 제어하는 것이 가능하고, 따라서 예를 들면 용량성 연결들 및 매트릭스에 어드레스되지 않은 메모리의 방해를 피할 수 있다.

(57) 청구의 범위

청구항 1.

각각의 층에 평행 스트라이프형(stripe-like) 전기 도체들의 형태로 전극들(ϵ)을 갖는 제 1 및 제 2 박막 전극층들(L1, L2)을 포함하고, 상기 제 2 전극층(L2)의 전극들(ϵ)은 상기 제 1 층(L1)의 전극들(ϵ)에 대해 비스듬히 또는 실질적으로 수직하게 배향되며, 상기 전극층들 중 적어도 하나(L1; L2)는 기판 또는 후면(7, 7')의 절연 표면 상에 제공되고, 상기 전극층들(L1, L2)은 이들 사이에 넓게 제공된 기능 매체층(3)과 접촉하는 평행하게 이격된 평면들에 제공되는, 전극수단(EM)으로서, 각각의 상기 박막 전극층들(L1, L2)은,

폭(w_a)과 두께(h_a)를 가진 상기 스트라이프형 전극들(ϵ_a)의 제 1 세트(E_a) - 상기 제 1 세트(E_a)의 전극들(ϵ_a)은 w_a 와 같거나 더 긴 거리 d 만큼 서로 이격됨 -; 및

폭(w_b)과 두께(h_b)를 가진 상기 스트라이프형 전극들(ϵ_b)의 제 2 세트(E_b) - 상기 제 2 세트(E_b)의 전극들(ϵ_b)은, 상기 제 1 세트(E_a)의 전극들(ϵ_a) 사이의 공간들에 제공되고, 두께(δ)의 전기 절연 재료의 박막(6)에 의해 상기 제 1 세트의 전극들로부터 전기적으로 절연되며, 평행 전극들(ϵ_a , ϵ_b)의 측면 에지들을 따라 적어도 연장되고, 상기 제 1 세트의 전극들과의 사이에 두께(δ)의 절연벽(6a)을 형성하며, 상기 δ 의 크기는 w_a 또는 w_b 의 크기와 비교하여 작고, 상기 제 1 세트(E_a)의 전극들(ϵ_a) 사이의 이격 거리(d)는 $(w_b + 2\delta)$ 임 -

를 포함하고, 상기 전극들(ϵ) 및 절연 박막(6)을 가진 전극층들(L1, L2)은 각각 상기 전극수단(EM)에 글로벌 평면층들을 형성하는, 전극수단.

청구항 2.

제 1 항에 있어서,

상기 전극층들(L1, L2) 중 적어도 하나의 상기 전극들(ϵ)의 전도성 재료는 상기 기판(7, 7')의 표면 상에 직접 제공되는 것을 특징으로 하는 전극수단.

청구항 3.

제 1 항에 있어서,

상기 전극층들(L1; L2) 중 하나의 전극들(ϵ)은 다른 전극층(L2; L1)과 대향하는 표면 외부에 노출되는 것을 특징으로 하는 전극수단.

청구항 4.

제 1 항에 있어서,

상기 다른 전극층(L2; L1)과 대향하는 상기 전극층들(L1; L2) 중 하나의 표면은 후면($7'$)에 의해 커버되는 것을 특징으로 하는 전극수단.

청구항 5.

제 1 항에 있어서,

상기 두 세트들(E_a, E_b)의 전극들(ϵ_a, ϵ_b)의 단면적은 $w_a \cdot h_a = w_b \cdot h_b$ 로서 같은 것을 특징으로 하는 전극수단.

청구항 6.

제 1 항에 있어서,

상기 제 1 세트(E_a)의 전극들(ϵ_a)의 단면적은 상기 제 2 세트(E_b)의 전극들(ϵ_b)의 단면적과 $w_a \cdot h_a \neq w_b \cdot h_b$ 로서 다른 것을 특징으로 하는 전극수단.

청구항 7.

제 1 항에 있어서,

상기 두 세트들(E_a, E_b)의 전극들(ϵ_a, ϵ_b)의 전도성 재료는 동일한 것을 특징으로 하는 전극수단.

청구항 8.

제 1 항에 있어서,

상기 제 2 세트(E_b)의 전극들(ϵ_b)의 전도성 재료는 상기 제 1 세트(E_a)의 전극들(ϵ_a)의 전도성 재료와 다른 것을 특징으로 하는 전극수단.

청구항 9.

제 8 항에 있어서,

상기 제 1 세트(E_a)의 전극들(ϵ_a)의 전도성 재료와 상기 제 2 세트(E_b)의 전극들(ϵ_b)의 전도성 재료는 각각 σ_a, σ_b 의 크기의 전도율을 갖고,

$$\frac{w_a \cdot h_a}{w_b \cdot h_b} = \frac{\sigma_b}{\sigma_a}$$

의 관계식을 따르며, 상기 제 1 및 제 2 전극 세트들(E_a , E_b)의 각각의 전극(ε_a , ε_b)의 전도성 용량은 각각 임의의 경우에서 동일한 것을 특징으로 하는 전극수단.

청구항 10.

제 1 항에 있어서,

상기 제 1 세트(E_a)의 전극들(ε_a) 및 상기 제 2 세트(E_b)의 전극들(ε_b) 사이의 절연 벽들(6a)은 상기 제 1 세트(E_a)의 전극들(ε_a)을 커버하는 연속층 및 상기 전극들 사이의 공간들의 기판(7, 7')에 제공되는 절연 박막(6)의 일부(6a)를 형성하고, 상기 제 2 세트(E_b)의 전극들(ε_b)은 절연 박막(6)의 벽 부분들(6a) 사이 및 상기 기판을 커버하는 상기 절연 박막(6)의 일부(6b) 위의 리세스들(8)에 제공되며, 상기 제 2 세트(E_b) 전극들(ε_b)의 상부면은 상기 제 1 세트(E_a) 전극들(ε_a)의 상부면을 커버하는 상기 절연 박막(6)의 일부(6c)의 표면과 동일 평면이고, 상기 제 1 및 제 2 세트(E_a , E_b)의 전극들(ε_a , ε_b)은 동일한 높이($h_a = h_b$)를 가지며, 상기 전극들($\varepsilon_a, \varepsilon_b$) 및 절연 박막(6)을 가진 상기 전극층들(L1, L2)은 상기 전극수단에 글로벌 평면층들을 형성하는 것을 특징으로 하는 전극수단.

청구항 11.

제 1 항에 있어서,

상기 제 1 세트(E_a)의 전극들(ε_a) 및 상기 제 2 세트(E_b)의 전극들(ε_b) 사이의 절연 벽들(6a)은 상기 제 1 세트(E_a)의 전극들(ε_a)의 측면 에지들에서 상부면까지 커버하는 층 및 상기 전극들 사이의 공간들의 기판(7, 7')에 제공된 절연 재료의 상기 박막(6)의 부분들(6a, 6b)을 형성하고, 상기 제 2 세트(E_b)의 전극들(ε_b)은 상기 절연 박막(6)의 벽부분(6a) 사이 및 상기 기판(7)을 커버하는 상기 절연 박막(6)의 일부(6b)의 상부에 제공되며, 상기 제 2 세트(E_b)의 전극들(ε_b)은 상기 제 1 세트(E_a)의 전극들(ε_a)의 상부면 뿐만 아니라 상기 절연 벽들(6a)의 상부 에지와 동일 평면에 있고, 상기 제 2 세트(E_b)의 전극들(ε_b)은 높이($h_b = h_a - \delta$)를 가지며, 상기 전극들($\varepsilon_a, \varepsilon_b$) 및 절연 재료(6)를 가진 상기 전극층(L1, L2)은 상기 전극수단에 두께(h_a)의 글로벌 평면층을 형성하는 것을 특징으로 하는 전극수단.

청구항 12.

제 1 항에 있어서,

상기 제 1 세트(E_a)의 전극들(ε_a) 및 상기 제 2 세트(E_b)의 전극들(ε_b) 사이의 절연 벽들(6a)은 상기 제 1 세트(E_a)의 전극들(ε_a)에서 아래로 상기 기판(7, 7')까지 커버하는 층에 제공된 상기 절연 박막(6)의 일부를 형성하고, 상기 제 2 세트(E_b)의 전극들(ε_b)은 상기 절연 박막(6)의 벽부분들(6a) 사이의 리세스들(8) 및 노출된 기판(7, 7') 상에 직접 제공되며, 상기 제 1 세트(E_a)의 전극들(ε_a)의 상부면을 커버하는 상기 절연 박막(6)의 일부(6a)의 상부면과 동일 평면에 있고, 상기 제 1 세트(E_a)의 전극들은 높이($h_a = h_b - \delta$)를 가지며, 상기 전극들($\varepsilon_a, \varepsilon_b$)과 절연 박막(6)을 가지는 적어도 하나의 전극층(L1, L2)은 상기 전극수단에 두께(h_b)의 글로벌 평면층을 형성하는 것을 특징으로 하는 전극수단.

청구항 13.

각각의 층에 평행 스트라이프형 전기 도체들의 형태로 전극들(e)을 갖는 제 1 및 제 2 박막 전극층들(L1, L2)을 포함하고, 상기 제 2 전극층(L2)의 전극들(e)은 상기 제 1 층(L1)의 전극들(e)에 대해 비스듬히 또는 실질적으로 수직하게 배향되며, 상기 전극층들(L1, L2) 중 적어도 하나는 기관 또는 후면(7, 7')의 절연 표면 상에 제공되고, 상기 전극층들(L1, L2)은 이들 사이에 넓게 제공된 기능 매체층(3)과 접촉하는 평행하게 이격된 평면들에 제공되는, 전극수단(EM)의 전극층(L1, L2)을 제조하기 위한 방법으로서,

기관 위에 두께(h_a)를 가진 전기 전도성 재료의 평면층을 증착하는 단계;

패터닝 프로세스에서 생성된 상기 전극들 사이의 리세스들에 의해 서로 이격되게, 폭(w_a)과 두께(h_a)를 가진 상기 스트라이프형 전극들의 제 1 세트를 형성하기 위해 상기 전도성 재료의 평면층을 패터닝하는 단계;

상기 전도성 재료 부분들을 제거하고 상기 제 1 세트의 스트라이프형 전극들 사이의 상기 기관 표면을 노출시키는 단계 - 상기 제 1 세트의 평행 전극들은 상기 전극들 사이의 리세스들의 폭과 동일하고 상기 (w_a)와 동일하거나 더 큰 거리(d)만큼 이격됨 -;

상기 제 1 세트의 전극들의 측면 에지들을 적어도 커버하는 전기 절연 재료의 박막을 형성하는 단계; 및

상기 전극 수단에 글로벌 평면층으로서 전극층이 얻어지도록, 폭(w_b) 및 두께(h_b)를 가진 제 2 세트의 전극들을 형성하기 위해 상기 제 1 세트의 전극들의 측면 에지들을 커버하는 상기 절연 박막 사이의 상기 리세스들에 전기 전도성 재료를 증착하는 단계

를 포함하는 전극수단의 전극층 제조방법.

청구항 14.

제 13 항에 있어서,

상기 제 1 세트의 전극들 및 상기 기관의 노출된 표면 둘 다를 커버하는 글로벌층으로서 상기 절연 박막을 형성하는 단계;

상기 제 1 세트의 전극들 사이 및 상기 절연 박막 상부의 리세스들에 상기 제 2 세트의 전극들을 위한 전도성 재료를 증착하는 단계; 및

상기 제 2 세트의 전극들의 상부면이 상기 제 1 세트의 전극들을 커버하는 상기 절연 박막과 동일 평면에 있도록 상기 전극층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 전극수단의 전극층 제조방법.

청구항 15.

제 13 항에 있어서,

상기 제 1 세트의 전극들 및 상기 기관의 노출된 표면을 커버하는 글로벌층으로서 상기 절연 박막을 형성하는 단계;

상기 제 1 세트 전극들 사이 및 상기 절연 박막 상부의 리세스들에 상기 제 2 세트의 전극들을 위한 전도성 재료를 증착하는 단계; 및

상기 제 1 세트의 전극들을 커버하는 상기 절연 박막이 상기 전극들의 상부면을 노출시키도록 제거되고 상기 전극 세트들의 전극들 및 상기 절연 박막의 상부 에지들 모두가 상기 전극층의 상부면과 동일 평면에 있도록, 상기 전극층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 전극수단의 전극층 제조방법.

청구항 16.

제 13 항에 있어서,

상기 제 1 세트의 전극들 및 상기 기관의 노출된 표면 둘 다를 커버하는 글로벌층으로서 상기 절연 박막을 형성하는 단계;

상기 리세스들의 저면에서 상기 절연 박막을 제거하는 단계;

상기 제 1 세트의 전극들에서 아래의 상기 기관까지 커버하는 상기 절연 박막만을 남겨두고 상기 기관의 표면을 노출시키는 단계;

상기 제 2 세트의 전극들의 전도성 재료를 상기 리세스들에 증착하는 단계; 및

상기 제 2 세트의 전극들의 상부면 및 상기 제 1 세트의 전극들을 커버하는 상기 절연 박막의 표면 모두가 상기 전극층의 상부면에서 동일 평면에 있도록 상기 전극층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 전극수단의 전극층 제조 방법.

청구항 17.

제 13 항에 있어서,

상기 전극층들(L1, L2) 중 하나만이 기관 상에 제공되고,

상기 기관 상에 제공된 적어도 하나의 전극층을 커버하고 상기 기관의 전극들과 접촉하는 기능 매체의 글로벌층을 증착하는 단계; 및

상기 기관 상에 상기 전극층을 형성하기 위해 사용된 것과 유사한 단계들에 의해 상기 기능 매체의 글로벌층 위에 직접 제 2 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 전극수단의 전극층 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 기능 매체의 글로벌층 위에 형성된 상기 전극층을 커버하는 기관 또는 후면을 제공하는 단계를 포함하는 것을 특징으로 하는 전극수단의 전극층 제조 방법.

청구항 19.

제 13 항에 있어서,

상기 전극수단의 전극들의 전도성 재료 및/또는 기관 재료를 표면 산화를 허용하는 물질들로 선택하는 단계; 및

적어도 하나의 적정 산화 프로세스에서 상기 표면을 산화시킴으로써 상기 절연 박막을 형성하는 단계를 포함하는 것을 특징으로 하는 전극수단의 전극층 제조 방법.

청구항 20.

각각의 층에 평행 스트라이프형 전기적 도체들의 형태의 상기 전극들(e)을 가지는 제 1 및 제 2 박막 전극층들(L1, L2)을 포함하고, 상기 제 2 전극층(L2)의 전극들(e)은 상기 제 1 층(L1)의 전극들(e)에 비스듬히 또는 실질적으로 수직하게 배향

되며, 상기 전극층들 중 적어도 하나(L1; L2)는 기판 또는 후면(7, 7')의 절연 표면 위에 제공되고, 상기 전극층들(L1, L2)은 이들 사이에 넓게 제공된 기능 매체층(3)과 접촉하는 평행하게 이격된 평면들에 제공되며, 기능 엘리먼트들(5)은 매트릭스-어드레서블 어레이를 제공하도록 상기 제 1 전극층(L1)의 전극들(1)과 상기 제 2 전극층(L2)의 전극들(2) 사이의 각각의 중첩부들에 규정된 상기 기능 매체층(3)의 부피들로 형성되고, 상기 기능 엘리먼트(5)는 전위가 상기 기능 엘리먼트에 대해 생성되도록 상기 기능 엘리먼트(5)를 형성하는 교차부(crossing) 전극들(1, 2)에 전압을 인가함으로써 활성화될 수 있으며, 상기 기능 엘리먼트(5)의 물리적 상태는 일시적 또는 영구적으로 변화되거나 인식 가능한 물리적 상태들 사이의 스위칭이 일어나고, 상기 전압 인가는 기록 또는 판독 동작을 위한 상기 기능 엘리먼트들(5)의 어드레싱에 본질적으로 대응되며, 선택된 기능 재료(3)의 특성들에 따른 상기 기능 엘리먼트들(5)은 데이터 처리장치의 스위칭가능한 논리 엘리먼트들, 데이터 저장 장치의 메모리 셀들, 또는 정보 디스플레이 장치의 픽셀들 중 적어도 하나로서 동작하도록 제조될 수 있고, 상기 엘리먼트들, 셀들 또는 픽셀들의 어드레싱은 임의의 경우에 매트릭스-어드레서블 장치에서 발생하는, 적어도 하나의 전극수단(EM)을 포함하는 장치로서,

상기 전극수단의 전극들(1; 2)은 각각의 전극층(L1, L2)에 제공되고, 상기 전극수단(EM)의 전극들(1; 2)은 모두 실질적으로 동일한 폭(w)을 가지며, 각각의 수단의 전극들(1; 2)은 두께(δ)의 절연 박막에 의해 서로 전기적으로 절연되고, 상기 δ 의 크기는 폭(w)의 일부이고, 상기 w의 최소 크기는 프로세스-제약 최소 피처 사이즈(f)와 동일하며, 상기 기능 매체(3)의 상기 기능 엘리먼트들(5)의 채움 인자(fill factor)는 1에 가깝고, 상기 기능 엘리먼트들(5)의 수는 상기 전극층들(L1; L2) 사이에 삽입된 상기 기능 매체(3)의 전체 영역(A)과 상기 피처 사이즈(f)에 의해 규정된 최대값에 근접하고, 상기 최대값은 A/f^2 으로 규정되는, 전극수단을 포함하는 장치.

청구항 21.

제 20 항에 있어서,

상기 장치는 적층 구조로 제공되는 다수의 전극수단($EM_1 \dots EM_n$)을 포함하고, 각각의 상기 전극수단은 각각의 글로벌층($3_1 \dots 3_n$)을 포함하고 접촉함으로써 상기 장치가 용량성 구조물로 구현되는 것을 특징으로 하는 전극수단을 포함하는 장치.

청구항 22.

제 21 항에 있어서,

상기 전극수단(EM_k)의 제 2 전극층의 전극들은 다음 전극수단(EM_{k+1})의 기능 매체(3)와 직접 접촉하여 상기 다음 전극수단의 제 1 전극층(L)을 형성함으로써 n개 전극수단($EM_1 \dots EM_n$)의 적층물이 총 n+1개 전극층들(L)로 구현되는 것을 특징으로 하는 전극수단을 포함하는 장치.

청구항 23.

제 20 항에 있어서,

상기 장치의 매트릭스-어드레서블 어레이를 구성하는 상기 기능 엘리먼트들에 수동 매트릭스 어드레싱을 수행하기 위해, 청구항 제 1 항에 따른 전극수단을 사용하는 것을 특징으로 하는 전극수단을 포함하는 장치.

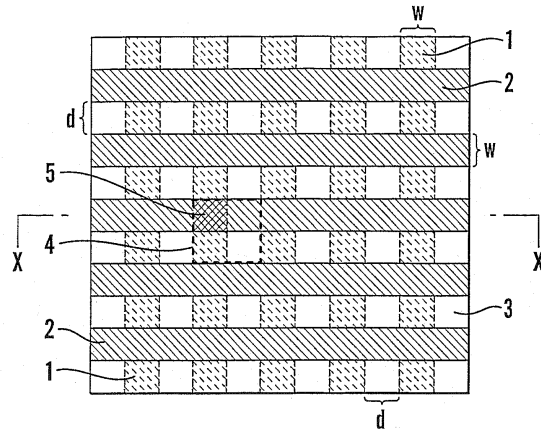
청구항 24.

제 20 항에 있어서,

각각의 상기 기능 엘리먼트가 적어도 하나의 능동 스위칭 컴포넌트와 연결된 상기 장치의 매트릭스-어드레스블 어레이를 구성하는 상기 기능 엘리먼트들에 능동 매트릭스 어드레싱을 수행하기 위해, 청구항 제 1 항에 따른 전극수단을 사용하는 것을 특징으로 하는 전극수단을 포함하는 장치.

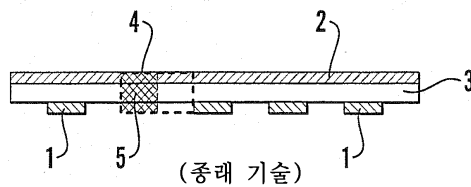
도면

도면1a



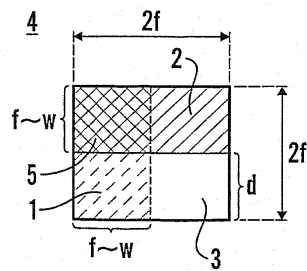
(종래 기술)

도면1b



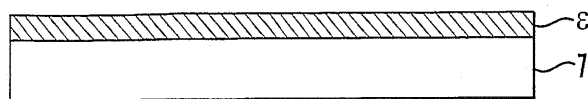
(종래 기술)

도면1c

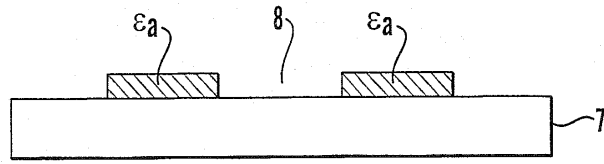


(종래 기술)

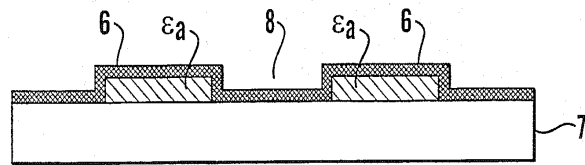
도면2a



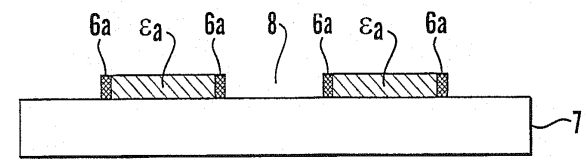
도면2b



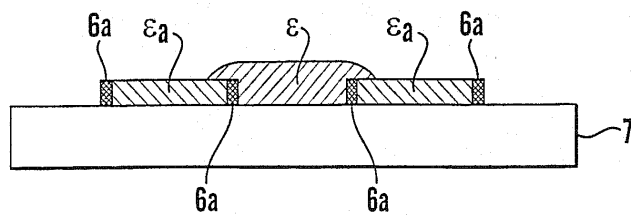
도면2c



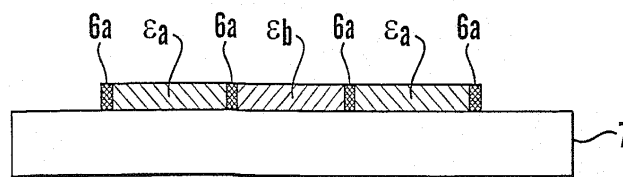
도면2d



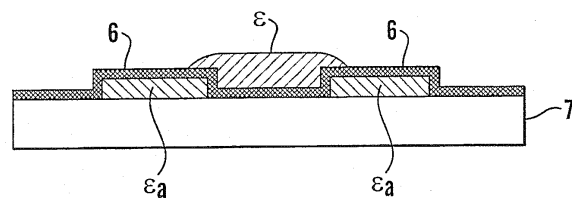
도면2e



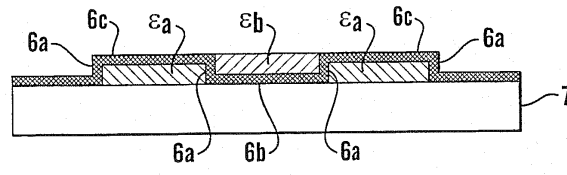
도면2f



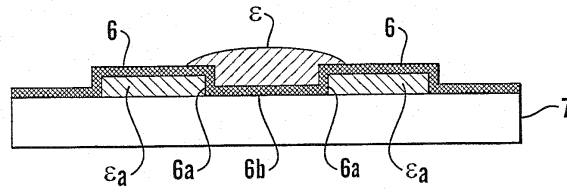
도면3a



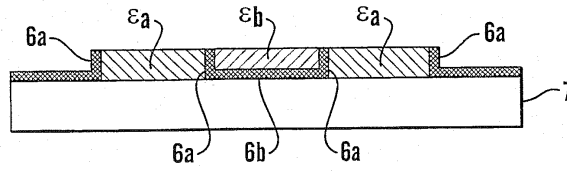
도면3b



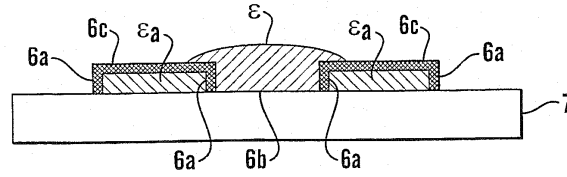
도면4a



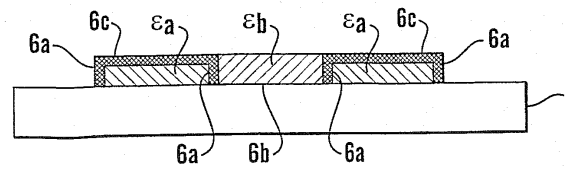
도면4b



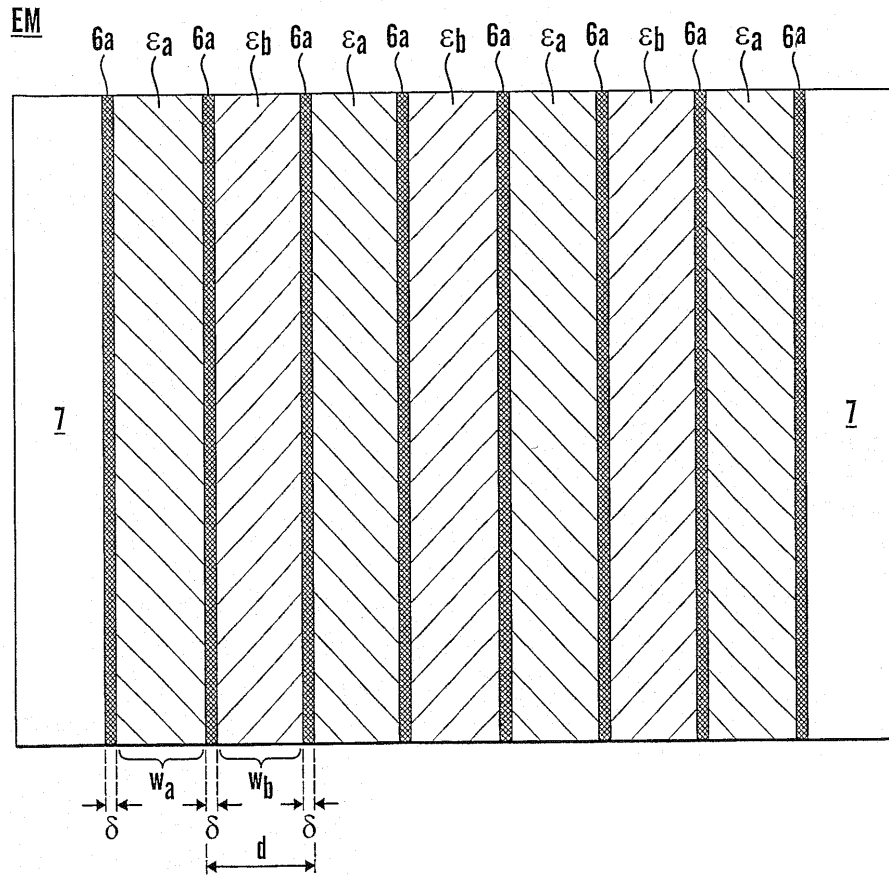
도면5a



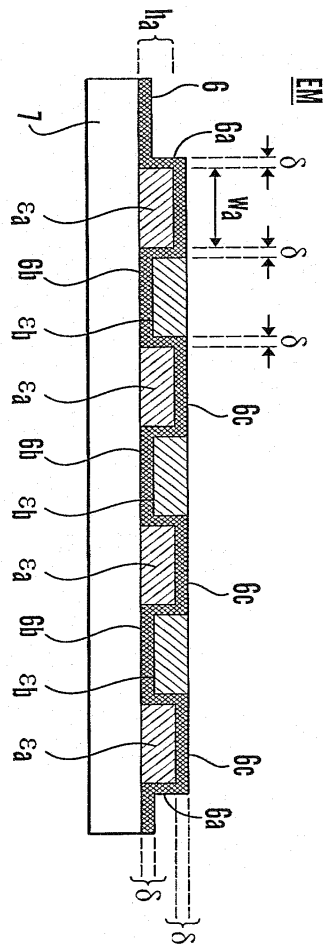
도면5b



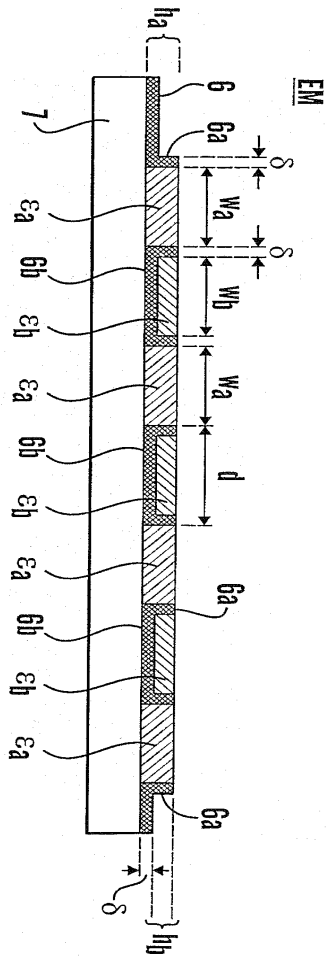
도면6a



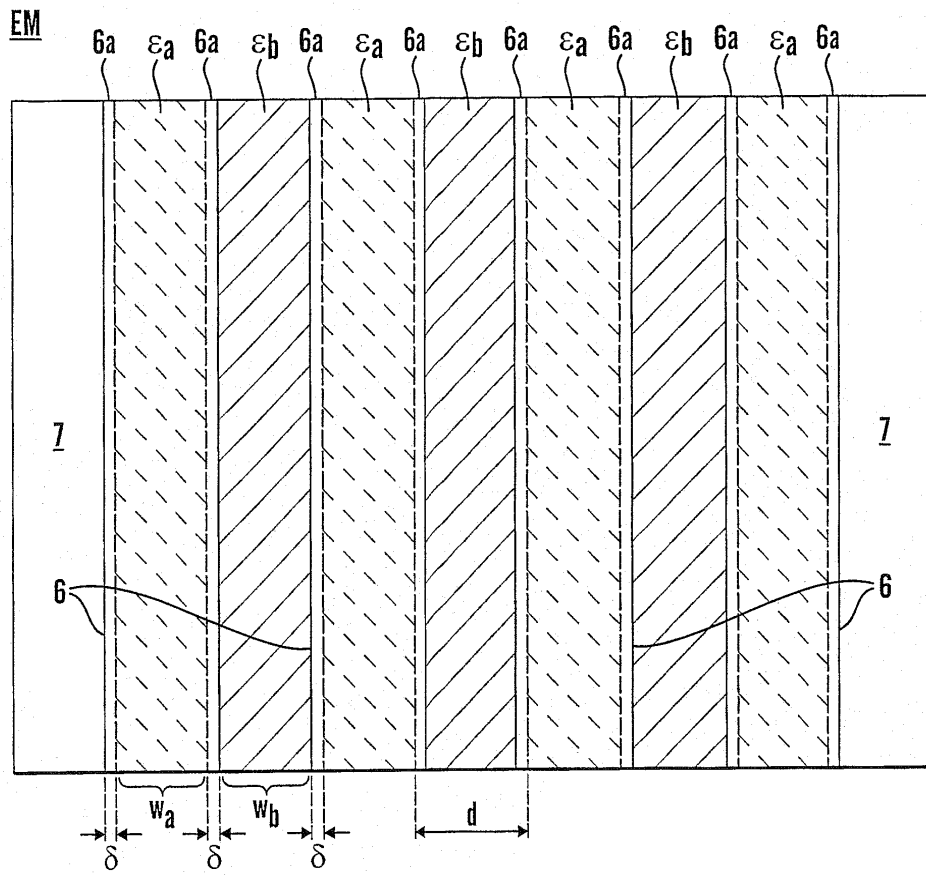
도면7



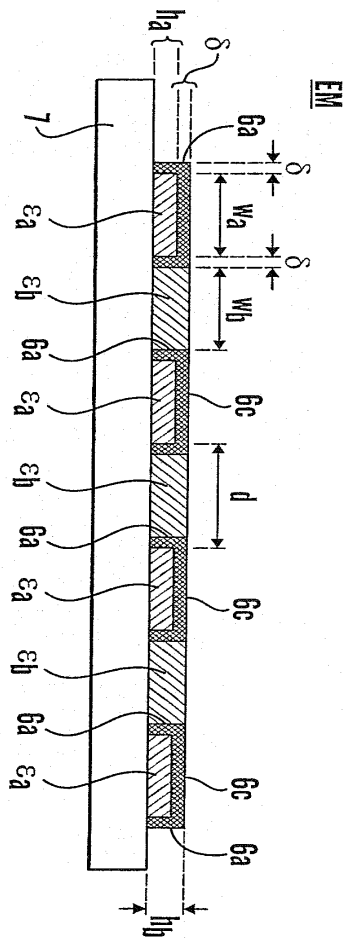
도면8



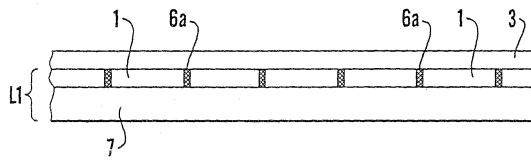
도면9a



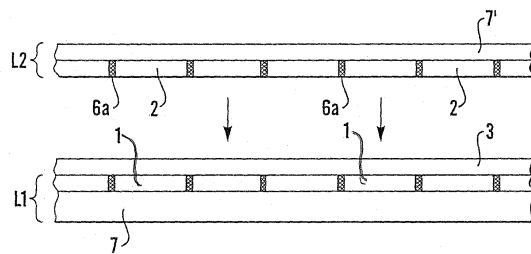
도면9b



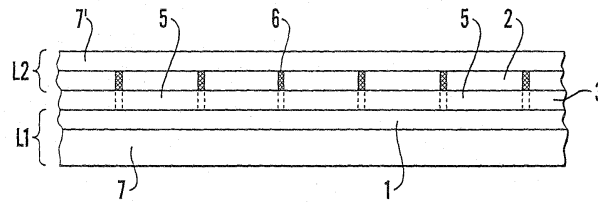
도면10a



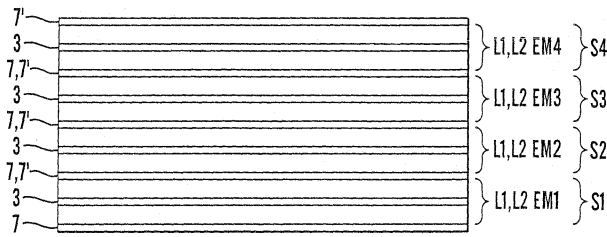
도면10b



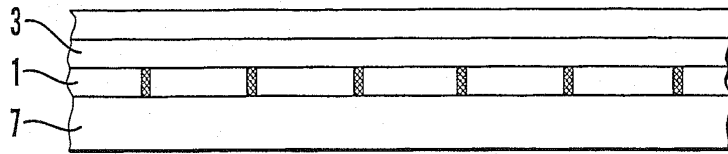
도면10c



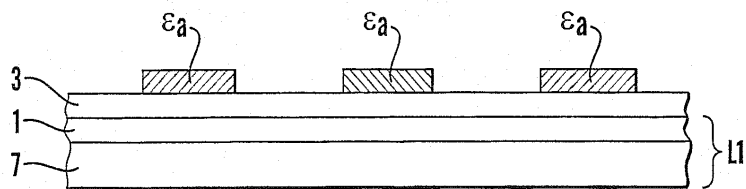
도면10d



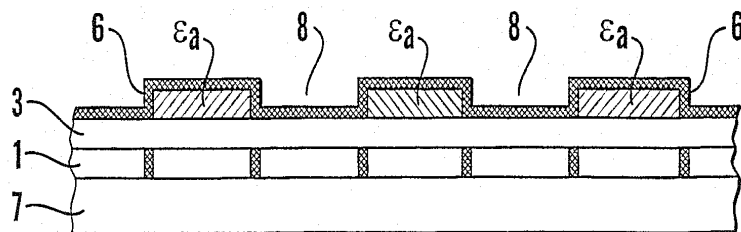
도면11a



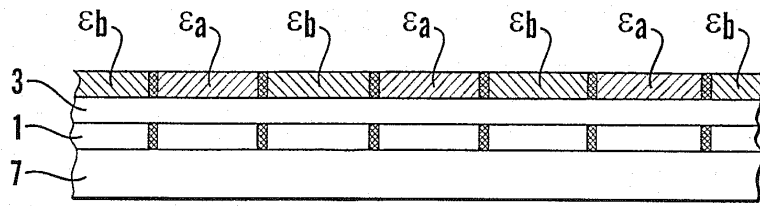
도면11b



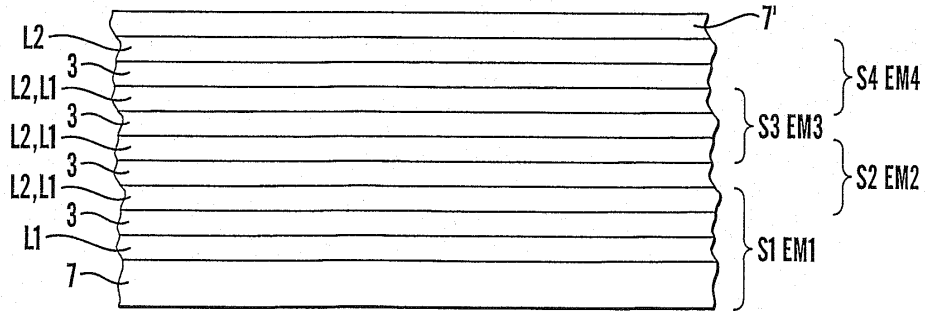
도면11c



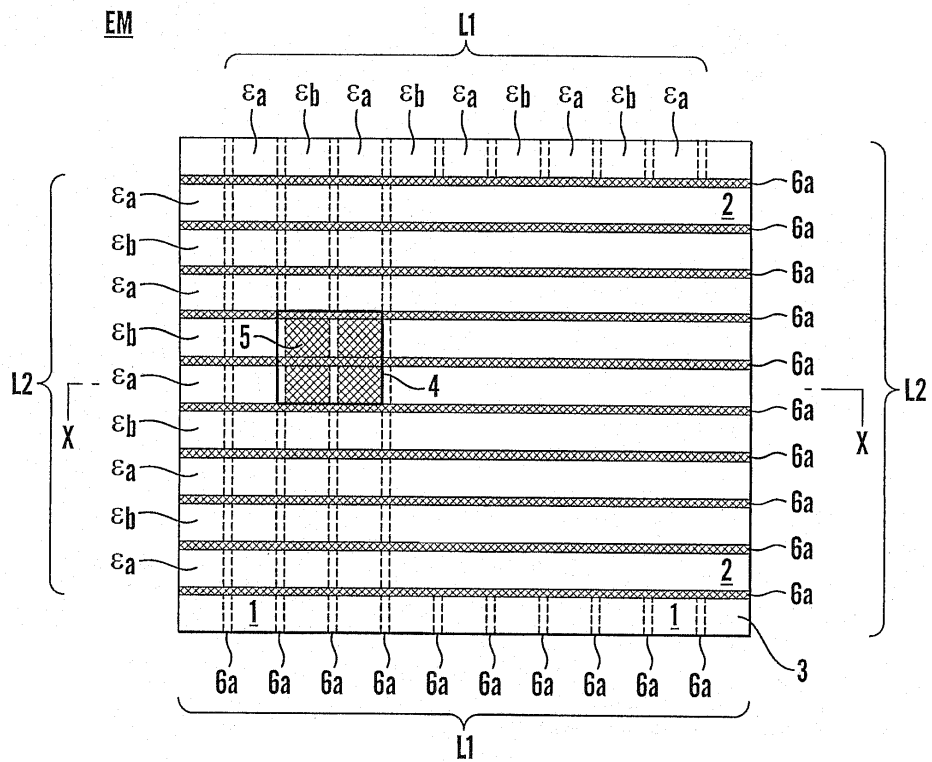
도면11d



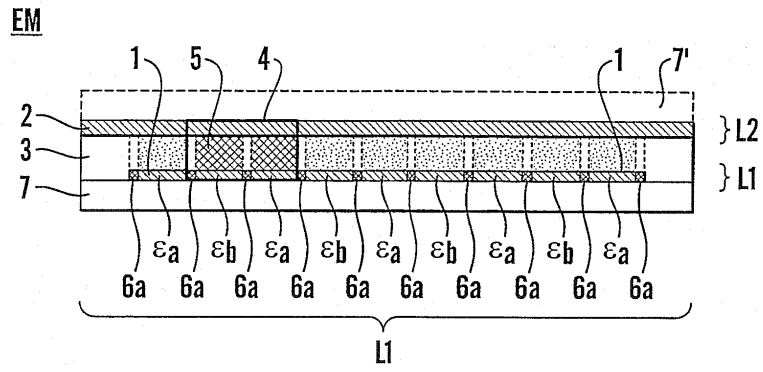
도면11e



도면12a



도면12b



도면12c

