



(45) 授权公告日 2016.02.24

权利要求书2页 说明书10页 附图16页

1. 一种化合物半导体器件,包括:

电子渡越层;

化合物半导体层,形成在所述电子渡越层上;

源电极以及漏电极,形成在所述化合物半导体层上;

第一绝缘膜,形成在所述化合物半导体层上;以及

栅电极,形成在所述绝缘膜上;

其中,在所述化合物半导体层的所述源电极与所述漏电极之间的区域内并在所述第一绝缘膜内、并且在与所述栅电极分离的部分处,形成有凹入部分;

第二绝缘膜,沿所述凹入部分的内表面形成;以及

电极,形成在所述第二绝缘膜上;

其中,形成在所述第二绝缘膜上的所述电极连接到所述源电极;以及

所述凹入部分下方的二维电子气的密度由来自所述栅电极的电场控制,并且具有所述二维电子气的沟道的开/关通过二维电子气的所述密度来切换。

2. 如权利要求1所述的化合物半导体器件,其中,在所述源电极与所述栅电极之间的区域内形成有所述凹入部分。

3. 如权利要求1或2所述的化合物半导体器件,其中,形成在所述第二绝缘膜上的所述电极接地。

4. 如权利要求1或2所述的化合物半导体器件,其中,与所述栅电极不同的电势被提供到形成在所述第二绝缘膜上的所述电极。

5. 如权利要求1或2所述的化合物半导体器件,还包括形成在所述电子渡越层与所述化合物半导体层之间的电子供应层。

6. 如权利要求1或2所述的化合物半导体器件,其中,所述化合物半导体层的形成有所述凹入部分的部分的剩余厚度为10nm或更小。

7. 一种化合物半导体器件,包括:

电子渡越层;

化合物半导体层,形成在所述电子渡越层上;

源电极,形成在所述化合物半导体层上;

第一绝缘膜,形成在所述化合物半导体层上;

栅电极,形成在所述绝缘膜上;以及

漏电极,形成在所述电子渡越层下;

其中,在所述化合物半导体层的所述源电极与所述栅电极之间的区域内并在所述第一绝缘膜内形成有凹入部分;

第二绝缘膜,沿所述凹入部分的内表面形成;以及

电极,形成在所述第二绝缘膜上;

其中,形成在所述第二绝缘膜上的所述电极连接到所述源电极;以及

所述凹入部分下方的二维电子气的密度由来自所述栅电极的电场控制,并且具有所述二维电子气的沟道的开/关通过二维电子气的所述密度来切换。

8. 如权利要求7所述的化合物半导体器件,其中,形成在所述第二绝缘膜上的所述电极接地。

9. 如权利要求 7 所述的化合物半导体器件, 其中, 与所述栅电极不同的电势被提供到形成在所述第二绝缘膜上的所述电极。

10. 如权利要求 7 至 9 中任一项所述的化合物半导体器件, 还包括形成在所述电子渡越层与所述化合物半导体层之间的电子供应层。

11. 如权利要求 7 至 9 中任一项所述的化合物半导体器件, 其中, 所述化合物半导体层的形成有所述凹入部分的部分的剩余厚度为 10nm 或更小。

12. 一种化合物半导体器件的制造方法, 包括步骤:

在电子渡越层上形成化合物半导体层;

在所述化合物半导体层上形成源电极以及漏电极;

在所述化合物半导体层上形成第一绝缘膜;

在所述绝缘膜上形成栅电极;

在所述化合物半导体层的所述源电极与所述漏电极之间的区域内并在所述第一绝缘膜内、并且在与所述栅电极分离的部分处, 形成凹入部分;

沿所述凹入部分的内表面形成第二绝缘膜; 以及

在所述第二绝缘膜上形成电极;

其中, 将形成在所述第二绝缘膜上的所述电极连接到所述源电极; 以及

所述凹入部分下方的二维电子气的密度由来自所述栅电极的电场控制, 并且具有所述二维电子气的沟道的开 / 关通过二维电子气的所述密度来切换。

13. 一种化合物半导体器件的制造方法, 包括步骤:

在电子渡越层上形成化合物半导体层;

在所述化合物半导体层上形成源电极;

在所述化合物半导体层上形成第一绝缘膜;

在所述绝缘膜上形成栅电极;

在所述电子渡越层下形成漏电极;

在所述化合物半导体层的所述源电极与所述栅电极之间的区域内并在所述第一绝缘膜内形成凹入部分;

沿所述凹入部分的内表面形成第二绝缘膜; 以及

在所述第二绝缘膜上形成电极;

其中, 将形成在所述第二绝缘膜上的所述电极连接到所述源电极; 以及

所述凹入部分下方的二维电子气的密度由来自所述栅电极的电场控制, 并且具有所述二维电子气的沟道的开 / 关通过二维电子气的所述密度来切换。

化合物半导体器件及其制造方法

[0001] 本申请是申请号为 200910205387.3、申请日为 2009 年 10 月 21 日、发明名称为“化合物半导体器件及其制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种化合物半导体器件(compound semiconductor device)及其制造方法。

背景技术

[0003] 传统上,进行涉及高电子迁移率晶体管(HEMT)的研究,在 HEMT 中,通过晶体生长工艺在衬底上形成 AlGa_N 层和 Ga_N 层,GaN 层充当电子渡越层(electron transit layer)。GaN 的能带隙(band gap)是 3.4eV,比 GaAs 的能带隙(1.4eV)大。因此,GaN 基 HEMT (GaN based HEMT)的耐受电压高,人们期望将它作为汽车等设备的高耐受电压电子器件。

[0004] 此外,将水平结构和垂直结构作为 GaN 基 HEMT 的结构,在水平结构中,源极和漏极设置为与衬底表面平行,在垂直结构中,源极和漏极设置为与衬底表面垂直。

[0005] 在 GaN 基 HEMT 中,即使在没有向栅电极施加电压的情况下,因为在位于栅电极附近的沟道处存在由于晶格常数之间的差别所致的二维电子气(2DEG),所以电流在沟道中流动,这是 GaN 基 HEMT 的结构所造成的。也就是进行常通运行(normally-on operation)。另一方面,也可以想到,当无意中向栅电极施加“0”(零)V 电压时、当接通电源时、当栅电极破损时或者类似情况下,电流在源极与漏极之间流动。因此,从自动防故障(fail-safe)的角度出发,希望 GaN 基 HEMT 常断运行(normally-off operation)。

[0006] 已经知道,对于具有水平结构的 GaN 基 HEMT,通过在位于栅电极正下方的化合物半导体层处形成有凹入(recess)的一种结构(栅极凹入结构),能实现常断运行。

[0007] 不过,虽然在上述栅极凹入结构中能实现常断运行,但是阈值电压为 1V 或更低,并且即使栅电压为“0”(零)V 也可能产生泄漏电流。此外,如果阈值电压为 1V 或更低,就难以将栅极凹入结构用于施加了高电压的电子器件,这是因为当施加高电压时,噪声增加且运行变得不稳定。通过改变 GaN 基 HEMT 的材料,能增加阈值电压,但是会导致这样的情况:不能获得充足的电流,或者仅仅通过改变材料变得容易出现故障。

[0008] 另一方面,也已经进行了研究以在具有垂直结构的 GaN 基 HEMT 中实现常断运行,但是用任何方法都难以对其实现批量生产。

[0009] 下面列出本发明相关技术的实例:日本特开专利公开 No. 2006-140368;国际公布小册子 No. WO 2006/001369;以及日本应用物理期刊 2007 年第 21 期第 46 卷,页码 L503-L505。

发明内容

[0010] 本发明实施例的目的是提供一种化合物半导体器件及其制造方法,以能在断电时间内降低泄漏电流,并优选地获得高阈值电压。

[0011] 根据实施例的一个方案,第一化合物半导体器件包括:电子渡越层;化合物半导体层,形成在所述电子渡越层上;以及源电极、漏电极以及栅电极,形成在所述化合物半导体层上。在所述化合物半导体层的所述源电极与所述漏电极之间的区域内、并且在与所述栅电极分离的部分处,形成有凹入部分。

[0012] 根据实施例的另一个方案,第二化合物半导体器件包括:电子渡越层;化合物半导体层,形成在所述电子渡越层上;栅电极和源电极,形成在所述化合物半导体层上;以及漏电极,形成在所述电子渡越层下。在所述化合物半导体层的所述源电极与所述栅电极之间的区域内形成有凹入部分。

[0013] 本发明还提供了一种化合物半导体器件的制造方法,包括步骤:在电子渡越层上形成化合物半导体层;在所述化合物半导体层上形成源电极、漏电极以及栅电极;以及在所述化合物半导体层的所述源电极与所述漏电极之间的区域内、并且在与所述栅电极分离的部分处,形成凹入部分。

[0014] 本发明还提供了另一种化合物半导体器件的制造方法,包括步骤:在电子渡越层上形成化合物半导体层;在所述化合物半导体层上形成栅电极和源电极;在所述电子渡越层下形成漏电极;以及在所述化合物半导体层的所述源电极与所述栅电极之间的区域内形成凹入部分。

[0015] 根据实施例的再一个方案,一种化合物半导体器件包括:电子渡越层;化合物半导体层,形成在所述电子渡越层上;源电极以及漏电极,形成在所述化合物半导体层上;第一绝缘膜,形成在所述化合物半导体层上;以及栅电极,形成在所述绝缘膜上;其中,在所述化合物半导体层的所述源电极与所述漏电极之间的区域内并在所述第一绝缘膜内、并且在与所述栅电极分离的部分处,形成有凹入部分;第二绝缘膜,沿所述凹入部分的内表面形成;以及电极,形成在所述第二绝缘膜上。

[0016] 根据实施例的又一个方案,一种化合物半导体器件包括:电子渡越层;化合物半导体层,形成在所述电子渡越层上;源电极,形成在所述化合物半导体层上;第一绝缘膜,形成在所述化合物半导体层上;栅电极,形成在所述绝缘膜上;以及漏电极,形成在所述电子渡越层下;其中,在所述化合物半导体层的所述源电极与所述栅电极之间的区域内并在所述第一绝缘膜内形成有凹入部分;第二绝缘膜,沿所述凹入部分的内表面形成;以及电极,形成在所述第二绝缘膜上。

[0017] 本发明还提供了一种化合物半导体器件的制造方法,包括步骤:在电子渡越层上形成化合物半导体层;在所述化合物半导体层上形成源电极以及漏电极;在所述化合物半导体层上形成第一绝缘膜;在所述绝缘膜上形成栅电极;在所述化合物半导体层的所述源电极与所述漏电极之间的区域内并在所述第一绝缘膜内、并且在与所述栅电极分离的部分处,形成凹入部分;沿所述凹入部分的内表面形成第二绝缘膜;以及在所述第二绝缘膜上形成电极。

[0018] 本发明还提供了另一种化合物半导体器件的制造方法,包括步骤:在电子渡越层上形成化合物半导体层;在所述化合物半导体层上形成源电极;在所述化合物半导体层上形成第一绝缘膜;在所述绝缘膜上形成栅电极;在所述电子渡越层下形成漏电极;在所述化合物半导体层的所述源电极与所述栅电极之间的区域内并在所述第一绝缘膜内形成凹入部分;沿所述凹入部分的内表面形成第二绝缘膜;以及在所述第二绝缘膜上形成电极。

[0019] 利用本发明,能够在断电时间降低泄漏电流,并优选地获得高阈值电压。

附图说明

[0020] 图 1 是剖视图,示出根据第一实施例的 GaN 基 HEMT (化合物半导体器件) 的结构;
[0021] 图 2 是布局图,示出根据第一实施例的 GaN 基 HEMT 的结构;
[0022] 图 3 是能带示意图,示出凹入电极 21r 下方的能量结构;
[0023] 图 4 是曲线图,示出第一实施例中漏电流与栅电压之间的关系;
[0024] 图 5A 至图 5I 是剖视图,按照工艺顺序示出根据第一实施例的 GaN 基 HEMT 的制造方法;
[0025] 图 6 是剖视图,示出根据第二实施例的 GaN 基 HEMT (化合物半导体器件) 的结构;
[0026] 图 7 是布局图,示出根据第二实施例的 GaN 基 HEMT 的结构;
[0027] 图 8 是曲线图,示出第二实施例中漏电流与栅电压之间的关系;
[0028] 图 9A 至图 9C 是剖视图,按照工艺顺序示出根据第二实施例的 GaN 基 HEMT 的制造方法;
[0029] 图 10 是剖视图,示出根据第三实施例的 GaN 基 HEMT (化合物半导体器件) 的结构;
[0030] 图 11 是布局图,示出根据第三实施例的 GaN 基 HEMT 的结构;
[0031] 图 12A 至图 12N 是剖视图,按照工艺顺序示出根据第三实施例的 GaN 基 HEMT 的制造方法。

具体实施方式

[0032] 第一实施例

[0033] 首先描述第一实施例。图 1 是剖视图,示出根据第一实施例的 GaN 基 HEMT (化合物半导体器件) 的结构。

[0034] 第一实施例中,在衬底 1 上形成厚约 $1\mu\text{m}$ 至 $100\mu\text{m}$ (例如 $25\mu\text{m}$) 的无掺杂 i-AlN 层 2,衬底 1 例如是 n 型导电单晶 SiC 衬底。i-AlN 层 2 的表面处存在较大的凹陷和凸起。在 i-AlN 层 2 上形成厚度为 100nm 或以下 (例如 20nm 至 50nm) 的无掺杂 i-AlN 层 3。在 i-AlN 层 3 上形成厚约 $0.1\mu\text{m}$ 至 $10\mu\text{m}$ (例如 $0.5\mu\text{m}$) 的 GaN 层 4。GaN 层 4 中含有过渡金属元素 Fe 作为杂质。Fe 的含量比例例如为大约 $1\times 10^{18}\text{cm}^{-3}$ 至 $1\times 10^{20}\text{cm}^{-3}$ 。GaN 层 4 厚约 $0.1\mu\text{m}$ 至 $10\mu\text{m}$,因此,即使 i-AlN 层 2 的表面处存在凹陷和凸起,GaN 层 4 的表面也是平坦的。在 GaN 层 4 上形成厚约 $0.1\mu\text{m}$ 至 $10\mu\text{m}$ 的无掺杂 i-GaN 层 5。i-GaN 层 5 不含 Fe。在 i-GaN 层 5 上形成厚约 5nm 至 50nm 的 n 型 n-AlGaIn 层 6。在 n-AlGaIn 层 6 上形成厚约 0.1nm 至 10nm 的 n 型 n-GaN 层 7。例如,n-AlGaIn 层 6 和 n-GaN 层 7 中含有 Si 作为杂质,杂质浓度大约为 $5\times 10^{17}\text{cm}^{-3}$ 至 $5\times 10^{19}\text{cm}^{-3}$ 。

[0035] 在 n-AlGaIn 层 6 和 n-GaN 层 7 中形成沟槽 11 用于元件隔离,在沟槽 11 中嵌入元件隔离绝缘膜 12。在 n-GaN 层 7 上形成源电极 21s 和漏电极 21d。源电极 21s 和漏电极 21d 例如可由 Ta 膜和在 Ta 膜上形成的 Al 膜构成,并且源电极 21s 和漏电极 21d 与 n-GaN 层 7 形成欧姆结 (ohmic junction)。

[0036] 此外,形成覆盖 n-GaN 层 7、源电极 21s 和漏电极 21d 的 SiN 膜 22,在源电极 21s 与漏电极 21d 之间的 SiN 膜 22 上形成栅电极 21g。SiN 膜 22 厚约 10nm 至 2000nm 。此外,

在源电极 21s 与栅电极 21g 之间的 SiN 膜 22 中形成开口,在 n-GaN 层 7 的从这个开口暴露出来的部分处形成凹入部分 7a。凹入部分 7a 既可以在 n-GaN 层 7 截止,也可以一直延伸到 n-AlGaIn 层 6。形成从凹入部分 7a 向上延伸的凹入电极 21r。栅电极 21g 和凹入电极 21r 例如可由 Ni 膜和在 Ni 膜上形成的 Au 膜构成,并且凹入电极 21r 与 n-GaN 层 7 形成肖特基结。

[0037] 此外,源电极 21s 和凹入电极 21r 接地。

[0038] 如上所述,构成一片 GaN 基 HEMT。此外,将多个如上所述的 GaN 基 HEMT 设置为经由元件隔离绝缘膜 12 排列在一个方向上,如图 2 所示。元件隔离绝缘膜 12 所包围的区域是元件区 10。也可以将多个 GaN 基 HEMT 设置为经由元件隔离绝缘膜 12 排列在两个方向上。

[0039] 在如上所述的第一实施例中,通过因晶格失配所致的压电效应,在 i-GaN 层 5 与 n-AlGaIn 层 6 之间的界面附近感应出电子。结果,出现二维电子气(2DEG),并且这一部分充当电子渡越层,而 n-AlGaIn 层 6 充当电子供应层。此外, i-AlN 层 2 充当绝缘层,在衬底 1 与包括 i-GaN 层 5 的化合物半导体层之间形成绝缘。顺便提及, i-GaN 层 5 的厚度优选为 $0.5\mu\text{m}$ 或更大,使得 i-GaN 层 5 中的二维电子气不容易受到添加在 GaN 层 4 中的 Fe 的影响。

[0040] 如上所述,在 i-GaN 层 5 的表面层部分出现二维电子气,但是在本实施例中,与 n-GaN 层 7 形成肖特基结的凹入电极 21r 设置在凹入部分 7a 内,并且凹入电极 21r 接地。因此,二维电子气不会存在于凹入电极 21r 下方的 i-GaN 层 5 的表面层部分。因此,在不向栅电极 21g 施加电压并且电场也几乎不(seldom)存在于栅电极 21g 与源电极 21s 之间的情况下,泄漏电流不会在源电极 21s 与漏电极 21d 之间流动。也就是说实现了常断运行。此外,如果不向栅电极 21g 施加比传统电压更高的电压,那么电流就不会流动,因为二维电子气不存在于凹入电极 21r 下方的 i-GaN 层 5 的表面层部分。也就是说阈值电压增加。

[0041] 图 3 是能带示意图,示出凹入电极 21r 下方的能量结构。如图 3 所示,在不向栅电极 21g 施加电压的情况下,在 i-GaN 层 5 的凹入电极 21r 侧的导带(conduction band)被向上拉起,二维电子气不能存在于此。另一方面,当向栅电极 21g 施加预定电压(例如 5V)时,导带变成近似平坦,并且电流流动。如上所述,实现常断运行。

[0042] 图 4 是曲线图,示出第一实施例中漏电流(drain current)与栅电压之间的关系。这个曲线图表示当源电极 21s 和凹入电极 21r 接地并且向漏电极 21d 施加 +20V 的电压时的仿真结果。如图 4 所示,阈值电压 V_{th} 超过 2V,当向栅电极 21g 施加的电压(栅电压)为“0”(零)V 时,漏电流为“0”(零)A/m。

[0043] 如上所述,根据第一实施例,能获得高阈值电压,并当栅电压为“0”(零)V 时降低泄漏电流。

[0044] 下面描述根据第一实施例的 GaN 基 HEMT (化合物半导体器件)的制造方法。图 5A 至图 5I 是剖视图,按照工艺顺序示出根据第一实施例的 GaN 基 HEMT (化合物半导体器件)的制造方法。

[0045] 第一实施例中,首先,例如通过氢化物气相外延(HVPE)方法在衬底 1 上形成 i-AlN 层 2,如图 5A 所示。此时,例如用三甲基铝气体、氨气以及 HCl 气体作为源气体,将生长压力设定为大气压,将生长速度设定为 $100\mu\text{m/h}$ 。

[0046] 然后,例如通过金属有机化学气相沉积(MOCVD)方法,在 i-AlN 层 2 上依次形成 i-AlN 层 3、GaN 层 4、i-GaN 层 5、n-AlGaIn 层 6 以及 n-GaN 层 7。形成这些层以后,将三甲基铝气体用作 Al 的材料,将三甲基镓气体用作 Ga 的材料,将氨气用作 N 的材料。此外,将氨气的流速例如设定为 100ccm 至 10LM。此外,将生长压力设定为 50Torr 至 300Torr,将生长温度设定为 1000℃至 1200℃。当形成含 Fe 的 GaN 层 4 时,例如将含 Fe 的金属有机材料(例如二茂铁(ferrocene))用作 Fe 的材料。此外,当形成 n-AlGaIn 层 6 和 n-GaN 层 7 时,例如将稀释的 SiH₄用作 Si 的材料。将稀释的 SiH₄的流速例如设定为几个 ccm。

[0047] 然后,通过光刻法和蚀刻工艺,形成穿透 n-GaN 层 7 和 n-AlGaIn 层 6 并到达 i-GaN 层 5 的沟槽 11,如图 5B 所示。然后,例如通过等离子体 CVD 方法在沟槽 11 中嵌入元件隔离绝缘膜 12。顺便提及,可通过 Ar 等元素的离子注入工艺形成元件隔离区,而不是形成沟槽 11 和元件隔离绝缘膜 12。

[0048] 然后通过举离(lift-off)法在 n-GaN 层 7 上形成源电极 21s 和漏电极 21d,如图 5C 所示。形成新的抗蚀剂图案(敞开用以形成源电极 21s 和漏电极 21d 的区域),进行 Ta 和 Al 的气相沉积,然后,将粘附在抗蚀剂图案上的 Ta 和 Al 与抗蚀剂图案一起去除,从而形成源电极 21s 和漏电极 21d。Ta 膜和 Al 膜的厚度例如分别大约是 20nm 和 200nm。在氮化物环境(atmosphere)下进行 400℃至 1000℃(例如 600℃)的热处理,从而建立欧姆特性。

[0049] 然后,例如通过等离子体 CVD 方法在整个表面上形成 SiN 膜 22,如图 5D 所示。

[0050] 然后,在 SiN 膜 22 上形成抗蚀剂图案 31,该抗蚀剂图案 31 的开口 31a 对应于要形成凹入部分 7a 的区域,并且抗蚀剂图案 31 覆盖其它区域,如图 5E 所示。

[0051] 然后,用抗蚀剂图案 31 作为掩模,通过蚀刻 SiN 膜 22,在 SiN 膜 22 中形成开口,然后进一步蚀刻 n-GaN 层 7 的表面层部分,形成凹入部分 7a,如图 5F 所示。n-GaN 层 7 的形成了凹入部分 7a 的部分的剩余厚度优选为 10nm 或更小,将它设定为例如大约 5nm 至 10nm。然后将抗蚀剂图案 31 去除。此外优选地, n-GaN 层 7 的形成了凹入部分 7a 的部分的厚度(剩余厚度)与其它部分的厚度之间的差为 5nm 或更大。优选将剩余厚度设定为 10nm 或更小的原因在于:如果剩余厚度超过 10nm,则可能有不能充分抑制二维电子气的出现这样的情况。此外,优选将厚度差设定为 5nm 或更大的原因在于,如果厚度差小于 5nm,则可能有凹入的效果不能完全实现并且常断运行变困难这样的情况。

[0052] 然后,在 SiN 膜 22 上形成抗蚀剂图案 32,该抗蚀剂图案 32 的开口 32g 对应于要形成栅电极 21g 的区域,抗蚀剂图案 32 的开口 32a 暴露凹入部分 7a,并且抗蚀剂图案 31 覆盖其它区域,如图 5G 所示。

[0053] 然后,通过进行 Ni 和 Au 的气相沉积,形成栅电极 21g 和凹入电极 21r,如图 5H 所示。Ni 膜和 Au 膜的厚度例如分别大约是 10nm 和 300nm。

[0054] 然后,将粘附在抗蚀剂图案 32 上的 Ni 和 Au 与抗蚀剂图案 32 一起去除,如图 5I 所示。这样,可通过举离法形成栅电极 21g 和凹入电极 21r。

[0055] 然后,形成将源电极 21s 和凹入电极 21r 接地的布线等元件。

[0056] 如上所述,完成根据第一实施例的 GaN 基 HEMT。然后,如果必要的话通过形成钝化膜、外部电极等元件,完成其中集成了多个 GaN 基 HEMT 的半导体器件。

[0057] 第一实施例中,凹入电极 21r 与源电极 21s 相互分离,在它们之间存在有 SiN 膜 22,但是凹入电极 21r 与源电极 21s 可以直接接触。

[0058] 第二实施例

[0059] 下面描述第二实施例。图 6 是剖视图,示出根据第二实施例的 GaN 基 HEMT (化合物半导体器件) 的结构。

[0060] 第二实施例中不设置在第一实施例中设置了的凹入电极 21r。但是,在凹入部分 7a 周围存在有捕捉电子的损坏部分(damage)。其它构造与第一实施例相同。

[0061] 如上所述构造一片 GaN 基 HEMT。此外,将多个 GaN 基 HEMT 设置为经由元件隔离绝缘膜 12 排列在一个方向上,如图 7 所示。元件隔离绝缘膜 12 所包围的区域是元件区 10。也可以将多个 GaN 基 HEMT 设置为经由元件隔离绝缘膜 12 排列在两个方向上。

[0062] 与第一实施例相同,在如上所述的第二实施例中,在 i-GaN 层 5 的表面层部分出现二维电子气,并且二维电子气不会存在于凹入部分 7a 下方的 i-GaN 层 5 的表面层部分。这是因为电子被凹入部分 7a 周围的损坏部分所捕捉,建立起了电荷平衡。

[0063] 图 8 是曲线图,示出第二实施例中漏电流与栅电压之间的关系。这个曲线图表示当源电极 21s 和凹入电极 21r 接地并且向漏电极 21d 施加 +20V 的电压时的仿真结果。如图 8 所示,阈值电压 V_{th} 约为 1V,但是当向栅电极 21g 施加的电压(栅电压)为“0”(零)V 时,漏电流为“0”(零)A/m。

[0064] 如上所述,通过第二实施例也能减少栅电压为“0”(零)V 时的泄漏电流。此外,该结构与第一实施例相比更简单,因此其制造更容易,成本更低。

[0065] 下面描述根据第二实施例的 GaN 基 HEMT (化合物半导体器件)的制造方法。图 9A 至图 9C 是剖视图,按照工艺顺序示出根据第二实施例的 GaN 基 HEMT (化合物半导体器件)的制造方法。

[0066] 第二实施例中,首先,与第一实施例相同,执行工艺直到形成凹入部分 7a。顺便提及,例如,当形成凹入部分 7a 时,进行干蚀刻,例如使用氯气的反应离子蚀刻(RIE)。此外,将压力设定为大约 0.1Pa 至 10Pa(例如 2Pa),将氯气的流速设定为大约 0.1sccm 至 10sccm(例如 2.5sccm)。在上述条件下处理 n-GaN 层 7,因此,形成凹入部分 7a,其周围存在有很多捕捉电子的阱(trap)。

[0067] 然后,将用于形成凹入部分 7a 的抗蚀剂图案 31 去除,然后在 SiN 膜 22 上形成抗蚀剂图案 42,该抗蚀剂图案 42 的开口 42g 对应于要形成栅电极 21g 的区域,并且抗蚀剂图案 42 覆盖了其它区域,如图 9A 所示。

[0068] 然后,通过进行 Ni 和 Au 的气相沉积形成栅电极 21g,如图 9B 所示。Ni 膜和 Au 膜的厚度例如分别大约是 10nm 和 300nm。

[0069] 然后,将粘附在抗蚀剂图案 42 上的 Ni 和 Au 与抗蚀剂图案 42 一起去除,如图 9C 所示。可通过如上所述的举离法形成栅电极 21g。

[0070] 如上所述,完成根据第二实施例的 GaN 基 HEMT。

[0071] 在第一实施例和第二实施例中,可以只在 n-GaN 层 7 中形成用于源电极的开口和用于漏电极的开口,并且可在这些开口中形成源电极 21s 和漏电极 21d。关于这些开口的深度,一部分 n-GaN 层 7 可保留,或者一部分 n-AlGaIn 层 6 可被去除。也就是说,开口的深度不必与 n-GaN 层 7 的厚度匹配。

[0072] 此外,栅电极 21g 与 n-GaN 层 7 可直接接触,并且栅电极 21g 可与 n-GaN 层 7 形成肖特基结。此外,在栅电极 21g 下方的 n-GaN 层 7 也可以形成凹入部分。也就是说,可以使

用栅极凹入结构。上述凹入部分的深度可以与 n-GaN 层 7 的厚度匹配,或者,这个深度既可以比 n-GaN 层 7 的厚度浅,也可以比 n-GaN 层 7 的厚度深。应当注意,优选平坦地进行蚀刻。当使用栅极凹入结构以后,它适合于高速运行,因为响应变为高速。另一方面,当没有使用栅极凹入结构时,可以更可靠地抑制泄漏电流。因此,可以按照用途来选择是否采用栅极凹入结构。

[0073] 在凹入电极 21r 与 n-GaN 层 7 之间可以存在有绝缘膜。也就是说,它可以是 MIS 结构。例如,可以采用 SiN 膜、SiO₂膜、HfO 膜、HfNO 膜、Al₂O₃膜、TaO 膜等等作为绝缘膜。绝缘膜的厚度例如为大约 0.1nm 至 50nm。因为绝缘膜的厚度小于 0.1nm 时,绝缘膜可能形成岛状或其它形状,所以可能有泄漏电流反而增加或者可靠性下降这样的情况。因为绝缘膜的厚度超过 50nm 时,凹入电极 21r 与 n-AlGaIn 层 6 之间的距离变得太大,所以可能有不能完全抑制二维电子气的出现这样的情况。

[0074] 即使将凹入电极 21r 设置在栅电极 21g 与漏电极 21d 之间,也可以抑制二维电子气的出现。应当注意,在上述构造中,有因为向漏电极 21d 施加高电压,所以耐受电压容易变低这样的情况,还有变得难以有效抑制二维电子气的出现这样的情况。因此,优选将凹入电极 21r 设置在栅电极 21g 与源电极 21s 之间。

[0075] 可以采用碳化硅(SiC)衬底、蓝宝石衬底、硅衬底、GaN 衬底、GaAs 衬底等等作为衬底 1。衬底 1 既可以是导电的、半绝缘的,也可以是绝缘的。

[0076] 第三实施例

[0077] 下面描述第三实施例。根据第一实施例和第二实施例的 GaN 基 HEMT 的结构是水平结构,但是根据第三实施例的 GaN 基 HEMT 的结构是垂直结构。图 10 是剖视图,示出根据第三实施例的 GaN 基 HEMT (化合物半导体器件)的结构。

[0078] 第三实施例中,在 n 型 n-GaN 层 51 上形成无掺杂 i-AlN 层 52, i-AlN 层 52 具有开口 52a。n-GaN 层 51 厚约 0.1 μm 至 100 μm (例如 25 μm), i-AlN 层 52 厚约 0.02 μm 至 20 μm。作为电流通行区域的开口 52a 的平面形状例如是水平方向和垂直方向的长度分别是 0.5 μm 和 500 μm 的矩形。n-GaN 层 51 含有过渡金属元素 Fe 作为杂质。Fe 的含量比约为 $1 \times 10^{17} \text{cm}^{-3}$ 至 $5 \times 10^{19} \text{cm}^{-3}$ 。在开口 52a 中形成 GaN 膜 53。

[0079] 然后,在 i-AlN 层 52 和 GaN 层 53 上形成无掺杂 i-GaN 层 54、n 型 n-AlGaIn 层 55 以及 n 型 n-GaN 层 56。i-GaN 层 54 厚约 1 μm 至 2 μm。n-AlGaIn 层 55 厚约 20nm 至 30nm。n-GaN 层 56 厚约 3nm 至 8nm。例如, n-AlGaIn 层 55 和 n-GaN 层 56 中含有 Si 作为杂质,浓度约为 $1 \times 10^{17} \text{cm}^{-3}$ 至 $5 \times 10^{19} \text{cm}^{-3}$ 。

[0080] 在 n-AlGaIn 层 55 和 n-GaN 层 56 中形成沟槽 61 用于元件隔离,在沟槽 61 中嵌入元件隔离绝缘膜 62。在 n-GaN 层 56 上形成平面形状为方形的源电极 71s。源电极 71s 例如可由 Ta 膜和在 Ta 膜上形成的 Al 膜构成,并且源电极 71s 与 n-GaN 层 56 形成欧姆结。

[0081] 然后,形成覆盖 n-GaN 层 56 和源电极 71s 的 SiN 膜 72,在被源电极 71s 包围的区域中的 SiN 膜 72 上形成栅电极 71g。SiN 膜 72 厚约 1nm 至 2000nm。此外,在源电极 71s 与栅电极 71g 之间的 SiN 膜 72 中形成开口,在 n-GaN 层 56 的从该开口暴露出来的部分处形成凹入部分 56a。形成从凹入部分 56a 向上延伸的凹入电极 71r。栅电极 71g 和凹入电极 71r 例如可由 Ni 膜和在 Ni 膜上形成的 Au 膜构成,并且凹入电极 71r 与 n-GaN 层 56 形成肖特基结。

[0082] 此外,源电极 71s 和凹入电极 71r 接地。

[0083] 然后,在 n-GaN 层 51 的后表面形成漏电极 71d。漏电极 71d 例如可由 Ta 膜和在 Ta 膜上形成的 Al 膜构成,并且漏电极 71d 与 n-GaN 层 51 形成欧姆结。

[0084] 如上所述,构成一片 GaN 基 HEMT。此外,将多个如上所述的 GaN 基 HEMT 设置为经由元件隔离绝缘膜 62 排列在一个方向上,如图 11 所示。元件隔离绝缘膜 62 所包围的区域是元件区 60。也可以将多个 GaN 基 HEMT 设置为经由元件隔离绝缘膜 62 排列在两个方向上。

[0085] 在如上所述的第三实施例中,n-AlGaIn 层 55 充当电子供应层,向 i-GaN 层 54 (电子渡越层) 供应电子。n-AlGaIn 层 55 的能带隙较宽,因此,在 i-GaN 层 54 与 n-AlGaIn 层 55 的界面附近的区域处的 i-GaN 层 54 中形成深势阱,并且在此出现二维电子气(2DEG)。此外,i-AlN 层 52 充当绝缘层,在包括 i-GaN 层 54 的化合物半导体层与 n-GaN 层 51 和漏电极 71d 之间形成绝缘。顺便提及,i-GaN 层 54 的厚度优选为 0.5 μm 或更大,使得 i-GaN 层 54 内的二维电子气不容易受到添加在 n-GaN 层 51 中的 Fe 的影响。

[0086] 如上所述,i-GaN 层 54 的表面层部分出现二维电子气,但是在本实施例中,与 n-GaN 层 56 形成肖特基结的凹入电极 71r 设置在凹入部分 56a 中,并且凹入电极 71r 接地。因此与第一实施例中原因相同,二维电子气不会存在于凹入电极 71r 下方的 i-GaN 层 54 的表面层部分。因此,在不向栅电极 71g 施加电压,并且电场也几乎不存在于栅电极 71g 与源电极 71s 之间的情况下,泄漏电流不会在源电极 71s 与漏电极 71d 之间流动。也就是说实现了常断运行。此外,如果不向栅电极 71g 施加比传统电压更高的电压,那么电流就不会流动,因为二维电子气不存在于凹入电极 71r 下方的 i-GaN 层 54 的表面层部分。也就是说与第一实施例中原因相同,阈值电压增加。

[0087] 根据第三实施例,在垂直结构中,除了也能实现常断运行之外,还能获得高阈值电压,并当栅电压为“0”(零)V 时降低泄漏电流。

[0088] 下面描述根据第三实施例的 GaN 基 HEMT(化合物半导体器件)的制造方法。图 12A 至图 12N 是剖视图,按照工艺顺序示出根据第三实施例的 GaN 基 HEMT(化合物半导体器件)的制造方法。

[0089] 首先,通过 HVPE 方法在 n-GaN 层 51 上形成 i-AlN 层 52,如图 12A 所示。

[0090] 然后,在 i-AlN 层 52 中形成开口 52a,如图 12B 所示。关于形成开口 52a,例如,在 i-AlN 层 52 上形成暴露出要形成开口 52a 的区域的抗蚀剂图案,用此抗蚀剂图案作为掩模对 i-AlN 层 52 进行蚀刻。然后,将抗蚀剂图案去除。

[0091] 然后,例如通过 MOCVD 方法在开口 52a 中形成 GaN 层 53,如图 12C 所示。

[0092] 然后,例如通过 MOCVD 方法在 i-AlN 层 52 和 GaN 层 53 上依次形成 i-GaN54、n-AlGaIn55 以及 n-GaN 层 56,如图 12D 所示。

[0093] 然后,通过光刻法和蚀刻工艺,形成穿透 n-GaN 层 56 和 n-AlGaIn 层 55 并到达 i-GaN 层 54 的沟槽 61,如图 12E 所示。然后,例如通过等离子体 CVD 方法在沟槽 61 内嵌入元件隔离绝缘膜 62。顺便提及,可通过 Ar 等元素的离子注入工艺形成元件隔离区,而不是形成沟槽 61 和元件隔离绝缘膜 62。

[0094] 然后通过举离法在 n-GaN 层 56 上形成源电极 71s,如图 12F 所示。形成源电极 71s 时,形成新的抗蚀剂图案(敞开要形成源电极 71s 的区域),进行 Ta 和 Al 的气相沉积,然后,

将粘附在抗蚀剂图案上的 Ta 和 Al 与抗蚀剂图案一起去除。Ta 膜和 Al 膜的厚度例如分别设定为大约 20nm 和 200nm。在氮化物环境下进行 400℃ 至 1000℃ (例如 600℃) 的热处理, 从而建立欧姆特性。

[0095] 然后, 例如通过等离子体 CVD 方法在整个表面上形成 SiN 膜 72, 如图 12G 所示。

[0096] 然后, 在 SiN 膜 72 上形成抗蚀剂图案 81, 该抗蚀剂图案 81 的开口 81a 对应于要形成凹入部分 56a 的区域, 并且抗蚀剂图案 81 覆盖其它区域, 如图 12H 所示。

[0097] 然后, 用抗蚀剂图案 81 作为掩模, 通过蚀刻 SiN 膜 72, 在 SiN 膜 72 中形成开口, 如图 12I 所示, 然后蚀刻 n-GaN 层 56 的表面层部分, 形成凹入部分 56a。n-GaN 层 56 的形成了凹入部分 56a 的部分的剩余厚度优选为 10nm 或更小, 将它设定为例如大约 5nm 至 10nm。然后将抗蚀剂图案 81 去除。

[0098] 然后, 在 SiN 膜 72 上形成抗蚀剂图案 82, 该抗蚀剂图案 82 的开口 82g 对应于要形成栅电极 71g 的区域, 抗蚀剂图案 82 的开口 82a 暴露凹入部分 56a, 并且抗蚀剂图案 82 覆盖其它区域, 如图 12J 所示。

[0099] 然后, 通过进行 Ni 和 Au 的气相沉积, 形成栅电极 71g 和凹入电极 71r, 如图 12K 所示。Ni 膜和 Au 膜的厚度例如分别大约是 10nm 和 300nm。

[0100] 然后, 将粘附在抗蚀剂图案 82 上的 Ni 和 Au 与抗蚀剂图案 82 一起去除, 如图 12L 所示。如上所述, 可通过举离法形成栅电极 71g 和凹入电极 71r。

[0101] 然后, 在 n-GaN 层 51 的前表面侧的整个表面上形成表面保护层 83, 如图 12M 所示, 并将 n-GaN 层 51 前后翻转。然后, 在 n-GaN 层 51 的后表面的整个表面上形成漏电极 71d。

[0102] 然后, 将 n-GaN 层 51 前后翻转, 如图 12N 所示, 然后将表面保护层 83 去除。

[0103] 然后, 形成将源电极 71s 和凹入电极 71r 接地的布线等元件。

[0104] 如上所述, 完成根据第三实施例的 GaN 基 HEMT。然后, 如果必要的话通过形成钝化膜、外部电极等元件, 完成其中集成了多个 GaN 基 HEMT 的半导体器件。

[0105] 顺便提及, 第三实施例中可使用 n 型导电 GaN 衬底作为 n-GaN 层 51。此外, 可在导电衬底上形成 n-GaN 层 51。

[0106] 此外, 只在 n-GaN 层 56 中形成用于源电极的开口, 在该开口中可形成源电极 71s。关于开口的深度, 可保留一部分 n-GaN 层 56, 或者可去除一部分 n-AlGaIn 层 55。也就是说, 开口的深度不必与 n-GaN 层 56 的厚度匹配。

[0107] 此外, 栅电极 71g 与 n-GaN 层 56 可以直接接触, 并且栅电极 71g 可以与 n-GaN 层 56 形成肖特基结。此外, 也可以在栅电极 71g 下方的 n-GaN 层 56 中形成凹入部分。也就是说, 可以使用栅极凹入结构。上述凹入部分的深度可以与 n-GaN 层 56 的厚度匹配, 或者, 这个深度可以比 n-GaN 层 56 的厚度浅。应当注意, 优选平坦地进行蚀刻。当使用栅极凹入结构以后, 它适合于高速运行, 因为响应变为高速。另一方面, 当没有使用栅极凹入结构时, 可以更可靠地抑制泄漏电流。因此, 可以按照用途来选择是否采用栅极凹入结构。

[0108] 顺便提及, 栅电极、源电极、漏电极以及凹入电极的结构并不限于上述实施例。例如, 可通过单一层来构成这些电极。此外, 它们的形成方法并不限于举离法。此外, 只要能获得欧姆特性, 形成源电极和漏电极以后可以不进行热处理。对栅电极和凹入电极可进行热处理。可采用金、镍、铂、铜、氮化钨、氮化钛、钽、钴、铈、镱、以及铪中的一种或者两种或更多的组合物作为栅电极和凹入电极的材料。

[0109] 每个层的厚度、材料等等并不限于上述实施例。此外，凹入电极不必连接到源电极，并且，只要向它提供的电势不同于栅电极的电势，其也不必接地。

[0110] 优选在源电极与栅电极之间设置相对介电常数为 3 或更小的绝缘膜。例如，可采用多孔 SiOH 膜、氟化碳膜、有机硅石膜等等作为上述绝缘膜。

[0111] 根据上述化合物半导体器件等等，在断电时间内可减少泄漏电流，因为由于肖特基电极的影响能够局部地抑制二维电子气的出现。

[0112] 本发明中陈述的所有实例和条件性语言是为了教导的目的，以帮助读者理解本发明的原理和发明人提出的改进现有技术的概念，并且应将本发明中陈述的所有实例和条件性语言解释为不限制这样具体陈述的实例和条件，说明书中这些实例的构成也并非涉及显示本发明的优势和不足。虽然已经详细描述了本发明的实施例(多个实施例)，但是应当理解，可以做出各种变化、替代和改变而不脱离本发明的精神和范围。

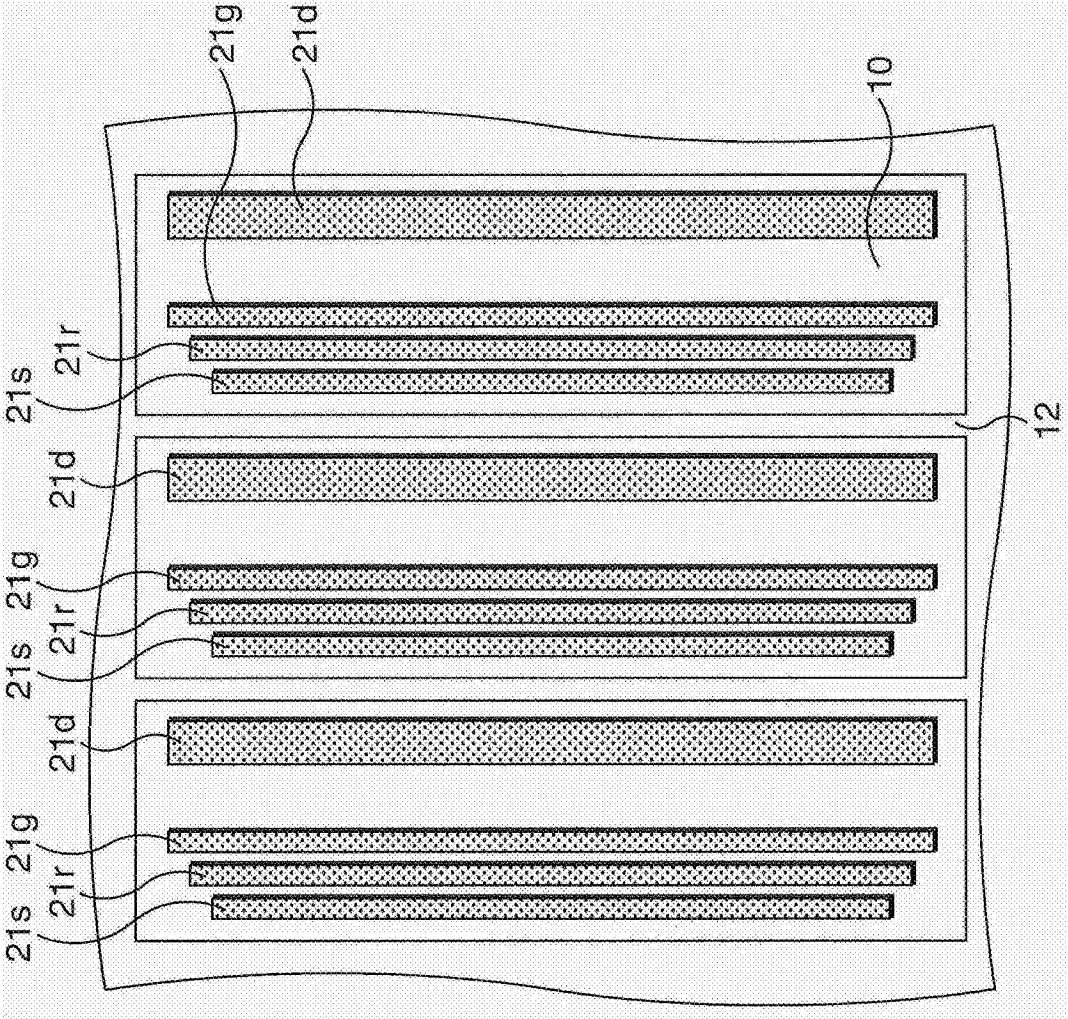


图 2

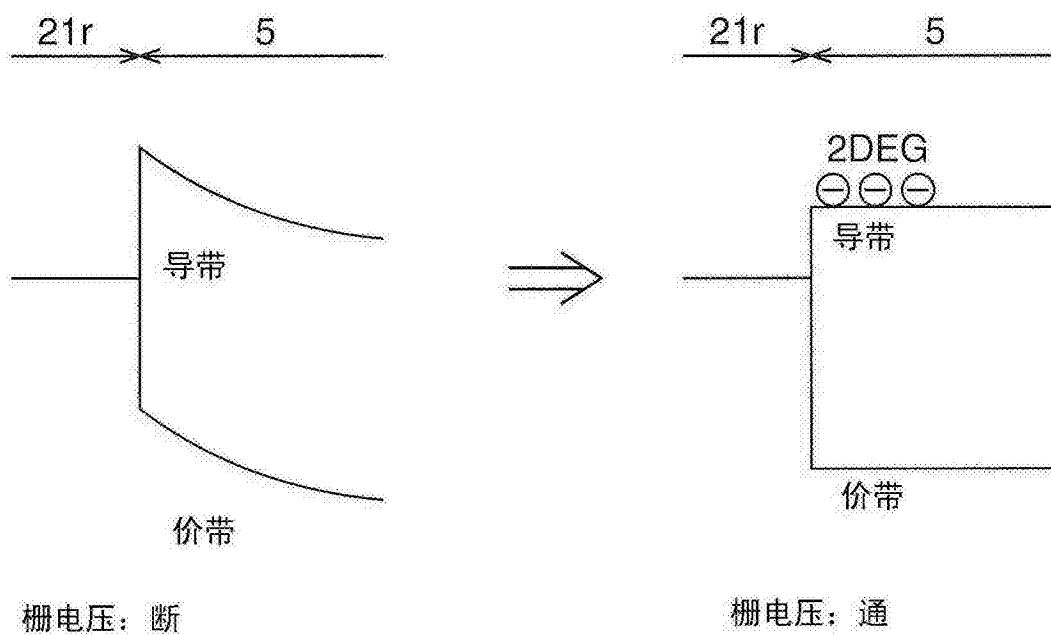


图 3

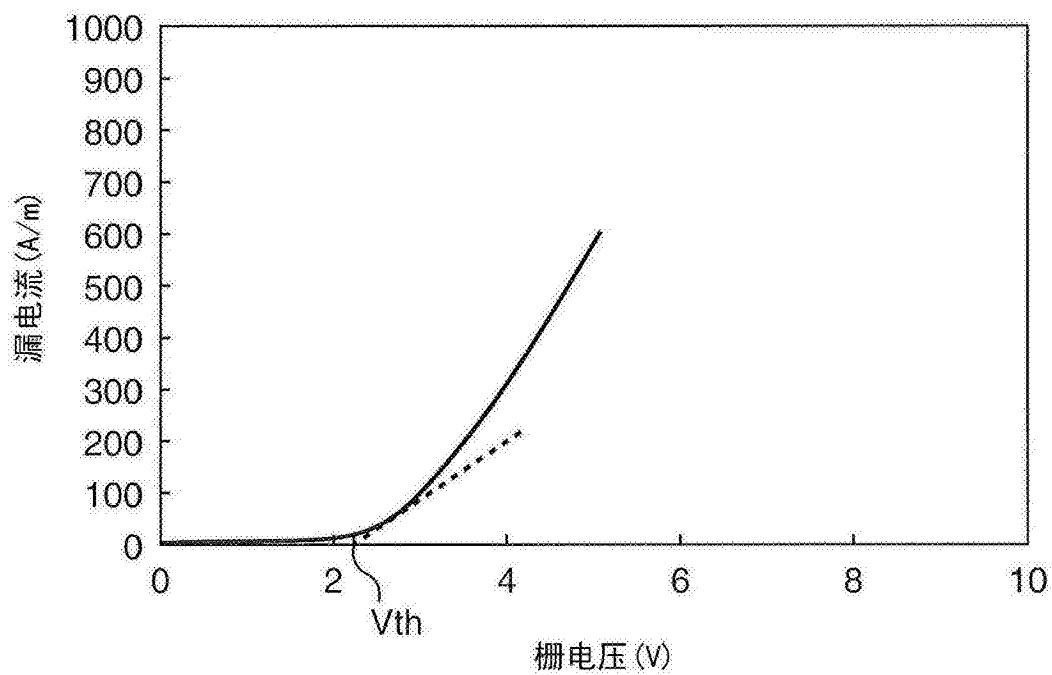


图 4

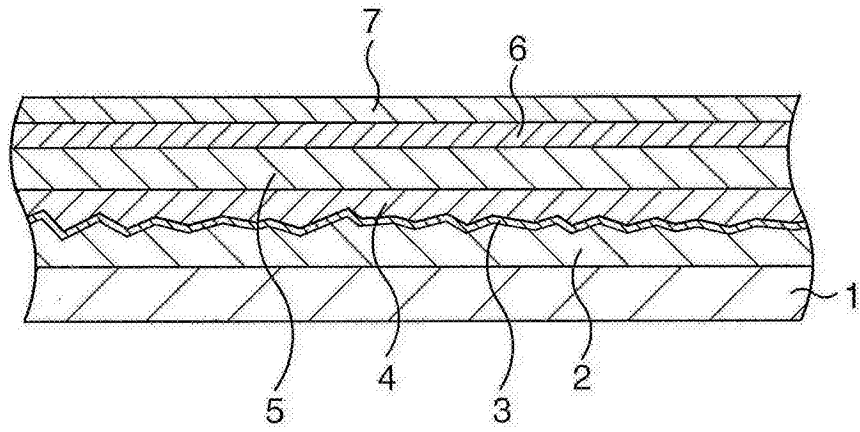


图 5A

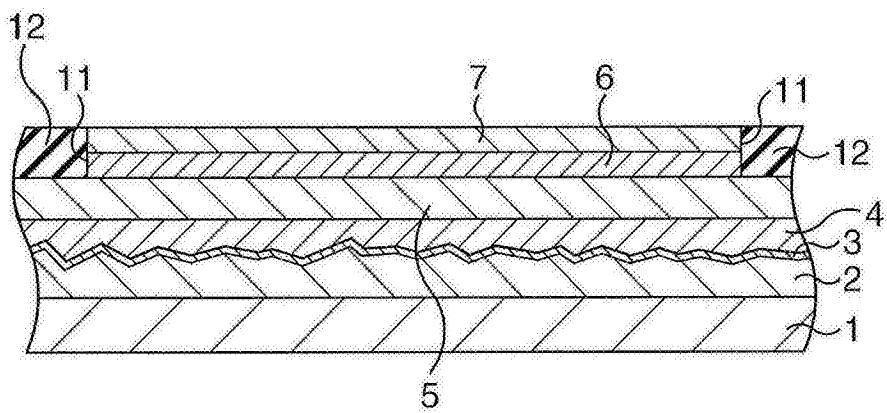


图 5B

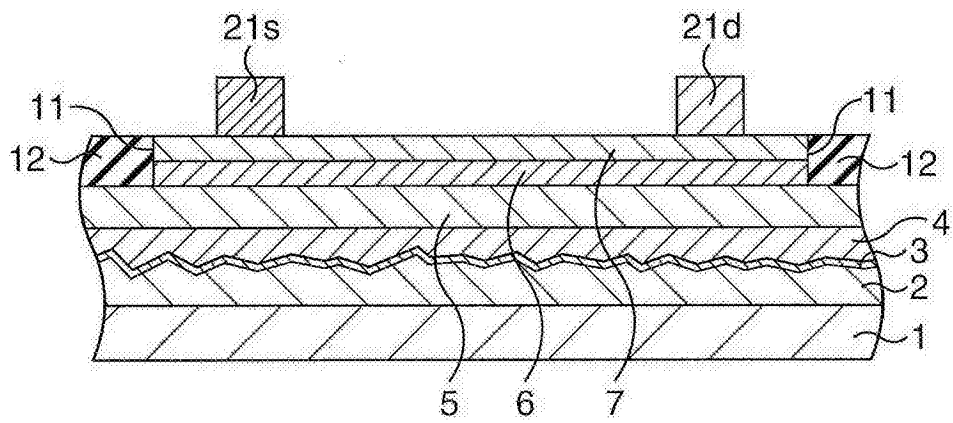


图 5C

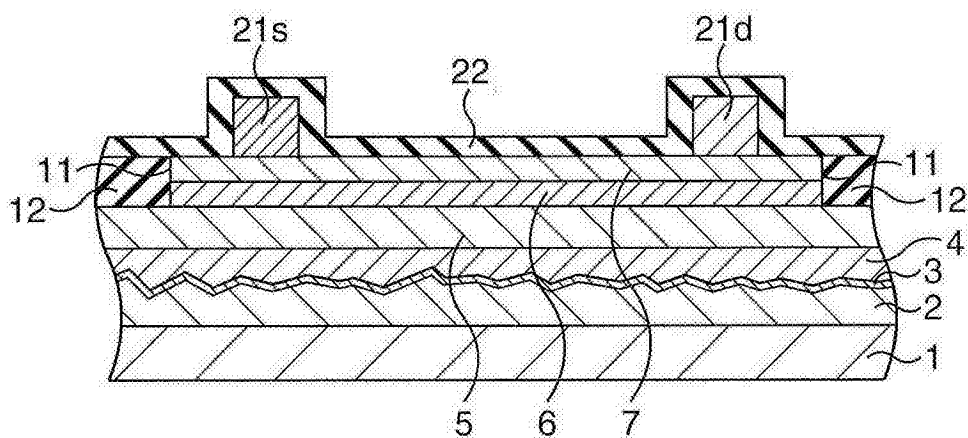


图 5D

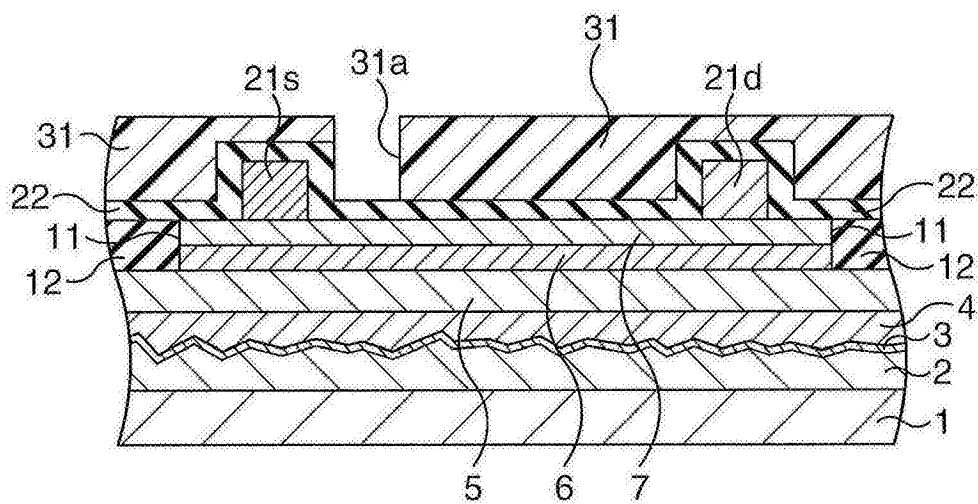


图 5E

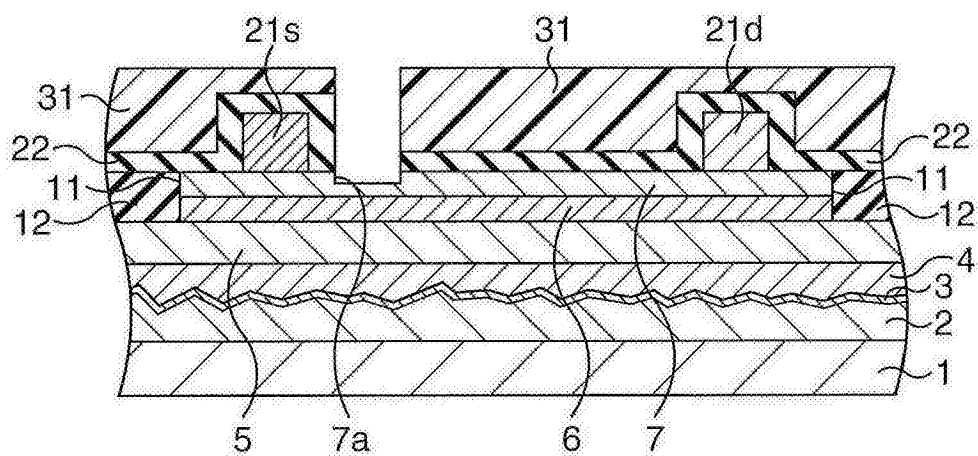


图 5F

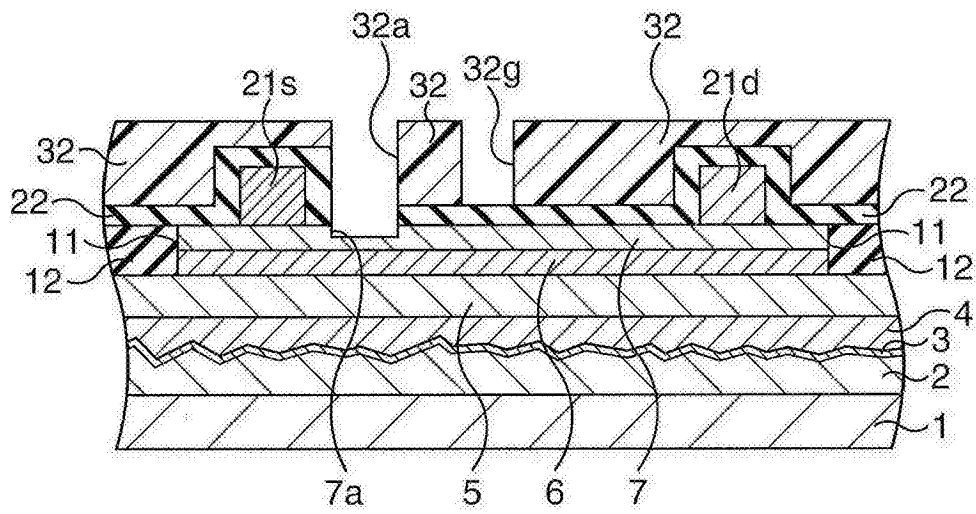


图 5G

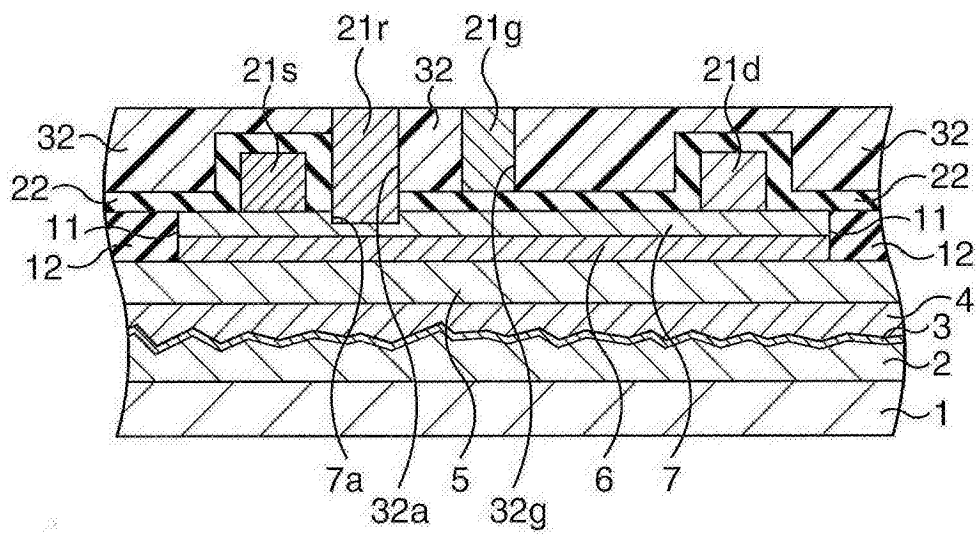


图 5H

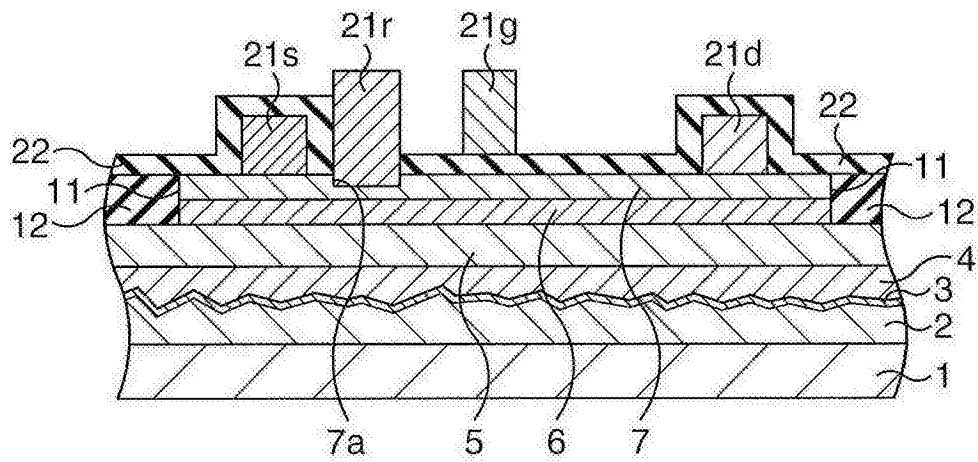


图 5I

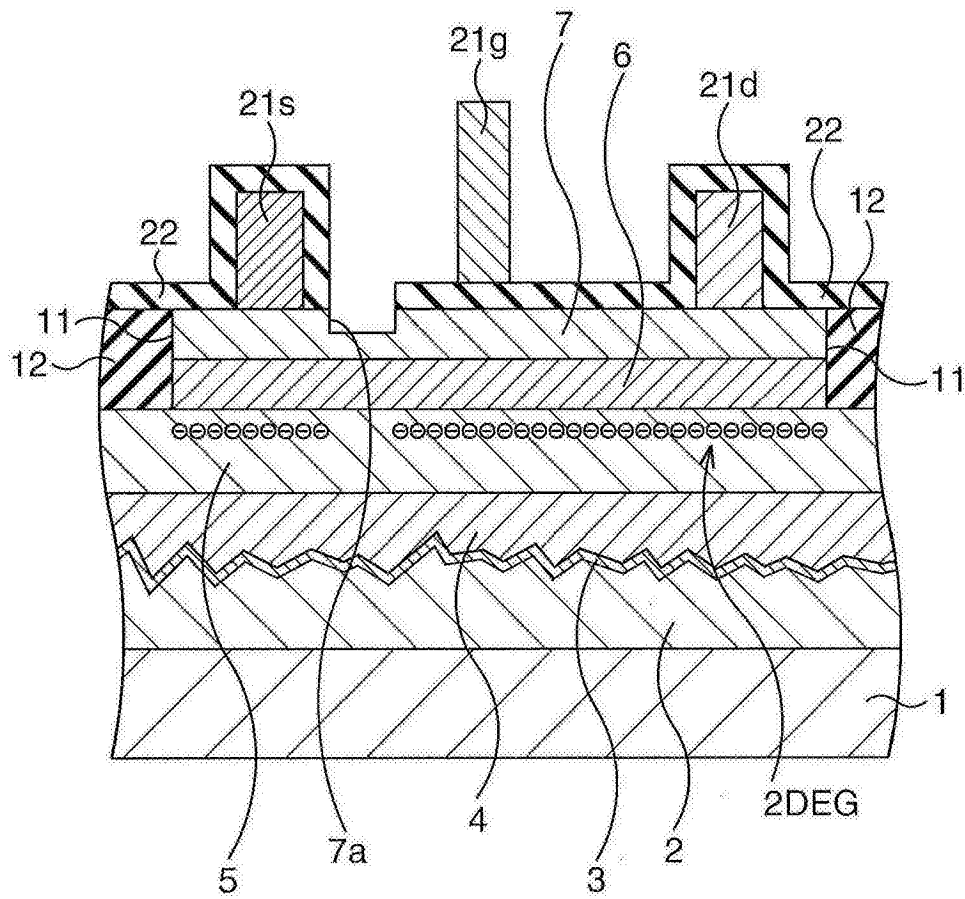


图 6

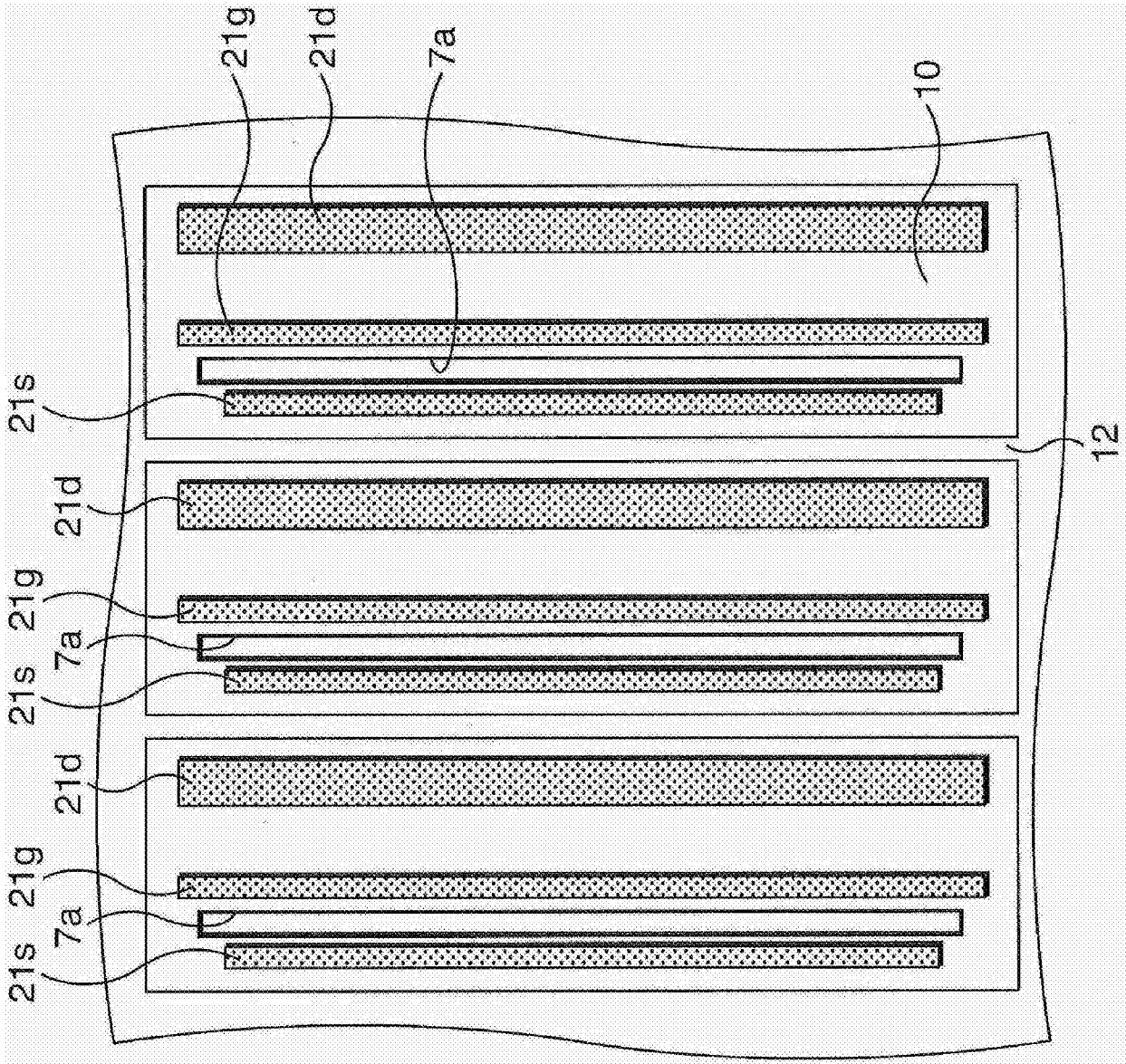


图 7

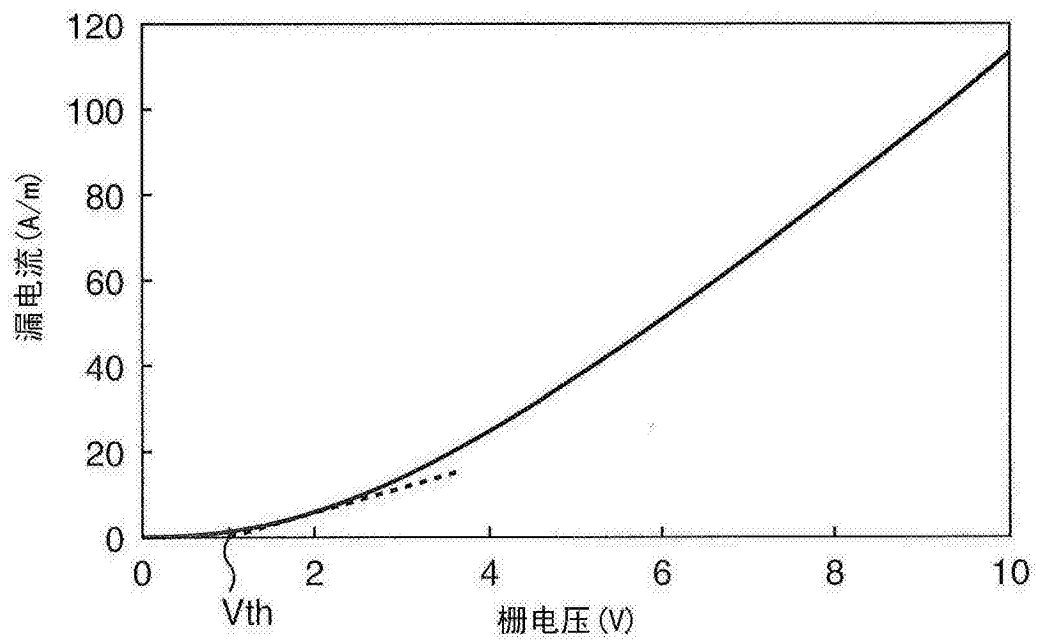


图 8

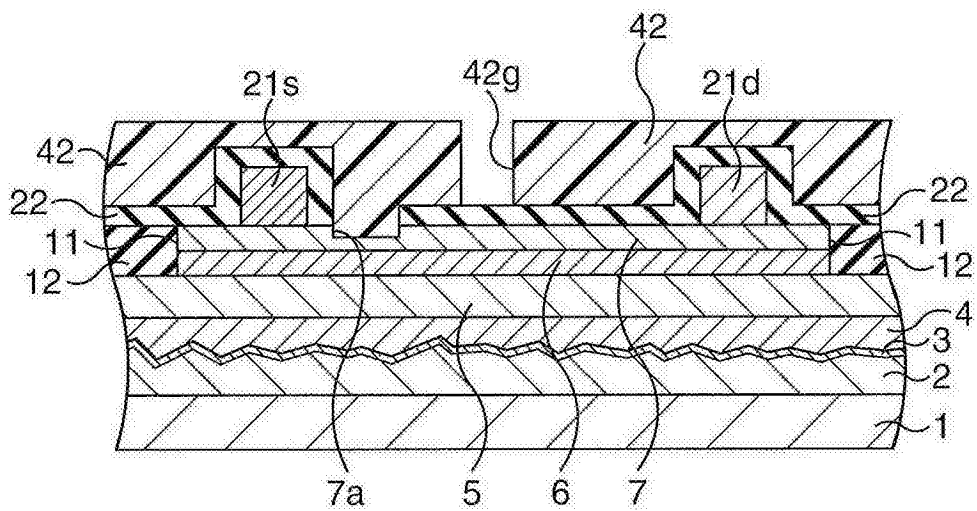


图 9A

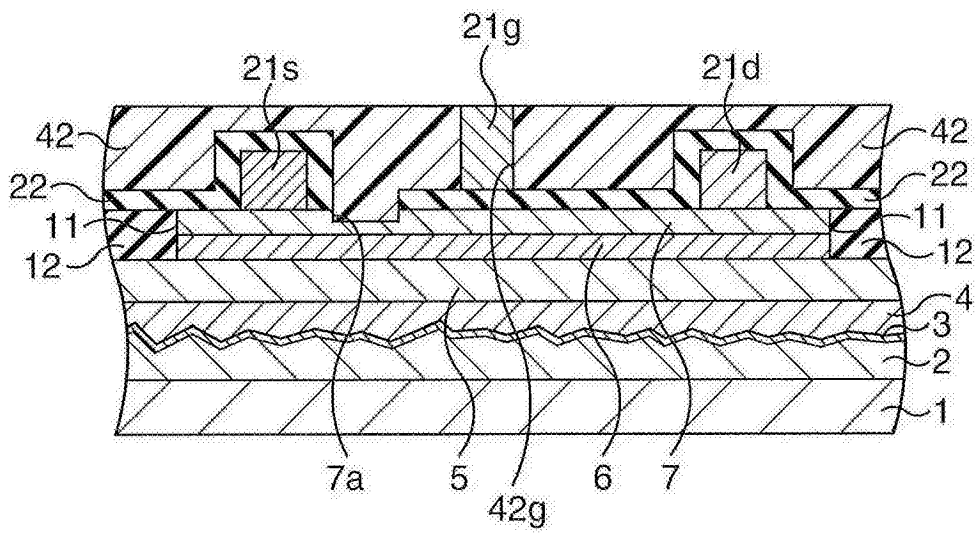


图 9B

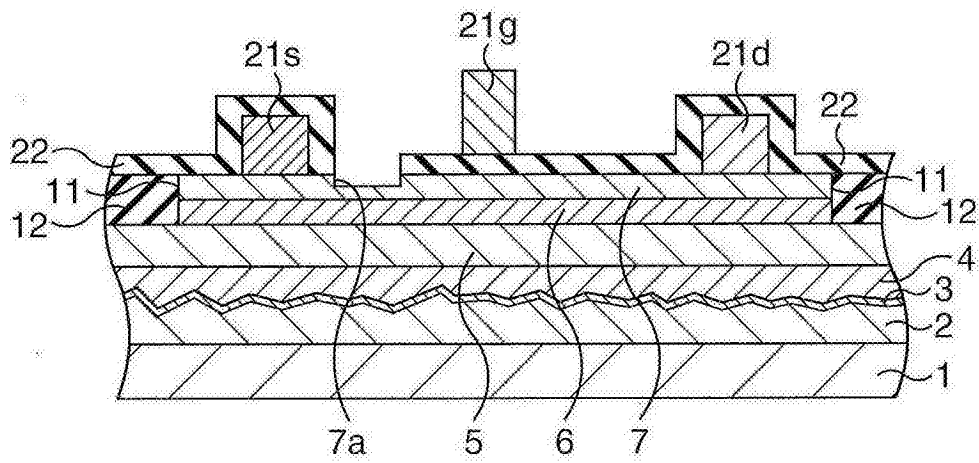


图 9C

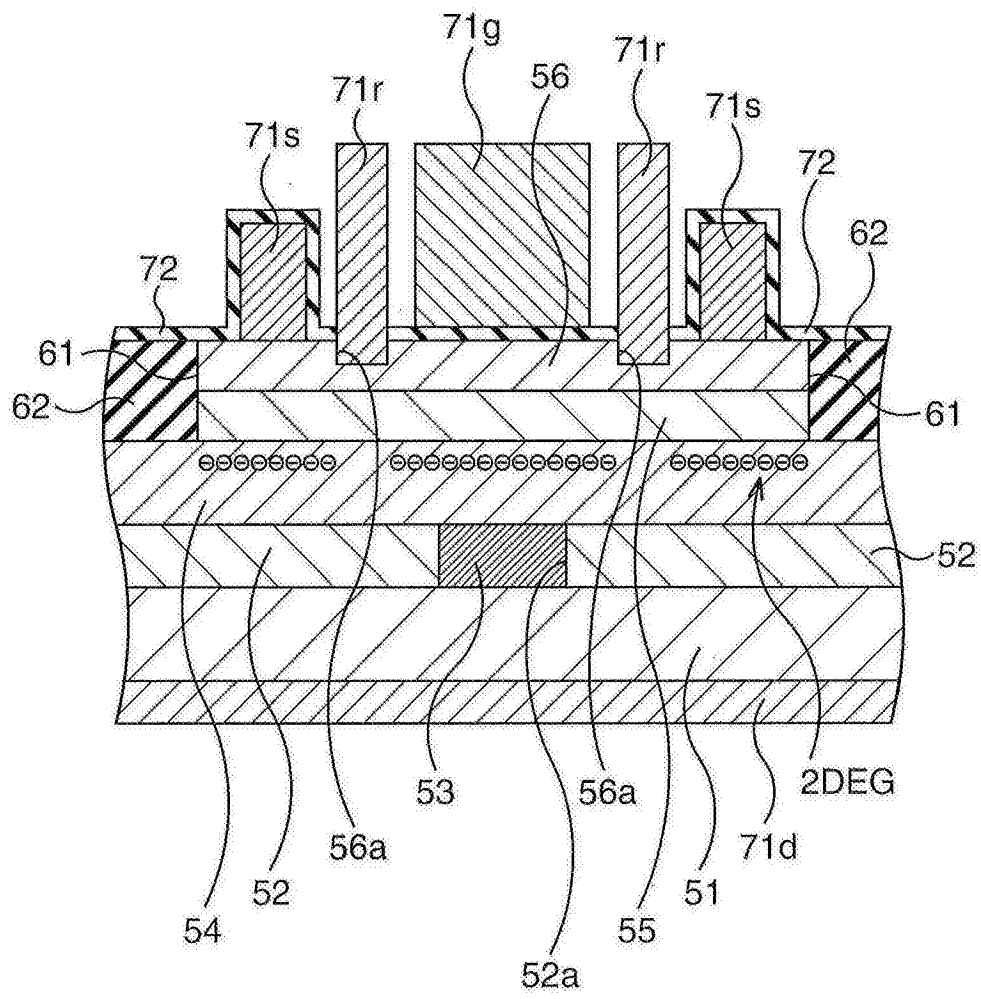


图 10

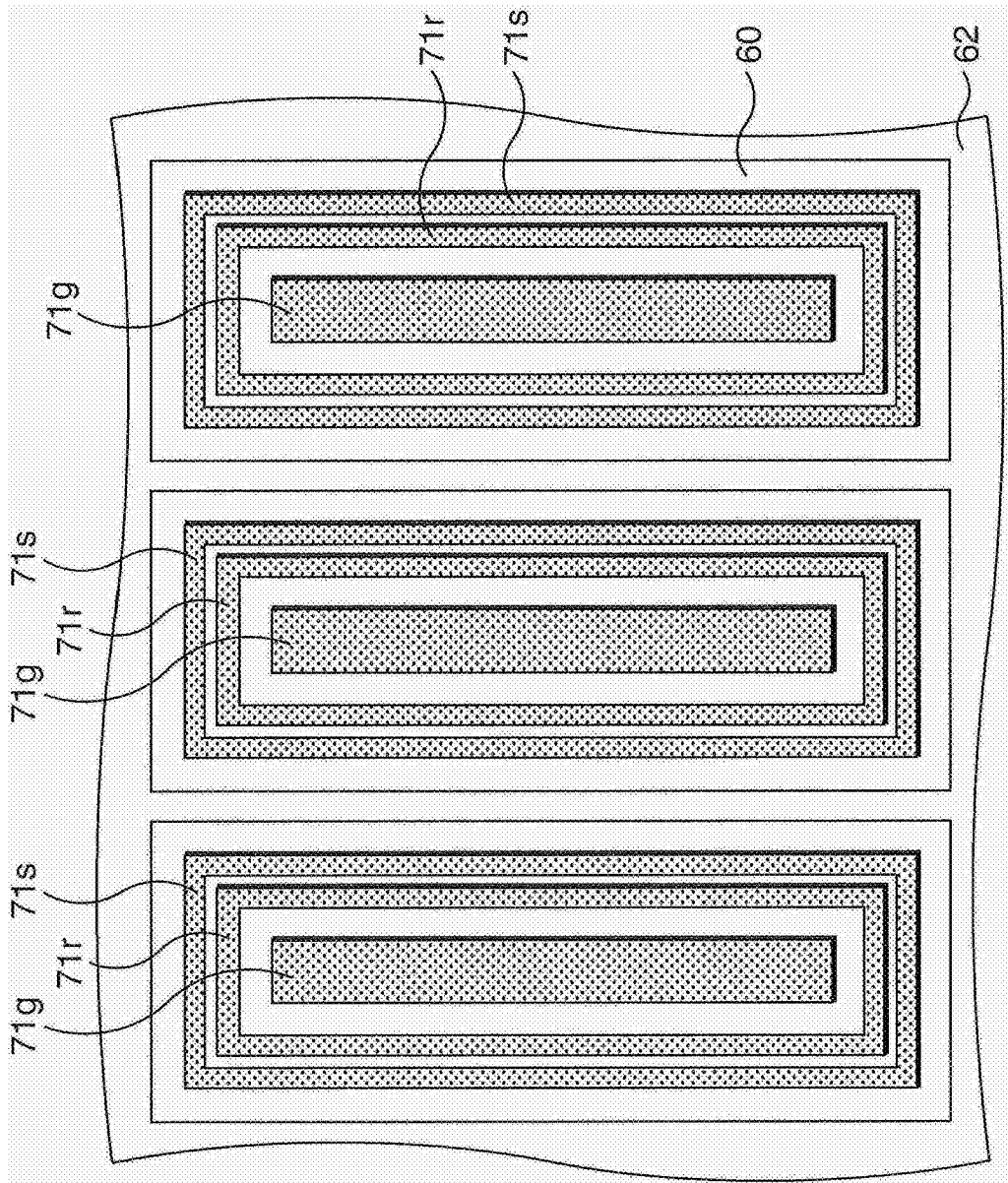


图 11

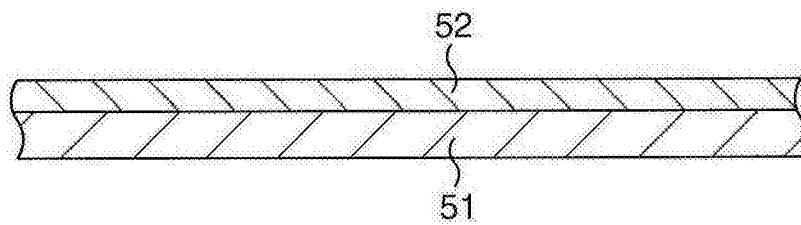


图 12A

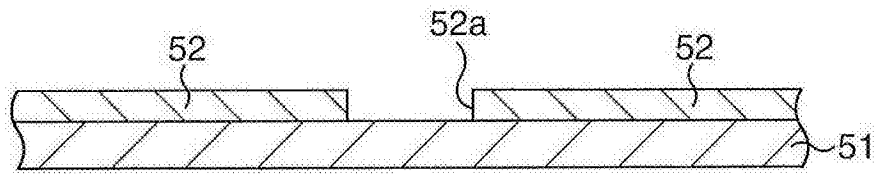


图 12B

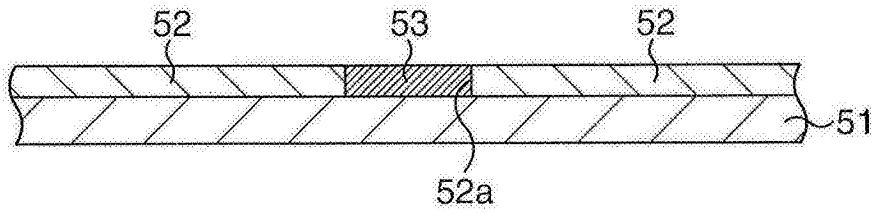


图 12C

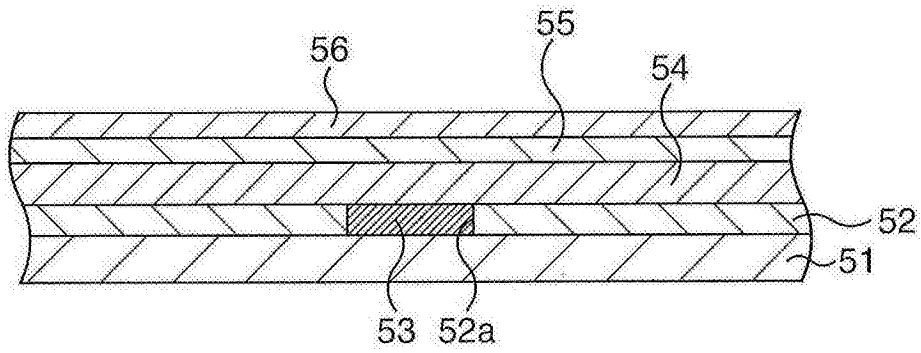


图 12D

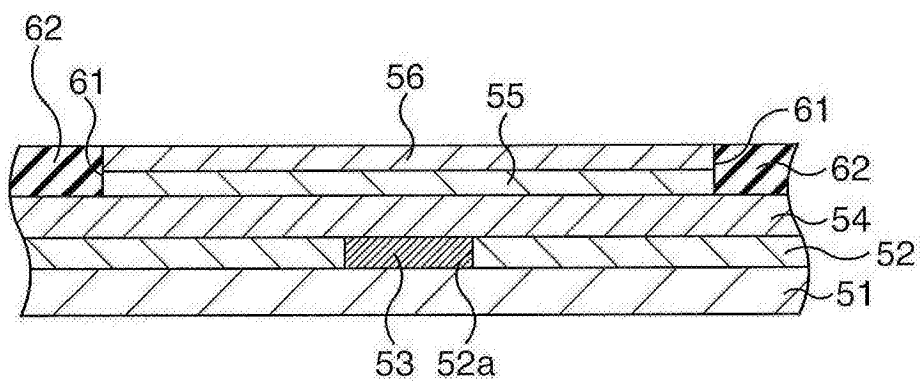


图 12E

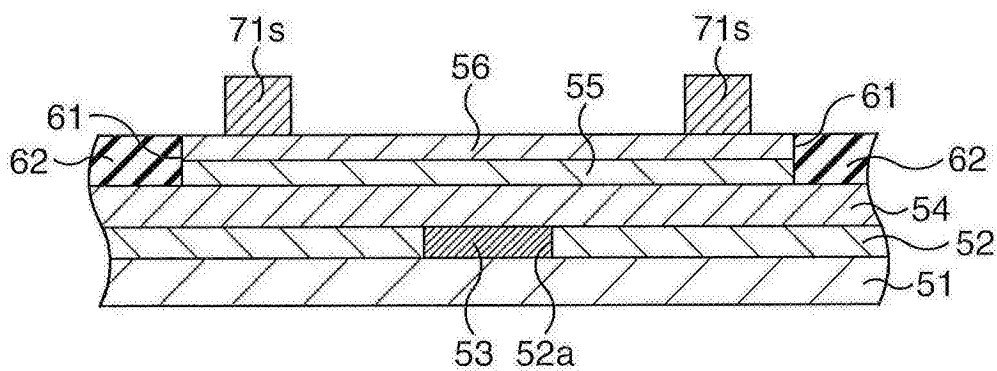


图 12F

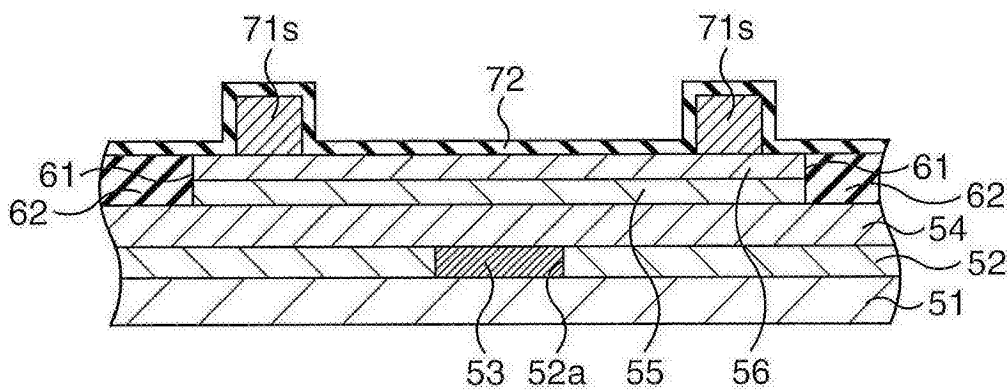


图 12G

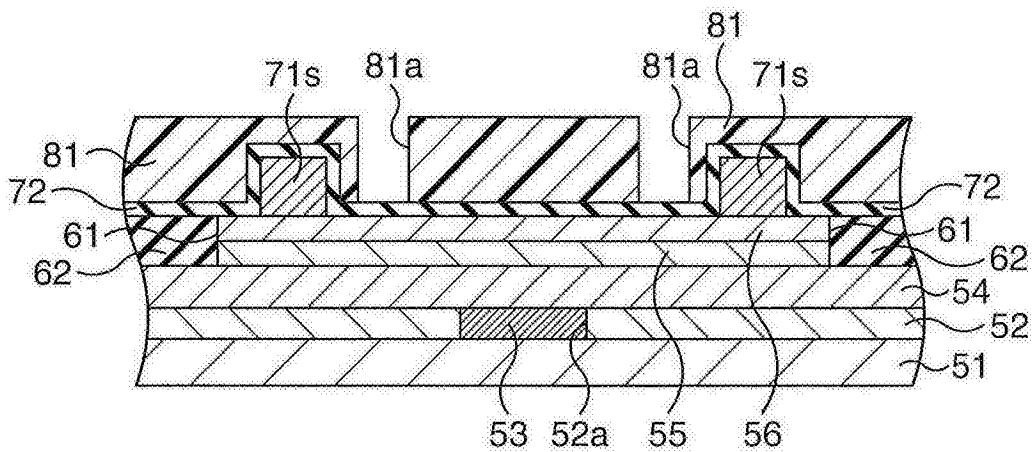


图 12H

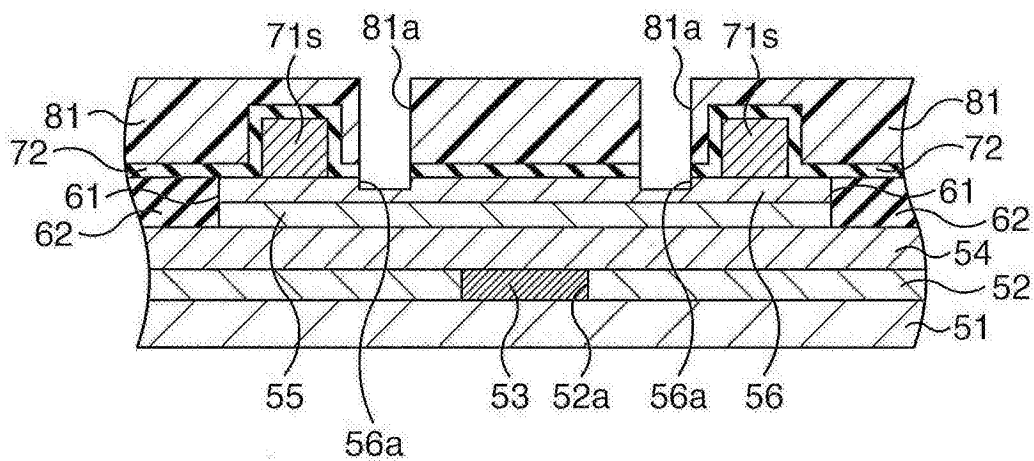


图 12I

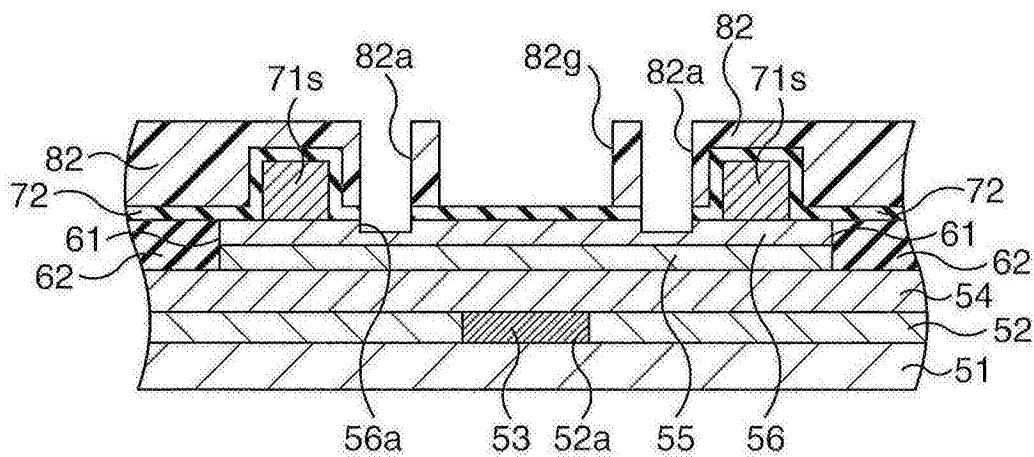


图 12J

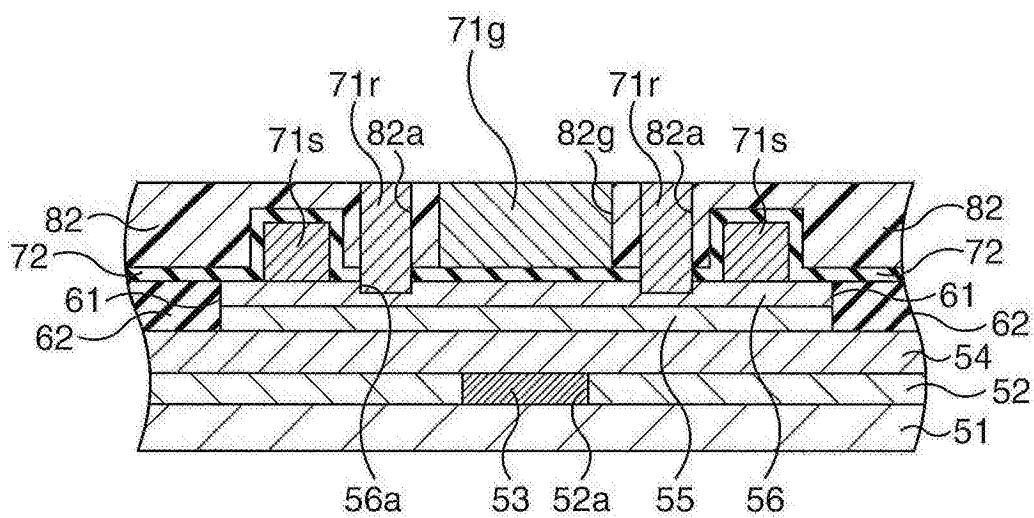


图 12K

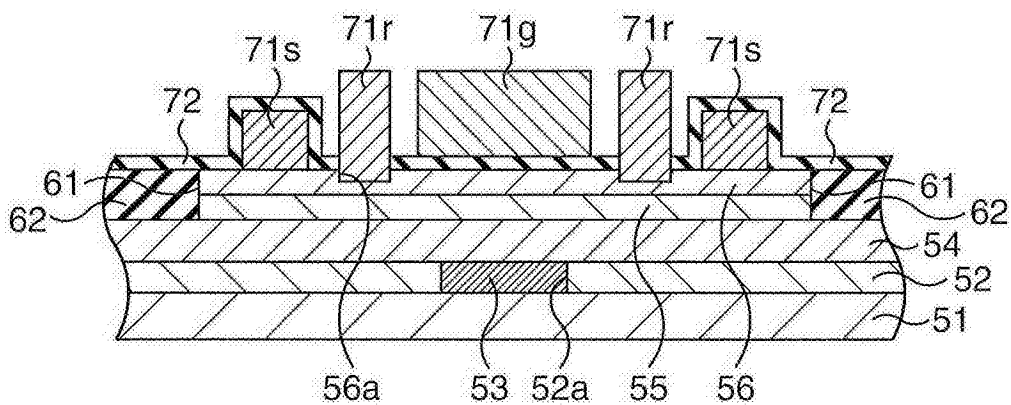


图 12L

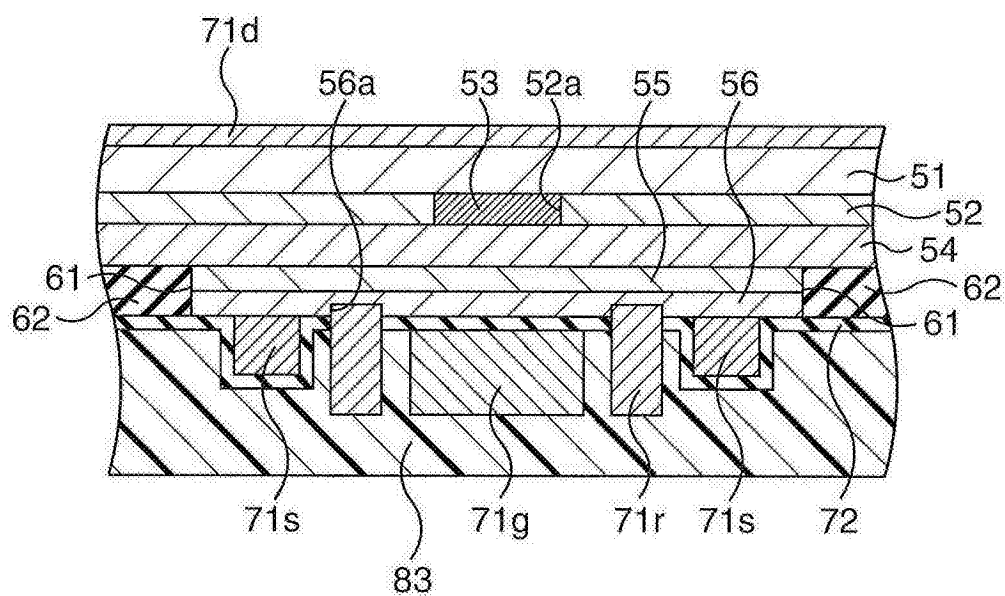


图 12M

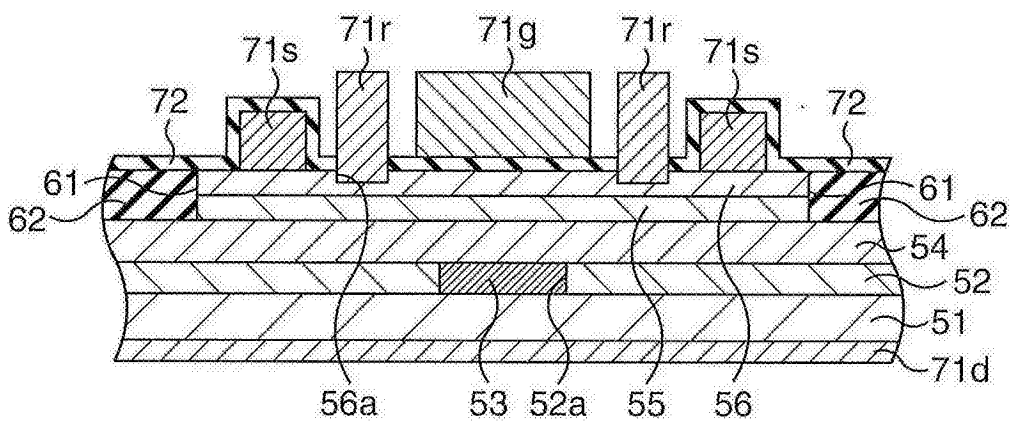


图 12N