(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年4 月13 日 (13.04.2006)

PCT

(10) 国際公開番号
WO 2006/038637 A1

(51) 国際特許分類:
H03M 1/66 (2006.01) *H03M 3/02* (2006.01)

(21) 国際出願番号: PCT/JP2005/018402

(22) 国際出願日: 2005 年9 月28 日 (28.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-292537 2004 年10 月5 日 (05.10.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 千田 泰輔 (CHIDA, Taisuke) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 紋田 誠, 外 (MONDA, Makoto et al.); 〒1010048 東京都千代田区神田司町２－２１－１０冨士神田ビル３階 ミネルバ国際特許事務所 Tokyo (JP).

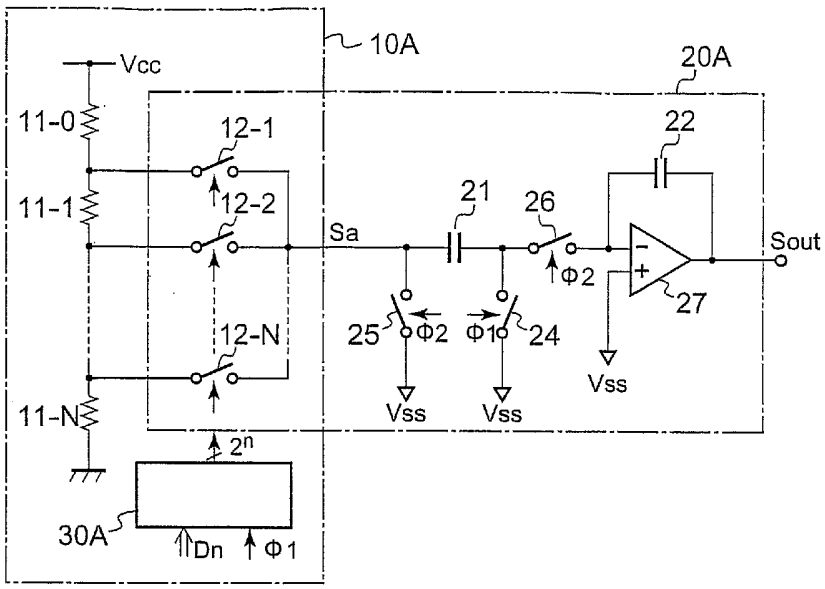
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) **Title:** ELECTRONIC CIRCUIT AND SEMICONDUCTOR DEVICE PROVIDED WITH DAC AND SCF

(54) 発明の名称: ＤＡＣとＳＣＦを有する電子回路及び半導体装置



(57) **Abstract:** An electronic circuit and a semiconductor device are provided with a voltage selecting output circuit, such as a DAC, and an SCF, and a driving condition of an input side switch of the SCF is added to the selecting conditions of a selecting switch of the voltage selecting output circuit. Thus, the number of switches connected in series in an MOS transistor and the like is reduced by using the selecting switch also as the input side switch. Therefore, on-resistance of the switch can be reduced. Thus, increase of output errors due to increase of clock field through and linearity error of a buffer amplifier is prevented.

(57) 要約: ＤＡＣ等の電圧選択出力回路とＳＣＦとを有し、電圧選択出力回路の選択スイッチの選択条件に、ＳＣＦの入力側スイッチの駆動条件を加える。これにより、選択スイッチを入力側スイッ

[続葉有]

WO 2006/038637 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

チとして兼用させて、ＭＯＳトランジスタなどのスイッチの直列数を少なくする。したがって、スイッチのオン抵抗を低くできる。これにより、クロックフィードスルーの増大やバッファアンプのリニアリティエラーによる出力誤差の増加を避ける。

明細書

ＤＡＣとＳＣＦを有する電子回路及び半導体装置

技術分野

本発明は、ディジタル・アナログ変換器（以下、ＤＡＣ）とスイッチドキャパシタフィルタ回路（以下、ＳＣＦ）を備えた電子回路及び半導体装置に関する。

背景技術

従来から、各種の電子機器の信号処理回路において、ディジタル信号をアナログ信号に変換するＤＡＣと、このＤＡＣから出力されるアナログ信号をフィルタリングするＳＣＦが用いられることが多い（特開平１１－３０８１０８号公報；特開平０６－２０４８６６号公報）。

これらのＤＡＣ１０とＳＣＦ２０は、例えば図６のように構成される。図６では、ＤＡＣ１０は、電源電圧Ｖｃｃ点とグランド間に抵抗分圧回路が接続される。分圧抵抗１１－０～１１－Ｎの各接続点にそれぞれ選択スイッチ１２－１～１２－Ｎの一端が接続される。これらの選択スイッチ１２－１～１２－Ｎの他端は共通に接続される。

選択スイッチ１２－１～１２－Ｎの各々は、選択スイッチ駆動回路３０に入力されるディジタル信号Ｄｎの値に応じて、いずれか１つがオン状態にされる。選択スイッチ１２－１～１２－Ｎで選択された電圧が、バッファアンプ１３、この例ではボルテージフォロア、を介して出力される。したがって、ＤＡＣ１０からは、ディジタル信号Ｄｎが変換されたアナログ信号Ｓａが出力される。

ＳＣＦ２０は、第１キャパシタ２１と、演算増幅器２７と、この演算増幅器２７の反転入力端－と出力端間に接続された第２キャパシタ２２と、入力側と第１キャパシタ２１の一端との間に設けられた入力側スイッチである第１スイッチ２３と、第１キャパシタ２１の他端と基準電圧Ｖｓｓ点（例えば、グランド）との間に接続された第２スイッチ２４と、基準電圧Ｖｓｓ点と第１キャパシタ２１の一端との間に設けられ

た第３スイッチ２５と、第１キャパシタ２１の他端と演算増幅器２７の反転入力端－間に接続された出力側スイッチである第４スイッチ２６とを備えている。なお、演算増幅器２７の非反転入力端は、基準電圧Ｖｓｓ点に接続されている。

第１クロック信号φ１と第２クロック信号φ２は、一方が高（Ｈ）レベルのときに他方が低（Ｌ）レベルにある２相クロック信号であり、両方ともＬレベルの期間を持つようにされている。

第１、第２スイッチ２３、２４は、第１クロック信号φ１によって同時にオン（例、φ１；Ｈレベル）、オフ（例、φ１；Ｌレベル）され、オンされたときに第１キャパシタ２１をアナログ信号Ｓａにしたがって充電する。また、第３、第４スイッチ２５、２６は、第２クロック信号φ２によって同時にオン（例、φ２；Ｈレベル）、オフ（例、φ２；Ｌレベル）され、オンされたときに第１キャパシタ２１の電荷を放電する。

この第１～第４スイッチ２３～２６のオン、オフにより、ＳＣＦ２０は、入力されるアナログ信号Ｓａをフィルタリングして、出力信号Ｓｏｕｔを出力する。

図６の従来の信号処理回路では、ＤＡＣ１０に設けられるバッファアンプ１３の出力インピーダンスは、きわめて低いから、第１キャパシタ２１の充電動作に支障を来すようなことは、避けられる。

しかし、バッファアンプ１３を設けることによって、バッファアンプ自体のリニアリティエラー（非直線性誤差）の分だけＳＣＦ２０の出力誤差が生じたり、また、バッファアンプ１３の動作に要する電流分だけ消費電流が増加する、という問題がある。

また、バッファアンプ１３を省略することも、考えられる。しかし、この場合には、２つのスイッチ、即ち、選択スイッチ１２－１～１２－Ｎのいずれかと第１スイッチ（入力側スイッチ）２３とが、直列に接続されることになる。

これらのスイッチは、通常ＭＯＳトランジスタなどで構成される。一般に、信号処理回路用に用いられるＭＯＳトランジスタは、そのトランジスタサイズを小さくする関係上、オン抵抗値が高いものが使用される。例えば、そのＭＯＳトランジスタのオン抵抗値は１～２ｋΩである。このＭＯＳトランジスタのオン抵抗値は、分圧抵抗１

１－０～１１－Ｎの抵抗値（例えば、数１０～数１００Ω）に比しても十分に高い値である。

これら高抵抗値のＭＯＳトランジスタが直列に接続される場合には、第１キャパシタ２１の充電動作に支障を来してしまうことにもなるから、ＭＯＳトランジスタのオン抵抗をその分だけ低くする必要がある。

しかし、ＭＯＳトランジスタのオン抵抗をＷ／Ｌ比を大きくすることによって、オン抵抗値を低くする場合には、そのゲートの浮遊容量がＷ／Ｌ比に応じて増大するから、クロックフィードスルーが大きくなる。このクロックフィードスルーの増大によって、ＳＣＦ２０の出力誤差が大きくなってしまうという、別の問題が生じてくる。

そこで、本発明は、ＤＡＣ等電圧選択出力回路とＳＣＦとを有する電子回路及び半導体装置において、直列接続されるスイッチの数を少なくするとともに、バッファアンプのリニアリティエラーによる出力誤差の増加や、クロックフィードスルーの増大を避けることを目的とする。

発明の開示

本発明の電子回路及び半導体装置は、複数の異なる電圧のうちの１つの電圧を、複数の選択スイッチによって選択して選択電圧として出力する電圧選択出力回路と、前記選択電圧が入力されるスイッチドキャパシタフィルタ回路とを備えた電子回路及び半導体装置であって、

前記複数の選択スイッチの選択条件に、前記スイッチドキャパシタフィルタ回路の入力側スイッチの駆動条件を加えて、前記複数の選択スイッチを前記入力側スイッチとして兼用する。

また、前記電圧選択出力回路は、抵抗分圧回路を有し、該抵抗分圧回路の各分圧電圧を前記複数の異なる電圧とする。

本発明の電子回路及び半導体装置は、ディジタル信号に基づいて、複数の選択スイッチの内の１つの選択スイッチを選択してディジタル信号に応じたアナログ信号を出

力するディジタル・アナログ変換回路と、前記アナログ信号が入力されるスイッチドキャパシタフィルタ回路とを備えた電子回路及び半導体装置であって、

前記ディジタル・アナログ変換回路は、前記ディジタル信号に、前記スイッチドキャパシタフィルタ回路の入力側スイッチの駆動条件を加えて、前記複数の選択スイッチを前記入力側スイッチとして兼用する。

また、前記ディジタル・アナログ変換回路は、抵抗分圧回路を有し、該抵抗分圧回路の各分圧電圧を前記複数の選択スイッチをそれぞれ介して前記アナログ電圧とする。また、前記ディジタル信号をデコードしてデコード信号を出力するデコーダと、前記デコード信号と前記スイッチドキャパシタフィルタ回路の入力側スイッチの駆動条件となるべきクロック信号とを入力し、前記複数の選択スイッチへの選択信号とする複数の論理回路とを含む選択スイッチ駆動回路を有する。

本発明の電子回路及び半導体装置は、抵抗分圧回路の各分圧電圧をディジタル信号に基づいて、第１選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を入力側スイッチを持つ第１回路への入力信号として出力すると共に、第２選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を入力側スイッチを持つ第２回路への入力信号として出力するディジタル・アナログ変換回路を備えた電子回路及び半導体装置であって、

ディジタル・アナログ変換回路は、前記ディジタル信号に前記第１回路の入力側スイッチの駆動条件を加えて前記第１選択スイッチ群を前記第１回路の入力側スイッチとして兼用すると共に、前記ディジタル信号に前記第２回路の入力側スイッチの駆動条件を加えて前記第２選択スイッチ群を前記第２回路の入力側スイッチとして兼用する。

また、前記ディジタル・アナログ変換回路は、前記ディジタル信号をデコードしてデコード信号を出力するデコーダと、前記デコード信号と前記第１回路の入力側スイッチの駆動条件となるべき第１クロック信号とを入力し、前記第１選択スイッチ群への選択信号とする第１論理回路群と、前記デコード信号と前記第２回路の入力側スイ

ッチの駆動条件となるべき第２クロック信号とを入力し、前記第２選択スイッチ群への選択信号とする第２論理回路群とを含む選択スイッチ駆動回路を有することを特徴とする。

本発明の電子回路及び半導体装置は、２次ΔΣＡ／Ｄ変換装置用変調器の第１次スイッチドキャパシタ積分器と、第２次スイッチドキャパシタ積分器と、抵抗分圧回路の各分圧電圧をディジタル信号に基づいて、第１選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を前記第１次スイッチドキャパシタ積分器への第１帰還信号として出力すると共に、第２選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を前記第２次スイッチドキャパシタ積分器への第２帰還信号として出力する帰還用ディジタル・アナログ変換回路と、を含む電子回路及び半導体装置であって、

前記帰還ディジタル・アナログ変換回路は、前記ディジタル信号に前記第１次スイッチドキャパシタ積分器の駆動条件を加えて前記第１選択スイッチ群を前記第１次スイッチドキャパシタ積分器の帰還用入力側スイッチとして兼用すると共に、前記ディジタル信号に前記第２次スイッチドキャパシタ積分器の駆動条件を加えて前記第２選択スイッチ群を前記第２次スイッチドキャパシタ積分器の帰還用入力側スイッチとして兼用することを特徴とする。

また、前記帰還用ディジタル・アナログ変換回路は、前記ディジタル信号をデコードしてデコード信号を出力するデコーダと、前記デコード信号と前記第１次スイッチドキャパシタ積分器の帰還用入力側スイッチの駆動条件となるべき第１クロック信号とを入力し、前記第１選択スイッチ群への選択信号とする第１論理回路群と、前記デコード信号と前記第２次スイッチドキャパシタ積分器の帰還用入力側スイッチの駆動条件となるべき第２クロック信号とを入力し、前記第２選択スイッチ群への選択信号とする第２論理回路群とを含む選択スイッチ駆動回路を有する

本発明によれば、ＤＡＣ等の電圧選択出力回路とＳＣＦ等の他回路を有し、ＤＡＣなどの複数の選択スイッチの選択条件に、ＳＣＦ等の入力側スイッチへの駆動条件を

加えて、その複数の選択スイッチを入力側スイッチとして兼用させる。このように、ＳＣＦ等の入力側スイッチを、単独に設けなくして、ＭＯＳトランジスタなどのスイッチの直列数を少なくする。したがって、スイッチのオン抵抗を低くできる。これにより、より小さいサイズのスイッチを使用できるので、スイッチングに伴うクロックフィードスルーを低減することができる。よって、回路システムにおける誤差を小さくできる。

また、スイッチ間にバッファアンプを用いる必要がないので、バッファアンプを設けることによる、リニアリティエラーによる出力誤差をなくすことができるし、そのバッファアンプ分の消費電流を少なくでき且つＩＣ（ＬＳＩ）の所要面積を削減できる。

図面の簡単な説明

【図１】本発明の第１実施例に係るＤＡＣとＳＣＦを備えた電子回路の構成を示す図

【図２】図１の選択スイッチ駆動回路の内部構成例を示す図

【図３】本発明の第２実施例に係るＤＡＣとＳＣＦを備えた電子回路の構成を示す図

【図４】図３のクロック信号のタイミングチャートを示す図

【図５】図３の帰還用のＤＡＣの構成を示す図

【図６】ＤＡＣとＳＣＦを備えた従来の電子回路の構成を示す図

発明を実施するための最良の形態

以下、本発明の電子回路の実施例について、図を参照して説明する。なお、本発明の電子回路は、ＬＳＩに作り込まれるので、半導体装置と言い換えてもよい。

図１は、本発明の第１実施例に係る電子回路の構成を示す図である。

図１において、ディジタル信号Ｄｎをアナログ信号（即ち、アナログ電圧）Ｓａに

変換するＤＡＣ１０Ａと、このＤＡＣ１０Ａから出力されるアナログ信号ＳａをフィルタリングするＳＣＦ２０Ａが設けられている。これらのＤＡＣ１０ＡとＳＣＦ２０Ａは、各種の電子機器の信号処理回路に用いられる。ＤＡＣ１０Ａは、複数の異なる電圧のうちの１つの電圧を、複数の選択スイッチによって選択して選択電圧として出力する電圧選択出力回路であればよい。

図１では、従来の図６と比して、まずバッファアンプ１３が省略されており、また選択スイッチ１２－１～１２－ＮがＳＣＦ２０Ａの入力側スイッチ（図６の２３に相当）と兼用されている。したがって、選択スイッチ１２－１～１２－Ｎは、機能的に見ると、図１のように、ＤＡＣ１０ＡとＳＣＦ２０Ａとの双方に含まれることになる。また、ＳＣＦ２０Ａの入力側スイッチ（図６の２３に相当）は、単独では設けられていないので、省略されている、とも言える。この点は、他の実施例でも同様である。

選択スイッチ駆動回路３０Ａは、複数ｎビット（例えば、４ビット）のディジタル信号Ｄｎと、ＳＣＦ２０Ａの入力側スイッチの駆動条件である第１クロック信号φ１とを入力し、選択スイッチ１２－１～１２－Ｎの選択信号（駆動信号）をディジタル信号Ｄｎと第１クロック信号φ１とに基づいて形成する。

選択スイッチ駆動回路３０Ａの内部構成例が、図２に示されている。選択スイッチ駆動回路３０Ａは、ディジタル信号Ｄｎをデコードしてデコード信号を出力するデコーダ３１と、そのデコード信号の１つと第１クロック信号φ１とによって、選択スイッチ１２－１～１２－Ｎへの選択信号を得る複数の論理回路３２－１～３２－Ｎとを含んでいる。ここでは、論理回路３２－１～３２－Ｎはアンド回路で構成されている。デコード信号は、デコーダ３１のいずれか１つの出力端から出力される。

選択スイッチ駆動回路３０Ａでは、ディジタル信号Ｄｎに応じていずれか１つのデコード信号がデコーダ３１から出力される。その１つのデコード信号が入力されるアンド回路３２－１～３２－Ｎから第１クロック信号φ１に応じたタイミングで選択スイッチ１２－１～１２－Ｎへの選択信号が出力される。これにより、選択スイッチ１２－１～１２－Ｎが接続された抵抗分圧回路１１－０～１１－Ｎからの分圧電圧が選

択されて、アナログ信号Ｓａとして第１クロック信号φ１に同期してＳＣＦ２０Ａに入力される。

ＳＣＦ２０Ａは、入力側と第１キャパシタ２１の一端との間に設けられた入力側スイッチである第１スイッチ（即ち、図６のスイッチ２３に相当）が選択スイッチ１２－１～１２－Ｎと兼用されている。即ち、ＳＣＦ２０Ａの入力側スイッチは、単独では設けられていないから、アナログ信号Ｓａが選択スイッチ１２－１～１２－Ｎから直接に第１キャパシタ２１に印加される。図１は、その他の点では従来の図６と同様であり、対応する構成要素には同一の符号を付している。

このように、ディジタル信号Ｄｎに、ＳＣＦ２０Ａの入力側スイッチの駆動条件（即ち、第１クロック信号φ１）を加えて、複数の選択スイッチ１２－１～１２－Ｎを、ＳＣＦ２０Ａの入力側スイッチとして兼用させ、ＳＣＦ２０Ａの入力側スイッチ（即ち、図６のスイッチ２３に相当）を省略する。

この図１では、選択スイッチ１２－１～１２－Ｎの各々は、ＤＡＣ１０Ａの選択スイッチ駆動回路３０Ａに入力されるディジタル信号Ｄｎの値と第１クロック信号φ１とに応じて、いずれか１つが第１クロック信号φ１と同期してオン・オフ状態にされる。したがって、ＤＡＣ１０Ａからは、ディジタル信号Ｄｎが変換されたアナログ信号Ｓａが第１クロック信号φ１と同期して出力される。

ＳＣＦ２０Ａでは、入力側スイッチである第１スイッチ（即ち、図６のスイッチ２３に相当）が省略されているが、入力されるアナログ信号Ｓａが第１クロック信号φ１に同期して入力される。したがって、第２スイッチ２４が、第１クロック信号φ１によってオン（例、φ１；Ｈレベル）、オフ（例、φ１；Ｌレベル）され、オンされたときに第１キャパシタ２１をアナログ信号Ｓａにしたがって充電する。また、第３、第４スイッチ２５、２６は、第２クロック信号φ２によって同時にオン（例、φ２；Ｈレベル）、オフ（例、φ２；Ｌレベル）され、オンされたときに第１キャパシタ２１の電荷を放電する。この第２～第４スイッチのオン、オフにより、ＳＣＦ２０Ａは、入力されるアナログ信号Ｓａをフィルタリングして、出力信号Ｓｏｕｔを出力する。

このように、ＤＡＣ１０Ａの複数の選択スイッチ１２－１～１２－Ｎの選択条件に、ＳＣＦ２０Ａの入力側スイッチを駆動するべき第１クロック信号φ１を加えて、その複数の選択スイッチ１２－１～１２－ＮをＳＣＦ２０Ａの入力側スイッチとして兼用させる。即ち、ＳＣＦ２０Ａの入力側スイッチを省略して、ＤＡＣ１０ＡとＳＣＦ２０ＡとにおけるＭＯＳトランジスタなどのスイッチの直列数を少なくしている。したがって、スイッチのオン抵抗を低くできる。

これにより、本発明では、ＭＯＳトランジスタなどのスイッチとして小さいサイズのものを使用できるので、スイッチングに伴うクロックフィードスルーを低減することができる。よって、回路システムにおける誤差を小さくできる。

また、本発明の電子回路はＬＳＩなどのＩＣに作り込まれるが、従来のようにスイッチ間にバッファアンプ１３を用いる必要がない。したがって、バッファアンプを設けることによる、リニアリティエラーによる出力誤差をなくすことができるし、そのバッファアンプ分の消費電流を少なくでき且つＩＣ（ＬＳＩ）の所要面積を削減できる。

なお、選択スイッチ駆動回路３０Ａは、図１ではＤＡＣ１０Ａに設けることとして説明したが、これに限らず、別に設けてもよいし、またＳＣＦ２０Ａに設けてもよい。

図３は、本発明の電子回路の第２実施例に係り、２次ΔΣＡ／Ｄ変換装置内の変調器の構成を示す図である。図４は、図３の第２実施例に用いるクロック信号φ１～φ３のタイミングチャートを示す図であり、図５は、図３の第２実施例に用いる帰還用のＤＡＣ９０の構成を示す図である。

図３において、２次ΔΣＡ／Ｄ変換装置内の変調器は、第１次スイッチドキャパシタ積分器４０と、第２次スイッチドキャパシタ積分器６０と、アナログ・ディジタル変換回路（ＡＤＣ）８０と、帰還用のＤＡＣ９０とを備えている。

第１次スイッチドキャパシタ積分器４０は、第１キャパシタ４１と、演算増幅器４７と、この演算増幅器４７の反転入力端－と出力端間に接続された第２キャパシタ４２と、入力信号Ｓｉｎが入力される入力側と第１キャパシタ４１の一端との間に設け

られた入力側スイッチである第１スイッチ４３と、第１キャパシタ４１の他端と基準電圧Ｖｓｓ点間に接続された第２スイッチ４４と、基準電圧Ｖｓｓ点と第１キャパシタ４１の一端との間に設けられた第３スイッチ４５と、第１キャパシタ４１の他端と演算増幅器４７の反転入力端－間に接続された出力側スイッチである第４スイッチ４６とを備えている。なお、演算増幅器４７の非反転入力端は、基準電圧Ｖｓｓ点に接続されている。

また、第１次スイッチドキャパシタ積分器４０は、帰還用回路として、帰還信号がスイッチングされて入力される第３キャパシタ５１と、この第３キャパシタ５１の他端と基準電圧Ｖｓｓ点間に接続された第６スイッチ５４と、基準電圧Ｖｓｓ点と第３キャパシタ５１の一端との間に設けられた第７スイッチ５５と、第３キャパシタ５１の他端と演算増幅器４７の反転入力端－間に接続された出力側スイッチである第８スイッチ５６とを備えている。この帰還用回路では、帰還信号が入力される帰還用入力側と第３キャパシタ５１の一端との間に設けられるべき帰還用入力側スイッチである第６スイッチが省略されている。

第２次スイッチドキャパシタ積分器６０には、第１次スイッチドキャパシタ積分器４０の出力信号が入力される。第２次スイッチドキャパシタ積分器６０は、第１キャパシタ６１と、演算増幅器６７と、この演算増幅器６７の反転入力端－と出力端間に接続された第２キャパシタ６２と、第１次スイッチドキャパシタ積分器４０の出力信号が入力される入力側と第１キャパシタ６１の一端との間に設けられた入力側スイッチである第１スイッチ６３と、第１キャパシタ６１の他端と基準電圧Ｖｓｓ点間に接続された第２スイッチ６４と、基準電圧Ｖｓｓ点と第１キャパシタ６１の一端との間に設けられた第３スイッチ６５と、第１キャパシタ６１の他端と演算増幅器６７の反転入力端－間に接続された出力側スイッチである第４スイッチ６６とを備えている。なお、演算増幅器６７の非反転入力端は、基準電圧Ｖｓｓ点に接続されている。

また、第２次スイッチドキャパシタ積分器６０は、帰還用回路として、帰還信号がスイッチングされて入力される第３キャパシタ７１と、この第３キャパシタ７１の他

端と基準電圧Ｖｓｓ点間に接続された第６スイッチ７４と、基準電圧Ｖｓｓ点と第３キャパシタ７１の一端との間に設けられた第７スイッチ７５と、第３キャパシタ７１の他端と演算増幅器６７の反転入力端－間に接続された出力側スイッチである第８スイッチ７６とを備えている。この帰還用回路では、帰還信号が入力される帰還用入力側と第３キャパシタ７１の一端との間に設けられるべき帰還用入力側スイッチである第６スイッチが省略されている。

これら第１次スイッチドキャパシタ積分器４０、第２次スイッチドキャパシタ積分器６０の各スイッチは、周期Ｔの３相のクロック信号φ１～φ３によって駆動される。３相のクロック信号φ１～φ３は、図４に示されるように、いずれかのクロック信号がＨレベルのときに他方がＬレベルにある３相クロック信号であり、全てがＬレベルの期間を持つようにされている。

第１次スイッチドキャパシタ積分器４０の各スイッチ４３、４４、５４は第１クロック信号φ１で駆動され、各スイッチ４５、４６、５５，５６は第２クロック信号φ２で駆動される。第２次スイッチドキャパシタ積分器６０の各スイッチ６３、６４、７４は第２クロック信号φ２で駆動され、各スイッチ６５、６６、７５，７６は第３クロック信号φ３で駆動される。なお、スイッチドキャパシタ積分器４０、６０の動作は、図１や図６における動作と同様であるので、再度の説明は省略する。

ＡＤＣ８０は、第２次スイッチドキャパシタ積分器６０から出力されるアナログ信号を複数ｎビット（例えば、４ビット）のディジタル信号に変換して、出力信号Ｓｏｕｔとして出力する。

帰還用のＤＡＣ９０は、出力信号Ｓｏｕｔをアナログ信号に変換すると共に、第１クロック信号φ１に同期した第１帰還信号Ｓａ１を第１次スイッチドキャパシタ積分器４０に帰還信号として帰還させる。また、同様に、第２クロック信号φ２に同期した第２帰還信号Ｓａ２を第２次スイッチドキャパシタ積分器６０に帰還信号として帰還させる。

図５に、ＤＡＣ９０の構成例が示されている。電源電圧Ｖｃｃ点とグランド間に抵

抗分圧回路が接続される。分圧抵抗９１－０～９１－Ｎの各接続点に、第１選択スイッチ群９２－１～９２－Ｎのそれぞれの一端が接続され、また第２選択スイッチ群９３－１～９３－Ｎのそれぞれの一端が接続される。これらの第１選択スイッチ群９２－１～９２－Ｎの他端は共通に接続され、その共通接続点から第１帰還信号Ｓａ１が出力される。また第２選択スイッチ群９３－１～９３－Ｎの他端は共通に接続され、その共通接続点から第２帰還信号Ｓａ２が出力される。

デコーダ９６は、ディジタル信号である出力信号Ｓｏｕｔをデコードしてデコード信号を出力する。このデコード信号は、ディジタル信号値に応じて、デコーダ９６のいずれか１つの出力端から出力される。

第１論理回路群の各論理回路９４－１～９４－Ｎは、デコード信号と、帰還用入力側スイッチの駆動条件となるべき第１クロック信号とが入力され、第１選択スイッチ群９２－１～９２－Ｎへの選択信号を出力する。また、第２論理回路群の各論理回路９５－１～９５－Ｎは、デコード信号と、帰還用入力側スイッチの駆動条件となるべき第２クロック信号とが入力され、第２選択スイッチ群９３－１～９３－Ｎへの選択信号を出力する。これらの各論理回路９４－１～９４－Ｎ、９５－１～９５－Ｎは、アンド回路でよい。

このように、ディジタル信号である出力信号Ｓｏｕｔに、第１次スイッチドキャパシタ積分器４０及び第２次スイッチドキャパシタ積分器６０の帰還用入力側スイッチの駆動条件、即ち、第１クロック信号φ１及び第２クロック信号φ２、を加える。そして、第１選択スイッチ群９２－１～９２－Ｎ及び第２選択スイッチ群９３－１～９３－Ｎを、第１次スイッチドキャパシタ積分器４０及び第２次スイッチドキャパシタ積分器６０の帰還用入力側スイッチとして兼用させる。

この図３、図５では、第１選択スイッチ群９２－１～９２－Ｎ及び第２選択スイッチ群９３－１～９３－Ｎの各選択スイッチの各々は、ＤＡＣ９０に入力される出力信号Ｓｏｕｔのディジタル値と第１クロック信号φ１及び第２クロック信号φ２とに応じて、いずれか１つが第１クロック信号φ１及び第２クロック信号φ２と同期してオ

ン・オフ状態にされる。したがって、ＤＡＣ９０からは、出力信号Ｓｏｕｔが変換されたアナログ信号が第１クロック信号φ１、第２クロック信号φ２と同期して、第１帰還信号Ｓａ１、第２帰還信号Ｓａ２として出力される。

なお、図３の第２実施例においては、２次のΔΣＡ／Ｄ変換装置内の変調器について示したが、３次以上の高次の場合にも同様に適用することができる。

これにより、図３の第２実施例においても、図１の第１実施例におけると同様の効果を得ることができる。

また、ΔΣＡ／Ｄ変換装置内の変調器への摘要に限ることなく、他のスイッチドキャパシタ回路を用いる電子回路にも同様に適用することができる。この場合には、第１次スイッチドキャパシタ積分器４０に代えて入力側スイッチを持つ第１回路が用いられ、また、第２次スイッチドキャパシタ積分器６０に代えて入力側スイッチを持つ第２回路が用いられることになる。

産業上の利用可能性

本発明は、ディジタル信号をアナログ信号に変換するＤＡＣと、このＤＡＣから出力されるアナログ信号をフィルタリングするＳＣＦが用いられる各種の電子機器において、直列接続されるスイッチの数を少なくするとともに、クロックフィードスルーの増大を避ける、電子機器に好適に利用できる。

請求の範囲

1． 複数の異なる電圧のうちの１つの電圧を、複数の選択スイッチによって選択して選択電圧として出力する電圧選択出力回路と、前記選択電圧が入力されるスイッチドキャパシタフィルタ回路とを備えた電子回路であって、

前記複数の選択スイッチの選択条件に、前記スイッチドキャパシタフィルタ回路の入力側スイッチの駆動条件を加えて、前記複数の選択スイッチを前記入力側スイッチとして兼用することを特徴とする、電子回路。

2． 前記電圧選択出力回路は、抵抗分圧回路を有し、該抵抗分圧回路の各分圧電圧を前記複数の異なる電圧とすることを特徴とする、請求項１に記載の電子回路。

3． ディジタル信号に基づいて、複数の選択スイッチの内の１つの選択スイッチを選択してディジタル信号に応じたアナログ信号を出力するディジタル・アナログ変換回路と、前記アナログ信号が入力されるスイッチドキャパシタフィルタ回路とを備えた電子回路であって、

前記ディジタル・アナログ変換回路は、前記ディジタル信号に、前記スイッチドキャパシタフィルタ回路の入力側スイッチの駆動条件を加えて、前記複数の選択スイッチを前記入力側スイッチとして兼用することを特徴とする、電子回路。

4． 前記ディジタル・アナログ変換回路は、抵抗分圧回路を有し、該抵抗分圧回路の各分圧電圧を前記複数の選択スイッチをそれぞれ介して前記アナログ電圧とすることを特徴とする、請求項３に記載の電子回路。

5． 前記ディジタル信号をデコードしてデコード信号を出力するデコーダと、前記デコード信号と前記スイッチドキャパシタフィルタ回路の入力側スイッチの駆動条件

となるべきクロック信号とを入力し、前記複数の選択スイッチへの選択信号とする複数の論理回路とを含む選択スイッチ駆動回路を有することを特徴とする、請求項４に記載の電子回路。

６．　抵抗分圧回路の各分圧電圧をディジタル信号に基づいて、第１選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を入力側スイッチを持つ第１回路への入力信号として出力すると共に、第２選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を入力側スイッチを持つ第２回路への入力信号として出力するディジタル・アナログ変換回路を備えた電子回路であって、

ディジタル・アナログ変換回路は、前記ディジタル信号に前記第１回路の入力側スイッチの駆動条件を加えて前記第１選択スイッチ群を前記第１回路の入力側スイッチとして兼用すると共に、前記ディジタル信号に前記第２回路の入力側スイッチの駆動条件を加えて前記第２選択スイッチ群を前記第２回路の入力側スイッチとして兼用することを特徴とする、電子回路。

７．　前記ディジタル・アナログ変換回路は、前記ディジタル信号をデコードしてデコード信号を出力するデコーダと、前記デコード信号と前記第１回路の入力側スイッチの駆動条件となるべき第１クロック信号とを入力し、前記第１選択スイッチ群への選択信号とする第１論理回路群と、前記デコード信号と前記第２回路の入力側スイッチの駆動条件となるべき第２クロック信号とを入力し、前記第２選択スイッチ群への選択信号とする第２論理回路群とを含む選択スイッチ駆動回路を有することを特徴とする、請求項６に記載の電子回路。

８．　２次ΔΣＡ／Ｄ変換装置用変調器の第１次スイッチドキャパシタ積分器と、第２次スイッチドキャパシタ積分器と、抵抗分圧回路の各分圧電圧をディジタル信号に

基づいて、第１選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を前記第１次スイッチドキャパシタ積分器への第１帰還信号として出力すると共に、第２選択スイッチ群の内の１つの選択スイッチを選択して前記ディジタル信号に応じたアナログ信号を前記第２次スイッチドキャパシタ積分器への第２帰還信号として出力する帰還用ディジタル・アナログ変換回路と、を含む電子回路であって、

前記帰還用ディジタル・アナログ変換回路は、前記ディジタル信号に前記第１次スイッチドキャパシタ積分器の駆動条件を加えて前記第１選択スイッチ群を前記第１次スイッチドキャパシタ積分器の帰還用入力側スイッチとして兼用すると共に、前記ディジタル信号に前記第２次スイッチドキャパシタ積分器の駆動条件を加えて前記第２選択スイッチ群を前記第２次スイッチドキャパシタ積分器の帰還用入力側スイッチとして兼用することを特徴とする、電子回路。

９．　前記帰還用ディジタル・アナログ変換回路は、前記ディジタル信号をデコードしてデコード信号を出力するデコーダと、前記デコード信号と前記第１次スイッチドキャパシタ積分器の帰還用入力側スイッチの駆動条件となるべき第１クロック信号とを入力し、前記第１選択スイッチ群への選択信号とする第１論理回路群と、前記デコード信号と前記第２次スイッチドキャパシタ積分器の帰還用入力側スイッチの駆動条件となるべき第２クロック信号とを入力し、前記第２選択スイッチ群への選択信号とする第２論理回路群とを含む選択スイッチ駆動回路を有することを特徴とする、請求項８に記載の電子回路。

１０．　複数の異なる電圧のうちの１つの電圧を、複数の選択スイッチ回路によって選択して選択電圧として出力する電圧選択出力回路と、前記選択電圧が入力されるスイッチドキャパシタフィルタ回路とを集積した半導体装置であって、

前記複数の選択スイッチ回路の選択条件に、前記スイッチドキャパシタフィルタ回

路の入力側スイッチ回路の駆動条件を加えて、前記複数の選択スイッチ回路を前記入力側スイッチ回路として兼用することを特徴とする、半導体装置。

図 1

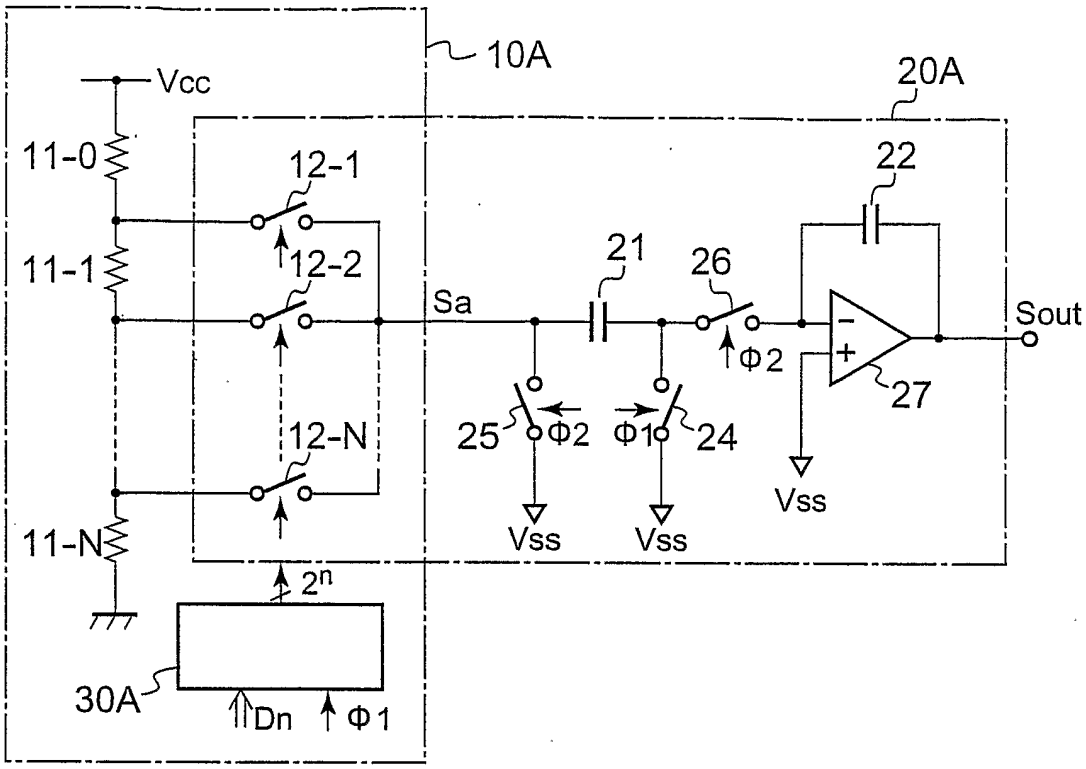

10A
20A
Vcc
11-0
11-1
11-N
12-1
12-2
12-N
Sa
21
22
26
Sout
Φ2
27
25
Φ2
Φ1
24
Vss
Vss
Vss
2n
30A
Dn
Φ1

図 2

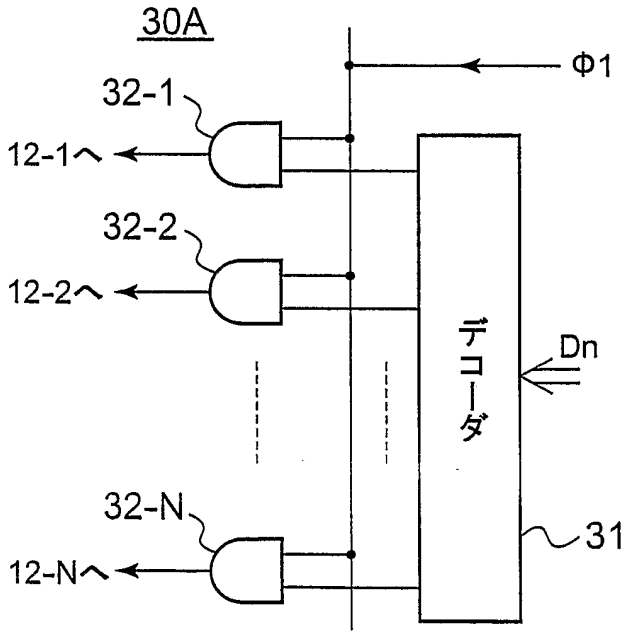

30A
Φ1
32-1
12-1へ
32-2
12-2へ
デコーダ
Dn
32-N
12-Nへ
31

図3

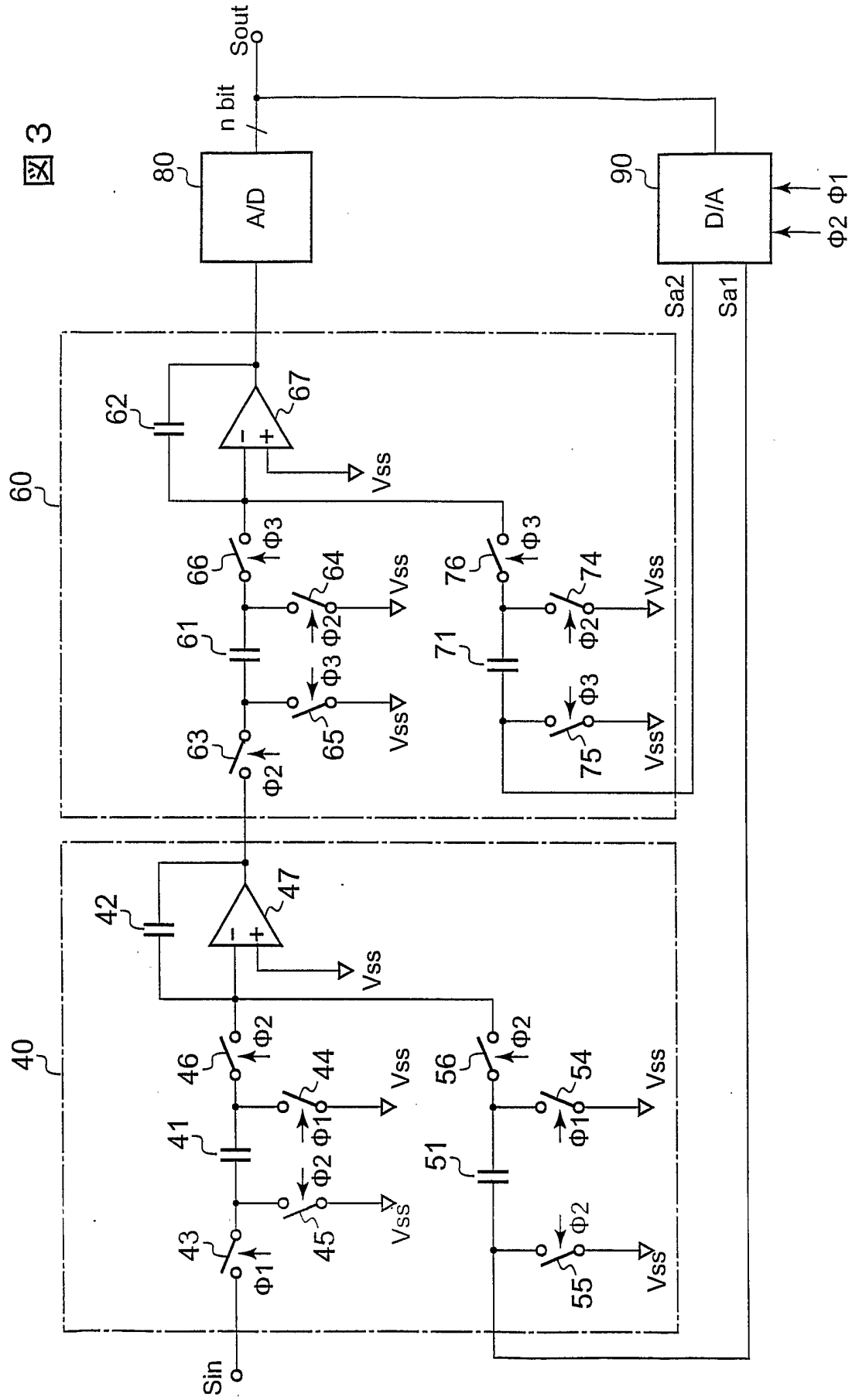

Sout
n bit
80
A/D
90
D/A
Φ2 Φ1
Sa2
Sa1
60
62
67
Vss
66
Φ3
64
Φ2
61
Φ3
63
Φ2
65
76
74
71
75
40
42
47
46
Φ2
44
Φ1
41
Φ2
43
Φ1
45
56
54
51
55
Sin

図4

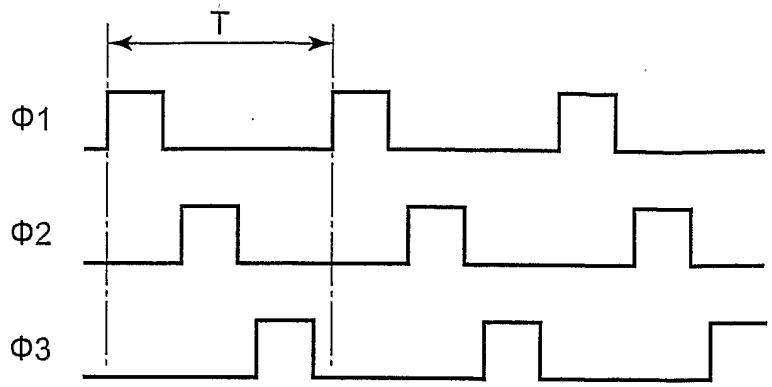

T
Φ1
Φ2
Φ3

図5

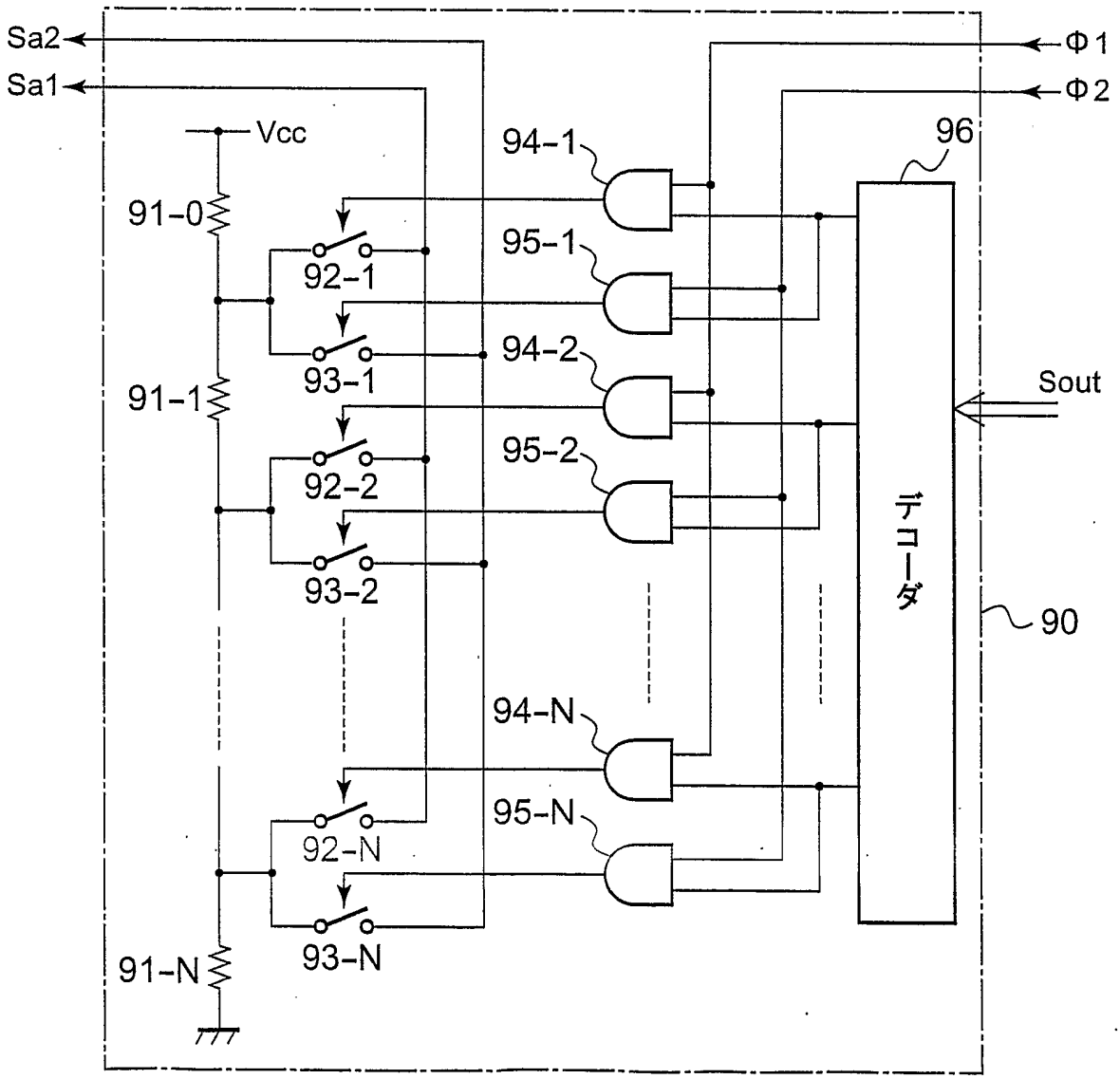
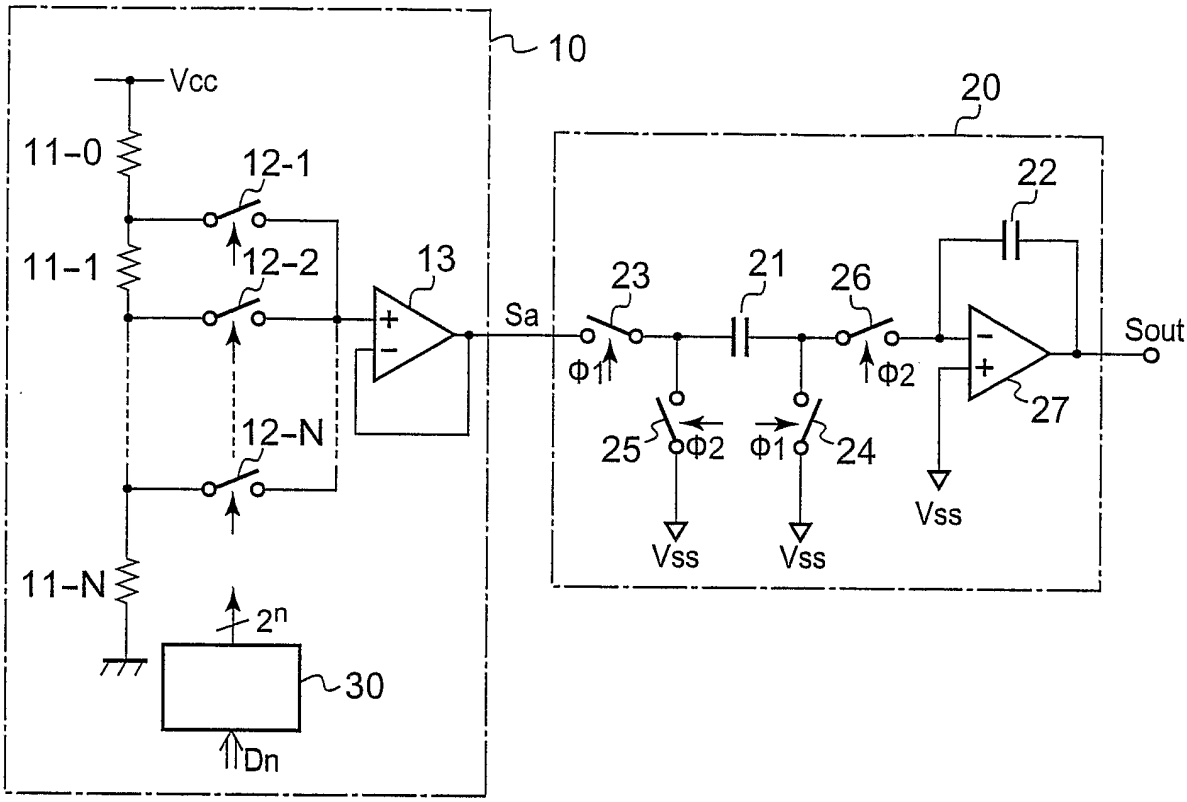

Sa2
Sa1
Vcc
91-0
91-1
91-N
92-1
93-1
92-2
93-2
92-N
93-N
94-1
95-1
94-2
95-2
94-N
95-N
Φ1
Φ2
96
Sout
デコーダ
90

図 6


10
Vcc
11-0
12-1
11-1
12-2
13
12-N
11-N
2n
30
Dn
Sa
20
23
21
26
22
Φ1
Φ2
25
Φ2
Φ1
24
27
Sout
Vss
Vss
Vss

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/018402

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/66 (2006.01), ***H03M3/02*** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/00 (2006.01)-***H03M1/88*** (2006.01), ***H03M3/02*** (2006.01)-***H03M3/04*** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-532937 A (Infineon Technologies AG.), 02 October, 2002 (02.10.02), Fig. 1 & WO 2000/035096 A2 & EP 1138120 A2 & US 6340945 B1	1,3,10 2,4-9
Y	JP 03-218121 A (Toshiba Corp.), 25 September, 1991 (25.09.91), Figs. 2, 7 & US 5101205 A	2,4-9
Y	JP 11-055121 A (Asahi Kasei Microsystems Co., Ltd.), 26 February, 1999 (26.02.99), Fig. 5 & EP 899884 A2 & US 5990819 A	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 November, 2005 (11.11.05)	22 November, 2005 (22.11.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/018402

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-222274 A (Thine Electronics, Inc.), 05 August, 2004 (05.08.04), Par. Nos. [0070] to [0073]; Figs. 8, 10, 11 & WO 2004/062108 A1	1-10
Y	JP 09-294075 A (Hitachi, Ltd.), 11 November, 1997 (11.11.97), Figs. 1, 2 (Family: none)	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１８４０２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　***H03M1/66*** (2006.01), ***H03M3/02*** (2006.01)

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　***H03M1/00*** (2006.01)- ***H03M1/88*** (2006.01), ***H03M3/02*** (2006.01)- ***H03M3/04*** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP 2002-532937 A (インフィネオン　テクノロジース　アクチエンゲゼルシャフト) 2002.10.02, 第１図 & WO 2000/035096 A2 & EP 1138120 A2 & US 6340945 B1	1,3,10 2,4-9
Y	JP 03-218121 A (株式会社東芝) 1991.09.25, 第2,7図 & US 5101205 A	2,4-9
Y	JP 11-055121 A (旭化成マクロシステム株式会社) 1999.02.26, 第５図 & EP 899884 A2 & US 5990819 A	1-10

☑ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．１１．２００５	２２．１１．２００５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　９５６１
柳下　勝幸
電話番号　０３－３５８１－１１０１　内線　３５９６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2004-222274 A（ザインエレクトロニクス株式会社）2004.08.05, 段落 70-73, 第 8, 10, 11 図 & WO 2004/062108 A1	1-10
Y	JP 09-294075 A（株式会社日立製作所）1997.11.11, 第 1, 2 図（ファミリーなし）	1-10