

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4316657号  
(P4316657)

(45) 発行日 平成21年8月19日(2009.8.19)

(24) 登録日 平成21年5月29日(2009.5.29)

(51) Int. Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 2 6 A
HO 1 L 27/04 (2006.01)	HO 1 L 29/78	6 1 3 A
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 1 6 S
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	6 1 8 C
HO 1 L 27/088 (2006.01)	HO 1 L 29/78	6 5 6 A
請求項の数 20 (全 76 頁) 最終頁に続く		

(21) 出願番号	特願2008-199992 (P2008-199992)	(73) 特許権者	506240584
(22) 出願日	平成20年8月1日(2008.8.1)		日本ユニサンティスエレクトロニクス株式会社
(65) 公開番号	特開2009-182316 (P2009-182316A)		東京都中央区新川1-22-11 フジライト新川ビル2F
(43) 公開日	平成21年8月13日(2009.8.13)	(74) 代理人	100082005
審査請求日	平成20年8月4日(2008.8.4)		弁理士 熊倉 禎男
(31) 優先権主張番号	PCT/JP2008/051300	(74) 代理人	100067013
(32) 優先日	平成20年1月29日(2008.1.29)		弁理士 大塚 文昭
(33) 優先権主張国	世界知的所有権機関(WO)	(74) 代理人	100086771
早期審査対象出願			弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之
		(74) 代理人	100151987
			弁理士 谷口 信行
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のMOSトランジスタのドレイン領域又はソース領域のいずれかと、第2のMOSトランジスタのドレイン領域又はソース領域のいずれかが接続される回路を備えた半導体装置であって、

基板と、

前記基板上的絶縁膜と、

前記基板上的絶縁膜上に形成された平面状半導体層と、

を備え、

前記第1のMOSトランジスタは、前記平面状半導体層に形成される第1のドレイン又はソース領域、該平面状半導体層上に形成される第1の柱状半導体層、該第1の柱状半導体層上部に形成される第2のソース又はドレイン領域、及び該第1の柱状半導体層の側壁を包囲するように第1の絶縁膜を介して形成される第1のゲート電極を含み、

前記第2のMOSトランジスタは、前記平面状半導体層に形成される第3のドレイン又はソース領域、該平面状半導体層上に形成される第2の柱状半導体層、該第2の柱状半導体層上部に形成される第4のソース又はドレイン領域、及び該第2の柱状半導体層の側壁を包囲するように第1の絶縁膜を介して形成される第2のゲート電極を含み、

前記第1のゲート電極と前記第2のゲート電極が、前記第1及び第2のゲート電極から延在するゲート配線により接続され、

前記ゲート配線上に形成されるコンタクトが、前記第1の柱状半導体層と前記第2の柱

状半導体層との間の領域に形成されていることを特徴とする半導体装置。

【請求項 2】

前記第 1 のドレイン又はソース領域の表面の少なくとも一部と前記第 3 のドレイン又はソース領域の表面の少なくとも一部とを接続する第 1 のシリサイド層が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 のシリサイド層は、少なくとも前記第 1 のドレイン又はソース領域及び前記第 3 のドレイン又はソース領域に対するコンタクトが形成される領域以外の領域に形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 の MOS トランジスタ及び前記第 2 の MOS トランジスタは異なる導電型の MOS トランジスタであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1、第 2 のゲート電極はゲート配線と一体的に形成され、該ゲート配線の上面は該第 1、第 2 のゲート電極の上面と同じ高さであり、かつ該一体的に形成された第 1、第 2 のゲート電極及びゲート配線の上面全面が基板に平行な面に形成され、前記コンタクトが該基板に平行な面に形成された上面において接するように設けられていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記ゲート配線上に形成されるコンタクトは、前記第 1 のドレイン又はソース領域が、前記第 3 のドレイン又はソース領域と接している領域上に形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記ゲート配線上に形成される前記コンタクトは、前記ゲート配線が前記第 1 の絶縁膜を介して基板上の絶縁膜と接している部分に形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記ゲート配線は、前記第 1 の絶縁膜を介して前記第 1 のドレイン又はソース領域を含む前記平面状半導体層の上部表面と接する部分、前記第 1 の絶縁膜を介して前記第 3 のドレイン又はソース領域を含む前記平面状半導体層の上部表面と接する部分、及び前記第 1 の絶縁膜を介して基板上の絶縁膜と接する部分の全ての部分を含み、

前記ゲート配線が接している前記第 1 のドレイン又はソース領域を含む前記平面状半導体層の側壁と、前記ゲート配線が接している前記第 3 のドレイン又はソース領域を含む前記平面状半導体層の側壁とが、相対して形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記第 1 のゲート電極及び前記第 1 のゲート電極から延在するゲート配線、並びに前記第 2 のゲート電極及び前記第 2 のゲート電極から延在するゲート配線の下に形成された前記第 1 の絶縁膜と、前記第 1 のドレイン又はソース領域、若しくは前記第 3 のドレイン又はソース領域を含む前記平面状半導体層、又は前記基板上の絶縁膜との間に第 3 の絶縁膜が介在し、前記第 3 の絶縁膜の厚さが、前記第 1 の絶縁膜の厚さよりも厚いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】

前記第 3 の絶縁膜は、前記第 1 の絶縁膜よりも比誘電率が小さいことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記第 2 のソース又はドレイン領域の側壁、前記第 4 のソース又はドレイン領域の側壁、前記第 1 のゲート電極、又は前記第 2 のゲート電極が、第 1 のシリコン窒化膜で覆われていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】

10

20

30

40

50

前記第 1 のシリコン窒化膜は応力を有し、前記第 1 の柱状半導体層又は前記第 2 の柱状半導体層のチャンネル部に応力を与えることを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記第 1 のシリサイド層の厚さは前記平面状半導体層の厚さよりも薄く形成されていることを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 1 4】

前記第 1 のシリサイド層が前記基板上の絶縁膜上まで形成されていることを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 1 5】

前記第 2 のソース又はドレイン領域と前記第 4 のソース又はドレイン領域のいずれか一方又は両方の表面には、前記第 2 のシリサイド層が形成されていることを特徴とする請求項 2 又は 3 に記載の半導体装置。

10

【請求項 1 6】

前記第 1 の MOS トランジスタと前記第 2 の MOS トランジスタのいずれか一方又は両方がそれぞれ複数の柱状半導体層から構成され、少なくとも 2 つの柱状半導体層上部に形成されるソース又はドレイン領域に共通に形成される 1 つの共通コンタクトによって互いに接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 1 7】

前記第 2 のソース又はドレイン領域と前記第 1 のゲート電極が 1 つの共通コンタクトで接続されることを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 1 8】

前記第 1 のドレイン又はソース領域と前記第 1 のゲート電極から延在するゲート配線は、1 つの共通コンタクトで接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 1 9】

前記ゲート電極は、薄い金属膜とポリシリコン層の積層構造で形成され、前記薄い金属膜は、前記ポリシリコン層と前記柱状半導体層、前記第 1 のドレイン又はソース領域、前記第 3 のドレイン又はソース領域、及び前記基板上の絶縁膜上に形成された前記第 1 の絶縁膜との間に介在することを特徴とする請求項 5 に記載の半導体装置。

【請求項 2 0】

前記ポリシリコン層の上面にシリサイド層が形成されていることを特徴とする請求項 1 9 に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特に柱状半導体を有し、その側壁をチャンネル領域とし、ゲート電極がチャンネル領域を取り囲むように形成された縦型 MOS トランジスタである SGT (Surrounding Gate Transistor) の構造およびその製造方法に関する。

【背景技術】

【0002】

40

半導体装置の高集積化、高性能化を実現するため、半導体基板の表面に柱状半導体を形成し、その側壁に柱状半導体層を取り囲むように形成されたゲートを有する縦型トランジスタ SGT が提案された (例えば、特許文献 1 および特許文献 2)。SGT はソース、ゲート、ドレインが垂直方向に配置されるため、従来のプレーナー型トランジスタに比べて占有面積を大幅に縮小することができる。また、ゲートがチャンネル領域を取り囲んでいるため、柱状半導体寸法を縮小するにつれて、ゲートによるチャンネル制御性を効果的に向上させることができ、急峻なサブスレッショルド特性が得られる。さらに、柱状半導体が完全空乏化するように柱状半導体濃度と寸法を設定することにより、チャンネル領域の電界緩和によるモビリティの向上が期待できる。このため、SGT を用いると従来のプレーナー型トランジスタに比べて、高集積化と高性能化を同時に実現することができる。

50

## 【 0 0 0 3 】

S G Tの形成方法として主に以下の2つの方法がある。第1のS G T形成方法は特許文献1の方法であり、先に柱状半導体層をエッチングにより形成した後、柱状半導体層上にゲート絶縁膜およびゲート導電膜を所望の膜厚だけ成膜して、ゲート電極をエッチングにより形成する方法である。第2のS G T形成方法は特許文献2の方法であり、先にゲート導電膜を成膜して、このゲート導電膜を貫通するようにコンタクトホールを形成し、コンタクトホールの内側にゲート絶縁膜および柱状半導体層を成膜して形成する方法である。以下にこれらの2つの方法を使用した従来例について、トランジスタによって形成される回路を含む半導体装置及びその製造方法として、簡単のために回路構成の単純なインバーターを含む半導体装置及びその製造方法を例として説明する。

10

## 【 0 0 0 4 】

まず、第1の方法をとっている特許文献1のS G Tの従来例について説明する。特許文献1のS G Tを用いて設計したC M O Sインバーターの等価回路を図1 2 3 ( a )に、C M O Sインバーターのレイアウトを図1 2 3 ( b )に、図1 2 3 ( b )のレイアウトにおけるA - A 'のカットラインの断面構造を図1 2 3 ( c )に示す。図1 2 3 ( b )、( c )を参照すると、S i基板1 3 0 1上にNウェル1 3 0 2およびPウェル1 3 0 3が形成され、S i基板表面にはNウェル領域にP M O Sを形成する柱状シリコン層1 3 0 5が形成され、Pウェル領域にN M O Sを形成する柱状シリコン層1 3 0 6が形成され、それぞれの柱状シリコン層を取り囲むようにゲート1 3 0 8が形成される。P M O Sを形成する柱状半導体の底部に形成されるP +ドレイン拡散層1 3 1 0およびN M O Sを形成する柱状半導体の底部に形成されるN +ドレイン拡散層1 3 1 2は出力端子V o u t 1 4に接続され、P M O Sを形成する柱状シリコン層上部に形成されるソース拡散層1 3 0 9は電源電位V c c 1 4に接続され、N M O Sを形成する柱状シリコン層上部に形成されるソース拡散層1 3 1 1は接地電位V s s 1 4に接続され、P M O SとN M O Sの共通のゲート1 3 0 8は入力端子V i n 1 4に接続されることによりC M O Sインバーターを形成する。

20

## 【 0 0 0 5 】

上記従来例においてはソース、ゲート、ドレインが垂直方向に配置されるため、トランジスタ自体の占有面積は従来のプレーナー型トランジスタより小さい。しかし、素子分離をL O C O Sで形成しているため、素子分離幅が大きくなり、集積回路における面積効率が低く、S G Tによる面積縮小の効果を十分に生かすことができない。また、このS G T構造においては、ドレイン拡散層( 1 3 1 0、1 3 1 2 )を低抵抗化することが必要であるが、低抵抗化のためにドレイン拡散層( 1 3 1 0、1 3 1 2 )をコンタクトで裏打ちする場合には、ドレイン拡散層上のほとんどの領域にコンタクトを形成しなくてはならないので、第1層配線の引き回しの自由度が著しく制限される。

30

## 【 0 0 0 6 】

また、以下に特許文献1におけるS G Tを用いたD R A MのN M O Sセンスアンプの例を示す。図1 2 4 ( a )はN M O Sセンスアンプの等価回路図であり、図1 2 4 ( b )はN M O Sセンスアンプの平面図であり、図1 2 4 ( c )は図1 2 4 ( b )の平面図におけるA - A 'のカットラインの断面構造である。

図1 2 4 ( a )を参照すると、N M O SであるQ n 1 5 1およびQ n 1 5 2によってフリップフロップが形成され、N M O SであるQ n 1 5 1およびQ n 1 5 2はそれぞれビット線であるB LおよびB L Bに接続される。また、Q n 1 5 1およびQ n 1 5 2はセンスアンプを活性化するためのN M O SであるQ n 1 5 3に接続され、Q n 1 5 3のソースは接地電位であるV s s 1 5に接続される。

40

## 【 0 0 0 7 】

図1 2 4 ( b )、( c )を参照すると、S i基板1 3 2 1上にPウェル1 3 2 2が形成され、S i基板表面には複数の柱状シリコン層( 1 3 2 3 ~ 1 3 2 8 )が形成される。2つの柱状シリコン層( 1 3 2 7、1 3 2 8 )によってセンスアンプを構成するN M O SであるQ n 1 5 1が形成され、他の2つの柱状シリコン層( 1 3 2 4、1 3 2 5 )によってセンスアンプを構成する他のN M O SであるQ n 1 5 2が形成される。それぞれの柱状シ

50

リコン層の外周にゲート絶縁膜 1329 およびゲート電極 1330 が形成される。また、それぞれの柱状シリコン層の下部、上部にはそれぞれソース、ドレインとなる N 型拡散層 (1331、1332) が形成される。対を成すビット線 BL1333 および BLB1334 は、多結晶シリコン膜によってそれぞれ MOS トランジスタ Qn151、Qn152 のドレイン拡散層、即ち柱状シリコン層上部の N+ 拡散層 1332 上に形成されるコンタクトにより接続される。トランジスタ Qn152 のゲート電極 1330 は図 124 (b) のレイアウトで左斜め上にある柱状シリコン層 1323 の上部まで取り出され、コンタクトを經由してビット線 BL1333 に接続されている。トランジスタ Qn151 のゲート電極 1330 は図 124 (b) のレイアウトで右斜め下にある柱状シリコン層 1326 の上部まで取り出され、コンタクトを經由してビット線 BLB1334 に接続されている。柱状シリコン層 (1323、1326) は MOS トランジスタを形成するために設けられているのではなく、ビット線をゲート電極に接続する際のビット線コンタクトを確実にするための台座として設けられている。柱状シリコン層の底部に形成されたソース拡散層 1331 は共通のソースノードであり、コンタクト 1335 によって、接地電位である Vss15 に接続される。また、図には示していないが、同じビット線に沿って、PMOS よりなる PMOS センスアンプが同様の構造とレイアウトにより形成される。

10

#### 【0008】

上記のセンスアンプにおいては、接地配線に接続されるコンタクト 1335 から隣接するトランジスタまでのソース拡散層 1331 の距離が長くなるので、コンタクトによるソース拡散層 1331 の裏打ちが必須である。しかし、このような複雑なレイアウトの回路においてはソース拡散層をコンタクトで裏打ちすることが困難であるので、ソース拡散層の寄生抵抗が高くなり、回路性能が劣化してしまう。

20

#### 【0009】

これらの SGT の従来例における柱状シリコン層およびゲート電極形成プロセスフローの概要を図 125 に示す。以下にこのプロセスフローについて説明する。図 125 (a) において、シリコン基板上に柱状シリコン層 1401 をエッチングすることにより形成する。図 125 (b) において、ゲート絶縁膜 1402 を成膜する。図 125 (c) において、ゲート導電膜 1403 を成膜する。図 125 (d) において、ゲート配線用のレジスト 1404 を、柱状シリコン層を取り囲むゲート導電膜と接するように形成する。図 125 (e) において、ゲートエッチを行う。この工程において、SGT のゲート電極およびゲート配線 1405 を形成する。図 125 (f) において、レジストを剥離する。

30

#### 【0010】

この SGT 形成方法においては、図 125 (d) においてレジスト 1404 を柱状シリコン層の側壁のゲート導電膜とちょうど接するように形成しなくてはならないので、ゲート配線形成のプロセスマージンが小さく、安定して製造することは困難である。この点に関して、以下に説明する。

#### 【0011】

図 126 に図 125 (d) においてゲート配線レジスト 1404 が右にズレた場合の工程図を示す。図 126 (d) は露光のアライメント時にレジストが右にズレた場合である。このとき、レジスト 1414 と柱状シリコン層 1411 の側壁の間にスペースが生じる。図 126 (e) において、ゲートエッチを行う。図 126 (f) において、レジストを剥離する。この場合、SGT のゲート電極 1413 とゲート配線 1415 は断線してしまう。

40

#### 【0012】

続いて、図 127 に図 125 (d) においてゲート配線レジスト 1404 が左にズレた場合の工程図を示す。図 127 (d) は露光のアライメント時にレジストが左にズレた場合である。このとき、レジスト 1424 と柱状シリコン層 1421 上部のゲート電極の間で重なり部 1426 が生じる。図 127 (e) において、ゲートエッチを行う。図 127 (f) において、レジストを剥離する。この場合、SGT のゲート電極 1423 はレジストが形成される側で形状異常 1427 が生じてしまう。

50

## 【 0 0 1 3 】

上記のような、アライメント起因のレジストのズレはウェハー上の様々なパターンやウェハー上の位置によっては必ず生じてしまうため、このSGT形成方法においてはゲート配線形成のプロセスマージンが極端に小さくなる。

## 【 0 0 1 4 】

次に、第2の方法の方法を用いている特許文献2のSGTの従来例について説明する。特許文献2のSGTを用いて設計したCMOSインバーターの断面構造を図128(a)~(e)に示した。図128(a)に示されるように、Si基板にNウェル1502およびPウェル1501が形成され、Si基板表面にはNウェル領域にP+拡散層1504が形成され、Pウェル領域にN+拡散層1503が形成され、P+拡散層1504とN+拡散層1503はLOCOS1505により分離されている。P+拡散層1504上にはPMOSを形成する柱状シリコン層1510が形成され、N+拡散層上にはNMOSを形成する柱状シリコン層1509が形成され、それぞれの柱状シリコン層を取り囲むようにゲート1506が形成される。図には示されていないが、PMOSを形成する柱状シリコン層下部の拡散層1504は電源電位に接続され、NMOSを形成する柱状シリコン層下部の拡散層1503は接地電位に接続され、ゲート電極1506は入力電位に接続される。また、NMOSおよびPMOSを形成する柱状シリコン層上部の拡散層(1512、1511)は配線層1513に接続され、配線層1513は出力電位に接続される。

10

## 【 0 0 1 5 】

図128(a)の構造のSGTにおいては特許文献1のSGT構造と同様にLOCOSで素子分離を行うため、素子分離幅が大きくなり、集積回路における面積効率が低く、SGTによる面積縮小の効果を十分に生かすことができない。

20

## 【 0 0 1 6 】

図128(b)の従来例においても図128(a)と同様の構成にてインバーターが形成されている。図128(b)においては、NMOSおよびPMOSのシリコン層上部の拡散層1531と1532をシリサイド層1533によって接続し、シリサイド層1533上に形成されたコンタクトを通して配線層1534に接続される。

## 【 0 0 1 7 】

この構造においては、NMOSとPMOSのシリコン層上部の拡散層をシリサイド層1533により接続しているため、配線層のレイアウトが容易になる。しかし、インバーターの面積に関しては、柱状シリコン層下部の拡散層(1523、1524)と素子分離1525の面積によって決まってしまうので、図128(a)と比べて小さくすることはできない。また、製造工程を追加してシリサイド層の形成およびパターニングを行うため、製造工程数が多くなってしまう。また、図128(a)、(b)のインバーターともに特許文献1のSGTと同様に、ソース拡散層における寄生抵抗が大きく、回路性能が劣化する要因となる。

30

## 【 0 0 1 8 】

図128(c)、(d)においてはインバーターの構成が図128(a)、(b)の場合と異なるため、以下に図128(c)を例に説明する。

## 【 0 0 1 9 】

図128(c)を参照して、Si基板にPウェル1541が形成され、Si基板表面にはN+拡散層1542が形成され、N+拡散層表面にはシリサイド層1543が形成される。また、N+拡散層1542及びシリサイド層1543はLOCOS1551により分離されている。シリサイド層1543上にはPMOSを形成する柱状シリコン層1548およびNMOSを形成する柱状シリコン層1547が形成され、それぞれの柱状シリコン層を取り囲むようにゲート1544が形成される。図には示されていないが、シリサイド層1543は出力電位に接続され、ゲート電極1544は入力電位に接続され、PMOSを形成する柱状シリコン層上部の拡散層1550は電源電位に接続され、NMOSを形成する柱状シリコン層下部の拡散層1549は接地電位に接続される。このインバーターにおいては、図128(a)、(b)と異なり、出力電位が基板側に出力される。

40

50

## 【 0 0 2 0 】

図 1 2 8 ( c ) の構造においては、出力電位が基板側に出力されるため、柱状シリコン層 1 5 4 8 底部の P + 拡散層領域 1 5 4 6 および柱状シリコン層 1 5 4 7 底部の N + 拡散層領域 1 5 4 5 がシリサイド層 1 5 4 3 を介して接続される構造になっており、P + 拡散層 1 5 4 6 と N + 拡散層 1 5 4 5 を分離するための素子分離が必要ないので、図 1 2 8 ( a )、( b ) のインバーターと比べるとインバーターの占有面積は小さくなる。

## 【 0 0 2 1 】

しかし、この構造では、柱状シリコン層底部のシリサイド層 1 5 4 3 を形成した後で、トランジスタを形成しなければならない。通常、シリサイド層は耐熱性が低く、特に 6 5 n m 世代以降の微細なデバイスに採用されているニッケルシリサイド ( N i S i ) の場合には、その耐熱性は 5 0 0 ~ 6 0 0 程度である。このため、トランジスタ形成に必要な 1 0 0 0 程度の不純物活性化熱処理が加わるとシリサイド層は過剰反応してしまい高抵抗化やリーク電流の増加の原因となる。したがって、この従来例の構造においては実際には安定して製造することは困難である。さらに、柱状シリコン層底部にシリサイド層 1 5 4 3 が存在しているため、柱状シリコン層の成長時においてシリコンをエピタキシャル成長により形成することができないので、トランジスタ特性が著しく低下してしまう。

## 【 0 0 2 2 】

図 1 2 8 ( d ) の従来例においても、( c ) のインバーターと同様に出力電位が基板側に形成されている。この従来例では、柱状シリコン層 1 5 6 8 底部の P + 拡散層領域 1 5 6 6 と S i 基板上的 N + 拡散層 1 5 6 2 の界面にシリサイド層 1 5 6 3 を形成することにより、N M O S を形成する柱状シリコン層 1 5 6 7 底部の N + 拡散層 1 5 6 5 と基板上的 N + 拡散層 1 5 6 2 が接続しているため、N + 拡散層と P + 拡散層を分離するための素子分離が必要ないので、インバーターの占有面積は小さくなる。しかし、この従来例においても、図 1 2 8 ( b ) と同様にシリサイド層形成後にトランジスタが形成されるため、シリサイド層の耐熱性の問題のため、安定して製造することは困難である。さらに、図 1 2 8 ( c ) の場合と同様に、P M O S 柱状シリコン層底部にシリサイド層 1 5 6 3 が存在しているため、P M O S の柱状シリコン層の成長時においてシリコンをエピタキシャル成長により形成することができないので、トランジスタ特性が著しく低下してしまう。

## 【 0 0 2 3 】

図 1 2 8 ( e ) には、図 1 2 8 ( a ) ~ ( d ) と同様の製造方法を用いて S O I 基板上に形成された S G T のインバーターについて記述している非特許文献 1 における従来例を示す。この従来例においては、インバーターが S O I 基板上に形成されるため、ウェルを形成する必要がなく、素子分離幅を縮小することができるので、同様のインバーター構造を持つ図 1 2 8 ( a )、( b ) に比べると、素子分離幅の縮小分だけインバーターの占有面積を縮小することができる。

## 【 0 0 2 4 】

以下にこのインバーターについて説明する。図 1 2 8 ( e ) に示されるように、埋め込み酸化膜 1 5 7 1 上に N + ソース拡散層 1 5 7 2 および P + ソース拡散層 1 5 7 3 が形成され、N + ソース拡散層 1 5 7 2 上には N M O S を形成する柱状シリコン層 1 5 7 4 が形成され、P + ソース拡散層上には P M O S を形成する柱状シリコン層 1 5 7 5 が形成される。また、N M O S を形成する柱状シリコン層 1 5 7 4 の上部には N + ドレイン拡散層 1 5 7 6 が形成され、P M O S を形成する柱状シリコン層 1 5 7 5 上には P + ドレイン拡散層 1 5 7 7 が形成される。それぞれの柱状シリコン層の周囲にはゲート 1 5 7 8 が形成される。N + ソース拡散層 1 5 7 2 は配線層 1 5 7 9 から延びるコンタクトを経由して接地電位に接続され、P + ソース拡散層 1 5 7 3 は配線層 1 5 8 0 から延びるコンタクトを経由して電源電位に接続され、N M O S および P M O S を形成する柱状シリコン層上部の拡散層 ( 1 5 7 6、1 5 7 7 ) は配線層 1 5 8 1 から延びるコンタクトを経由して出力電位に接続される。

## 【 0 0 2 5 】

本従来例においては、図 1 2 8 ( a )、( b ) と同様に、出力電位が配線側に形成され

10

20

30

40

50

るため、基板側に素子分離が必要になる。しかし、SOI基板を使用しているため、ウェルを形成する必要がないので、ソース拡散層(1572、1573)をエッチングにより分離するだけで素子分離幅を形成することができる。このため、素子分離にLOCOSを用いた図128(a)、(b)のインバーターよりも素子分離幅の縮小分だけ占有面積を縮小することができる。しかし、この従来例についても、ソース拡散層における寄生抵抗が大きく、回路性能が劣化する要因となる。

【0026】

以上より、図128(a)~(e)に示したいずれのインバーターにおいても、ソース拡散層の寄生抵抗による回路性能の低下を避けることができない。

【0027】

図128(a)~(e)に示されたSGTにおける柱状シリコン層およびゲート電極形成プロセスフローの概要を図129に示す。以下にこのプロセスフローについて説明する。

【0028】

図129(a)において、シリコン基板上にシリコン酸化膜1601、ゲート導電体1602、シリコン酸化膜1603の順で成膜する。図129(b)において、シリコン酸化膜1603、ゲート導電体1602、シリコン酸化膜1601を貫通するようにコンタクトホール1604を形成する。図129(c)において、コンタクトホールの内壁にゲート絶縁膜1605を形成する。図129(d)において、エピタキシャル成長によりシリコンをコンタクトホール内に成膜して、柱状シリコン層1606を形成する。図129

【0029】

このSGT形成方法において、柱状シリコン層を形成するためのコンタクトホールとゲート配線パターンを同一のリソグラフィ工程において形成する場合には、ゲートのパターンニングが複雑になり、SGTのゲート電極の膜厚を薄く形成することが非常に困難であるためゲート電極が占める面積は大きくなる。また、柱状シリコン層を形成するためのコンタクトホールとゲート配線パターンを別々のリソグラフィ工程で形成する場合には、両工程における重ね合わせのズレや寸法のズレを考慮して、柱状シリコン層を取り囲むゲート電極が占める面積を必要以上に大きく形成しなくてはならない。よっていずれの場合においても、ゲート電極の占める面積は実際に必要な面積より増えるため、回路の占有面積が増加することになる。

【0030】

上記の2つのSGT形成方法において最も異なる点として、以下の点が挙げられる。

【0031】

第1の方法においては、柱状シリコン層は単結晶であるシリコン基板をエッチングすることにより形成されているため、犠牲酸化や水素アニール(非特許文献2)等の表面処理を行うことによってエッチング等によって生じるチャンネル部の欠陥や凹凸を回復させることが容易である。このため、チャンネル部において高いキャリア移動度を実現することができ、高性能なトランジスタ特性が得られやすい。

【0032】

一方、第2の方法においては、柱状シリコン層はコンタクトホールの中にエピタキシャル成長されたシリコンによって形成されているが、一般的にはコンタクトホールの側壁にはエッチング時に形成される凹凸が存在しており、このような凹凸を除去することは困難である。したがって、コンタクトホール側壁に形成されるチャンネル部表面にも凹凸が転写されるため、キャリアの移動度は低くなり、高性能なトランジスタを形成するのは困難である。また、現在製造されている65nm世代のLSIのコンタクトホールサイズは80nm程度であり、今後さらにコンタクトホールが微細化していくことを考慮すると、このような微細なコンタクトホールの底部からエピタキシャルシリコンを十分な歩留まりで成膜することは難しい。

【0033】

10

20

30

40

50

【特許文献1】特開平2-188966号公報

【特許文献2】特開平7-99311号公報

【非特許文献1】S. Maeda et al., "Impact of a Vertical - Shape Transistor Cell for 1 Gbit DRAM and Beyond", IEEE TRANSACTION ON ELECTRON DEVICES, 1995年12月、VOL. 42、NO. 12、pp. 2117 - 2124

【非特許文献2】Y. - K Choi et al., "FinFET Process Refinements for Improved Mobility and Gate Work Function Engineering", International Electron Device Meeting Technical Digest, 2002年、p. 259

10

【発明の開示】

【発明が解決しようとする課題】

【0034】

したがって、高集積化かつ高性能で高い歩留まりのSGTの実現には、第1の方法によるSGTの構造及び形成方法が、第2の方法によるSGTの構造及び形成方法に比べて優れているが、第1の方法によるSGTの構造及び形成方法においては、以下の課題がある

。

【0035】

20

第1に、素子の面積縮小及び面積効率のよい素子分離を実現し、回路の占有面積を低減すること。第2に、トランジスタの性能を向上するために、ソースドレイン部の寄生容量及び寄生抵抗を低減すること。第3に、ゲート配線の形成において広いプロセスマージンを持つプロセスを実現すること。

【0036】

本発明は上記の問題点を鑑みてなされたもので、従来のSGTに比べてより高集積化かつ高性能化が可能なSGTおよびその製造方法を提案することを目的とする。

【課題を解決するための手段】

【0037】

本発明の第1の態様は、第1のMOSトランジスタのドレイン領域又はソース領域のいずれかと、第2のMOSトランジスタのドレイン領域又はソース領域のいずれかが接続される回路を備えた半導体装置であって、基板と、前記基板上の絶縁膜と、前記基板上の絶縁膜上に形成された平面状半導体層とを備え、前記第1のMOSトランジスタは、前記平面状半導体層に形成される第1のドレイン又はソース領域、該平面状半導体層上に形成される第1の柱状半導体層、該第1の柱状半導体層上部に形成される第2のソース又はドレイン領域、及び該第1の柱状半導体層の側壁を包囲するように第1の絶縁膜を介して形成される第1のゲート電極を含み、前記第2のMOSトランジスタは、前記平面状半導体層に形成される第3のドレイン又はソース領域、該平面状半導体層上に形成される第2の柱状半導体層、該第2の柱状半導体層上部に形成される第4のソース又はドレイン領域、及び該第2の柱状半導体層の側壁を包囲するように第1の絶縁膜を介して形成される第2のゲート電極を含み、前記第1のゲート電極と前記第2のゲート電極が、前記第1及び第2のゲート電極から延在するゲート配線により接続され、前記ゲート配線上に形成されるコンタクトが、前記第1の柱状半導体層と前記第2の柱状半導体層との間の領域に形成されていることを特徴とする半導体装置を提供するものである。

30

40

【0038】

好ましくは、前記第1のドレイン又はソース領域の表面の少なくとも一部と前記第3のドレイン又はソース領域の表面の少なくとも一部とを接続する第1のシリサイド層が形成されている。

【0039】

好ましくは、前記第1のシリサイド層は、少なくとも前記第1のドレイン又はソース領

50

域及び前記第3のドレイン又はソース領域に対するコンタクトが形成される領域以外の領域に形成されている。

【0040】

好ましくは、前記第1のMOSトランジスタ及び前記第2のMOSトランジスタは異なる導電型のMOSトランジスタである。

【0041】

好ましくは、前記第1、第2のゲート電極はゲート配線と一体的に形成され、該ゲート配線の上面は該第1、第2のゲート電極の上面と同じ高さであり、かつ該一体的に形成された第1、第2のゲート電極及びゲート配線の上面全面が基板に平行な面に形成され、前記コンタクトが該基板に平行な面に形成された上面において接するように設けられている。

10

【0042】

好ましくは、前記ゲート配線上に形成されるコンタクトは、前記第1のドレイン又はソース領域が、前記第3のドレイン又はソース領域と接している領域上に形成される。

【0043】

好ましくは、前記ゲート配線上に形成される前記コンタクトは、前記ゲート配線が前記第1の絶縁膜を介して基板上の絶縁膜と接している部分に形成される。

【0044】

好ましくは、前記ゲート配線は、前記第1の絶縁膜を介して前記第1のドレイン又はソース領域を含む前記平面状半導体層の上部表面と接する部分、前記第1の絶縁膜を介して前記第3のドレイン又はソース領域を含む前記平面状半導体層の上部表面と接する部分、及び前記第1の絶縁膜を介して基板上の絶縁膜と接する部分の全ての部分を含み、前記ゲート配線が接している前記第1のドレイン又はソース領域を含む前記平面状半導体層の側壁と、前記ゲート配線が接している前記第3のドレイン又はソース領域を含む前記平面状半導体層の側壁とが、相対して形成されている。

20

【0045】

好ましくは、前記第1のゲート電極及び前記第1のゲート電極から延在するゲート配線、並びに前記第2のゲート電極及び前記第2のゲート電極から延在するゲート配線の下に形成された前記第1の絶縁膜と、前記第1のドレイン又はソース領域、若しくは前記第3のドレイン又はソース領域を含む前記平面状半導体層、又は前記基板上的絶縁膜との間に第3の絶縁膜が介在し、前記第3の絶縁膜の厚さが、前記第1の絶縁膜の厚さよりも厚い。

30

【0046】

好ましくは、前記第3の絶縁膜は、前記第1の絶縁膜よりも比誘電率が小さい。

【0047】

好ましくは、前記第2のソース又はドレイン領域の側壁、前記第4のソース又はドレイン領域の側壁、前記第1のゲート電極、又は前記第2のゲート電極が、第1のシリコン窒化膜で覆われている。

【0048】

好ましくは、前記第1のシリコン窒化膜は応力を有し、前記第1の柱状半導体層又は前記第2の柱状半導体層のチャネル部に応力を与える。

40

【0049】

好ましくは、前記第1のシリサイド層の厚さは前記平面状半導体層の厚さよりも薄く形成されている。

【0050】

好ましくは、前記第1のシリサイド層が前記基板上的絶縁膜上まで形成されている。

【0051】

好ましくは、前記第2のソース又はドレイン領域と前記第4のソース又はドレイン領域のいずれか一方又は両方の表面には、前記第2のシリサイド層が形成されている。

【0052】

50

好ましくは、前記第1のMOSトランジスタと前記第2のMOSトランジスタのいずれか一方又は両方がそれぞれ複数の柱状半導体層から構成され、少なくとも2つの柱状半導体層上部に形成されるソース又はドレイン領域に共通に形成される1つの共通コンタクトによって互いに接続される。

【0053】

好ましくは、前記第2のソース又はドレイン領域と前記第1のゲート電極が1つの共通コンタクトで接続される。

【0054】

好ましくは、前記第1のドレイン又はソース領域と前記第1のゲート電極から延在するゲート配線は、1つの共通コンタクトで接続される。

10

【0055】

好ましくは、前記ゲート電極は、薄い金属膜とポリシリコン層の積層構造で形成され、前記薄い金属膜は、前記ポリシリコン層と前記柱状半導体層、前記第1のドレイン又はソース領域、前記第3のドレイン又はソース領域、及び前記基板上の絶縁膜上に形成された前記第1の絶縁膜との間に介在する。

【0056】

好ましくは、前記ポリシリコン層の上面にシリサイド層が形成されている。

【発明の効果】

【0057】

本発明の構成により、SGTにおいて、狭い素子分離を容易に可能とする基板上に絶縁膜が形成された基板の採用、トランジスタ同士を接続するシリサイド層の安定的な形成、ゲート電極の柱状半導体層の周囲への自己整合的な所望の膜厚での形成が同時に可能となった。これにより、素子の面積縮小及び面積効率のよい素子分離、回路の占有面積の低減、微細化に伴って増加する寄生抵抗、寄生容量の低減、回路設計の自由度の増大を同時に実現することができる。すなわち、基板上に絶縁膜が形成された基板上に形成された平面状半導体層に形成された拡散層においてトランジスタ同士を接続する構造において、平面状半導体層の上部にシリサイド層を形成することにより、安定したシリサイド層を形成することができる。このシリサイド層によって、微細化に伴って増加する抵抗を減少させることができる。特に、異なる導電型のトランジスタを接続する場合には、シリサイド層によって異なる導電型の拡散層を直接接続することができるので、トランジスタ同士を近接して配置することができ、従来のSGTよりインバーター等の回路の占有面積を著しく縮小することができる。また、シリサイド層によって微細化に伴って増加する抵抗を減少させることができるので、トランジスタを必ずしも最近接に配置する必要がなく、回路設計の自由度が増す。さらに、基板上に絶縁膜が形成された基板を用いたことよりドレイン又はソース拡散層の寄生容量が低減する。

20

30

【0058】

本発明の製造方法によれば、ゲート電極を柱状シリコン層の周囲に自己整合的に所望の膜厚だけ形成することができるため、異なるゲート電極を持つ柱状シリコン層同士を密に配置することが可能になり、回路の占有面積を縮小することができる。また、ゲート配線を形成するために十分なプロセスマージンを持つプロセスを構築することができるので、これまでSGTで課題とされてきたゲート配線の形成が容易になる。

40

【発明を実施するための最良の形態】

【0059】

以下の実施例においては、トランジスタによって形成される回路を含む半導体装置及びその製造方法として、簡単のために回路構成の単純なインバーターを含む半導体装置及びその製造方法を例として説明するが、本発明が他の任意のトランジスタによって形成される回路を含む半導体装置及びその製造方法にも適用可能であることは、当業者に明らかであるであろう。

【実施例1】

【0060】

50

図1は本発明を用いたCMOSインバーターの等価回路である。以下に、CMOSインバーターの回路動作について説明する。入力信号 $V_{in1}$ はNMOSである $Q_{n11}$ およびPMOSである $Q_{p11}$ および $Q_{p12}$ の両方のゲートに印加される。 $V_{in1}$ が“1”のとき、NMOSである $Q_{n11}$ はON状態、PMOSである $Q_{p11}$ および $Q_{p12}$ はOFF状態となり、 $V_{out1}$ は“0”になる。逆に、 $V_{in1}$ が“0”のとき、NMOSである $Q_{n11}$ はOFF状態、PMOSである $Q_{p11}$ および $Q_{p12}$ はON状態となり、 $V_{out1}$ は“1”になる。以上のように、CMOSインバーターは入力値である $V_{in1}$ の信号に対して、出力値である $V_{out1}$ の信号は反対の値をとるように動作する。

#### 【0061】

図2は本発明を用いたCMOSインバーターの平面図である。図3(a)、(b)は図2におけるカットラインA-A'とB-B'の断面図である。図2および図3を参照して本発明について説明する。

#### 【0062】

埋め込み酸化膜層1の上に平面状シリコン層2が形成され、平面状シリコン層2はN+ドレイン拡散層3およびP+ドレイン拡散層4からなり、N+ドレイン拡散層3とP+ドレイン拡散層4の境界付近の表面にはN+ドレイン拡散層3とP+ドレイン拡散層4を互いに直接接続させるためのシリサイド層が形成される。このため、N+ドレイン拡散層3とP+ドレイン拡散層4を接続するためのコンタクトや素子分離が必要ないので、インバーターの占有面積を小さくすることができる。また、素子分離は平面状シリコン層2を分離するだけで形成することができるので、工程数が少なく、最小加工寸法で素子分離を形成することができる。N+ドレイン拡散層3に形成される柱状シリコン層5によってNMOSTランジスタ $Q_{n11}$ が形成され、P+ドレイン拡散層4に形成される柱状シリコン層(6a、6b)によってPMOSTランジスタ $Q_{p11}$ および $Q_{p12}$ が形成されている。柱状シリコン層(5、6a、6b)を取り囲むように $HfO_2$ などのHigh-k膜などの第1の絶縁膜7が形成され、それを取り囲むようにTa<sub>2</sub>N<sub>5</sub>やTiNなどの金属膜によりゲート電極(8、8a、8b)が形成されている。NMOSを形成する柱状シリコン層5の上部にN+ソース拡散層9が、PMOSを形成する柱状シリコン層(6a、6b)の上部にP+ソース拡散層(10a、10b)が形成される。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜13が形成され、さらにシリコン窒化膜13上に層間シリコン酸化膜14が形成され、平坦化されたシリコン酸化膜14を貫通するようにコンタクト(15、16、16a、16b、17a、17b)が形成されている。なお、シリコン窒化膜13に応力を持たせることにより、柱状シリコン層のチャンネル部に応力を加え、モビリティを向上させることができる。特に、NMOS上には引っ張り応力を持つシリコン窒化膜を、PMOS上には圧縮応力を持つシリコン窒化膜を別々に形成することにより、NMOSとPMOSにおいて共にモビリティを向上させることも可能である。

#### 【0063】

N+ドレイン拡散層3とP+ドレイン拡散層4の境界に形成されたコンタクト15は配線層を通して出力端子 $V_{out1}$ に接続され、 $Q_{n11}$ を形成する柱状シリコン層5の上部に形成されたコンタクト16は配線層を通して接地電位 $V_{ss1}$ に接続され、 $Q_{p11}$ および $Q_{p12}$ を形成する柱状シリコン層(6a、6b)の上部に形成されたコンタクト(16a、16b)は配線層を通して電源電位 $V_{cc1}$ に接続され、柱状シリコン層5を取り囲むゲート電極から延在するゲート配線8c上に形成されるコンタクト17aおよび柱状シリコン層(6a、6b)を取り囲むゲート電極から延在するゲート配線8d上に形成されるコンタクト17bは配線層を通して入力端子 $V_{in1}$ に接続されることによりインバーターを形成する。

#### 【0064】

上記柱状シリコン層のチャンネル部は不純物がドーピングされていないか、不純物濃度が $1e^{-17}cm^{-3}$ 以下であることが好ましい。不純物濃度がこれ以上高くなると不純物の統計的

10

20

30

40

50

なゆらぎによるトランジスタの特性バラつきが大きくなるためである。トランジスタのしきい値調整はゲート材料の仕事関数を調整すること等により行うことができる。なお、High-k膜などの第1の絶縁膜はシリコン酸化膜やシリコン窒化膜などでもよく、金属ゲート電極はシリサイド化されたポリシリコン膜でもよい。

【0065】

柱状シリコン層底部のドレイン拡散層領域(3、4)が埋め込み酸化膜層1まで形成されるように不純物分布を設定し、トランジスタ動作時に柱状シリコン層内部が完全に空乏化するように柱状シリコン層の寸法や、不純物濃度を設定することが好ましい。上記のようにドレイン拡散層領域(3、4)の不純物分布を設定することにより、動作状態によらず柱状シリコン層内部はフローティングボディ構造になり、また上記のように柱状シリコン層の寸法や不純物濃度を設定することにより、トランジスタ動作時には柱状シリコン層内部は完全空乏化するため、柱状シリコン内部の電界が緩和され、モビリティを向上することができる。また、ドレイン拡散層領域(3、4)の不純物を埋め込み酸化膜1まで拡散させることによって、ドレイン拡散層容量の底面成分が大幅に減少し、トータルのドレイン拡散層の寄生容量を低減することができる。なお、不純物は柱状シリコン層の底部を覆うように拡散されていてもよい。

10

【0066】

ゲートへのコンタクト(17a、17b)を埋め込み酸化膜上に形成されたゲート配線(8c、8d)上に形成することにより、ドレイン拡散層(3、4)とゲートの対向面積を減らすことができるため、ゲート-ドレイン間の寄生容量を低減することができる。図2のレイアウトにおいては、ゲート配線とドレイン拡散層(3、4)との対向面積を低減するために、ゲート配線(8c、8d)へのコンタクト(17a、17b)をNMOSとPMOSにおいて別々に埋め込み酸化膜1上に形成している。

20

【0067】

ドレイン拡散層上に形成されたコンタクト15は、N+拡散層3とP+拡散層4との境界に形成されるのが好ましい。この理由は、N+拡散層とP+拡散層との境界から柱状シリコン層(5、6a)までの間には、柱状シリコン層と注入領域間の重ね合わせマージン分の距離を設ける必要があるが、境界上にコンタクトを形成することにより、このスペースを有効に活用することができるためである。このため、インバータ回路の占有面積を縮小することができる。

30

【0068】

以下に本発明の半導体装置を形成するための製造方法の一例を図4～図31を参照して説明する。各図において(a)は平面図、(b)はA-A'間の断面図を示している。

【0069】

図4は埋め込み酸化膜1上に不純物がドーブされていないSOI層2aが形成されているSOI基板である。まず、SOI層2a上に膜厚50～100nm程度のシリコン窒化膜18を成膜する。

【0070】

図5に示されるように、レジストまたは多層レジストをマスクにして、反応性イオンエッチングにより窒化膜18およびSOI層2aをエッチングして、柱状シリコン層(5、6a、6b)を形成する。柱状シリコン層の直径は10～50nm程度、高さは50～200nm程度とする。このとき、柱状シリコン層の下部に平面状シリコン層2を10～100nm程度の厚さで形成する。

40

【0071】

図6に示されるように、レジストマスクまたは多層レジストをマスクとして、反応性イオンエッチングにより平面状シリコン層2をエッチングして分離する。本発明において、素子分離は平面状シリコン層を分離するだけで形成することができるので、工程数が少なく、最小加工寸法で狭い素子分離幅を形成することができる。

【0072】

図7に示されるように、柱状シリコン層を犠牲酸化し、チャンネル部になる柱状シリコン

50

層表面を平坦化する。犠牲酸化膜 19 は不純物注入時のスルー酸化膜として用いることもできる。

【0073】

図 8 に示されるように、レジストマスク 20 を用いて、平面状シリコン層 2 にイオン注入等により As や P などの不純物を導入して N+ ドレイン拡散層 3 を形成する。このとき、柱状シリコン層上部の窒化膜 18 を柱状シリコン層上部への不純物注入防止用のストッパーとして使用する。

【0074】

図 9 に示されるように、同様に B や  $BF_2$  などの不純物を導入して、P+ ドレイン拡散層 4 を形成する。その後の熱処理後に、埋め込み酸化膜 1 まで不純物が拡散するように平面状シリコン層 2 の膜厚や不純物の注入条件、熱処理条件を設定する。

10

【0075】

図 10 に示されるように、犠牲酸化膜 19 を除去して、シリコン表面を露出する。

【0076】

図 11 に示されるように、ゲート絶縁膜として  $HfO_2$  などの High-k 膜などの第 1 の絶縁膜 7 を CVD 法もしくは ALD 法により 1 ~ 5 nm 程度の厚さで成膜する。

【0077】

図 12 に示されるように、ゲート導電膜として TiN や TaN などのゲート導電膜 80 を 10 ~ 60 nm 程度の厚さで成膜する。

【0078】

20

図 13 に示されるように、シリコン酸化膜などの第 2 の絶縁膜 21 を成膜して柱状シリコン層間を埋め込む。

【0079】

図 14 に示されるように、CMP によりシリコン酸化膜などの第 2 の絶縁膜 21、柱状シリコン層上部のゲート導電膜、High-k 膜などの第 1 の絶縁膜を研磨し、ゲート上面を平坦化する。ゲート上部を CMP によって平坦化することにより、良好なゲート形状を実現でき、ゲート長のバラつきを抑制することができる。CMP 時においては、柱状シリコン層上部の窒化膜 18 を CMP のストッパーとして使用する。窒化膜 18 を CMP ストッパーとして使用することにより、再現性よく CMP 研磨量を制御することができる。なお、CMP のストッパー膜としては、シリコン窒化膜以外にも、CMP のストッパー膜として機能するものであれば、他の膜を使用することができ、そのような膜を SOI 層 2a 上に予め成膜しておくこともできる。

30

【0080】

図 15 に示されるように、ゲート長を決定するために、ゲート導電膜 80 およびシリコン酸化膜などの第 2 の絶縁膜 21 をエッチバックして、ゲート電極 (8、8a、8b) を形成する。このときに、ゲート導電膜 80 とシリコン酸化膜などの第 2 の絶縁膜 21 をなるべく同じレートでエッチングし、なおかつ窒化膜 18 に対して高選択比を取るようなエッチング条件を使用する。ゲート導電膜 80 とシリコン酸化膜 21 などの第 2 の絶縁膜を同じレートでエッチングすることにより、両者の上面段差を抑えることができるため、次工程以降においてシリコン窒化膜サイドウォール 23 の形成が容易になる。

40

【0081】

図 16 に示されるように、シリコン窒化膜 22 を成膜する。

【0082】

図 17 に示されるように、シリコン窒化膜 22 をエッチバックして、メタルゲートの上部にシリコン窒化膜サイドウォール 23 を形成する。このとき、ゲート上に残るシリコン窒化膜サイドウォール 23 がちょうどゲートを覆うようにシリコン窒化膜成膜量とエッチバック量を設定する。この窒化膜サイドウォールで覆われた部分のゲートはエッチング時に保護されるため、ゲート電極を所望の膜厚で自己整合的に形成することができ、占有面積を縮小およびゲートと拡散層間の寄生容量を低減することができる。なお、ここでは、サイドウォール用の保護膜として、シリコン窒化膜を用いたが、これ以外にも、サイドウ

50

オール用の保護膜として機能する保護膜であれば、例えば、シリコン酸化膜のようなものも用いることができる。

【 0 0 8 3 】

図 1 8 に示されるように、メタルゲート上に残存するシリコン酸化膜などの第 2 の絶縁膜 2 1 をウェットエッチにて除去した後、レジストまたは多層レジストを塗布し、リソグラフィによりゲート配線パターンをレジスト 2 4 により形成する。

【 0 0 8 4 】

図 1 9 に示されるように、レジストマスクを用いて、ゲート底部およびゲート下の High - k 膜などの第 1 の絶縁膜を反応性イオンエッチングによりエッチングする。これによりゲート配線 ( 8 c 、 8 d ) が形成される。上記のように、柱状シリコン層の上部にハードマスクであるシリコン窒化膜を形成した構造を用いて、ゲート上面を CMP によって平坦化する工程と、ゲート長を決めるためのエッチングと、ゲート電極保護用の窒化膜サイドウォールの形成と、ゲート配線のパターニングと、ゲート配線を形成するためのエッチングを順次行うことにより、良好なゲート形状で寸法バラツキの小さいゲートを形成することができ、さらにゲート配線を自由に形成することができる。また、ゲート電極の膜厚を自己整合的に制御することができるため、占有面積の縮小およびゲートと拡散層間の寄生抵抗の削減が可能である。

【 0 0 8 5 】

図 2 0 に示されるように、柱状シリコン上部のシリコン窒化膜 1 8 および窒化膜サイドウォール 2 3 をウェット処理により除去する。

【 0 0 8 6 】

図 2 1 に示されるように、シリコン窒化膜 2 5 を 1 0 ~ 5 0 n m 程度の膜厚で成膜する。

【 0 0 8 7 】

図 2 2 に示されるように、窒化膜 2 5 をエッチバックして、ソース拡散層領域 ( 9 、 1 0 a 、 1 0 b ) の上面およびドレイン拡散層領域 ( 3 、 4 ) 表面を露出させ、柱状シリコン層の側壁およびゲート側壁を窒化膜 2 5 で覆う構造にする。このような構造にすることにより、High - k 膜などの第 1 の絶縁膜 7 が上記窒化膜 2 5 により覆われるので、後工程における High - k 膜などの第 1 の絶縁膜 7 へのウェット処理によるダメージや、不純物注入によるダメージを防ぐことができる。このとき、窒化膜の膜厚は薄すぎると、High - k 膜などの第 1 の絶縁膜 7 へのダメージを完全に防ぎきれず、厚すぎるとゲート側壁に成膜された膜厚分だけ占有面積が増加するので、最適な膜厚を選択する必要がある。なお、ここでは、保護膜として、シリコン窒化膜を用いたが、これ以外にも、保護膜として機能する保護膜であれば、例えば、シリコン窒化膜とシリコン酸化膜の積層構造の膜を用いることもできる。

【 0 0 8 8 】

図 2 3 に示されるように、レジスト 2 0 によるパターニングを行い、イオン注入等により柱状シリコン層 5 の上部に N + ソース拡散層 9 を形成する。

【 0 0 8 9 】

図 2 4 に示されるように、同様に柱状シリコン層 ( 6 a 、 6 b ) の上部に P + ソース拡散層 ( 1 0 a 、 1 0 b ) を形成する。

【 0 0 9 0 】

図 2 5 に示されるように、シリサイド化しない箇所を保護するためのシリコン酸化膜 3 0 を 1 0 ~ 5 0 n m 程度の膜厚で形成する。

【 0 0 9 1 】

図 2 6 に示されるように、リソグラフィによりレジスト 4 0 をパターニングして、シリサイドを形成する N + 拡散層と P + 拡散層の境界領域に溝パターンを形成する。

【 0 0 9 2 】

図 2 7 に示されるように、レジストにより形成された溝底部のシリコン酸化膜 3 0 をエッチングしてドレイン拡散層表面を露出する。

10

20

30

40

50

## 【0093】

図28に示されるように、NiもしくはCo等の金属膜をスパッタし、熱処理を加えることにより、酸化膜を除去した箇所をシリサイド化して、未反応の金属膜を除去することによってN+拡散層とP+拡散層の境界付近のシリサイド層11を形成する。

## 【0094】

図29に示されるように、表面を覆う酸化膜30をウェットエッチにより除去する。

## 【0095】

図30に示されるように、ライナーシリコン窒化膜13を成膜し、その後シリコン酸化膜14を成膜し、CMPにおいてシリコン酸化膜14を平坦化する。ライナー窒化膜13はコンタクト形成時のエッチングストッパーとして使用する。

10

## 【0096】

図31に示されるように、平面状シリコン層上のソース拡散層、ゲート上、柱状シリコン層上部のドレイン拡散層上にコンタクト(15、16、16a、16b、17a、17b)を形成する。

## 【0097】

本実施例においては、N+拡散層とP+拡散層を平面状シリコン層2上において直接接続するために、N+拡散層とP+拡散層の境界付近をシリサイド化したが、通常コンタクトの底部にはコンタクトのバリアメタルの一部であるTiとSiが反応したTiSi層等のシリサイド層が形成されるため、N+拡散層とP+拡散層の境界上に必ずコンタクトが形成される場合には、コンタクト底部に形成されるシリサイド層により平面状シリコン層2上におけるN+拡散層とP+拡散層の直接接続を行うことができるため、シリサイド層11を形成しなくてもよい。

20

## 【0098】

本実施例においては、ゲート電極が柱状シリコン層の周囲に自己整合的に所望の膜厚だけ形成することができるため、異なるゲート電極を持つ柱状シリコン層同士を密に配置することが可能になり、回路の占有面積を縮小することができる。また、ゲート配線を形成するために十分なプロセスマージンを持つプロセスを構築することができるので、これまでSGTで課題とされてきたゲート配線の形成が容易になる。

## 【0099】

本実施例に示したインバーター回路においては従来例である図128(c)、(d)の場合と同様に、出力電位Vout1を基板側に形成しているが、回路内において素子分離を形成する必要がないため、回路占有面積を縮小することができる。また、従来例の図128(c)、(d)においてはシリサイドの耐熱性の問題で安定して製造することが困難であるが、本実施例においては、トランジスタを形成した後でシリサイド層11を平面状シリコン層2上に形成することにより、N+拡散層3とP+拡散層4を接続させているので、シリサイドの耐熱性についての問題はない。

30

## 【0100】

本実施例に示したインバーター回路において素子分離は平面状シリコン層2をエッチングして埋め込み酸化膜層1上で分離することにより形成されるため、容易にリソグラフィによって決まる最小加工寸法幅の素子分離を形成することができる。したがって、本発明のSGT構造を用いると、各回路同士を最小寸法の間隔で配置することができるので、チップ面積縮小の効果が大きい。

40

## 【0101】

また、本実施例においては、平面状シリコン層に形成されるドレイン拡散層上にシリサイド層が形成されており、ドレイン拡散層の抵抗が低下するので、ドレイン拡散層による寄生抵抗の影響が小さくなる。このため、ドレイン拡散層上へのコンタクト数の削減や、ドレイン拡散層の配線層としての使用などが可能になり、レイアウト設計の自由度が大きくなる。

## 【0102】

平面状シリコン層2が厚すぎる場合には、ゲート配線のエッチング時に、平面状シリコ

50

ン層 2 の端部における埋め込み酸化膜層 1 との段差が大きくなり、ゲート配線を所望の形状および寸法にエッチングするのが困難になる。したがって、平面状シリコン層 2 の膜厚はできるだけ小さいことが望ましい。

【 0 1 0 3 】

また、本実施例の構造においては、ドレイン拡散層上のシリサイド層 1 1 は平面状シリコン層 2 の底部まで到達していない。これは、ドレイン拡散層 ( 3 , 4 ) とシリサイド層 1 1 の界面の抵抗はソースドレイン寄生抵抗の主要因の一つであるため、ドレイン拡散層とシリサイド層の界面の面積をなるべく大きくするためである。

【 0 1 0 4 】

ゲート配線を所望の形状および寸法に安定してエッチングするためには、平面状シリコン層 2 の膜厚は 1 0 0 n m より薄くすることが好ましいが、シリサイドと拡散層の界面面積を確保しつつ、ゲート加工を容易にするためには、平面状シリコン層 2 の膜厚は 2 0 ~ 4 0 n m であることが、更に好ましい。

【 0 1 0 5 】

一般に、シリサイド層 1 1 の膜厚は 1 0 n m ~ 3 0 n m 程度であるが、ドレイン拡散層とシリサイド層の界面面積を確実に確保するためには、1 0 n m ~ 2 0 n m であることが好ましい。

【 0 1 0 6 】

ゲート電極及び配線の膜厚は、S G T の集積回路の占有面積を小さくするためにできるだけ小さくすることが好ましいが、ゲート配線のシート抵抗が回路への支障を来さないためには、最低でも 1 0 n m 程度の膜厚が必要である。したがって、ゲート配線膜厚は 1 0 n m ~ 5 0 n m 程度であることが好ましく、高密度な S G T の集積回路を形成するためには、1 0 n m ~ 3 0 n m であることが更に好ましい。

【 0 1 0 7 】

上記の構造は、ドレイン拡散層上のシリサイド層 1 1 が平面状シリコン層 2 の底部まで到達していないものであったが、ゲート配線露光時のパターニングや、その後のゲート配線エッチング時の段差部におけるエッチングやゲート寸法の制御の容易性を重視し、図 4 1、4 2 に示されるように、平面状シリコン層の厚さをできるだけ小さくし ( 好ましくは、1 0 ~ 3 0 n m 程度 )、シリサイド層 2 1 1 が埋め込み酸化膜まで形成される構造とすることもできる。

【 実施例 2 】

【 0 1 0 8 】

本実施例は平面状シリコン層に形成されるドレイン拡散層の全面、および柱状シリコン層上部のソース拡散層においてシリサイド層が形成される構造を持つ S G T により C M O S インバーターを構成した実施例である。平面状シリコン層に形成されるドレイン拡散層の全面にシリサイド層を形成することにより、ドレイン拡散層の寄生抵抗を低減することができる。また、柱状シリコン層上部のソース拡散層にシリサイド層を形成することによりソース拡散層の寄生抵抗を低減することができる。ドレイン拡散層およびソース拡散層に形成されるシリサイド層は同一工程において自己整合的にドレイン拡散層およびソース拡散層にのみ形成することが可能である。

【 0 1 0 9 】

図 3 2 は本発明を用いた C M O S インバーターの等価回路である。以下に、C M O S インバーターの回路動作について説明する。入力信号  $V_{in2}$  は N M O S である  $Q_{n21}$  および P M O S である  $Q_{p21}$  および  $Q_{p22}$  の両方のゲートに印加される。 $V_{in2}$  が “ 1 ” のとき、N M O S である  $Q_{n21}$  は O N 状態、P M O S である  $Q_{p21}$  および  $Q_{p22}$  は O F F 状態となり、 $V_{out2}$  は “ 0 ” になる。逆に、 $V_{in2}$  が “ 0 ” のとき、N M O S である  $Q_{n21}$  は O F F 状態、P M O S である  $Q_{p21}$  および  $Q_{p22}$  は O N 状態となり、 $V_{out2}$  は “ 1 ” になる。以上のように、C M O S インバーターは入力値である  $V_{in2}$  の信号に対して、出力値である  $V_{out2}$  の信号は反対の値をとるように動作する。

10

20

30

40

50

## 【 0 1 1 0 】

図 3 3 は本発明を用いた CMOS インバーターの平面図である。図 3 4 ( a )、( b ) は図 3 3 におけるカットライン A - A ' と B - B ' の断面図である。図 3 3 および図 3 4 を参照して本発明について説明する。

## 【 0 1 1 1 】

埋め込み酸化膜層 1 0 1 の上に平面状シリコン層 1 0 2 が形成され、平面状シリコン層 1 0 2 は N + ドレイン拡散層 1 0 3 および P + ドレイン拡散層 1 0 4 からなり、N + ドレイン拡散層 1 0 3 と P + ドレイン拡散層 1 0 4 の表面にはドレイン拡散層抵抗を下げるためにシリサイド層 1 1 1 が形成され、このシリサイド層 1 1 1 によって N + ドレイン拡散層 1 0 3 と P + ドレイン拡散層 1 0 4 は互いに直接接続されている。このため、N + ドレイン拡散層 1 0 3 と P + ドレイン拡散層 1 0 4 を接続するためのコンタクトや素子分離が必要ないので、インバーターの占有面積を小さくすることができる。また、素子分離は平面状シリコン層 1 0 2 を分離するだけで形成することができるので、工程数が少なく、最小加工寸法で素子分離を形成することができる。N + ドレイン拡散層 1 0 3 に形成される柱状シリコン層 1 0 5 によって NMOS トランジスタ Q n 2 1 が形成され、P + ドレイン拡散層 1 0 4 に形成される柱状シリコン層 ( 1 0 6 a、1 0 6 b ) によって PMOS トランジスタ Q p 2 1 および Q p 2 2 が形成されている。柱状シリコン層 ( 1 0 5、1 0 6 a、1 0 6 b ) を取り囲むように H f O 2 などの High - k 膜などの第 1 の絶縁膜 1 0 7 が形成され、それを取り囲むように T a N や T i N などの金属膜によりゲート電極 ( 1 0 8、1 0 8 a、1 0 8 b ) が形成されている。NMOS を形成する柱状シリコン層 1 0 5 の上部に N + ソース拡散層 1 0 9 が、PMOS を形成する柱状シリコン層 ( 1 0 6 a、1 0 6 b ) の上部に P + ソース拡散層 ( 1 1 0 a、1 1 0 b ) が形成され、ソース拡散層 ( 1 0 9、1 1 0 a、1 1 0 b ) 上にはシリサイド膜 1 1 2 が形成されている。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜 1 1 3 が形成され、さらにシリコン窒化膜 1 1 3 上に層間シリコン酸化膜 1 1 4 が形成され、平坦化されたシリコン酸化膜 1 1 4 を貫通するようにコンタクト ( 1 1 5、1 1 6、1 1 6 a、1 1 6 b、1 1 7 a、1 1 7 b ) が形成されている。なお、シリコン窒化膜 1 1 3 に応力を持たせることにより、柱状シリコン層のチャンネル部に応力を加え、モビリティを向上させることができる。特に、NMOS 上には引っ張り応力を持つシリコン窒化膜を、PMOS 上には圧縮応力を持つシリコン窒化膜を別々に形成することにより、NMOS と PMOS において共にモビリティを向上させることも可能である。

## 【 0 1 1 2 】

N + ドレイン拡散層 1 0 3 と P + ドレイン拡散層 1 0 4 の境界に形成されたコンタクト 1 1 5 は配線層を通して出力端子 V o u t 2 に接続され、Q n 2 1 を形成する柱状シリコン層 1 0 5 の上部に形成されたコンタクト 1 1 6 は配線層を通して接地電位 V s s 2 に接続され、Q p 2 1 および Q p 2 2 を形成する柱状シリコン層 ( 1 0 6 a、1 0 6 b ) の上部に形成されたコンタクト ( 1 1 6 a、1 1 6 b ) は配線層を通して電源電位 V c c 2 に接続され、柱状シリコン層 1 0 5 を取り囲むゲート電極から延在するゲート配線 1 0 8 c 上に形成されるコンタクト 1 1 7 a および柱状シリコン層 ( 1 0 6 a、1 0 6 b ) を取り囲むゲート電極から延在するゲート配線 1 0 8 d 上に形成されるコンタクト 1 1 7 b は配線層を通して入力端子 V i n 2 に接続されることによりインバーターを形成する。

## 【 0 1 1 3 】

上記柱状シリコン層のチャンネル部は不純物がドーブされていないか、不純物濃度が  $1 e^{-17} c m^{-3}$  以下であることが好ましい。不純物濃度がこれ以上高くなると不純物の統計的なゆらぎによるトランジスタの特性バラつきが大きくなるためである。トランジスタのしきい値調整はゲート材料の仕事関数を調整すること等により行うことができる。なお、High - k 膜などの第 1 の絶縁膜はシリコン酸化膜やシリコン窒化膜などでもよく、金属ゲート電極はシリサイド化されたポリシリコン膜でもよい。

## 【 0 1 1 4 】

柱状シリコン層底部のドレイン拡散層領域 ( 1 0 3、1 0 4 ) が埋め込み酸化膜層 1 0

1 まで形成されるように不純物分布を設定し、トランジスタ動作時に柱状シリコン層内部が完全に空乏化するように柱状シリコン層の寸法や、不純物濃度を設定することが好ましい。上記のようにドレイン拡散層領域(103, 104)の不純物分布を設定することにより、その動作状態によらず柱状シリコン層内部はフローティングボディ構造になり、また上記のように柱状シリコン層の寸法や不純物濃度を設定することにより、トランジスタ動作時には柱状シリコン層内部は完全空乏化するため、柱状シリコン内部の電界が緩和され、モビリティを向上することができる。また、ドレイン拡散層領域(103, 104)の不純物を埋め込み酸化膜101まで拡散させることによって、ドレイン拡散層容量の底面成分が大幅に減少し、トータルのドレイン拡散層の寄生容量を低減することができる。なお、不純物は柱状シリコン層の底部を覆うように拡散されていてもよい。

10

#### 【0115】

ゲートへのコンタクト(117a, 117b)を埋め込み酸化膜上に形成されたゲート配線(108c, 108d)上に形成することにより、ドレイン拡散層(103, 104)とゲートの対向面積を減らすことができるため、ゲート-ドレイン間の寄生容量を低減することができる。図33のレイアウトにおいては、ゲート配線とドレイン拡散層(103, 104)との対向面積を低減するために、ゲート配線(108c, 108d)へのコンタクト(117a, 117b)をNMOSとPMOSにおいて別々に埋め込み酸化膜101上に形成している。

#### 【0116】

ドレイン拡散層上に形成されたコンタクト115は、N+拡散層103とP+拡散層104との境界に形成されるのが好ましい。この理由は、N+拡散層とP+拡散層との境界から柱状シリコン層(105, 106a)までの間には、柱状シリコン層と注入領域間の重ね合わせマージン分の距離を設ける必要があるが、境界上にコンタクトを形成することにより、このスペースを有効に活用することができるためである。このため、インバータ回路の占有面積を縮小することができる。

20

#### 【0117】

以下に本発明の半導体装置を形成するための製造方法の一例を図35~図39を参照して説明する。各図において(a)は平面図、(b)はA-A'間の断面図を示している。

#### 【0118】

ゲート形成後までは実施例1の製造工程と同一であるので、ゲート形成後の工程について以下に示す。

30

#### 【0119】

図35に示されるように、シリコン窒化膜125を10~50nm程度成膜する。

#### 【0120】

図36に示されるように、窒化膜125をエッチバックして、ソース拡散層領域(109, 110a, 110b)の上面およびドレイン拡散層領域(103, 104)表面を露出させ、柱状シリコン層の側壁およびゲート側壁を窒化膜125で覆う。この構造により以下の効果が生じる。

#### 【0121】

第1に、ゲート電極(108, 108a, 108b)と柱状シリコン層上部、およびゲート電極(108, 108a, 108b)とドレイン拡散層(103, 104)が窒化膜125により分離されるため、過剰に形成されたシリサイドによるゲート電極と柱状シリコン層上部間のショート、およびゲート電極とドレイン拡散層間のショートを防止できる。

40

#### 【0122】

第2に、柱状シリコン上部の側壁を窒化膜で覆うことにより、図38のシリサイド化工程において、柱状シリコン層の側壁から過剰にシリサイド化するのを防ぐことができる。柱状シリコン層上部においてシリサイド層が過剰に形成され、シリサイド層がソース拡散層の接合部に近づくと、接合リークを増加させる要因になるため、シリサイド層が過剰に形成されないよう制御する必要がある。

50

## 【 0 1 2 3 】

第3に、次工程のイオン注入時において、H i g h - k 膜などの第1の絶縁膜 1 0 7が上記窒化膜 1 2 5 により覆われるので、後工程における H i g h - k 膜などの第1の絶縁膜へのウェット処理によるダメージや、不純物注入によるダメージを防ぐことができる。

## 【 0 1 2 4 】

したがって、この保護のためのシリコン窒化膜の形成工程は、過剰なシリサイド化防止とダメージ防止の目的を含むので、その一方の過剰なシリサイド化を防止のために、後述のイオン注入工程の後且つソースドレイン表面のシリサイド化工程の前に行うこともできる。

## 【 0 1 2 5 】

このシリコン窒化膜 1 2 5 がシリコン酸化膜である場合には、洗浄・剥離工程やシリサイド前処理に使用されるフッ酸によりウェットエッチされてしまうので、シリコン窒化膜のようにフッ酸に溶けない膜であることが好ましい。また、窒化膜の膜厚は薄すぎると、H i g h - k 膜などの第1の絶縁膜 1 0 7を完全に保護することができなく、厚すぎると、ゲート側壁に成膜された膜厚分だけ占有面積が増加する。なお、ここでは、保護膜として、シリコン窒化膜を用いたが、これ以外にも、保護膜として機能する保護膜であれば、例えば、シリコン窒化膜とシリコン酸化膜の積層構造の膜を用いることもできる。

10

## 【 0 1 2 6 】

図37に示されるように、レジストによるパターニングを行い、イオン注入等により柱状シリコン層 1 0 5 の上部にN+ソース拡散層 1 0 9 を形成する。同様に柱状シリコン層 ( 1 0 6 a、1 0 6 b ) の上部にP+ソース拡散層 ( 1 1 0 a、1 1 0 b ) を形成する。

20

## 【 0 1 2 7 】

図38に示されるように、NiもしくはCo等の金属膜をスパッタし、熱処理を加えることでソースドレイン表面をシリサイド化して、未反応の金属膜を除去することによってドレイン拡散層 ( 1 0 3、1 0 4 ) 上のシリサイド層 1 1 1、およびソース拡散層 ( 1 0 9、1 1 0 a、1 1 0 b ) 上のシリサイド層 1 1 2 を形成する。

## 【 0 1 2 8 】

図39に示されるように、ライナーシリコン窒化膜 1 1 3 を成膜し、その後シリコン酸化膜 1 1 4 を成膜し、CMPにおいてシリコン酸化膜 1 1 4 を平坦化する。続いて、平面状シリコン層上のソース拡散層、ゲート上、柱状シリコン層上部のドレイン拡散層上にコンタクト ( 1 1 5、1 1 6、1 1 6 a、1 1 6 b、1 1 7 a、1 1 7 b ) を形成する。ここで、ライナー窒化膜 1 1 3 はコンタクト形成時のエッチングストッパーとして使用する。

30

## 【 0 1 2 9 】

本実施例においては、ゲート電極が柱状シリコン層の周囲に自己整合的に所望の膜厚だけ形成することができるため、異なるゲート電極を持つ柱状シリコン層同士を密に配置することが可能になり、回路の占有面積を縮小することができる。また、ゲート配線を形成するために十分なプロセスマージンを持つプロセスを構築することができるので、これまでSGTで課題とされてきたゲート配線の形成が容易になる。

## 【 0 1 3 0 】

また、本実施例においては、平面状シリコン層に形成されるドレイン拡散層上の全面にシリサイド層が形成されており、ドレイン拡散層の抵抗が著しく低下するので、ドレイン拡散層による寄生抵抗の影響が非常に小さくなる。このため、ドレイン拡散層上へのコンタクト数の削減や、ドレイン拡散層の配線層としての使用などが可能になり、レイアウト設計の自由度が大きくなる。

40

## 【実施例3】

## 【 0 1 3 1 】

本実施例は柱状シリコン層上部に形成されるコンタクトが複数の柱状シリコン層で共有される構造を持つSGTの実施例である。

## 【 0 1 3 2 】

50

図43は本発明を用いたCMOSインバーターの等価回路である。CMOSインバーターの回路動作は実施例2と同様であるので、ここでは省略する。

【0133】

図44は本発明を用いたCMOSインバーターの平面図である。図45(a)、(b)は図44におけるカットラインA-A'とB-B'の断面図である。

【0134】

本実施例において実施例2と異なる点は、本実施例においてはPMOSであるQp41、Qp42を形成している隣接する2つの柱状シリコン層(306a、306b)上部のソース拡散層が共通の長方形コンタクト316cにより接続されている点である。特に、隣接する柱状シリコン層の間隔が最小コンタクト寸法より小さい場合には、すべての柱状シリコン層上部に通常のコンタクトを形成することは困難であるが、この方法により容易にコンタクトを形成することができる。その他の構成については実施例2の場合と同様であるので、ここでは省略する。

10

【実施例4】

【0135】

本実施例においては、ゲート配線へのコンタクトの形成方法を変更することによって、CMOSインバーターの占有面積を縮小したレイアウトを示す。

【0136】

図46に本実施例におけるCMOSインバーターの平面図を示す。図46(a)では、NMOSであるQn51とPMOSであるQp51およびQp52のゲート408および408a、408bをゲート配線408eにより接続して、ゲートへのコンタクトを削減することにより、インバーターの占有面積を縮小している。さらに、ドレイン拡散層とゲートの寄生容量を低減するために、ゲート配線408eと平面状シリコン層402の対向面積がなるべく小さくなるように、ゲート配線408eは埋め込み酸化膜401上に形成されるように平面状シリコン層402の形状を変更している。

20

【0137】

図46(b)では、ゲートへのコンタクト467cをゲート配線458e上に形成することにより、さらにインバーターの占有面積を縮小している。

【実施例5】

【0138】

本実施例は、柱状シリコン層上部に形成されるソース拡散層とゲート電極への接続を同一のコンタクトにより構成するSGTについてのものであり、E型NMOSインバーターを例に説明する。

30

【0139】

図47は本発明を用いたE型NMOSインバーターの等価回路図である。以下に、E型NMOSインバーターの動作回路について説明する。負荷NMOSである $Q_{L1}$ のゲートとソースが互いに接続されている。入力信号Vin6はドライバNMOSである $Q_{D1}$ のゲートに印加される。Vin6が“1”のとき、ドライバNMOSである $Q_{D1}$ はON状態、負荷NMOSである $Q_{L1}$ もON状態となるが、ドライバNMOSである $Q_{D1}$ の駆動能力のほうが大きいため、Vout6は“0”になる。逆に、Vin6が“0”のとき、ドライバNMOSである $Q_{D1}$ はOFF状態、負荷NMOSである $Q_{L1}$ はON状態となり、Vout6は“1”になる。以上のように、E型NMOSインバーターは入力値であるVin6の信号に対して、出力値であるVout6の信号は反対の値をとるように動作する。

40

【0140】

図48は本発明を用いたE型NMOSインバーターの平面図の一例である。図49(a)、(b)は図48におけるカットラインA-A'とB-B'の断面図である。図48および図49を参照して本発明について説明する。

【0141】

埋め込み酸化膜層501上に平面状シリコン層502が形成され、平面状シリコン層502はN+ドレイン拡散層503からなり、N+ドレイン拡散層503の表面にはドレイ

50

ン拡散層抵抗を下げるためにシリサイド層 5 1 1 が形成されている。N + ドレイン拡散層 5 0 3 上に形成される柱状シリコン層 5 0 5 によって N M O S 駆動トランジスタ  $Q_{D1}$  が形成され、同様に N + ドレイン拡散層 5 0 3 上に形成される柱状シリコン層 5 0 6 によって N M O S 負荷トランジスタ  $Q_{L1}$  が形成されている。柱状シリコン層 ( 5 0 5 、 5 0 6 ) を取り囲むように  $HfO_2$  などの High - k 膜などの第 1 の絶縁膜 5 0 7 が形成され、T a N や T i N などの金属膜によりゲート電極 ( 5 0 8 a 、 5 0 8 b ) が形成されている。駆動 N M O S を形成する柱状シリコン層 5 0 5 の上部に N + ソース拡散層 5 0 9 a が、負荷 N M O S を形成する柱状シリコン層 5 0 6 の上部に N + ソース拡散層 5 0 9 b が形成される。それぞれのソース拡散層上にはシリサイド膜 5 1 2 が形成されている。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜 5 1 3 が形成され、さらにシリコン窒化膜 5 1 3 上に層間シリコン酸化膜 5 1 4 が形成され、平坦化されたシリコン酸化膜 5 1 4 を貫通するようにコンタクト ( 5 1 5 、 5 1 6 、 5 1 7 a 、 5 2 7 、 ) が形成されている。

10

## 【 0 1 4 2 】

駆動 N M O S である  $Q_{D1}$  のゲートに接続するコンタクト 5 1 7 a は配線層を通じて入力端子 V i n 6 に接続され、駆動 N M O S である  $Q_{D1}$  を形成する柱状シリコン層 5 0 5 の上部に形成されたコンタクト 5 1 6 は配線層を通じて接地電位 V s s 6 に接続され、負荷 N M O S である  $Q_{L1}$  のゲート配線 5 0 8 c と柱状シリコン層上部のソース拡散層 5 0 9 b には同一のコンタクト 5 2 7 により配線層を通じて電源電位 V c c 6 に接続される。また、ドレイン N + 拡散層 5 0 3 に形成されるコンタクト 5 1 5 が出力端子 V o u t 6 に接続されることにより、E 型 N M O S インバーターが形成される。

20

## 【 0 1 4 3 】

上記の例では、N + ドレイン拡散層 5 0 3 の表面の全面にシリサイド層 5 1 1 が形成されているが、シリサイド層 5 1 1 は、N + ドレイン拡散層 5 0 3 の表面の一部 ( 駆動トランジスタ  $Q_{D1}$  と負荷トランジスタ  $Q_{L1}$  の間 ) に形成することもできる。

## 【 0 1 4 4 】

本実施例の半導体装置を形成するための製造方法は、実施例 1 、 2 と同様であるので省略する。

## 【 0 1 4 5 】

本実施例においては、負荷 N M O S である  $Q_{L1}$  のゲート電極から延在するゲート配線 5 0 8 c と柱状シリコン層上部のソース拡散層 5 0 9 b へのコンタクトを同一の共通コンタクト 5 2 7 にて形成している。このため、コンタクトの数を削減することができ、インバーター等の面積を縮小することができる。

30

## 【 0 1 4 6 】

また、本実施例においては、平面状シリコン層に形成されるドレイン拡散層上にシリサイド層が形成されており、ドレイン拡散層の抵抗が低下するので、ドレイン拡散層による寄生抵抗の影響が小さくなる。このため、ドレイン拡散層上へのコンタクト数の削減や、ドレイン拡散層の配線層としての使用などが可能になり、レイアウト設計の自由度が大きくなる。

## 【 0 1 4 7 】

なお、本実施例においては、E 型 N M O S インバーターにおけるゲート配線とソース拡散層への共通コンタクトの例を取り上げたが、上記の共通コンタクトは E 型 N M O S インバーターに限定されるものではなく、通常の C M O S を用いた回路においても用いることができる。

40

## 【 実施例 6 】

## 【 0 1 4 8 】

本実施例は、柱状シリコン層底部に形成されるドレイン拡散層とゲート電極への接続を同一のコンタクトにより構成する S G T についてのものであり、D 型 N M O S インバーターを例に説明する。

## 【 0 1 4 9 】

50

図50は本発明を用いたD型NMOSインバーターの等価回路図である。以下に、D型NMOSインバーターの動作回路について説明する。負荷NMOSである $Q_{L2}$ はディプリーション型のトランジスタであり、そのドレインとゲートが互いに接続されている。入力信号 $V_{in7}$ はドライバNMOSである $Q_{D2}$ のゲートに印加される。 $V_{in7}$ が“1”のとき、ドライバNMOSである $Q_{D2}$ はON状態、負荷NMOSである $Q_{L2}$ もON状態となるが、ドライバNMOSである $Q_{D2}$ のほうが駆動能力が高いため、 $V_{out7}$ は“0”になる。逆に、 $V_{in7}$ が“0”のとき、ドライバNMOSである $Q_{D2}$ はOFF状態、負荷NMOSである $Q_{L2}$ はON状態となり、 $V_{out7}$ は“1”になる。以上のように、D型NMOSインバーターは入力値である $V_{in7}$ の信号に対して、出力値である $V_{out7}$ の信号は反対の値をとるように動作する。

10

## 【0150】

図51は本発明を用いたD型NMOSインバーターの平面図の一例である。図52(a)、(b)は図51におけるカットラインA-A'とB-B'の断面図である。図51および図52を参照して本発明について説明する。

## 【0151】

埋め込み酸化膜層601上に平面状シリコン層602が形成され、平面状シリコン層602はN+ドレイン拡散層603からなり、N+ドレイン拡散層603の表面にはドレイン拡散層抵抗を下げるためにシリサイド層611が形成されている。N+ドレイン拡散層603上に形成される柱状シリコン層605によってNMOS駆動トランジスタ $Q_{D2}$ が形成され、同様にN+ドレイン拡散層603上に形成される柱状シリコン層606によってNMOS負荷トランジスタ $Q_{L2}$ が形成されている。柱状シリコン層(605、606)を取り囲むように $HfO_2$ などのHigh-k膜などの第1の絶縁膜607が形成され、それを取り囲むようにTaNやTiNなどの金属膜によりゲート電極(608a、608b)が形成されている。駆動NMOSを形成する柱状シリコン層605の上部にN+ソース拡散層609aが、負荷NMOSを形成する柱状シリコン層606の上部にN+ソース拡散層609bが形成される。それぞれのソース拡散層上にはシリサイド膜612が形成されている。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜613が形成され、さらにシリコン窒化膜613上に層間シリコン酸化膜614が形成され、平坦化されたシリコン酸化膜614を貫通するようにコンタクト(616、616a、617a、6128)が形成されている。

20

30

## 【0152】

駆動NMOSである $Q_{D2}$ のゲートに接続するコンタクト617aは配線層を通じて入力端子 $V_{in7}$ に接続され、駆動NMOSである $Q_{D2}$ を形成する柱状シリコン層605の上部に形成されたコンタクト616は配線層を通じて接地電位 $V_{ss7}$ に接続され、負荷NMOSである $Q_{L2}$ のゲート配線608cとドレイン拡散層603には同一のコンタクト628により出力端子 $V_{out7}$ に接続される。また、負荷NMOSを形成する柱状シリコン層上部のソースN+拡散層609bに形成されるコンタクト616aが電源電位 $V_{cc7}$ に接続されることにより、D型NMOSインバーターが形成される。

## 【0153】

上記の例では、N+ドレイン拡散層603の表面の全面にシリサイド層611が形成されているが、シリサイド層611は、N+ドレイン拡散層603の表面の一部(駆動トランジスタ $Q_{D2}$ と負荷トランジスタ $Q_{L2}$ の間)に形成することもできる。

40

## 【0154】

本実施例の半導体装置を形成するための製造方法は、実施例1、2と同様であるので省略する。

## 【0155】

本実施例においては、負荷NMOSである $Q_{L2}$ のゲート電極から延在するゲート配線608cとドレイン拡散層603へのコンタクトを同一の共通コンタクト628にて形成している。このため、コンタクトの数を削減することができ、インバーター等の面積を縮小することができる。

50

## 【 0 1 5 6 】

また、本実施例においては、平面状シリコン層に形成されるドレイン拡散層上にシリサイド層が形成されており、ドレイン拡散層の抵抗が低下するので、ドレイン拡散層による寄生抵抗の影響が小さくなる。このため、ドレイン拡散層上へのコンタクト数の削減や、ドレイン拡散層の配線層としての使用などが可能になり、レイアウト設計の自由度が大きくなる。

## 【 0 1 5 7 】

なお、本実施例においては、D型NMOSインバーターにおけるゲート配線とドレイン拡散層への共通コンタクトの例を取り上げたが、上記の共通コンタクトはD型NMOSインバーターに限定されるものではなく、通常のCMOSを用いた回路においても用いることができる。

10

## 【実施例7】

## 【 0 1 5 8 】

本実施例は、ゲート形成工程を簡略化することができる実施例について示す。

## 【 0 1 5 9 】

図53は本発明を用いたCMOSインバーターの等価回路である。CMOSインバーターの回路動作は実施例2と同様であるので、ここでは省略する。

## 【 0 1 6 0 】

図54は本発明を用いたCMOSインバーターの平面図である。図55(a)、(b)は図54におけるカットラインA-A'とB-B'の断面図である。本実施例においては、柱状シリコン層を取り囲むゲート電極(708、708a、708b)とこれらのゲート電極より延在するゲート配線(708c、708d)の上面の高さが同一である特徴を持つ。すなわち、ゲート電極とゲート配線が一体的に形成され、その一体的に形成されたゲート電極およびゲート配線の上面全面が基板に平行な面に形成されている。本実施例においては、ゲート形成工程における製造工程数を減らすことができ、製造時のゲート配線の形成が容易になる。図54および図55を参照して本発明について説明する。

20

## 【 0 1 6 1 】

埋め込み酸化膜層701の上に平面状シリコン層702が形成され、平面状シリコン層702はN+ドレイン拡散層703およびP+ドレイン拡散層704からなり、N+ドレイン拡散層703とP+ドレイン拡散層704の表面にはドレイン拡散層抵抗を下げるためにシリサイド層711が形成され、このシリサイド層711によってN+ドレイン拡散層703とP+ドレイン拡散層704は互いに直接接続されている。このため、N+ドレイン拡散層703とP+ドレイン拡散層704を接続するためのコンタクトや素子分離が必要ないので、インバーターの占有面積を小さくすることができる。また、素子分離は平面状シリコン層702を分離するだけで形成することができるので、工程数が少なく、最小加工寸法で素子分離を形成することができる。N+ドレイン拡散層703に形成される柱状シリコン層705によってNMOSトランジスタQn81が形成され、P+ドレイン拡散層704に形成される柱状シリコン層(706a、706b)によってPMOSTランジスタQp81およびQp82が形成されている。柱状シリコン層(705、706a、706b)を取り囲むようにHfO<sub>2</sub>などのHigh-k膜などの第1の絶縁膜707が形成され、それを取り囲むようにTa<sub>2</sub>NやTiNなどの金属膜によりゲート電極(708、708a、708b)が形成されている。NMOSを形成する柱状シリコン層705の上部にN+ソース拡散層709が、PMOSを形成する柱状シリコン層(706a、706b)の上部にP+ソース拡散層(710a、710b)が形成され、ソース拡散層(709、710a、710b)上にはシリサイド膜712が形成されている。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜713が形成され、さらにシリコン窒化膜713上に層間シリコン酸化膜714が形成され、平坦化されたシリコン酸化膜714を貫通するようにコンタクト(715、716、716a、716b、717a、717b)が形成されている。なお、シリコン窒化膜713に応力を持たせることにより、柱状シリコン層のチャンネル部に応力を加え、モビリティを向上させることができ

30

40

50

る。特に、NMOS上には引っ張り応力を持つシリコン窒化膜を、PMOS上には圧縮応力を持つシリコン窒化膜を別々に形成することにより、NMOSとPMOSにおいて共にモビリティを向上させることも可能である。

【0162】

N+ドレイン拡散層703とP+ドレイン拡散層704の境界に形成されたコンタクト715は配線層を通して出力端子Vout8に接続され、Qn81を形成する柱状シリコン層705の上部に形成されたコンタクト716は配線層を通して接地電位Vss8に接続され、Qp81およびQp82を形成する柱状シリコン層(706a、706b)の上部に形成されたコンタクト(716a、716b)は配線層を通して電源電位Vcc8に接続され、柱状シリコン層705を取り囲むゲート電極から延在するゲート配線708c上に形成されるコンタクト717aおよび柱状シリコン層(706a、706b)を取り囲むゲート電極から延在するゲート配線708d上に形成されるコンタクト717bは配線層を通して入力端子Vin8に接続されることによりインバーターを形成する。

10

【0163】

以下に本発明の半導体装置を形成するための製造方法の一例を図56～図69を参照して説明する。各図において(a)はA-A'間の平面図、(b)は断面図を示している。

【0164】

ゲート絶縁膜の成膜工程までは実施例2の製造工程と同一であるので、ゲート導電膜の成膜工程より以下に示す。

【0165】

図56に示されるように、ゲート絶縁膜としてHfO<sub>2</sub>などのHigh-k膜などの第1の絶縁膜707をCVD法もしくはALD法により1～5nm程度の厚さで成膜した後、ゲート導電膜としてTiNやTa<sub>2</sub>Nなどの金属膜729を100～400nm程度の厚さで成膜する。成膜においては、被覆性が要求される初期段階においては、CVD法やALD法によって成膜を行い、その後成膜レートの早いスパッタにより成膜を行うことにより効率よく成膜を行うことができる。

20

【0166】

図57に示されるように、CMPによりゲート導電膜729を平坦化する。ゲート上部をCMPによって平坦化することにより、良好なゲート形状を実現でき、ゲート長のバラつきを抑制することができる。また、柱状シリコン層上部の窒化膜718にてCMPをストップする。窒化膜718をCMPストッパーとして使用することにより、再現性よくCMP研磨量を制御することができる。なお、CMPのストッパー膜としては、シリコン窒化膜以外にも、CMPのストッパー膜として機能するものであれば、他の膜を使用することもできる。

30

【0167】

図58に示されるように、ゲート長を決定するために、ゲート導電膜729をエッチバックする。

【0168】

図59に示されるように、シリコン窒化膜722を成膜する。

【0169】

図60に示されるように、シリコン窒化膜722をエッチバックして、メタルゲートの上部にシリコン窒化膜サイドウォール723を形成する。このシリコン窒化膜サイドウォールを形成することにより、ゲート上に残るシリコン窒化膜サイドウォール723の膜厚分のゲート電極を柱状シリコン層の周囲に自己整合的に形成することができるので、所望のゲート電極膜厚になるように、シリコン窒化膜723の膜厚とエッチバック量を調整する。なお、ここでは、サイドウォール用の保護膜として、シリコン窒化膜を用いたが、これ以外にも、サイドウォール用の保護膜として機能する保護膜であれば、例えば、シリコン酸化膜のようなものも用いることができる。

40

【0170】

図61に示されるように、レジストまたは多層レジストを塗布し、リソグラフィーによ

50

リゲート配線パターンをレジスト724により形成する。

【0171】

図62に示されるように、レジストマスクを用いて、ゲート底部およびゲート下のHigh-k膜などの第1の絶縁膜を反応性イオンエッチングによりエッチングする。これによりゲート電極(708、708a、708b)及びゲート配線(708c、708d)が形成される。

【0172】

図63に示されるように、柱状シリコン上部のシリコン窒化膜718およびシリコン窒化膜サイドウォール723をウェット処理により除去する。

【0173】

図64に示されるように、シリコン窒化膜725を10~50nm程度成膜する。

【0174】

図65に示されるように、シリコン窒化膜725をエッチバックして、柱状シリコン層上面および平面状シリコン層上面を露出させて、柱状シリコン層上部の側壁およびゲート側壁をシリコン窒化膜725で覆う構造にする。この構造により以下の効果が生じる。

【0175】

第1に、ゲート電極(708、708a、708b)と柱状シリコン層上部、およびゲート電極(708、708a、708b)とドレイン拡散層(703、704)が窒化膜725により分離されるため、過剰に形成されたシリサイドによるゲート電極と柱状シリコン層上部間のショート、およびゲート電極とドレイン拡散層間のショートを防止できる。

【0176】

第2に、柱状シリコン層上部の側壁を窒化膜で覆うことにより、図67のシリサイド化工程において、柱状シリコン層の側壁から過剰にシリサイド化するのを防ぐことができる。柱状シリコン層上部においてシリサイド層が過剰に形成され、シリサイド層がソース拡散層の接合部に近づくと、接合リークを増加させる要因になるため、シリサイド層が過剰に形成されないよう制御する必要がある。

【0177】

第3に、次工程のイオン注入時において、High-k膜などの第1の絶縁膜707が上記窒化膜725により覆われるので、後工程におけるHigh-k膜などの第1の絶縁膜へのウェット処理によるダメージや、不純物注入によるダメージを防ぐことができる。

【0178】

また、このシリコン窒化膜725がシリコン酸化膜である場合には、洗浄・剥離工程やシリサイド前処理に使用されるフッ酸によりウェットエッチされてしまうので、シリコン窒化膜のようにフッ酸に溶けない膜であることが好ましい。また、窒化膜の膜厚は薄すぎると、High-k膜などの第1の絶縁膜を完全に保護することができなく、厚すぎると、ゲート側壁に成膜された膜厚分だけ占有面積が増加する。なお、ここでは、保護膜として、シリコン窒化膜を用いたが、これ以外にも、保護膜として機能する保護膜であれば、例えば、シリコン窒化膜とシリコン酸化膜の積層構造の膜を用いることもできる。

【0179】

図66に示されるように、イオン注入等により、柱状シリコン層705の上部にN+ソース拡散層709を形成する。同様に柱状シリコン層(706a、706b)の上部にP+ソース拡散層(710a、710b)を形成する。

【0180】

図67に示されるように、NiもしくはCo等の金属膜をスパッタし、熱処理を加えることでソースドレイン表面をシリサイド化して、未反応の金属膜を除去することによってドレイン拡散層(703、704)上のシリサイド層711、およびソース拡散層(709、710a、710b)上のシリサイド層712を形成する。

【0181】

図68に示されるように、ライナーシリコン窒化膜713を成膜し、その後シリコン酸

10

20

30

40

50

化膜 714 を成膜し、CMP においてシリコン酸化膜を平坦化する。ライナー窒化膜はコンタクト形成時のエッチングストッパーとして使用する。

【0182】

図 69 に示されるように、平面状シリコン層上のソース拡散層、ゲート上、柱状シリコン層上部のドレイン拡散層上にコンタクト (715、716、716a、716b、717a、717b) を形成する。

【0183】

上記のように本実施例においては、ゲート形成工程における製造工程数を減らすことができ、製造時のゲート配線の形成が容易になる。

【実施例 8】

【0184】

本実施例はゲート電極およびゲート配線と柱状シリコン層底部のドレイン拡散層間の寄生容量を低減する SGT の実施例について示す。

【0185】

図 70 は本発明を用いた CMOS インバーターの等価回路である。CMOS インバーターの回路動作は実施例 2 と同様であるので、ここでは省略する。

【0186】

図 71 は本発明を用いた CMOS インバーターの平面図である。図 72 (a)、(b) は図 71 におけるカットライン A - A' と B - B' の断面図である。本実施例においては、ゲート電極 (808、808a、808b) やゲート配線 (808c、808d) とドレイン拡散層 (803、804) との間にシリコン酸化膜などの第 3 の絶縁膜 820 が存在する特徴を持つ。この構造により、ゲート電極やゲート配線とドレイン拡散層間の絶縁膜が厚くなるため、ゲートとドレイン拡散層との寄生容量が減少する。特に、第 1 の絶縁膜として High - k 膜が使われる場合には、High - k 膜の比誘電率が大きいためゲートとドレイン拡散層間の寄生容量は大きくなる。このため、High - k 膜と比べて比誘電率の低いシリコン酸化膜などの第 3 の絶縁膜をゲート配線とドレイン拡散層間に挿入することにより寄生容量を大きく低減することができる。図 71 および図 72 を参照して本発明について説明する。

【0187】

埋め込み酸化膜層 801 の上に平面状シリコン層 802 が形成され、平面状シリコン層 802 は N + ドレイン拡散層 803 および P + ドレイン拡散層 804 からなり、N + ドレイン拡散層 803 と P + ドレイン拡散層 804 の表面にはドレイン拡散層抵抗を下げるためにシリサイド層 811 が形成され、このシリサイド層 811 によって N + ドレイン拡散層 803 と P + ドレイン拡散層 804 は互いに直接接続されている。このため、N + ドレイン拡散層 803 と P + ドレイン拡散層 804 を接続するためのコンタクトや素子分離が必要ないので、インバーターの占有面積を小さくすることができる。また、素子分離は平面状シリコン層 802 を分離するだけで形成することができるので、工程数が少なく、最小加工寸法で素子分離を形成することができる。N + ドレイン拡散層 803 上に形成される柱状シリコン層 805 によって NMOS トランジスタ Qn91 が形成され、P + ドレイン拡散層 804 上に形成される柱状シリコン層 (806a、806b) によって PMOS トランジスタ Qp91 および Qp92 が形成されている。柱状シリコン層 (805、806a、806b) を取り囲むように HfO<sub>2</sub> などの High - k 膜などの第 1 の絶縁膜 807 が形成され、それを取り囲むように TaN や TiN などの金属膜によりゲート電極 (808、808a、808b) が形成されている。ゲート電極とドレイン拡散層間にはシリコン酸化膜などの第 3 の絶縁膜 820 が存在するため、ゲートとドレイン拡散層間の寄生容量を低減することができる。NMOS を形成する柱状シリコン層 805 の上部に N + ソース拡散層 809 が、PMOS を形成する柱状シリコン層 (806a、806b) の上部に P + ソース拡散層 (810a、810b) が形成され、ソース拡散層 (809、810a、810b) 上にはシリサイド膜 812 が形成されている。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜 813 が形成され、さらにシリコン窒化膜

10

20

30

40

50

813上に層間シリコン酸化膜814が形成され、平坦化されたシリコン酸化膜814を貫通するようにコンタクト(815、816、816a、816b、817a、817b)が形成されている。なお、シリコン窒化膜13に応力を持たせることにより、柱状シリコン層のチャンネル部に応力を加え、モビリティを向上させることができる。特に、NMOS上には引っ張り応力を持つシリコン窒化膜を、PMOS上には圧縮応力を持つシリコン窒化膜を別々に形成することにより、NMOSとPMOSにおいて共にモビリティを向上させることも可能である。

【0188】

N+ドレイン拡散層803とP+ドレイン拡散層804の境界に形成されたコンタクト815は配線層を通して出力端子Vout9に接続され、Qn91を形成する柱状シリコン層805の上部に形成されたコンタクト816は配線層を通して接地電位Vss9に接続され、Qp91およびQp92を形成する柱状シリコン層(806a、806b)の上部に形成されたコンタクト(816a、816b)は配線層を通して電源電位Vcc9に接続され、柱状シリコン層805を取り囲むゲート電極から延在するゲート配線808c上に形成されるコンタクト817aおよび柱状シリコン層(806a、806b)を取り囲むゲート電極から延在するゲート配線808d上に形成されるコンタクト817bは配線層を通して入力端子Vin9に接続されることによりインバーターを形成する。

10

【0189】

以下に本発明の半導体装置を形成するための製造方法の一例を図73～図90を参照して説明する。各図において(a)はA-A'間の平面図、(b)は断面図を示している。

20

【0190】

柱状シリコン層の犠牲酸化工程までは実施例1の製造工程と同一であるので、犠牲酸化工程以降の工程について以下に示す。

図73に示されるように、柱状シリコン層を犠牲酸化し、チャンネル部になる柱状シリコン層表面を平坦化する。犠牲酸化膜819は不純物注入時のスルー酸化膜として用いることもできる。

【0191】

図74に示されるように、レジストマスクを用いて、イオン注入等によりAsやPなどの不純物を導入してN+ドレイン拡散層803を形成し、BやBF<sub>2</sub>などの不純物を導入してP+ドレイン拡散層804を形成する。このとき、柱状シリコン層上部の窒化膜818を柱状シリコン層上部への不純物注入防止用のストッパーとして使用する。その後の熱処理後に、埋め込み酸化膜1まで不純物が拡散し、さらに柱状シリコン層の下部まで不純物が拡散するように注入条件および熱処理条件を設定する。

30

【0192】

図75に示されるように、シリコン酸化膜などの第3の絶縁膜820を200～500nm程度の膜厚で成膜して柱状シリコン層間を埋め込む。

【0193】

図76に示されるように、CMPによりシリコン酸化膜などの第3の絶縁膜820を平坦化し、シリコン窒化膜818でCMPをストップする。窒化膜818をCMPストッパーとして使用することにより、再現性よくCMP研磨量を制御することができる。なお、CMPのストッパー膜としては、シリコン窒化膜以外にも、CMPのストッパー膜として機能するものであれば、他の膜を使用することができる。

40

【0194】

図77に示されるように、シリコン酸化膜などの第3の絶縁膜820をエッチバックして、柱状シリコン層のチャンネルとなる部分を露出する。このときにドレイン拡散層(803、804)の上にシリコン酸化膜などの第3の絶縁膜820を5～50nm程度の厚さだけ残しておく。

【0195】

図78に示されるように、ゲート絶縁膜としてHfO<sub>2</sub>などのHigh-k膜などの第1の絶縁膜807をCVD法もしくはALD法により1～5nm程度の厚さで成膜する。

50

その後、ゲート導電膜としてTiNやTa<sub>2</sub>Nなどの金属膜880を10～60nm程度の厚さで成膜する。ゲート導電膜880とドレイン拡散層(803、804)の間にはゲート絶縁膜807より比誘電率の低いシリコン酸化膜などの第3の絶縁膜820が挿入されているため、両者の寄生容量は小さくなる。

【0196】

図79に示されるように、シリコン酸化膜などの第2の絶縁膜821を成膜して柱状シリコン層間を埋め込む。

【0197】

図80に示されるように、CMPによりシリコン酸化膜などの第2の絶縁膜821、柱状シリコン層上部のゲート導電膜、High-k膜などの第1の絶縁膜を研磨し、ゲート上面を平坦化する。ゲート上部をCMPによって平坦化することにより、良好なゲート形状を実現でき、ゲート長のバラつきを抑制することができる。CMP時においては、柱状シリコン層上部の窒化膜818をCMPのストッパーとして使用する。窒化膜818をCMPストッパーとして使用することにより、再現性よくCMP研磨量を制御することができる。なお、CMPのストッパー膜としては、シリコン窒化膜以外にも、CMPのストッパー膜として機能するものであれば、他の膜を使用することができる。

10

【0198】

図81に示されるように、ゲート長を決定するために、ゲート導電膜およびシリコン酸化膜などの第2の絶縁膜821をエッチバックして、ゲート電極(808、808a、808b)を形成する。このときに、ゲート導電膜(808、808a、808b)とシリコン酸化膜などの第2の絶縁膜821をなるべく同じレートでエッチングし、なおかつ窒化膜818に対して高選択比を取るようなエッチング条件を使用する。ゲート導電膜(808、808a、808b)とシリコン酸化膜などの第2の絶縁膜821を同じレートでエッチングすることにより、両者の上面段差を抑えることができるため、次工程以降においてシリコン窒化膜サイドウォールの形成が容易になる。

20

【0199】

図82に示されるように、シリコン窒化膜822を成膜する。

【0200】

図83に示されるように、シリコン窒化膜822をエッチバックして、メタルゲートの上部にシリコン窒化膜サイドウォール823を形成する。このとき、ゲート上に残るシリコン窒化膜サイドウォール823がちょうどゲートを覆うようにシリコン窒化膜成膜量とエッチバック量を設定する。この窒化膜サイドウォールで覆われた部分のゲートはエッチング時に保護されるため、ゲート電極を所望の膜厚で自己整合的に形成することができ、占有面積を縮小およびゲートと拡散層間の寄生容量を低減することができる。なお、ここでは、サイドウォール用の保護膜として、シリコン窒化膜を用いたが、これ以外にも、サイドウォール用の保護膜として機能する保護膜であれば、例えば、シリコン酸化膜のようなものも用いることができる。

30

【0201】

図84に示されるように、メタルゲート上に残存するシリコン酸化膜などの第2の絶縁膜821をウェットエッチにて除去した後、レジストまたは多層レジストを塗布し、リソグラフィーによりゲート配線パターンをレジスト824により形成する。

40

【0202】

図85に示されるように、レジストマスクを用いて、ゲート底部およびゲート下のHigh-k膜などの第1の絶縁膜、シリコン酸化膜などの第3の絶縁膜を反応性イオンエッチングによりエッチングする。これによりゲート電極(808、808a、808b)及びゲート配線(808c、808d)が形成される。

【0203】

図86に示されるように、柱状シリコン層上部のシリコン窒化膜818および窒化膜サイドウォール823をウェット処理により除去する。

【0204】

50

図 8 7 に示されるように、シリコン窒化膜 8 2 5 を 1 0 ~ 5 0 n m 程度の膜厚で成膜する。

【 0 2 0 5 】

図 8 8 に示されるように、窒化膜 8 2 5 をエッチバックして、柱状シリコン層上面および平面状シリコン層上面を露出させて、柱状シリコン層上部の側壁およびゲート側壁を窒化膜 8 2 5 で覆う構造にする。この構造により以下の効果が生じる。

【 0 2 0 6 】

第 1 に、ゲート電極 ( 8 0 8 、 8 0 8 a 、 8 0 8 b ) と柱状シリコン層上部が窒化膜 8 2 5 により分離されるため、過剰に形成されたシリサイドによるゲート電極と柱状シリコン層上部間のショート、およびゲート電極とドレイン拡散層間のショートを防止できる。

10

【 0 2 0 7 】

第 2 に、柱状シリコン層上部の側壁を窒化膜で覆うことにより、図 8 9 のシリサイド化工程において、柱状シリコン層の側壁から過剰にシリサイド化するのを防ぐことができる。柱状シリコン層上部においてシリサイド層が過剰に形成され、シリサイド層がソース拡散層の接合部に近づくと、接合リークを増加させる要因になるため、シリサイド層が過剰に形成されないよう制御する必要がある。

【 0 2 0 8 】

第 3 に、次工程のイオン注入時において、H i g h - k 膜などの第 1 の絶縁膜 8 0 7 が上記窒化膜 8 2 5 により覆われるので、後工程における H i g h - k 膜などの第 1 の絶縁膜 へのウェット処理によるダメージや、不純物注入によるダメージを防ぐことができる。

20

【 0 2 0 9 】

また、このシリコン窒化膜 8 2 5 がシリコン酸化膜である場合には、洗浄・剥離工程やシリサイド前処理に使用されるフッ酸によりウェットエッチされてしまうので、シリコン窒化膜のようにフッ酸に溶けない膜であることが好ましい。また、窒化膜の膜厚は薄すぎると、H i g h - k 膜などの第 1 の絶縁膜 8 0 7 を完全に保護することができなく、厚すぎると、ゲート側壁に成膜された膜厚分だけ占有面積が増加する。なお、ここでは、保護膜として、シリコン窒化膜を用いたが、これ以外にも、保護膜として機能する保護膜であれば、例えば、シリコン窒化膜とシリコン酸化膜の積層構造の膜を用いることもできる。

【 0 2 1 0 】

図 8 9 に示されるように、イオン注入等により、柱状シリコン層 8 0 5 の上部に N + ソース拡散層 8 0 9 を形成する。同様に柱状シリコン層 ( 8 0 6 a 、 8 0 6 b ) の上部に P + ソース拡散層 ( 8 1 0 a 、 8 1 0 b ) を形成する。その後、Ni もしくは Co 等の金属膜をスパッタし、熱処理を加えることでソースドレイン表面をシリサイド化して、未反応の金属膜を除去することによってドレイン拡散層上のシリサイド層 8 1 1 、およびソース拡散層上のシリサイド層 8 1 2 を形成する。

30

【 0 2 1 1 】

図 9 0 に示されるように、ライナーシリコン窒化膜 8 1 3 を成膜し、その後シリコン酸化膜 8 1 4 を成膜し、CMP においてシリコン酸化膜を平坦化する。その後、平面状シリコン層上のソース拡散層、ゲート上、柱状シリコン層上部のドレイン拡散層上にコンタクト ( 8 1 5 、 8 1 6 、 8 1 6 a 、 8 1 6 b 、 8 1 7 a 、 8 1 7 b ) を形成する。

40

【 0 2 1 2 】

本実施例においては、上記実施例で述べた効果に加えて、絶縁膜をゲート絶縁膜とドレイン拡散層間に挿入することにより、ゲート電極やゲート配線とドレイン拡散層間の絶縁膜が厚くなるため、ゲートとドレイン拡散層との寄生容量が減少する。特に、シリコン酸化膜などの比誘電率の比較的低い絶縁膜をゲート絶縁膜とドレイン拡散層間に挿入することにより寄生容量を大きく低減することができる。

【実施例 9】

【 0 2 1 3 】

本実施例は実施例 7 におけるゲート形成工程を簡略化と、実施例 8 におけるゲート配線と柱状シリコン層底部のドレイン拡散層間の寄生容量を低減する S G T の構造を同時に行

50

った場合の実施例について示す。

【0214】

図91は本発明を用いたCMOSインバーターの等価回路である。CMOSインバーターの回路動作は実施例2と同様であるので、ここでは省略する。

【0215】

図92は本発明を用いたCMOSインバーターの平面図である。図93(a)、(b)は図92におけるカットラインA-A'とB-B'の断面図である。本実施例においては、柱状シリコン層を取り囲むゲート電極(908、908a、908b)とこれらのゲート電極より延在するゲート配線(908c、908d)の上面の高さが同一である特徴を持ち、すなわち、ゲート電極とゲート配線が一体的に形成され、その一体的に形成されたゲート電極およびゲート配線の上面全面が基板に平行な面に形成され、さらにゲート電極(908、908a、908b)やゲート配線(908c、908d)とドレイン拡散層(903、904)との間にシリコン酸化膜などの第3の絶縁膜920が存在する特徴を持つ。

10

【0216】

本実施例に示すCMOSインバーターは以下に示すような製造方法を用いて形成することができる。

【0217】

まず、実施例8の製造方法(図73~図77)において示さるよう、柱状シリコン層の形成後、柱状シリコン層を埋め込むようにシリコン酸化膜などの第3の絶縁膜を成膜し、続いてシリコン酸化膜などの第3の絶縁膜をCMPにより平坦化し、続いてシリコン酸化膜などの第3の絶縁膜をエッチバックすることにより、所望の膜厚だけドレイン拡散層にシリコン酸化膜などの第3の絶縁膜を形成する。

20

【0218】

その後、実施例7の製造方法(図56~図69)において示されたと同様にして、柱状シリコン層の形成後に柱状シリコン層を埋め込むようにゲート導電膜を成膜し、続いてゲート導電膜をCMPにより平坦化し、続いてゲート導電膜をエッチバックし、続いてゲート電極膜厚を決めるためのシリコン窒化膜を成膜及びエッチバックしてゲート電極を自己整合的に形成するためのシリコン窒化膜サイドウォールを形成し、続いてゲート配線パターンのリソグラフィ及びエッチングを行うことにより、ゲート電極とゲート電極より延在するゲート配線が一体的に形成され、その一体的に形成されたゲート電極及びゲート配線の上面全面が基板に平行な面に形成されているゲート電極構造を形成する。さらにその後、柱状シリコン層の側壁を保護するためのシリコン窒化膜を形成し、続いて柱状シリコン層上部の拡散層を形成し、続いて平面状シリコン層表面及び柱状シリコン層上部にシリサイド層を形成し、続いてコンタクトを形成する。

30

【0219】

本実施例においては、ゲート形成工程における製造工程数を減らすことができ、製造時のゲート配線の形成が容易になる。さらに、絶縁膜をゲート絶縁膜とドレイン拡散層間に挿入することにより、ゲート電極やゲート配線とドレイン拡散層間の絶縁膜が厚くなるため、ゲートとドレイン拡散層との寄生容量が減少する。特に、シリコン酸化膜などの比誘電率の比較的低い絶縁膜をゲート絶縁膜とドレイン拡散層間に挿入することにより寄生容量を大きく低減することができる。

40

【実施例10】

【0220】

本実施例においては、実施例7と同様のゲート形成方法を用いてSGTが形成されるが、ゲートの構造がゲート絶縁膜側の薄い金属膜と表面側のポリシリコンの積層構造である点において実施例7とは異なっている。

【0221】

上記のゲート構造によって、ゲート絶縁膜側の薄い金属膜によりゲート電極の空乏化が抑制され、また、ゲート電極およびゲート配線の表面がポリシリコンであるため、従来の

50

ポリシリコンゲートを持つトランジスタと同一の製造ラインで製造することが可能である。

【0222】

図94は本発明を用いたCMOSインバーターの等価回路である。CMOSインバーターの回路動作は実施例2と同様であるので、ここでは省略する。

【0223】

図95は本発明を用いたCMOSインバーターの平面図である。図96(a)、(b)は図95におけるカットラインA-A'とB-B'の断面図である。本実施例においては、柱状シリコン層を取り囲むゲート電極(1008、1008a、1008b)とこれらのゲート電極より延在するゲート配線(1008c、1008d)の上面の高さが同一であり、すなわち、ゲート電極とゲート配線が一体的に形成され、その一体的に形成されたゲート電極およびゲート配線の上面全面が基板に平行な面に形成され、薄い金属膜とポリシリコンの積層構造である特徴を持つ。以下に図95および図96を参照して本発明について説明する。

【0224】

埋め込み酸化膜層1001の上に平面状シリコン層1002が形成され、平面状シリコン層1002はN+ドレイン拡散層1003およびP+ドレイン拡散層1004からなり、N+ドレイン拡散層1003とP+ドレイン拡散層1004の表面にはドレイン拡散層抵抗を下げるためにシリサイド層1011が形成され、このシリサイド層1011によってN+ドレイン拡散層1003とP+ドレイン拡散層1004は互いに直接接続されている。このため、N+ドレイン拡散層1003とP+ドレイン拡散層1004を接続するためのコンタクトや素子分離が必要ないので、インバーターの占有面積を小さくすることができる。また、素子分離は平面状シリコン層1002を分離するだけで形成することができるので、工程数が少なく、最小加工寸法で素子分離を形成することができる。N+ドレイン拡散層1003上に形成される柱状シリコン層1005によってNMOSトランジスタQn111が形成され、P+ドレイン拡散層1004上に形成される柱状シリコン層(1006a、1006b)によってPMOSトランジスタQp111およびQp112が形成されている。柱状シリコン層(1005、1006a、1006b)を取り囲むようにHfO<sub>2</sub>などのHigh-k膜などの第1の絶縁膜1007が形成され、それを取り囲むようにTa<sub>2</sub>N<sub>5</sub>やTiNなどの薄い金属膜1040とポリシリコン1029との積層構造であるゲート電極(1008、1008a、1008b)が形成されている。NMOSを形成する柱状シリコン層1005の上部にN+ソース拡散層1009が、PMOSを形成する柱状シリコン層(1006a、1006b)の上部にP+ソース拡散層(1010a、1010b)が形成され、ソース拡散層(1009、1010a、1010b)上にはシリサイド膜1012が形成されている。これらの素子を覆うようにコンタクトストッパーとしてシリコン窒化膜1013が形成され、さらにシリコン窒化膜1013上に層間シリコン酸化膜1014が形成され、平坦化されたシリコン酸化膜1014を貫通するようにコンタクト(1015、1016、1016a、1016b、1017a、1017b)が形成されている。

【0225】

N+ドレイン拡散層1003とP+ドレイン拡散層1004の境界に形成されたコンタクト1015は配線層を通して出力端子Vout11に接続され、Qn111を形成する柱状シリコン層1005の上部に形成されたコンタクト1016は配線層を通して接地電位Vss11に接続され、Qp111およびQp112を形成する柱状シリコン層(1006a、1006b)の上部に形成されたコンタクト(1016a、1016b)は配線層を通して電源電位Vcc11に接続され、柱状シリコン層1005を取り囲むゲート電極から延在するゲート配線1008c上に形成されるコンタクト1017aおよび柱状シリコン層(1006a、1006b)を取り囲むゲート電極から延在するゲート配線1008d上に形成されるコンタクト1017bは配線層を通して入力端子Vin11に接続されることによりインバーターを形成する。

## 【 0 2 2 6 】

以下に本発明の半導体装置を形成するための製造方法の一例を図 9 7 ~ 図 1 1 0 を参照して説明する。各図において ( a ) は平面図、 ( b ) は A - A ' 間の断面図を示している。ゲート導電膜の成膜工程までは実施例 2 の製造工程と同一であるので、ゲート導電膜の成膜工程より以下に示す。

## 【 0 2 2 7 】

図 9 7 に示されるように、ゲート絶縁膜として H f O<sub>2</sub> などの H i g h - k 膜などの第 1 の絶縁膜 1 0 0 7 を C V D 法もしくは A L D 法により 1 ~ 5 n m 程度の厚さで成膜する。続いて、ゲート導電膜として T i N や T a N などの薄い金属膜 1 0 4 0 を 1 ~ 1 0 n m 程度の厚さで成膜し、その後、ポリシリコン 1 0 2 9 を柱状シリコン層が埋め込まれるように成膜する。

10

## 【 0 2 2 8 】

図 9 8 に示されるように、C M P によりポリシリコン 1 0 2 9 及び薄い金属膜 1 0 4 0 を研磨して平坦化する。ゲート上部を C M P によって平坦化することにより、良好なゲート形状を実現でき、ゲート長のバラつきを抑制することができる。また、柱状シリコン層上部の窒化膜 1 0 1 8 にて C M P をストップする。窒化膜 1 0 1 8 を C M P ストッパーとして使用することにより、再現性よく C M P 研磨量を制御することができる。C M P のストップ膜としては、シリコン窒化膜以外にも、C M P のストップ膜として機能するものであれば、他の膜を使用することができる。

20

## 【 0 2 2 9 】

図 9 9 に示されるように、ゲート長を決定するために、ポリシリコン 1 0 2 9 および薄い金属膜 1 0 4 0 をエッチバックする。この工程により、ゲート長を決定する。

## 【 0 2 3 0 】

図 1 0 0 に示されるように、表面にシリコン窒化膜 1 0 2 2 を成膜する。

## 【 0 2 3 1 】

図 1 0 1 に示されるように、シリコン窒化膜 1 0 2 2 をエッチバックして、メタルゲートの上部にシリコン窒化膜サイドウォール 1 0 2 3 を形成する。このシリコン窒化膜サイドウォールを形成することにより、ゲート上に残るシリコン窒化膜サイドウォール 1 0 2 3 の膜厚分のゲート電極を柱状シリコン層の周囲に自己整合的に形成することができるので、所望のゲート電極膜厚になるように、シリコン窒化膜 1 0 2 3 の膜厚とエッチバック量を調整することができる。なお、ここでは、サイドウォール用の保護膜として、シリコン窒化膜を用いたが、これ以外にも、サイドウォール用の保護膜として機能する保護膜であれば、例えば、シリコン酸化膜のようなものも用いることができる。

30

## 【 0 2 3 2 】

図 1 0 2 に示されるように、レジストまたは多層レジストを塗布し、リソグラフィーによりゲート配線パターンをレジスト 1 0 2 4 により形成する。

## 【 0 2 3 3 】

図 1 0 3 に示されるように、レジストマスクを用いて、ゲート底部およびゲート下の H i g h - k 膜などの第 1 の絶縁膜を反応性イオンエッチングによりエッチングする。これによりゲート電極 ( 1 0 0 8 、 1 0 0 8 a 、 1 0 0 8 b ) 及びゲート配線 ( 1 0 0 8 c 、 1 0 0 8 d ) が形成される。

40

## 【 0 2 3 4 】

図 1 0 4 に示されるように、柱状シリコン層上部のシリコン窒化膜 1 0 1 8 およびシリコン窒化膜サイドウォール 1 0 2 3 をウェット処理により除去する。

## 【 0 2 3 5 】

図 1 0 5 に示されるように、表面にシリコン窒化膜 1 0 2 5 を 1 0 ~ 5 0 n m 程度成膜する。

## 【 0 2 3 6 】

図 1 0 6 に示されるように、シリコン窒化膜 1 0 2 5 をエッチバックして、柱状シリコン層上面および平面状シリコン層上面を露出させて、柱状シリコン層上部の側壁およびゲ

50

ート側壁をシリコン窒化膜 1025 で覆う構造にする。この構造により以下の効果が生じる。

【0237】

第1に、ゲート電極(1008、1008a、1008b)と柱状シリコン層上部、およびゲート電極(1008、1008a、1008b)とドレイン拡散層(1003、1004)が窒化膜1025により分離されるため、過剰に形成されたシリサイドによるゲート電極と柱状シリコン層上部間のショート、およびゲート電極とドレイン拡散層間のショートを防止できる。

【0238】

第2に、柱状シリコン層上部の側壁を窒化膜で覆うことにより、図108のシリサイド化工程において、柱状シリコン層の側壁から過剰にシリサイド化するのを防ぐことができる。柱状シリコン層上部においてシリサイド層が過剰に形成され、シリサイド層がソース拡散層の接合部に近づくと、接合リークを増加させる要因になるため、シリサイド層が過剰に形成されないよう制御する必要がある。

10

【0239】

第3に、次工程のイオン注入時において、High-k膜などの第1の絶縁膜1007が上記窒化膜1025により覆われるので、後工程におけるHigh-k膜などの第1の絶縁膜へのウェット処理によるダメージや、不純物注入によるダメージを防ぐことができる。

【0240】

第4に、ゲート電極の一部である薄い金属膜1040を上記窒化膜1025で覆うことによって、金属膜が表面に露出されないので、従来のポリシリコンゲートを持つトランジスタと同じ製造ラインにおいて、製造することが可能になる。

20

【0241】

また、このシリコン窒化膜1025がシリコン酸化膜である場合には、洗浄・剥離工程やシリサイド前処理に使用されるフッ酸によりウェットエッチされてしまうので、シリコン窒化膜のようにフッ酸に溶けない膜であることが好ましい。また、窒化膜の膜厚は薄すぎると、High-k膜を完全に保護することができなく、厚すぎると、ゲート側壁に成膜された膜厚分だけ占有面積が増加する。なお、ここでは、保護膜として、シリコン窒化膜を用いたが、これ以外にも、保護膜として機能する保護膜であれば、例えば、シリコン窒化膜とシリコン酸化膜の積層構造の膜を用いることもできる。

30

【0242】

図107に示されるように、イオン注入等により、柱状シリコン層1005の上部にN+ソース拡散層1009を形成する。同様に柱状シリコン層(1006a、1006b)の上部にP+ソース拡散層(1010a、1010b)を形成する。

【0243】

図108に示されるように、NiもしくはCo等の金属膜をスパッタし、熱処理を加えることでソースドレイン表面、およびポリシリコンであるゲート電極の上面をシリサイド化して、未反応の金属膜を除去することによってドレイン拡散層(1003、1004)上のシリサイド層1011、ソース拡散層(1009、1010a、1010b)上のシリサイド層1012、およびゲート電極上のシリサイド層1041を形成する。

40

【0244】

図109に示されるように、ライナーシリコン窒化膜1013を成膜し、その後シリコン酸化膜1014を成膜し、CMPにおいてシリコン酸化膜を平坦化する。ライナー窒化膜はコンタクト形成時のエッチングストッパーとして使用する。

【0245】

図110に示されるように、平面状シリコン層上のソース拡散層、ゲート上、柱状シリコン層上部のドレイン拡散層上にコンタクト(1015、1016、1016a、1016b、1017a、1017b)を形成する。

【0246】

50

上記のように本実施例においては、ゲート絶縁膜側の薄い金属膜と表面側のポリシリコンの積層構造であるゲート構造によって、ゲート絶縁膜側の薄い金属膜によりゲート電極の空乏化が抑制され、また、ゲート電極およびゲート配線の表面がポリシリコンであるため、従来のポリシリコンゲートを用いたトランジスタと同じ製造ラインにて製造することができる。

【実施例 11】

【0247】

本実施例は実施例 10 のように、ゲート電極が薄い金属膜とポリシリコンの積層構造で形成されており、さらに実施例 8 におけるゲート配線と柱状シリコン層底部のドレイン拡散層間の寄生容量を低減することができる SGT の構造の実施例について示す。

10

【0248】

図 111 は本発明を用いた CMOS インバーターの等価回路である。CMOS インバーターの回路動作は実施例 2 と同様であるので、ここでは省略する。

【0249】

図 112 は本発明を用いた CMOS インバーターの平面図である。図 113 (a)、(b) は図 112 におけるカットライン A - A' と B - B' の断面図である。本実施例においては、柱状シリコン層を取り囲むゲート電極 (1108、1108a、1108b) とこれらのゲート電極より延在するゲート配線 (1108c、1108d) の上面の高さが同一である特徴を持ち、すなわち、ゲート電極とゲート配線が一体的に形成され、その一体的に形成されたゲート電極およびゲート配線の上面全面が基板に平行な面に形成される。また、ゲート電極およびゲート配線は薄い金属膜とポリシリコンの積層構造からなる。さらに、ゲート電極 (1108、1108a、1108b) やゲート配線 (1108c、1108d) とドレイン拡散層 (1103、1104) との間にシリコン酸化膜などの第 3 の絶縁膜 1120 が存在する特徴を持つ。

20

【0250】

本実施例に示す CMOS インバーターは以下に示すような製造方法を用いて形成することができる。

【0251】

まず、実施例 8 の製造方法 (図 73 ~ 図 77) において示さるるように、柱状シリコン層の形成後、柱状シリコン層を埋め込むようにシリコン酸化膜などの第 3 の絶縁膜を成膜し、続いてシリコン酸化膜などの第 3 の絶縁膜を CMP により平坦化し、続いてシリコン酸化膜などの第 3 の絶縁膜をエッチバックすることにより、所望の膜厚だけドレイン拡散層にシリコン酸化膜などの第 3 の絶縁膜を形成し、ゲート電極とゲート電極間の寄生容量を低減するインバーター構造を形成する。

30

【0252】

その後、実施例 10 の製造方法 (図 97 ~ 図 110) において示されたと同様にして、柱状シリコン層の形成後に柱状シリコン層を埋め込むように薄い金属膜とポリシリコンの積層構造よりなるゲート導電膜を成膜し、続いてゲート導電膜を CMP により平坦化し、続いてゲート導電膜をエッチバックし、続いてゲート電極膜厚を決めるためのシリコン窒化膜を成膜及びエッチバックしてゲート電極を自己整合的に形成するためのシリコン窒化膜サイドウォールを形成し、続いてゲート配線パターンのリソグラフィ及びエッチングを行うことにより、薄い金属膜とポリシリコン膜の積層構造よりなるゲート電極とゲート電極より延在するゲート配線が一体的に形成され、その一体的に形成されたゲート電極及びゲート配線の上面全面が基板に平行な面に形成されているゲート電極構造を形成する。さらにその後、柱状シリコン層の側壁を保護するためのシリコン窒化膜を形成し、続いて柱状シリコン層上部の拡散層を形成し、続いて平面状シリコン層表面及び柱状シリコン層上部にシリサイド層を形成し、続いてコンタクトを形成する。

40

【0253】

本実施例においては、ゲート絶縁膜側の薄い金属膜 1140 と表面側のポリシリコン 1129 の積層構造であるゲート構造によって、ゲート絶縁膜側の薄い金属膜によりゲート

50

電極の空乏化が抑制され、また、ゲート電極およびゲート配線の表面がポリシリコンであるため、従来のポリシリコンゲートを用いたトランジスタと同じ製造ラインにて製造することができる。さらに、絶縁膜 1120 をゲート絶縁膜とドレイン拡散層間に挿入することにより、ゲート電極やゲート配線とドレイン拡散層間の絶縁膜が厚くなるため、ゲートとドレイン拡散層との寄生容量が減少する。特に、シリコン酸化膜などの比誘電率の比較的低い絶縁膜をゲート絶縁膜とドレイン拡散層間に挿入することにより寄生容量を大きく低減することができる。

【実施例 12】

【0254】

S G T においてゲートによるチャネルの制御性を向上させて、ショートチャネル効果を十分に抑制するには、柱状半導体層柱の寸法をゲート長に比べて十分に小さく形成しなければならない。柱状半導体層の寸法を小さく形成するには、ドライエッチング時に寸法をシュリンクする方法や、柱状半導体層形成後に犠牲酸化を行う方法などにより、比較的容易に寸法を縮小できる。このため、最小加工寸法より小さい寸法を持つ柱状半導体層を形成することはそれほど困難ではないため、実際の S G T においては、柱状半導体層は最小加工寸法より小さく形成されることが多い。

10

【0255】

上記のように径の小さい柱状半導体層、特に 50 nm 以下の柱状半導体層柱状シリコン層においては、柱状半導体層の上部拡散層に形成されるシリサイド層と拡散層との界面の面積が小さくなるため、界面抵抗が増加する。特にシリサイド層との界面面積の小さい柱状半導体層上部の拡散層においてはソースドレイン寄生抵抗の主要因になり、トランジスタ特性を劣化させる一因となる。

20

【0256】

また、柱状シリコン層の径を最小加工寸法で作成されたコンタクトよりも小さく形成する場合には、柱状半導体層上部に形成されるコンタクトと柱状半導体層上面との接触面積がコンタクトの底面積より小さい柱状半導体層上面の面積になるため、コンタクト抵抗が大きくなる。

【0257】

さらに、S G T を形成する場合、製造工程削減のため柱状半導体層の上部と下部の拡散層上に同時にコンタクトを形成することが望ましいが、その場合、柱状半導体層上部に形成されるコンタクトに対しては、柱状半導体層下部に形成されるコンタクトと比べると、柱状半導体層の高さ以上のオーバーエッチが行われる。このため、柱状シリコン層上部に形成されるコンタクトにおいて、コンタクトエッチング時にオーバーエッチが過剰に行われることにより、ゲートとコンタクト間のショートが生じやすい構造になる。

30

【0258】

本実施例においては、上記のような柱状半導体層の径が小さい、特に 50 nm 以下である S G T、さらには柱状半導体層の径が最小加工寸法より小さい構造を持つ S G T において上記の問題点を解決する S G T の構造および製造方法を提供する。

【0259】

図 114 は本発明を用いた C M O S インバーターの等価回路である。以下に、C M O S インバーターの回路動作について説明する。入力信号  $V_{in13}$  は N M O S である  $Q_{n131}$  および P M O S である  $Q_{p131}$  および  $Q_{p132}$  のゲートに印加される。 $V_{in13}$  が “ 1 ” のとき、N M O S である  $Q_{n131}$  は O N 状態、P M O S である  $Q_{p131}$  および  $Q_{p132}$  は O F F 状態となり、 $V_{out13}$  は “ 0 ” になる。逆に、 $V_{in13}$  が “ 0 ” のとき、N M O S である  $Q_{n131}$  は O F F 状態、P M O S である  $Q_{p131}$  および  $Q_{p132}$  は O N 状態となり、 $V_{out13}$  は “ 1 ” になる。以上のように、C M O S インバーターは入力値である  $V_{in13}$  の信号に対して、出力値である  $V_{out13}$  の信号は反対の値をとるように動作する。

40

【0260】

図 115 は本発明を用いた C M O S インバーターの平面図である。以下に図 115 の C

50

MOSインバーターの平面図について簡単に説明する。埋め込み酸化膜層1200の上に平面状シリコン層が形成され、平面状シリコン層はN+注入領域においては下部N+拡散層1201であり、P+注入領域においては下部P+拡散層1211である。平面状シリコン層表面にはソースドレイン領域の寄生抵抗低減のため下部シリサイド層1203が形成され、下部シリサイド層1203により下部N+拡散層1201と下部P+拡散層1211が接続される。下部N+拡散層1201上にはNMOSトランジスタであるQn131が、下部P+拡散層1211上にはPMOSトランジスタであるQp131およびQp132が形成される。それぞれのトランジスタのゲート電極より延在するゲート配線(1208a、1208b)上に形成されるコンタクト(1209a、1209b)は入力配線Vin13に接続され、下部シリサイド層1203上に形成されるコンタクト1209cは出力配線Vout13に接続され、NMOSトランジスタであるQn131を形成する柱状シリコン層の上部拡散層上に形成されるコンタクト1209dは接地電位配線Vss13に接続され、PMOSトランジスタであるQp131およびQp132を形成する柱状シリコン層の上部拡散層上に形成されるコンタクト1209eは電源電位配線Vcc13に接続されることによりインバーターを構成する。

10

## 【0261】

図116(a)、(b)に図115のカットラインA-A'およびB-B'における断面構造を示す。以下に図115、図116を参照してCMOSインバーターの構造について説明する。

## 【0262】

20

埋め込み酸化膜層1200の上に平面状シリコン層が形成され、平面状シリコン層は下部N+拡散層1201および下部P+拡散層1211からなり、下部N+拡散層1201と下部P+拡散層1211の表面には下部エピタキシャルシリコン層1202が形成され、その表面には下部シリサイド層1203が形成され、この下部シリサイド層1203によって下部N+拡散層1201と下部P+拡散層1211は互いに直接接続されている。下部N+拡散層1201上に形成される柱状シリコン層1204によってNMOSトランジスタQn131が形成され、下部P+拡散層1211上に形成される柱状シリコン層1214aおよび1214bによってPMOSトランジスタQp131およびQp132が形成されている。柱状シリコン層(1204、1214a、1214b)を取り囲むように第1の絶縁膜1207が形成され、それを取り囲むようにゲート電極1208が形成されている。柱状シリコン層上部には上部エピタキシャルシリコン層(1205、1215)が形成され、第4の絶縁膜1210を介してゲート電極1208と絶縁されている。一定間隔以下で隣接する柱状シリコン層(1214a、1214b)の上部に形成されるエピタキシャルシリコン層は互いに接続される。NMOSであるQn121上に形成される上部エピタキシャルシリコン層1205は上部N+拡散層であり、PMOSであるQp121およびQp122上に形成される上部エピタキシャルシリコン層1215は上部P+拡散層1215であり、それぞれの上部エピタキシャルシリコン層上にはソースドレイン領域の寄生抵抗低減のため上部シリサイド層1206が形成されている。柱状シリコン層の径が小さい場合には柱状シリコン層上部においてシリサイド層と拡散層の界面抵抗はソースドレイン寄生抵抗の主要因になるため、両者の界面の面積はなるべく大きいことが望ましい。上部シリサイド層1206は上部エピタキシャルシリコン層の表面に形成されるように設定することにより、シリサイド層と拡散層の界面の面積が大きくなり、界面抵抗は減少する。柱状シリコン層上部のエピタキシャルシリコン層(1205、1215)上に形成されるコンタクト(1209d、1209e)は完全にエピタキシャルシリコン層上に形成される。コンタクトエッチングにおいてはエピタキシャルシリコン層やその表面に形成されるシリサイド層とシリコン酸化膜の選択比が大きい条件を用いるため、コンタクトの形成時にオーバーエッチが行われても、エピタキシャルシリコン層やシリサイド層はほとんどエッチングされないため、コンタクトとゲート間のショートは発生しない。

30

40

## 【0263】

以下に本発明の半導体装置を形成するための製造方法の一例を図117~図122を参

50

照して説明する。各図において ( a ) は平面図、 ( b ) は A - A ' 間の断面図を示している。

【 0 2 6 4 】

ゲート形成後のシリコン窒化膜エッチバック工程までは実施例 2 と同一であるので、図 3 5 と同一工程であるシリコン窒化膜成膜工程から示す。

【 0 2 6 5 】

図 1 1 7 に示されるように、ゲート形成後にシリコン窒化膜 1 2 2 2 を成膜する。

【 0 2 6 6 】

図 1 1 8 に示されるように、シリコン窒化膜 1 2 2 2 をエッチバックして柱状シリコン層の上部拡散層および下部拡散層を露出する。エッチバック後にゲート電極上部のシリコン窒化膜などの第 4 の絶縁膜 1 2 1 0 が存在しなければ、ゲート電極上部と次工程で形成されるエピタキシャルシリコン層が接触してしまう。ゲート電極上部にシリコン窒化膜などの第 4 の絶縁膜 1 2 1 0 を残すためには、図 1 1 7 において成膜するシリコン窒化膜 1 2 2 2 の膜厚をゲート電極の膜厚より厚くする必要がある。この場合には、エッチバック後においてもゲート電極上部にシリコン窒化膜を残すことができる。

【 0 2 6 7 】

図 1 1 9 に示されるように、シリコンを柱状シリコン層上部と下部の拡散層上に選択的にエピタキシャル成長させて、一定間隔以内で隣接する柱状シリコン層上部の拡散層に形成されるエピタキシャルシリコン層が互いに接続されるようにエピタキシャルシリコン層 ( 1 2 2 3 、 1 2 2 4 ) を形成する。このとき、エピタキシャルシリコン層の直径が後工程で形成されるコンタクト径よりも大きく設定されることにより、コンタクトとゲート間がショートしない構造にすることができる。また、エピタキシャルシリコン層 1 2 2 3 が隣接する柱状シリコン層 ( 1 2 1 4 a 、 1 2 1 4 b ) において共通化されることで、各柱状シリコン層における上部拡散層の寄生抵抗をさらに低減することができる。

【 0 2 6 8 】

図 1 2 0 に示されるように、柱状シリコン層の上部拡散層を形成するために、イオン注入などにより不純物を注入する。As や P を注入することにより上部 N + 拡散層 1 2 0 5 を形成し、B や B F<sub>2</sub> を注入することにより上部 P + 拡散層 1 2 1 5 を形成する。

【 0 2 6 9 】

図 1 2 1 に示されるように、Co や Ni などの金属をスパッタして、熱処理を行うことにより、ソースドレイン拡散層を選択的にシリサイド化して、下部シリサイド層 1 2 0 3 および上部シリサイド層 1 2 0 6 を形成する。このときに、エピタキシャルシリコン層全体をシリサイド化せずに、エピタキシャルシリコン層の一部をシリサイド化することによって、上部シリサイド層 1 2 0 6 と上部拡散層との界面の面積が柱状シリコン層の上面より大きくなるため、界面抵抗が減少し、ソースドレイン寄生抵抗を低減することができる。また、エピタキシャルシリコン層が複数の柱状シリコン層により共通化されている場合には、各柱状シリコン層における上部拡散層とシリサイド層の界面面積はさらに増加するため、界面抵抗の減少は大きく、寄生抵抗はさらに低減される。

【 0 2 7 0 】

図 1 2 2 に示されるように、層間膜であるシリコン酸化膜形成後にコンタクト ( 1 2 0 9 a ~ 1 2 0 9 e ) を形成する。このときに、柱状シリコン層上部に形成されるコンタクト ( 1 2 0 9 d 、 1 2 0 9 e ) は完全に上部エピタキシャルシリコン層上に形成されるため、コンタクトの形成時にオーバーエッチが行われても、コンタクトとゲート間のショートは発生しない構造になる。

【 0 2 7 1 】

本実施例においては NMOS と PMOS でともにエピタキシャルシリコン層を形成した場合を示しているが、例えば NMOS にはエピタキシャルシリコン層を PMOS にはエピタキシャルシリコンゲルマニウム層を形成することにより、PMOS においてチャネル部に応力を加えて、移動度を向上させることも可能である。

【 0 2 7 2 】

10

20

30

40

50

上記のように柱状シリコン層の径が小さいSGTにおいては、本発明を用いることにより以下の効果を生じる。

【0273】

上部シリサイド層と上部拡散層の界面の抵抗に関して、エピタキシャルシリコン層（1205、1215）がない場合には、上部シリサイド層1206と上部拡散層の接触面積が柱状シリコン層上面の面積しかないが、図116においては上部シリサイド層1206とエピタキシャルシリコン層である上部拡散層（1205、1215）の接触面積は柱状シリコン層の上面の面積より大きいエピタキシャルシリコン層の面積になるので、接触抵抗は小さくなる。さらに、図116のPMOSのようにエピタキシャルシリコン層が複数の柱状シリコン層間で接続されている場合には、1個の柱状シリコン層あたりのシリサイド層と上部拡散層との界面抵抗はさらに小さくなる。このため、エピタキシャルシリコン層を形成することによって、ソースドレイン寄生抵抗の主要因であるシリサイド層と上部拡散層の接触抵抗が大幅に減少するため、SGTの性能を向上することができる。

10

【0274】

また、柱状シリコン層の径が最小加工寸法より小さい場合には以下の効果を生じる。ただし、コンタクト底部は最小加工寸法で形成されるとする。

【0275】

第1に、柱状シリコン層上部のコンタクト抵抗に関して、エピタキシャルシリコン層（1205、1215）がない場合には、コンタクトの接触面積はコンタクトより小さい柱状シリコン層上部の大きさにより決まる。一方、図116のSGT構造のようにコンタクトより柱状シリコン層上部の面積が小さい場合には、コンタクトの接触面積は柱状シリコン層上部の大きさにより決まる。このため、柱状シリコン層がコンタクトより小さい場合には、エピタキシャルシリコン層を形成して、コンタクト寸法より柱状シリコン層上部の寸法を大きくすることにより、柱状シリコン層上部に形成されるコンタクトのコンタクト抵抗を低減することができる。

20

【0276】

さらに、SGTにおけるコンタクト形成に関して、製造工程削減のためには柱状シリコン層の上部拡散層と下部拡散層に形成されるコンタクトを同時に形成することが望ましい。この場合、上部拡散層に形成されるコンタクトに対しては、柱状シリコン層高さ以上のオーバーエッチが行われることになる。エピタキシャルシリコン層（1205、1215）がない場合には、柱状シリコン層の上部拡散層に形成されるコンタクトにおいて過剰なオーバーエッチが行われると、ゲートとコンタクトのショートが発生しやすい構造になっている。図に示してはいないが、このショートはコンタクトストッパー用のライナー窒化膜を形成することにより緩和することができるが、根本的な解決にはならない。一方、図116においては、コンタクトは完全にエピタキシャルシリコン層上に形成されており、コンタクトエッチングにおいてはエピタキシャルシリコン層やその表面に形成されるシリサイド層とシリコン酸化膜の選択比が大きい条件を用いるため、コンタクトとゲートがショートすることはない。

30

【0277】

以上のように、本実施例を用いることにより従来のSGTに比べて、コンタクト抵抗の低減、ソースドレイン寄生抵抗の低減、コンタクトとゲート間ショートの抑制が実現できる。

40

【0278】

本実施例においては、PMOSを形成している隣接する柱状シリコン層の上部拡散層が互いに接続されている例を示した。エピタキシャルシリコン層の成膜条件や膜厚を調整することによって、特定間隔以下で隣接する柱状シリコン層の上部拡散層のみを自己整合的に接続できる。このような構造にすることによって、上部拡散層におけるシリコンとシリサイドとの界面面積が増えるため、界面抵抗を低減することができる。また、このような構造を持つ場合には、すべての柱状シリコン層上部にコンタクトを形成する必要はなく、コンタクトのレイアウトも容易になる。

50

## 【0279】

上記の実施例においては、トランジスタによって形成される回路を含む半導体装置及びその製造方法として、簡単のために回路構成の単純なトランジスタのドレイン同士が接続されるインバーターを含む半導体装置及びその製造方法を例として説明したが、本発明が他の任意のトランジスタによって形成される回路を含む半導体装置及びその製造方法にも適用可能であることは、当業者に明らかであるであろう。

## 【0280】

また、上記の実施例においては、トランジスタを形成する基板として、SOI基板を例として説明したが、本発明が、基板上に絶縁膜が形成され、該絶縁膜上に平面状半導体層が形成された、他の任意の基板を用いて実施可能であることは、当業者に明らかである

10

## 【図面の簡単な説明】

## 【0281】

【図1】本発明の第1の実施例のCMOSインバーターの等価回路図である。

【図2】本発明の第1の実施例のCMOSインバーターの平面図である。

【図3】本発明の第1の実施例のCMOSインバーターの断面図である。

【図4】本発明の第1の実施例の製造工程の一部である。

【図5】本発明の第1の実施例の製造工程の一部である。

【図6】本発明の第1の実施例の製造工程の一部である。

【図7】本発明の第1の実施例の製造工程の一部である。

20

【図8】本発明の第1の実施例の製造工程の一部である。

【図9】本発明の第1の実施例の製造工程の一部である。

【図10】本発明の第1の実施例の製造工程の一部である。

【図11】本発明の第1の実施例の製造工程の一部である。

【図12】本発明の第1の実施例の製造工程の一部である。

【図13】本発明の第1の実施例の製造工程の一部である。

【図14】本発明の第1の実施例の製造工程の一部である。

【図15】本発明の第1の実施例の製造工程の一部である。

【図16】本発明の第1の実施例の製造工程の一部である。

【図17】本発明の第1の実施例の製造工程の一部である。

30

【図18】本発明の第1の実施例の製造工程の一部である。

【図19】本発明の第1の実施例の製造工程の一部である。

【図20】本発明の第1の実施例の製造工程の一部である。

【図21】本発明の第1の実施例の製造工程の一部である。

【図22】本発明の第1の実施例の製造工程の一部である。

【図23】本発明の第1の実施例の製造工程の一部である。

【図24】本発明の第1の実施例の製造工程の一部である。

【図25】本発明の第1の実施例の製造工程の一部である。

【図26】本発明の第1の実施例の製造工程の一部である。

【図27】本発明の第1の実施例の製造工程の一部である。

40

【図28】本発明の第1の実施例の製造工程の一部である。

【図29】本発明の第1の実施例の製造工程の一部である。

【図30】本発明の第1の実施例の製造工程の一部である。

【図31】本発明の第1の実施例の製造工程の一部である。

【図32】本発明の第2の実施例のCMOSインバーターの等価回路図である。

【図33】本発明の第2の実施例のCMOSインバーターの平面図である。

【図34】本発明の第2の実施例のCMOSインバーターの断面図である。

【図35】本発明の第2の実施例の製造工程の一部である。

【図36】本発明の第2の実施例の製造工程の一部である。

【図37】本発明の第2の実施例の製造工程の一部である。

50

- 【図38】本発明の第2の実施例の製造工程の一部である。
- 【図39】本発明の第2の実施例の製造工程の一部である。
- 【図40】本発明の第1の実施例の他のCMOSインバーターの等価回路図である。
- 【図41】本発明の第1の実施例の他のCMOSインバーターの平面図である。
- 【図42】本発明の第1の実施例の他のCMOSインバーターの断面図である。
- 【図43】本発明の第3の実施例のCMOSインバーターの等価回路図である。
- 【図44】本発明の第3の実施例のCMOSインバーターの平面図である。
- 【図45】本発明の第3の実施例のCMOSインバーターの断面図である。
- 【図46】本発明の第4の実施例のCMOSインバーターの平面図である。
- 【図47】本発明の第5の実施例のNMOSインバーターの等価回路図である。 10
- 【図48】本発明の第5の実施例のNMOSインバーターの平面図である。
- 【図49】本発明の第6の実施例のNMOSインバーターの断面図である。
- 【図50】本発明の第6の実施例のNMOSインバーターの等価回路図である。
- 【図51】本発明の第6の実施例のNMOSインバーターの平面図である。
- 【図52】本発明の第6の実施例のNMOSインバーターの断面図である。
- 【図53】本発明の第7の実施例のCMOSインバーターの等価回路図である。
- 【図54】本発明の第7の実施例のCMOSインバーターの平面図である。
- 【図55】本発明の第7の実施例のCMOSインバーターの断面図である。
- 【図56】本発明の第7の実施例の製造工程の一部である。
- 【図57】本発明の第7の実施例の製造工程の一部である。 20
- 【図58】本発明の第7の実施例の製造工程の一部である。
- 【図59】本発明の第7の実施例の製造工程の一部である。
- 【図60】本発明の第7の実施例の製造工程の一部である。
- 【図61】本発明の第7の実施例の製造工程の一部である。
- 【図62】本発明の第7の実施例の製造工程の一部である。
- 【図63】本発明の第7の実施例の製造工程の一部である。
- 【図64】本発明の第7の実施例の製造工程の一部である。
- 【図65】本発明の第7の実施例の製造工程の一部である。
- 【図66】本発明の第7の実施例の製造工程の一部である。
- 【図67】本発明の第7の実施例の製造工程の一部である。 30
- 【図68】本発明の第7の実施例の製造工程の一部である。
- 【図69】本発明の第7の実施例の製造工程の一部である。
- 【図70】本発明の第8の実施例のCMOSインバーターの等価回路図である。
- 【図71】本発明の第8の実施例のCMOSインバーターの平面図である。
- 【図72】本発明の第8の実施例のCMOSインバーターの断面図である。
- 【図73】本発明の第8の実施例の製造工程の一部である。
- 【図74】本発明の第8の実施例の製造工程の一部である。
- 【図75】本発明の第8の実施例の製造工程の一部である。
- 【図76】本発明の第8の実施例の製造工程の一部である。
- 【図77】本発明の第8の実施例の製造工程の一部である。 40
- 【図78】本発明の第8の実施例の製造工程の一部である。
- 【図79】本発明の第8の実施例の製造工程の一部である。
- 【図80】本発明の第8の実施例の製造工程の一部である。
- 【図81】本発明の第8の実施例の製造工程の一部である。
- 【図82】本発明の第8の実施例の製造工程の一部である。
- 【図83】本発明の第8の実施例の製造工程の一部である。
- 【図84】本発明の第8の実施例の製造工程の一部である。
- 【図85】本発明の第8の実施例の製造工程の一部である。
- 【図86】本発明の第8の実施例の製造工程の一部である。
- 【図87】本発明の第8の実施例の製造工程の一部である。 50

- 【図 8 8】本発明の第 8 の実施例の製造工程の一部である。
- 【図 8 9】本発明の第 8 の実施例の製造工程の一部である。
- 【図 9 0】本発明の第 8 の実施例の製造工程の一部である。
- 【図 9 1】本発明の第 9 の実施例の CMOS インバーターの等価回路図である。
- 【図 9 2】本発明の第 9 の実施例の CMOS インバーターの平面図である。
- 【図 9 3】本発明の第 9 の実施例の CMOS インバーターの断面図である。
- 【図 9 4】本発明の第 10 の実施例の CMOS インバーターの等価回路図である。
- 【図 9 5】本発明の第 10 の実施例の CMOS インバーターの平面図である。
- 【図 9 6】本発明の第 10 の実施例の CMOS インバーターの断面図である。
- 【図 9 7】本発明の第 10 の実施例の製造工程の一部である。 10
- 【図 9 8】本発明の第 10 の実施例の製造工程の一部である。
- 【図 9 9】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 0】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 1】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 2】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 3】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 4】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 5】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 6】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 7】本発明の第 10 の実施例の製造工程の一部である。 20
- 【図 1 0 8】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 0 9】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 1 0】本発明の第 10 の実施例の製造工程の一部である。
- 【図 1 1 1】本発明の第 11 の実施例の CMOS インバーターの等価回路図である。
- 【図 1 1 2】本発明の第 11 の実施例の CMOS インバーターの平面図である。
- 【図 1 1 3】本発明の第 11 の実施例の CMOS インバーターの断面図である。
- 【図 1 1 4】本発明の第 12 の実施例の CMOS インバーターの等価回路図である。
- 【図 1 1 5】本発明の第 12 の実施例の CMOS インバーターの平面図である。
- 【図 1 1 6】本発明の第 12 の実施例の CMOS インバーターの断面図である。
- 【図 1 1 7】本発明の第 12 の実施例の製造工程の一部である。 30
- 【図 1 1 8】本発明の第 12 の実施例の製造工程の一部である。
- 【図 1 1 9】本発明の第 12 の実施例の製造工程の一部である。
- 【図 1 2 0】本発明の第 12 の実施例の製造工程の一部である。
- 【図 1 2 1】本発明の第 12 の実施例の製造工程の一部である。
- 【図 1 2 2】本発明の第 12 の実施例の製造工程の一部である。
- 【図 1 2 3】縦型トランジスタの従来例である。
- 【図 1 2 4】縦型トランジスタの従来例である。
- 【図 1 2 5】従来の縦型トランジスタの製造方法である。
- 【図 1 2 6】従来の縦型トランジスタの製造方法である。
- 【図 1 2 7】従来の縦型トランジスタの製造方法である。 40
- 【図 1 2 8 ( a )】縦型トランジスタの従来例である。
- 【図 1 2 8 ( b )】縦型トランジスタの従来例である。
- 【図 1 2 8 ( c )】縦型トランジスタの従来例である。
- 【図 1 2 8 ( d )】縦型トランジスタの従来例である。
- 【図 1 2 8 ( e )】縦型トランジスタの従来例である。
- 【図 1 2 9】従来の縦型トランジスタの製造方法である。
- 【符号の説明】
- 【 0 2 8 2】
- 1、1 0 1、2 0 1、3 0 1、4 0 1、4 5 1、5 0 1、6 0 1、7 0 1、8 0 1、9 0
- 1、1 0 0 1、1 1 0 1、1 2 0 0：埋め込み酸化膜 50

2、102、202、302、402、452、502、602、702、802、902、1002、1102：平面状シリコン層	
3、103、203、303、503、603、703、803、903、1003、1103、1201、1312、1503、1507、1523、1527、1542、1545、1562、1565、1572：N+ドレイン拡散層	
4、104、204、304、704、804、904、1004、1104、1211、1310、1504、1508、1524、1528、1546、1562、1566、1573：P+ドレイン拡散層	
5、105、205、305、505、605、705、805、905、1005、1105、1204、1510、1530、1548、1568、1575、1606、1509、1529、1547、1567、1574：NMOS柱状シリコン層	10
6a、106a、206a、306a、706a、806a、906a、1006a、1106a、1214a、6b、106b、206b、306b、706b、806b、906b、1006b、1106b、1214b、1305、1510、1530、1548、1568、1575：PMOS柱状シリコン層	
505、605：駆動NMOS柱状シリコン層	
506、606：負荷NMOS柱状シリコン層	
7、107、207、307、507、607、707、807、907、1007、1107、1207： <u>第1の絶縁膜</u>	
8、108、208、308、408、458、708、808、908、1008、1108：NMOSゲート電極	20
8a、108a、208a、308a、408a、458a、708a、808a、908a、1008a、1108a、8b、108b、208b、308b、408b、458b、708b、808b、908b、1008b、1108b：PMOSゲート電極	
8c、108c、208c、308c、508c、608c、708c、808c、908c、1008c、1108c、8d、108d、208d、308d、408d、708d、808d、908d、1008d、1108d、408e、458e：ゲート配線	
9、109、209、309、509a、609a、509b、609b、709、809、909、1009、1109、1205、1311、1511、1531、1549、1511、1531、1549、1569、1576：N+ソース拡散層	30
10a、110a、210a、310a、710a、810a、910a、1010a、1110a、10b、110b、210b、310b、710b、810b、910b、1010b、1110b、1215、1309、1512、1532、1550、1570、1577：P+ソース拡散層	
11、111、211、311、511、611、711、811、911、1011、1111、1203：ドレイン部シリサイド	
12、112、212、312、512、612、712、812、912、1012、1112、1206：ソース部シリサイド	
1210： <u>第4の絶縁膜</u>	
13、113、213、312、513、613、713、813、913、1013、1113：シリコン窒化膜	40
14、114、214、314、514、614、714、814、914、1014、1114：シリコン酸化膜	
15、115、215、315、415、465、515、715、815、915、1015、1115、1209c：ドレイン拡散層上コンタクト	
16、116、216、316、416、466、516、616、616a、716、816、916、1016、1116、1209d：NMOSソース拡散層上コンタクト	
16a、116a、216c、316a、416a、466a、716a、816a、916a、1016a、1116a、16b、116b、216b、416b、466b、716b、816b、916b、1016b、1116b、1209e：PMOSソース	50

## 拡散層上コンタクト

3 1 6 c : 長方形形状コンタクト

1 7 a、1 1 7 a、2 1 7 a、3 1 7 c、4 1 7 c、4 6 7 c、5 1 7 a、6 1 7 a、7  
1 7 a、8 1 7 a、9 1 7 a、1 0 1 7 a、1 1 1 7 a、1 7 b、1 1 7 b、2 1 7 b、  
3 1 7 b、7 1 7 b、8 1 7 b、9 1 7 b、1 0 1 7 b、1 1 1 7 b、1 2 0 9 a、1 2

0 9 b : ゲート配線上コンタクト

1 8、7 1 8、8 1 8、1 0 1 8 : シリコン窒化膜ハードマスク

1 9、8 1 9 : 犠牲酸化膜

2 0 : 注入用レジスト

4 0 : シリサイド領域形成用レジスト

10

2 1、8 2 1 : 第 2 の絶縁膜

2 2、7 2 2、8 2 2、1 0 2 2 : ゲート形成用シリコン窒化膜

2 3、7 2 3、8 2 3、1 0 2 3 : シリコン窒化膜サイドウォール

2 4、7 2 4、8 2 4、1 0 2 4 : ゲートレジスト

2 5、7 2 5、8 2 5、1 0 2 5 : シリコン窒化膜

5 2 7 : ソースゲート共通コンタクト

6 2 8 : ドレインゲート共通コンタクト

8 0、7 2 9、8 8 0 : ゲート導電膜

3 0 a、1 3 0 a、2 3 0 a、3 3 0 a、5 3 0 a、6 3 0 a、7 3 0 a、8 3 0 a、9  
3 0 a、1 0 3 0 a、1 1 3 0 a、3 0 b、1 3 0 b、2 3 0 b、3 3 0 b、4 3 0 b、  
5 3 0 b、6 3 0 b、7 3 0 b、8 3 0 b、9 3 0 b、1 0 3 0 b、1 1 3 0 b : 入力端

20

子用配線

3 1、1 3 1、2 3 1、3 3 1、4 3 1、5 3 1、6 3 1、7 3 1、8 3 1、9 3 1、1  
0 3 1、1 1 3 1 : 出力端子用配線3 2、1 3 2、2 3 2、3 3 2、4 3 2、5 3 2、6 3 2、7 3 2、8 3 2、9 3 2、1  
0 3 2、1 1 3 2 : 接地配線3 3、1 3 3、2 3 3、3 3 3、4 3 3、5 3 3、6 3 3、7 3 3、8 3 3、9 3 3、1  
0 3 3、1 1 3 3 : 電源配線

5 0 8 a、6 0 8 a : 駆動NMOSゲート電極

5 0 8 b、6 0 8 b : 負荷NMOSゲート電極

30

1 0 2 9、1 1 2 9 : ポリシリコン膜

1 0 4 0、1 1 4 0 : 薄い金属膜

1 0 4 1、1 1 4 1 : ゲート上シリサイド

1 2 2 3、1 2 2 4 : エピタキシャルシリコン層

1 3 0 1 : シリコン基板

1 3 0 2、1 3 0 2、1 5 0 2、1 5 2 2 : Nウェル

1 3 0 3、1 5 0 1、1 5 2 1、1 5 4 1 : Pウェル

1 3 0 4、1 5 0 5、1 5 2 5、1 5 5 1 : LOCOS

1 3 0 8、1 5 0 6、1 5 2 6、1 5 4 4、1 5 6 4、1 5 7 8 : ゲート電極

1 4 0 1、1 4 1 1、1 4 2 1、1 6 0 7 : 柱状シリコン層

40

1 4 0 5、1 4 1 5、1 4 2 5 : ゲート配線

1 4 0 4、1 4 1 4、1 4 2 4 : ゲート配線用レジスト

1 4 0 2、1 4 1 2、1 4 2 2、1 6 0 5 : ゲート絶縁膜

1 4 0 3、1 4 1 3、1 4 2 3 : ゲート電極

1 6 0 1、1 6 0 3 : シリコン酸化膜

1 6 0 2 : ゲート導電体

1 6 0 4 : コンタクトホール

Q n 1 1、Q n 2 1、Q n 3 1、Q n 4 1、Q n 5 1、Q n 8 1、Q n 9 1、Q n 1 0 1  
、Q n 1 1 1、Q n 1 2 1、Q n 1 3 1 : NMOSトランジスタ

Q p 1 1、Q p 2 1、Q p 3 1、Q p 4 1、Q p 5 1、Q p 8 1、Q p 9 1、Q p 1 0 1

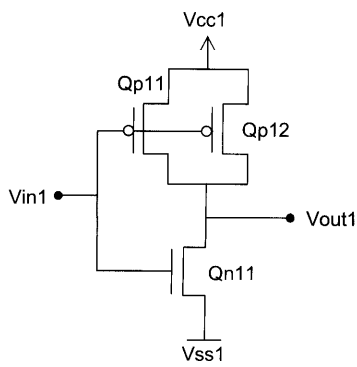
50

、 Q p 1 1 1、 Q p 1 2 1、 Q p 1 3 1、 Q p 1 2、 Q p 2 2、 Q p 3 2、 Q p 4 2、 Q p 5 2、 Q p 8 2、 Q p 9 2、 Q p 1 0 2、 Q p 1 1 2、 Q p 1 2 2、 Q p 1 3 2 : P M O S トランジスタ

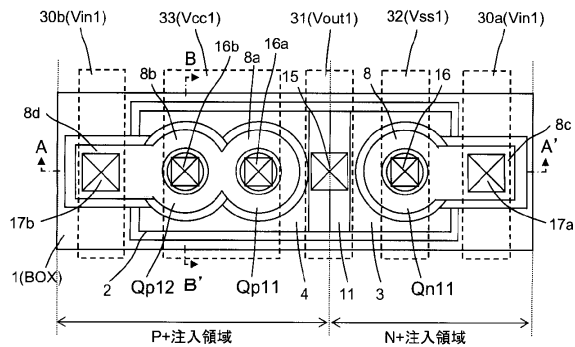
Q<sub>D1</sub>、 Q<sub>D2</sub> : 駆動 N M O S トランジスタ

Q<sub>L1</sub>、 Q<sub>L2</sub> : 負荷 N M O S トランジスタ

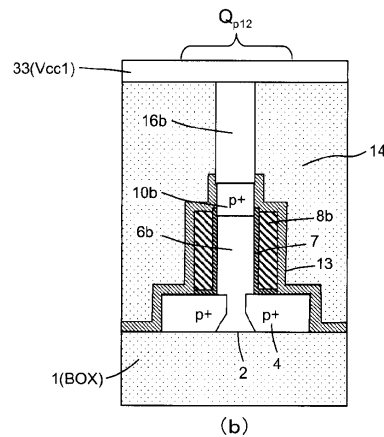
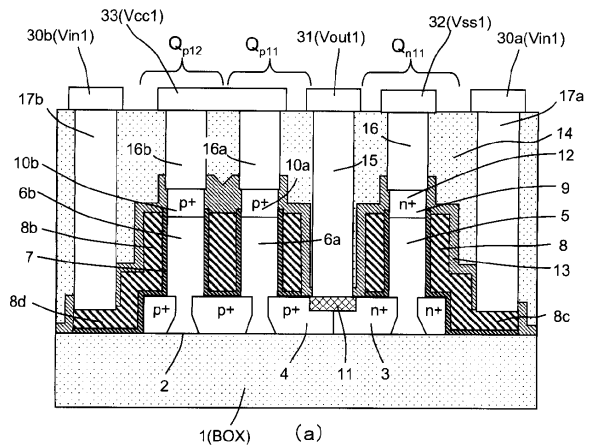
【 図 1 】



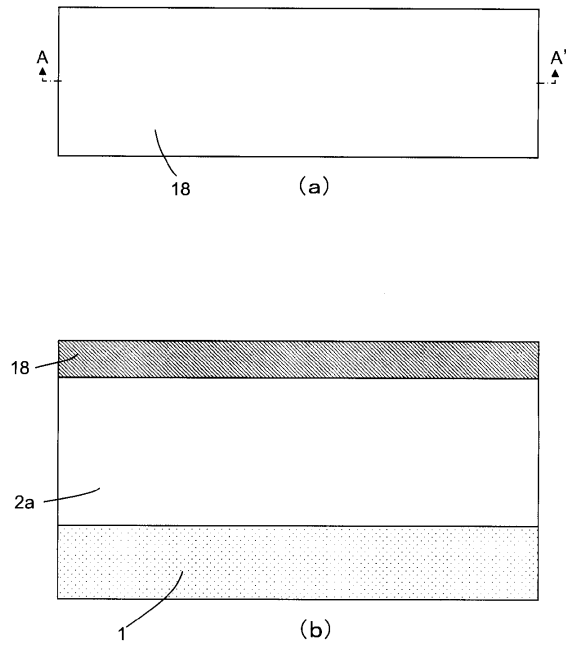
【 図 2 】



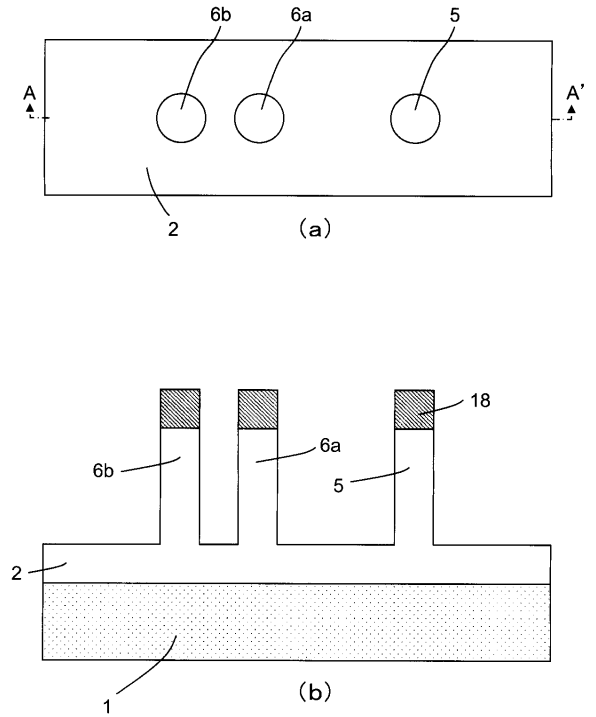
【 図 3 】



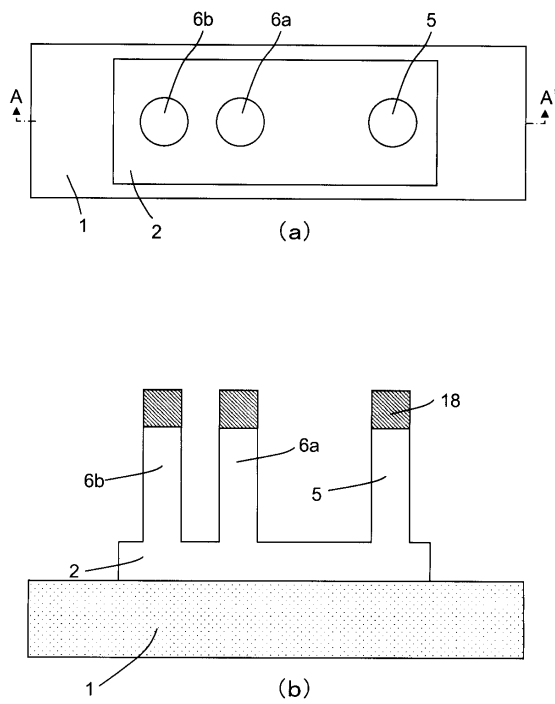
【 図 4 】



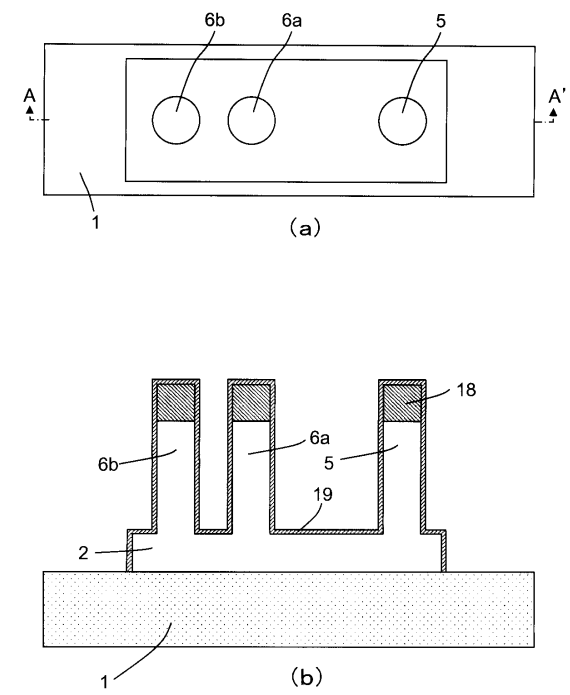
【 図 5 】



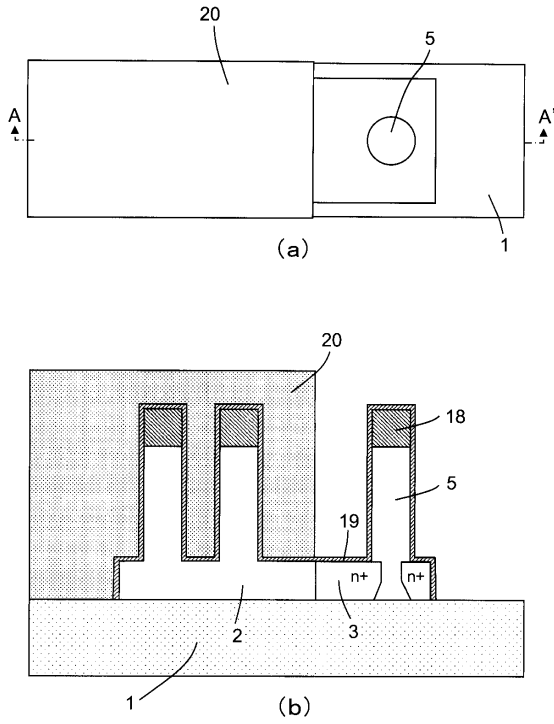
【 図 6 】



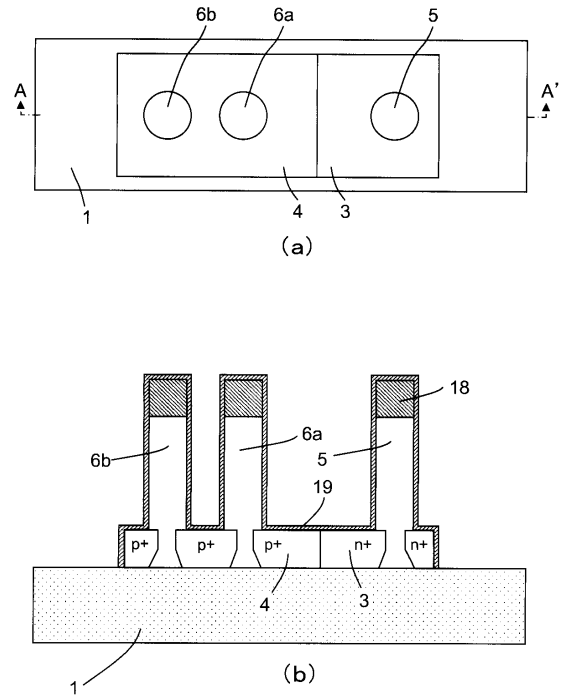
【 図 7 】



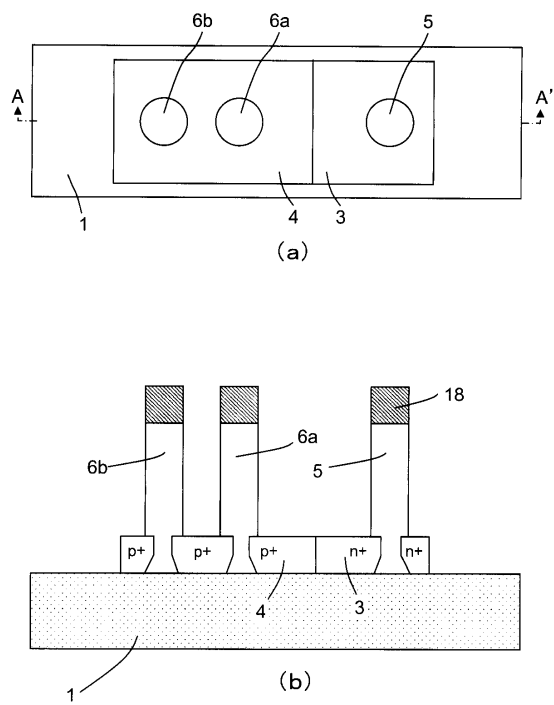
【図8】



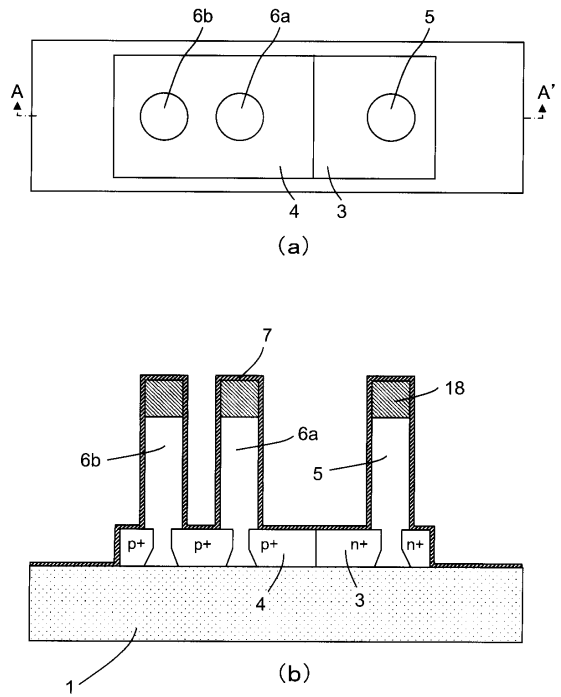
【図9】



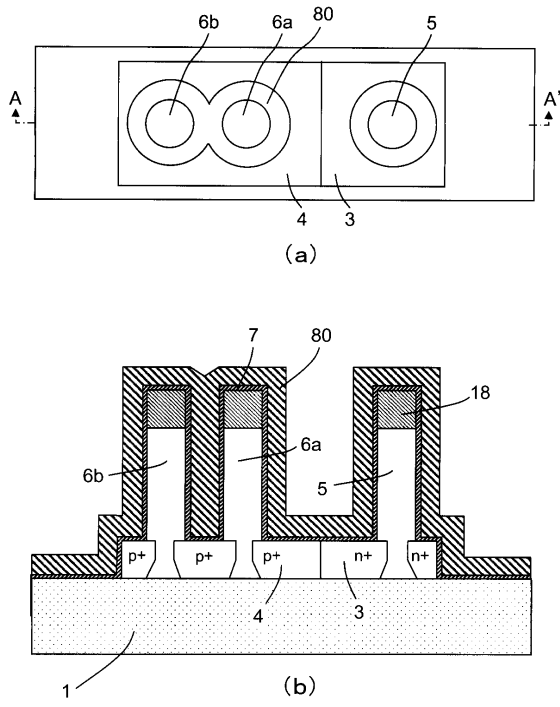
【図10】



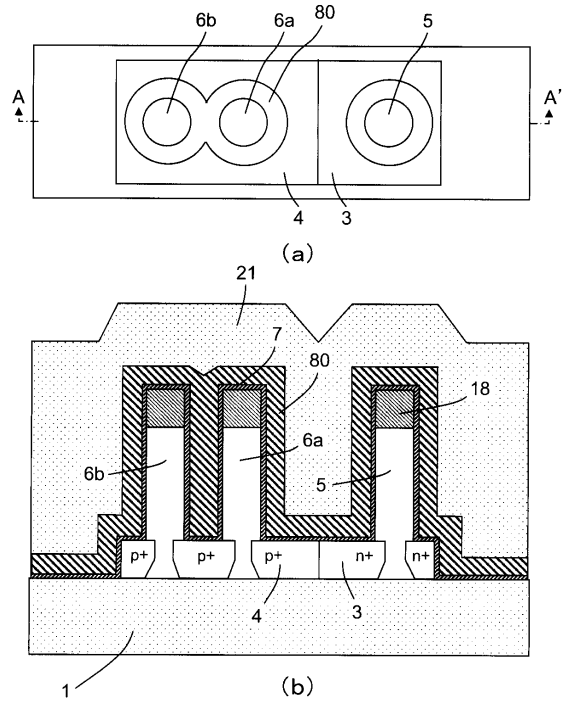
【図11】



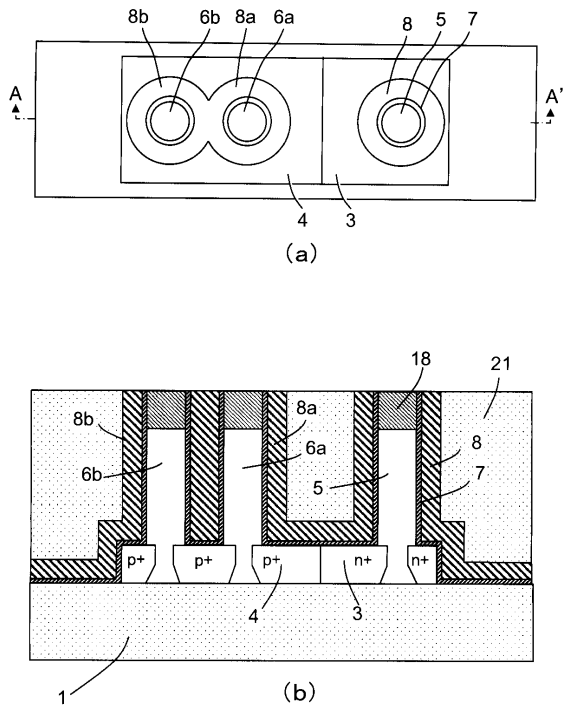
【 図 1 2 】



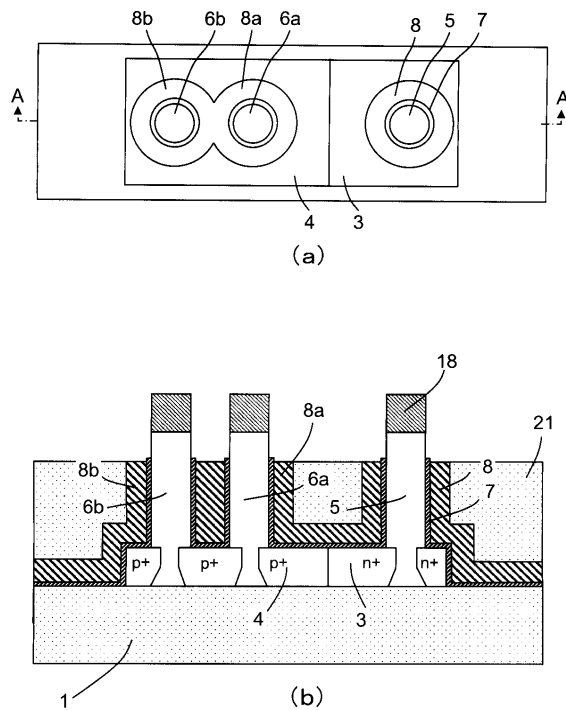
【 図 1 3 】



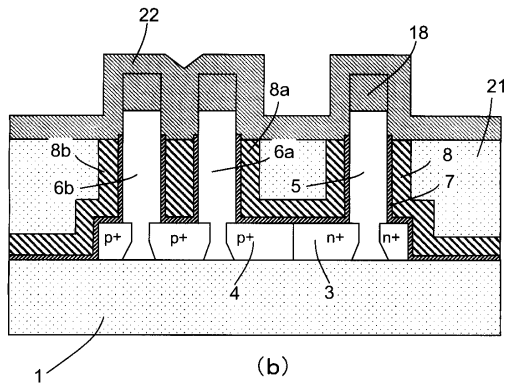
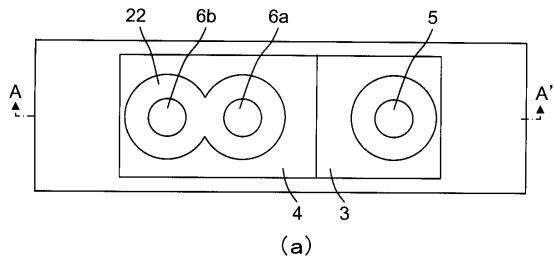
【 図 1 4 】



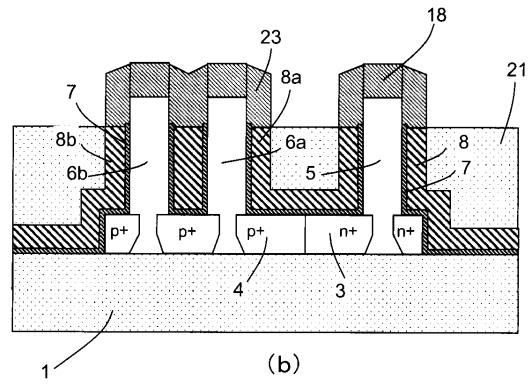
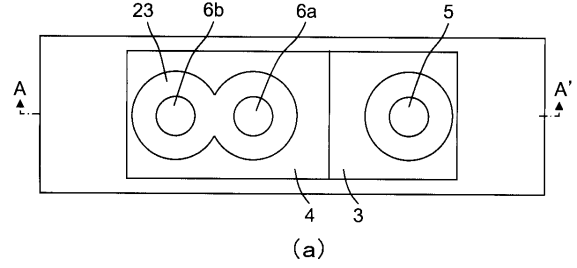
【 図 1 5 】



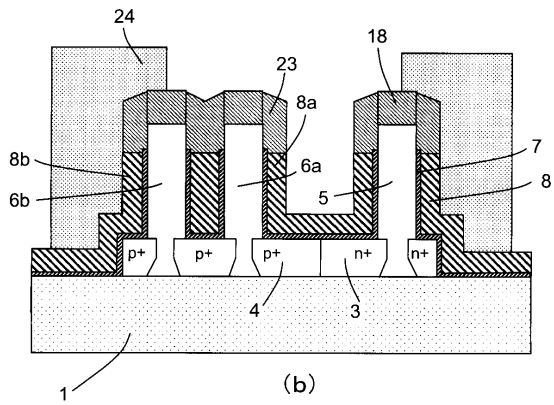
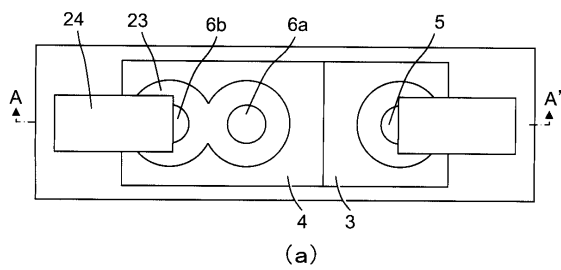
【図16】



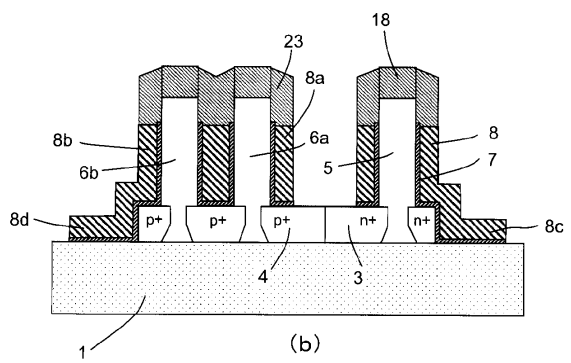
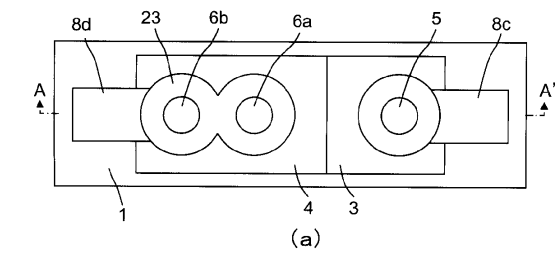
【図17】



【図18】

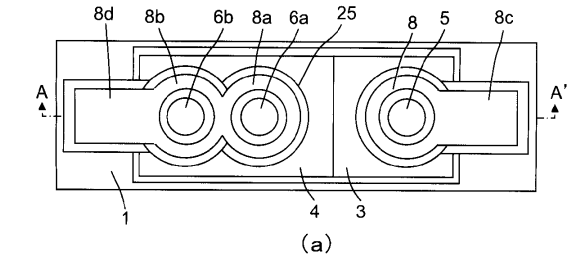


【図19】

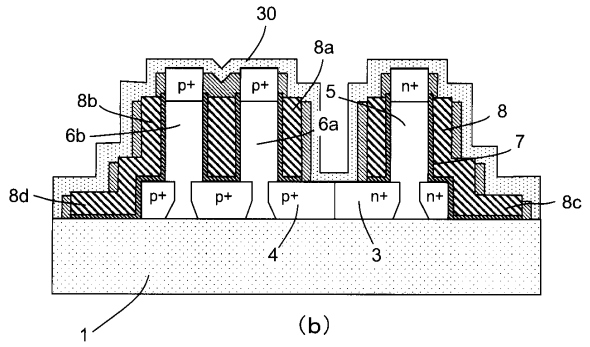
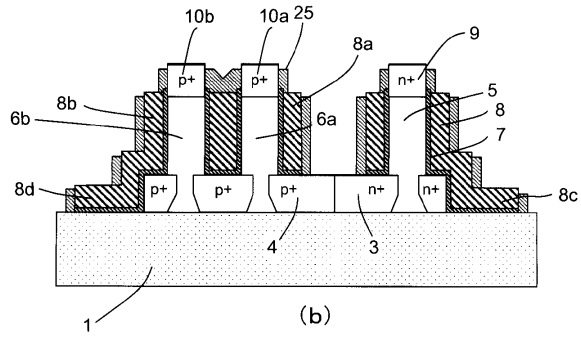
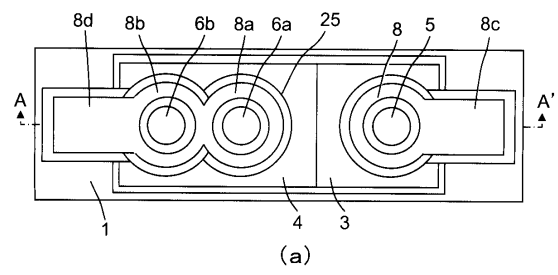




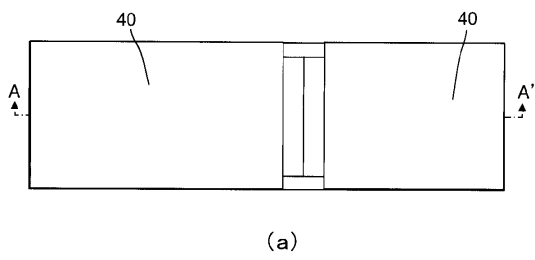
【図24】



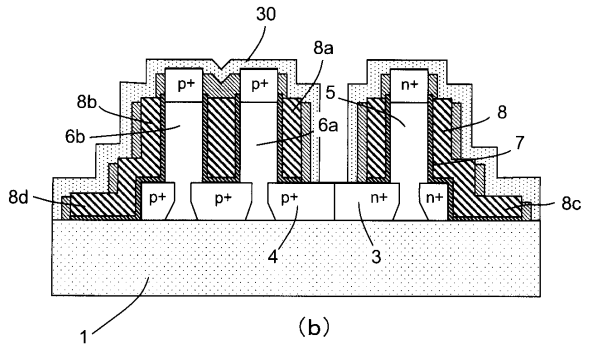
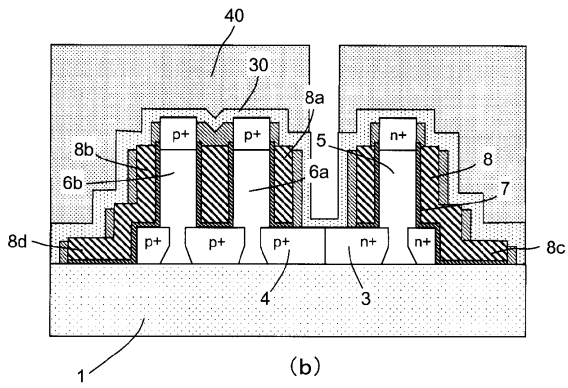
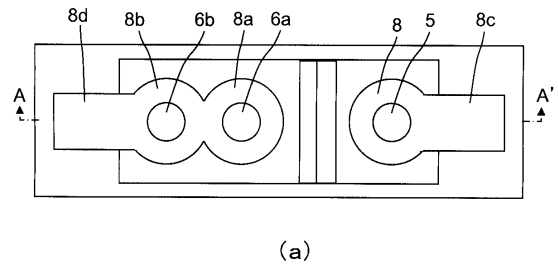
【図25】



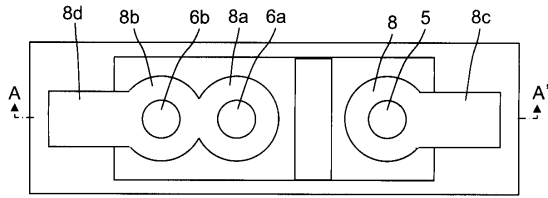
【図26】



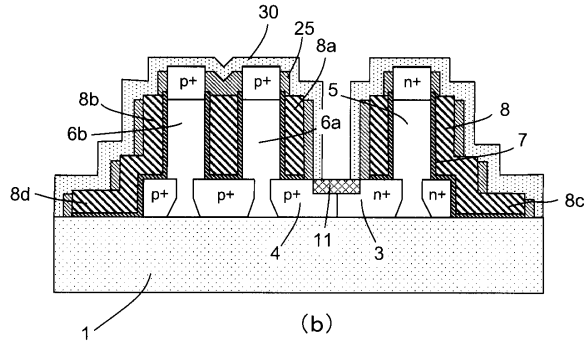
【図27】



【 図 28 】

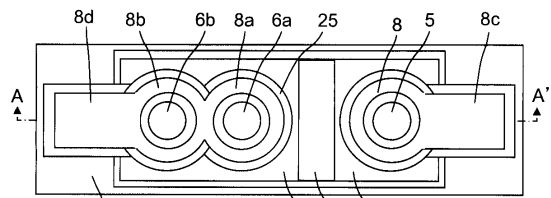


(a)

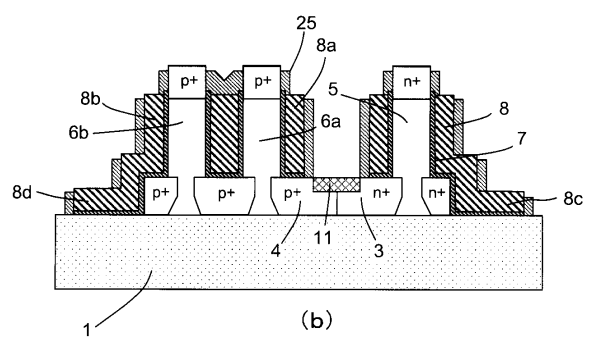


(b)

【 図 29 】

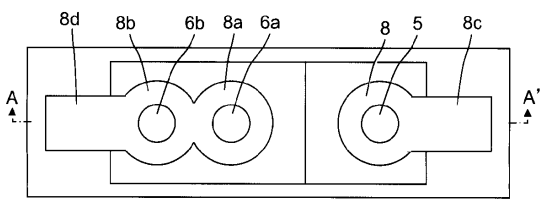


(a)

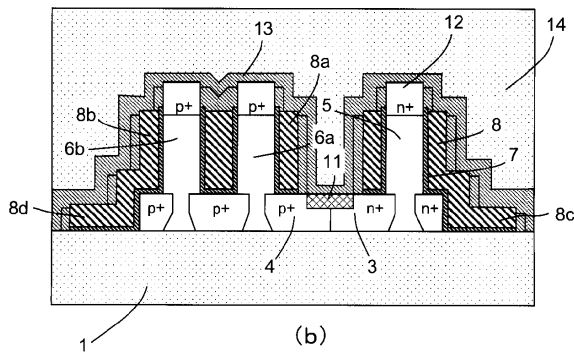


(b)

【 図 30 】

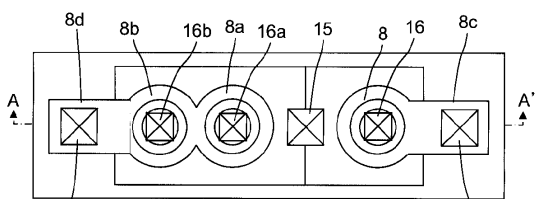


(a)

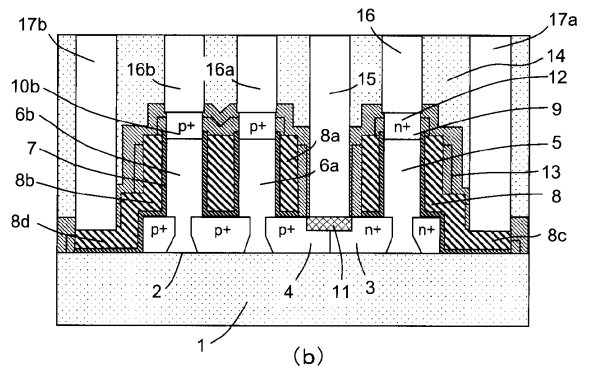


(b)

【 図 31 】

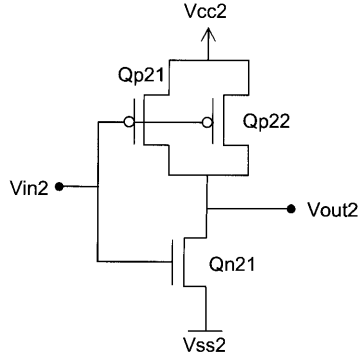


(a)

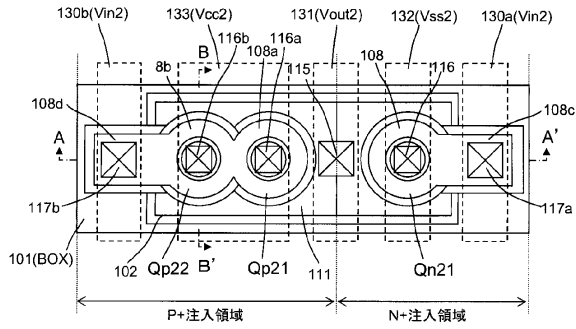


(b)

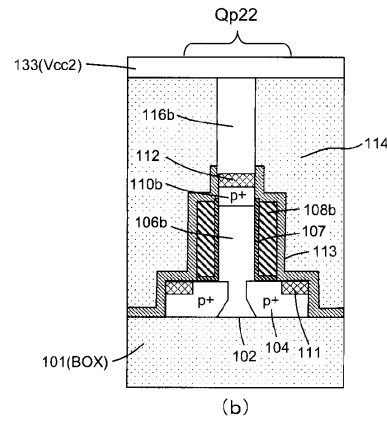
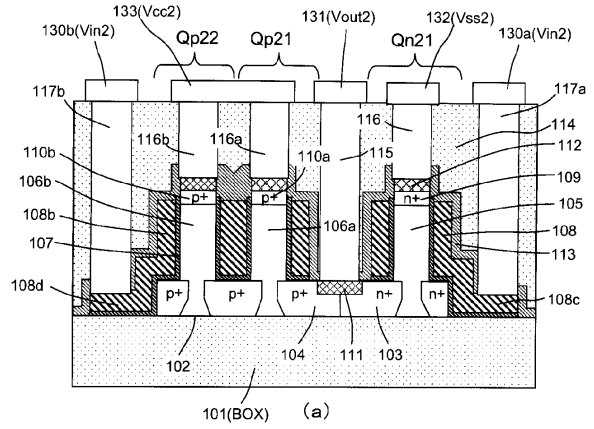
【 図 3 2 】



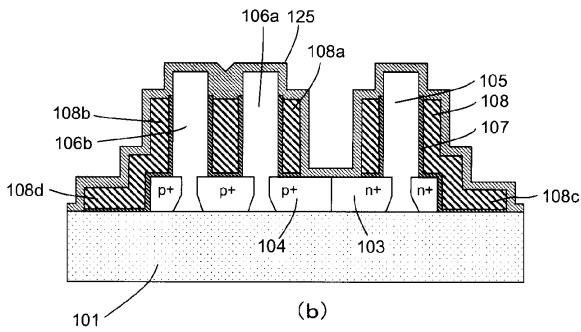
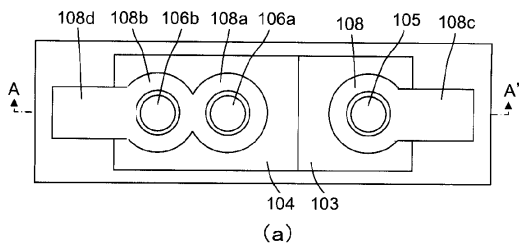
【 図 3 3 】



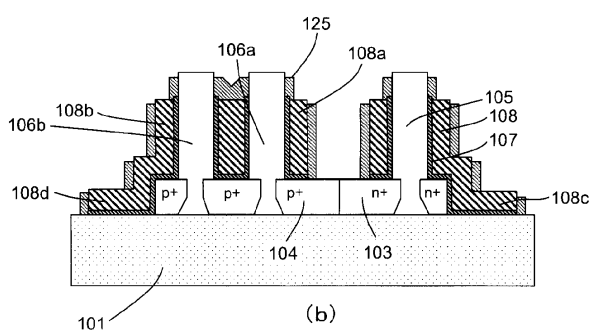
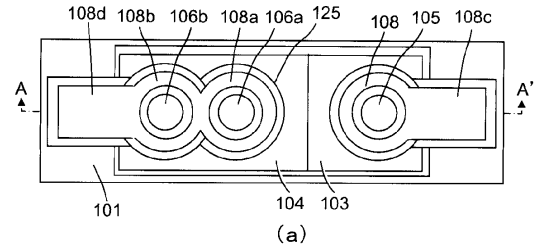
【 図 3 4 】



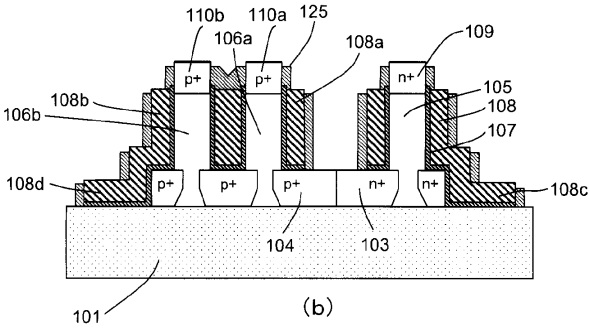
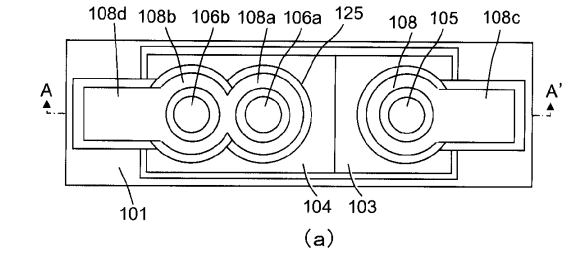
【 図 3 5 】



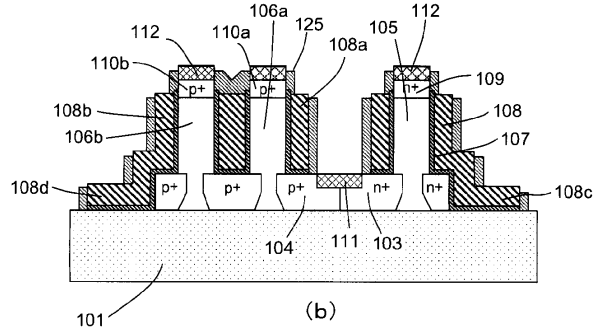
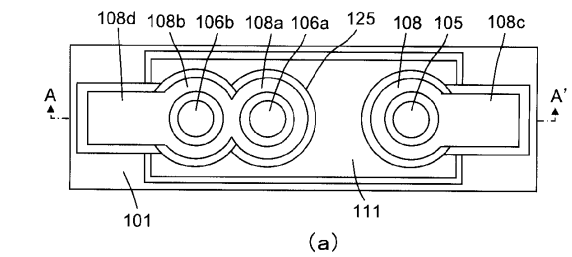
【 図 3 6 】



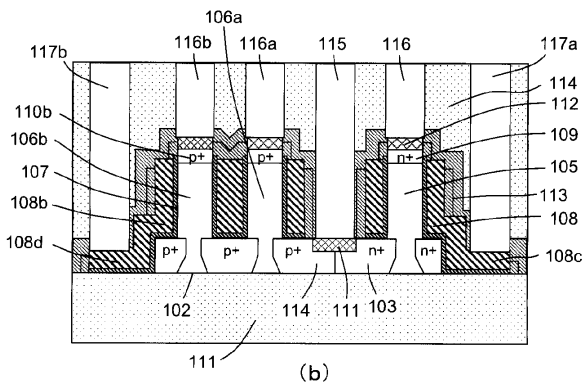
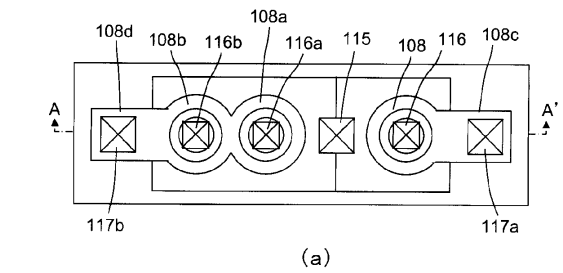
【図 37】



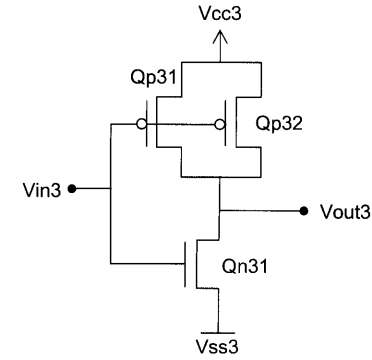
【図 38】



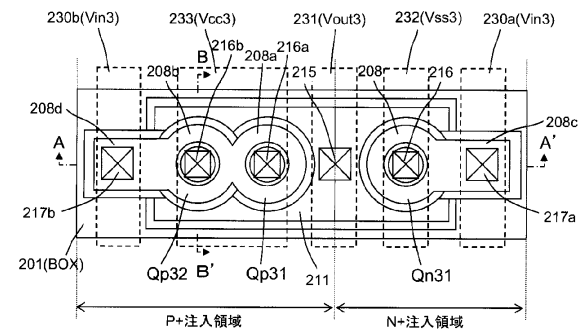
【図 39】



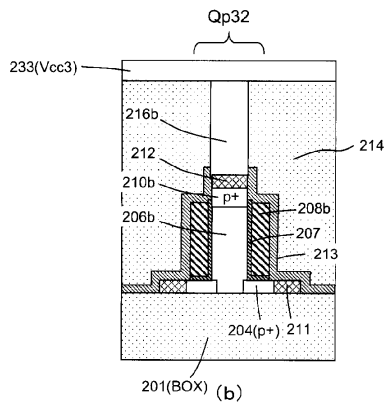
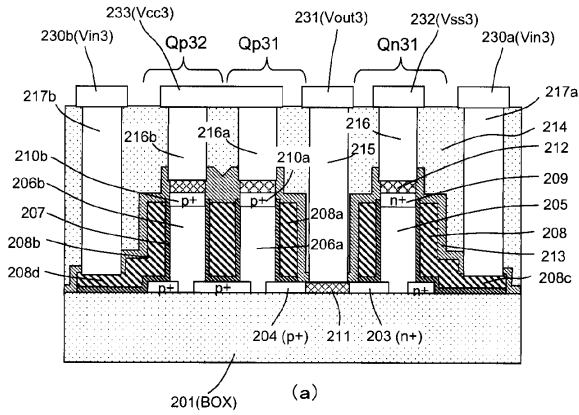
【図 40】



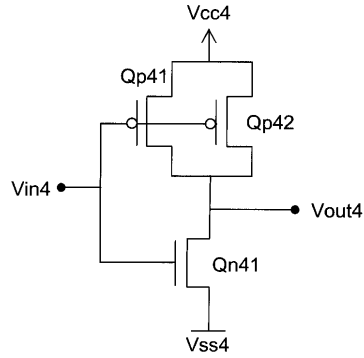
【図 41】



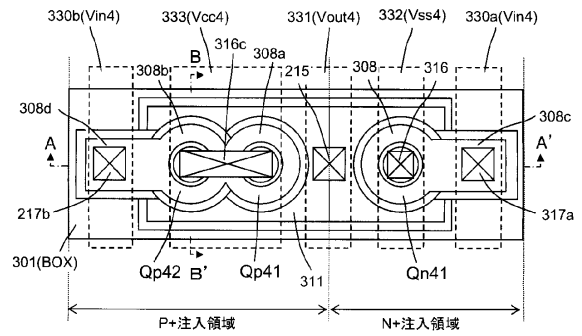
【 図 4 2 】



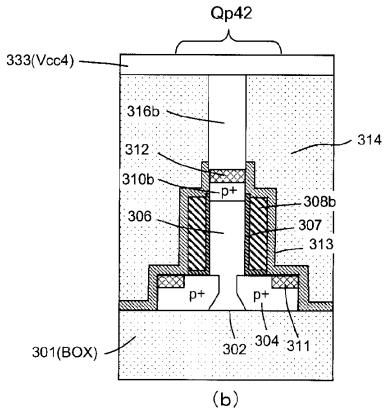
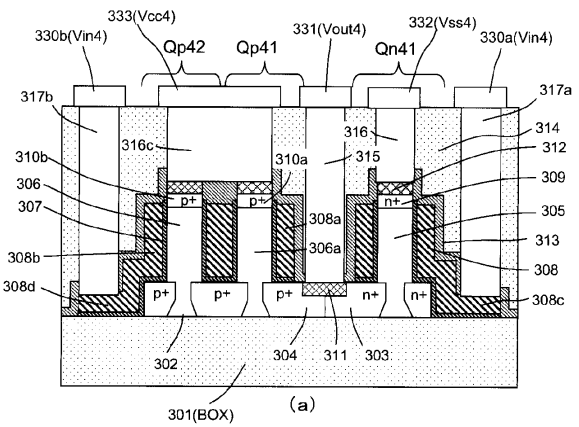
【 図 4 3 】



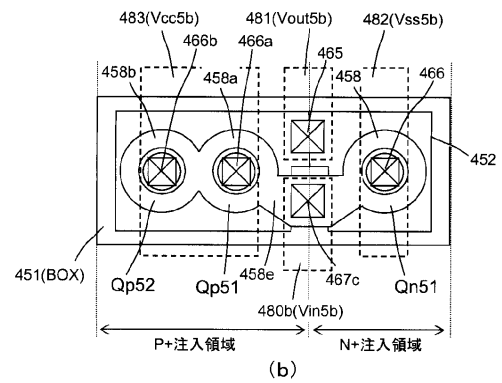
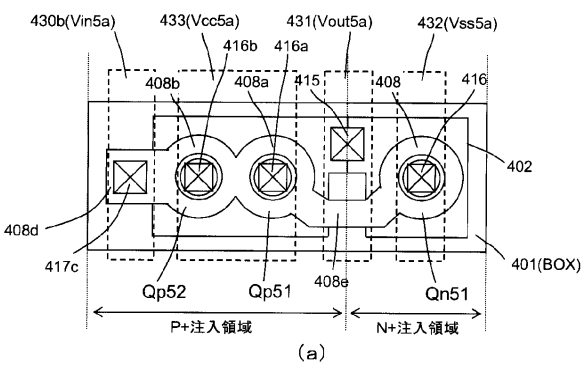
【 図 4 4 】



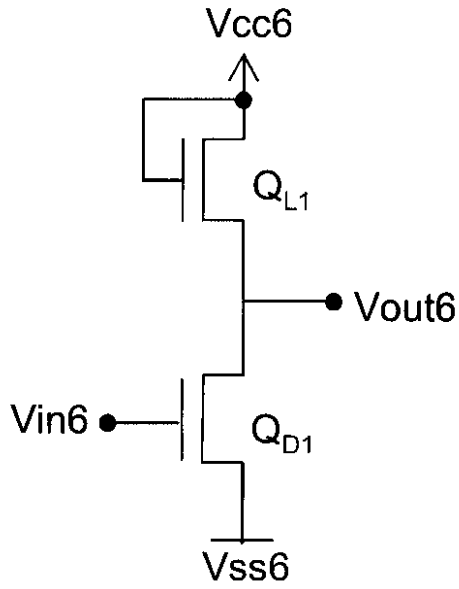
【 図 4 5 】



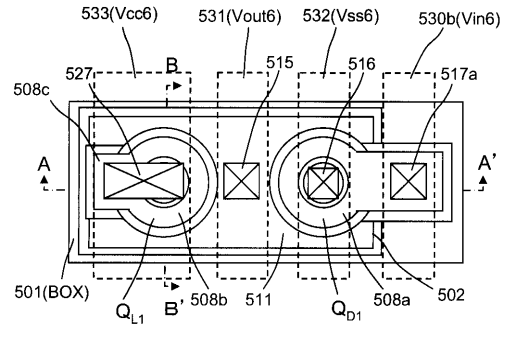
【 図 4 6 】



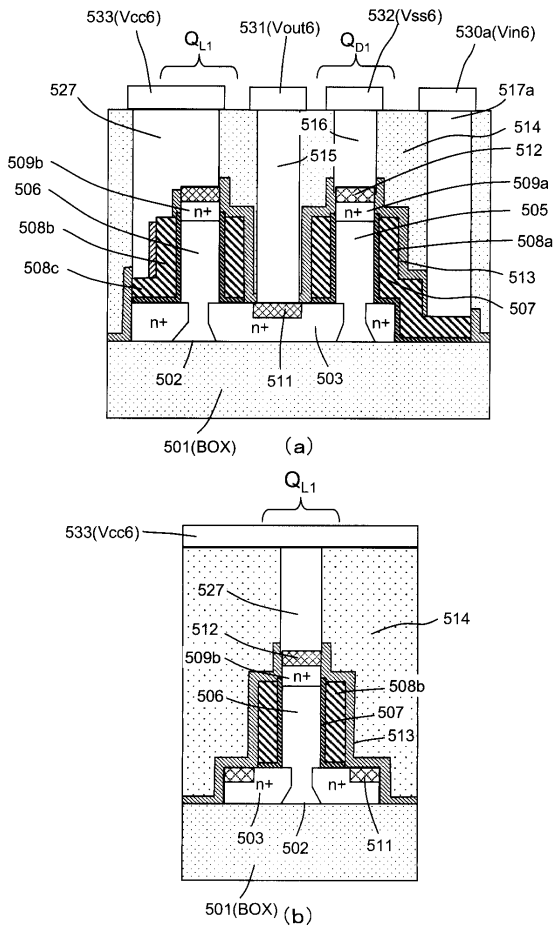
【 図 4 7 】



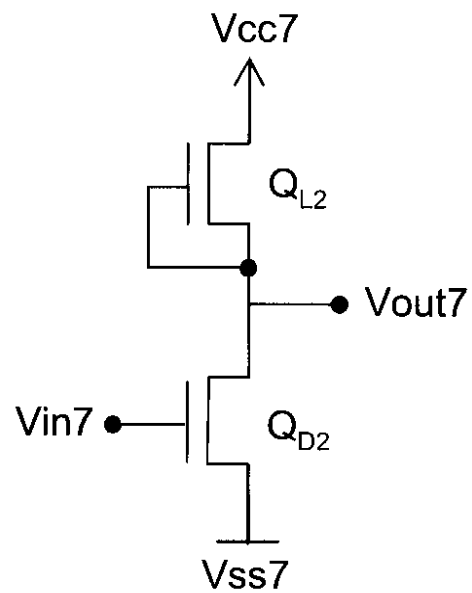
【 図 4 8 】



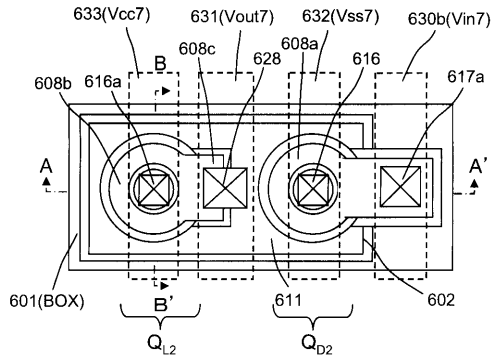
【 図 4 9 】



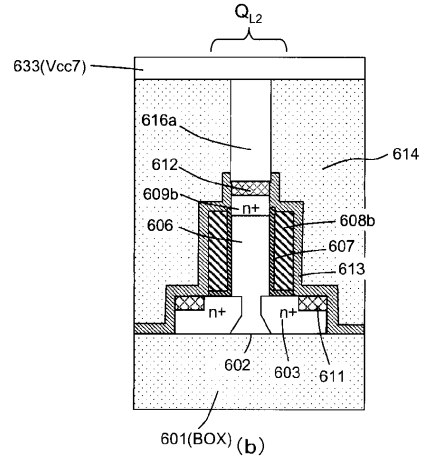
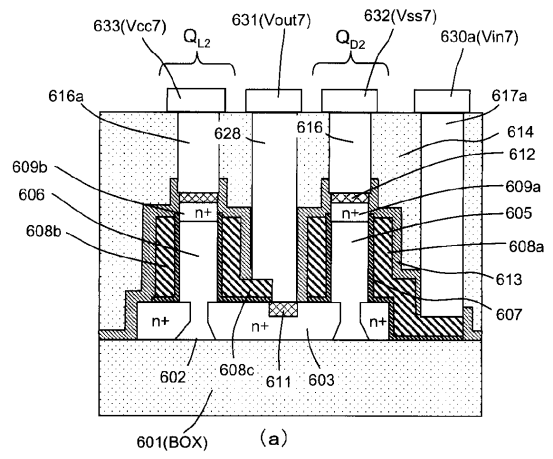
【 図 5 0 】



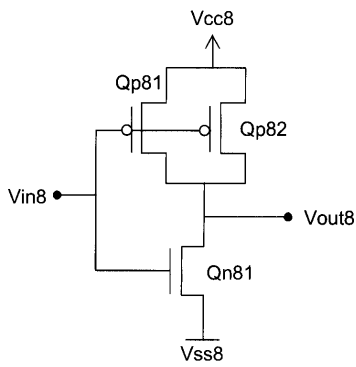
【図51】



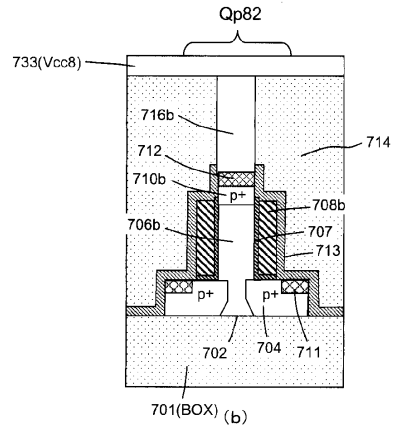
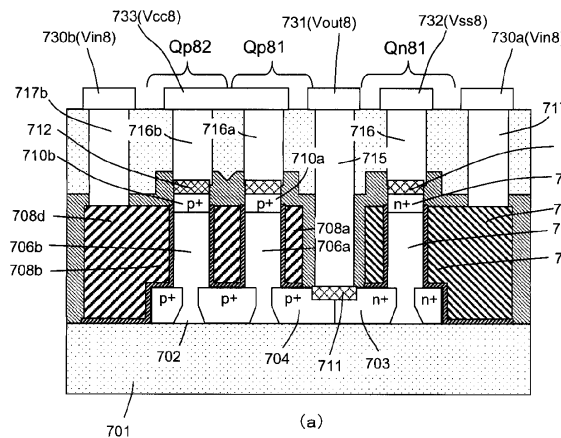
【図52】



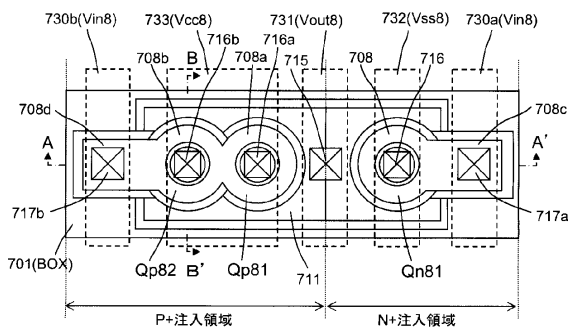
【図53】



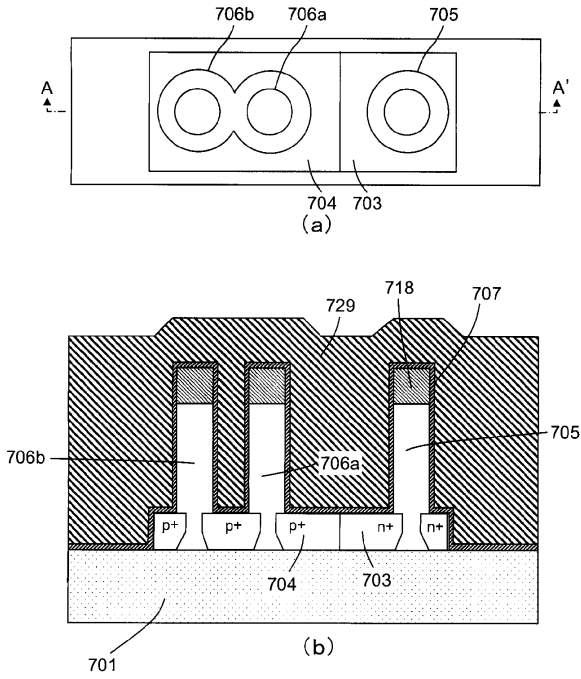
【図55】



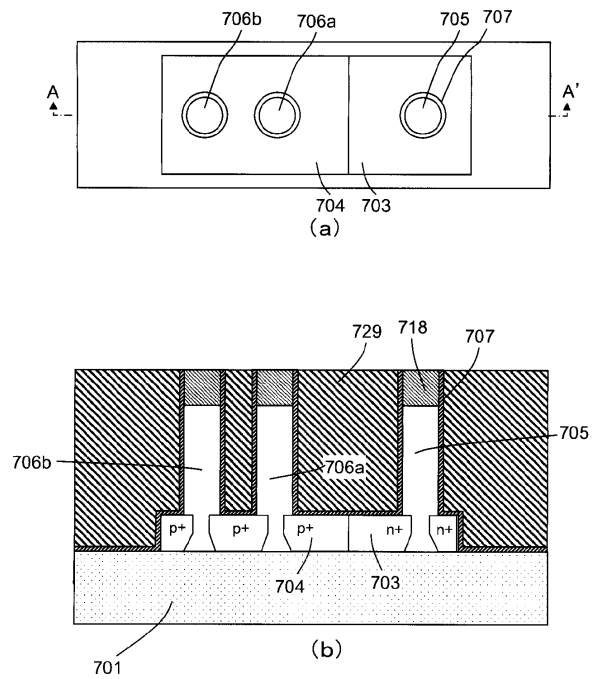
【図54】



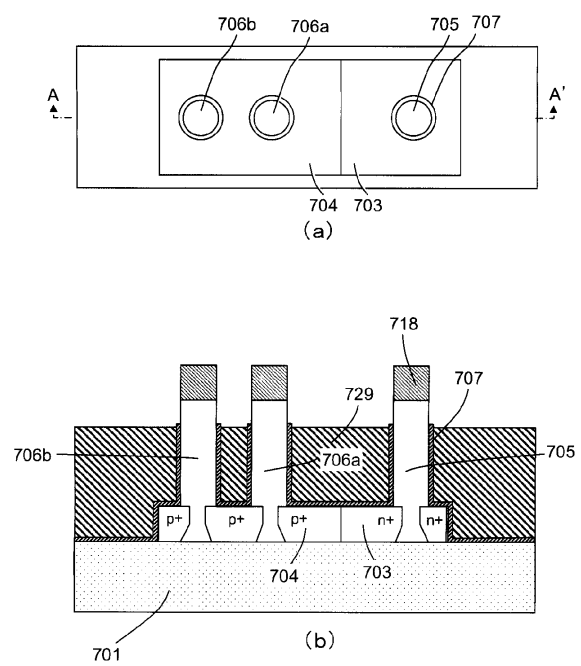
【図56】



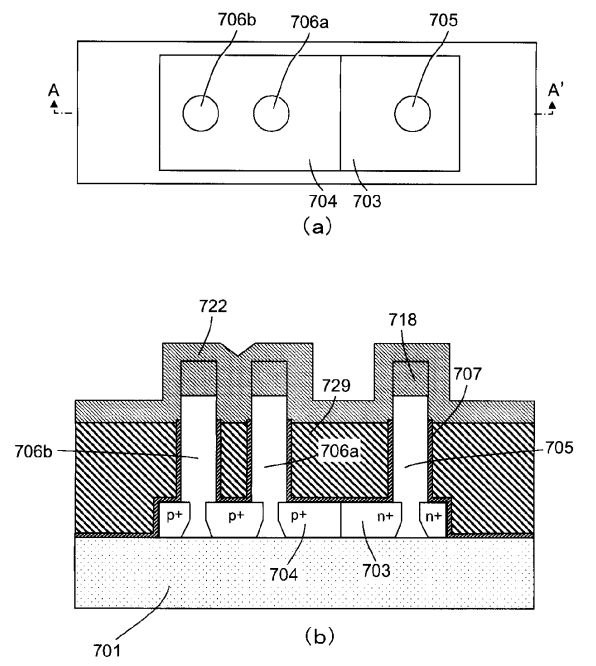
【図57】



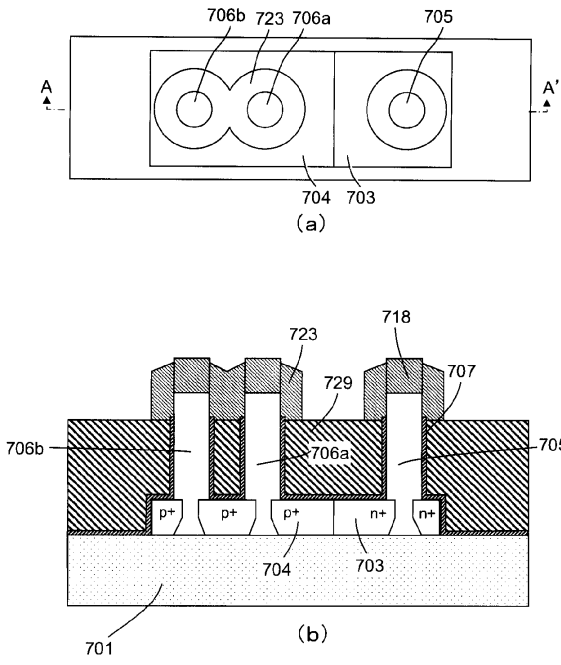
【図58】



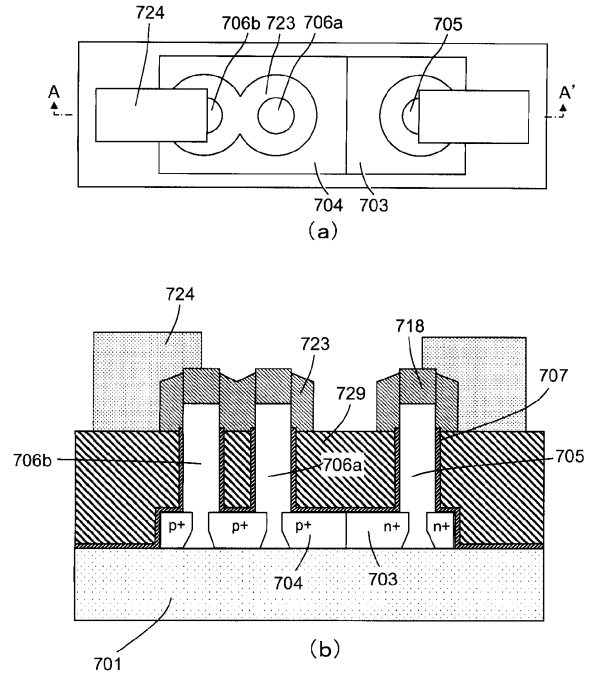
【図59】



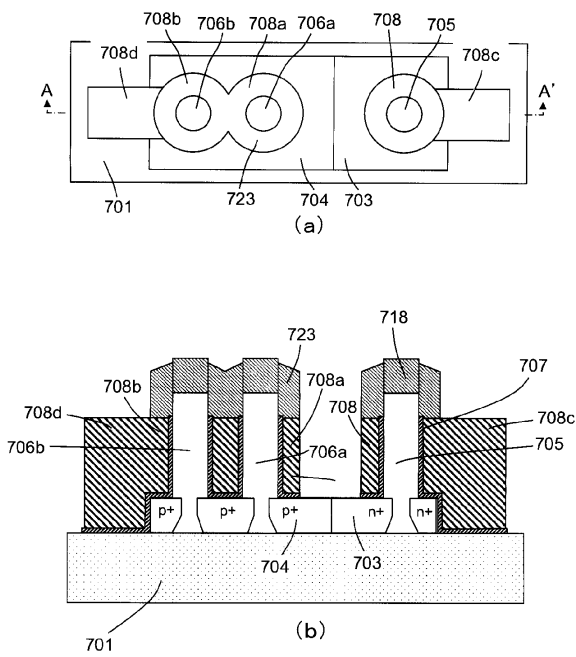
【図60】



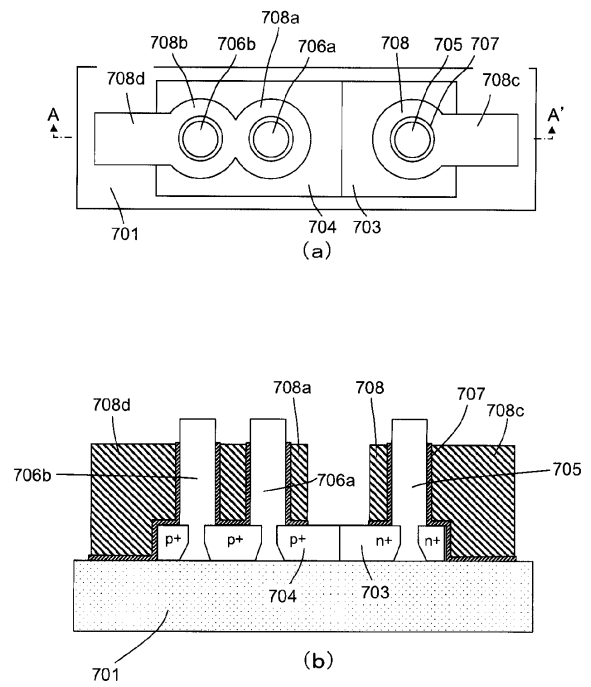
【図61】



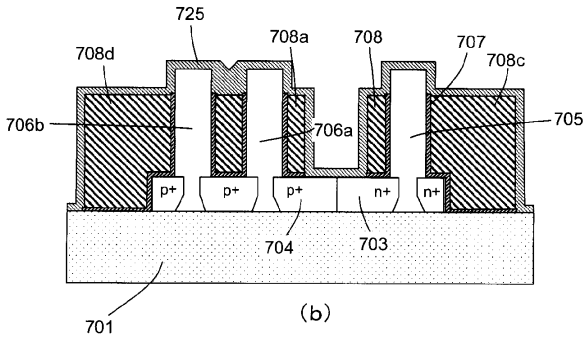
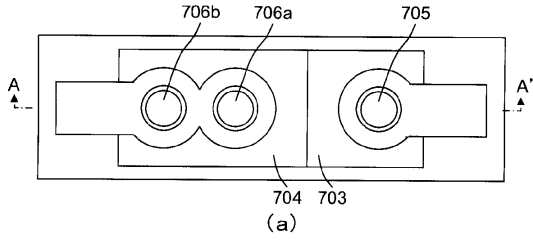
【図62】



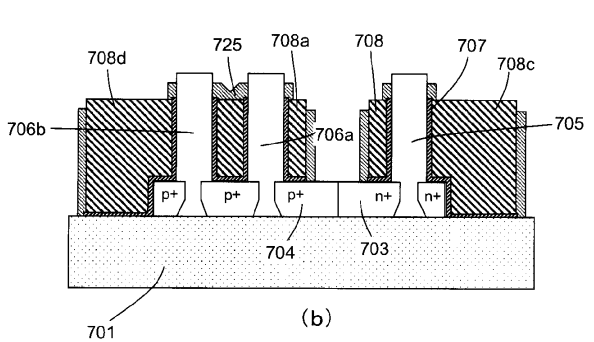
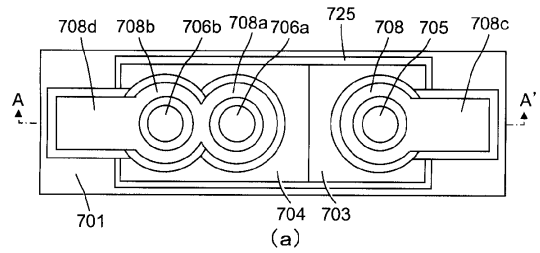
【図63】



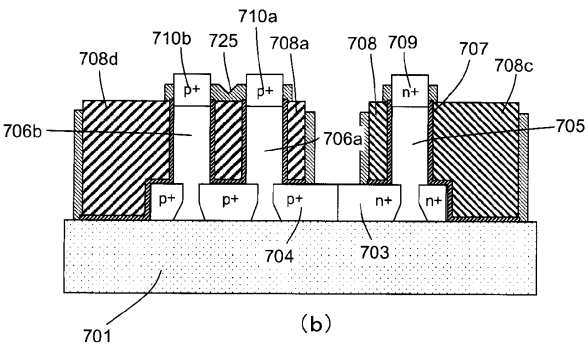
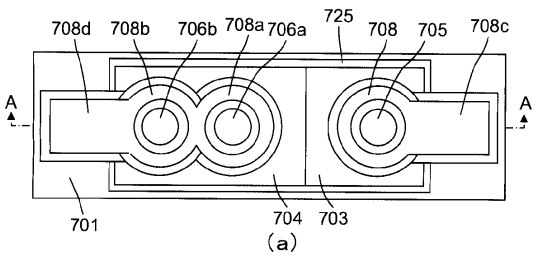
【 図 6 4 】



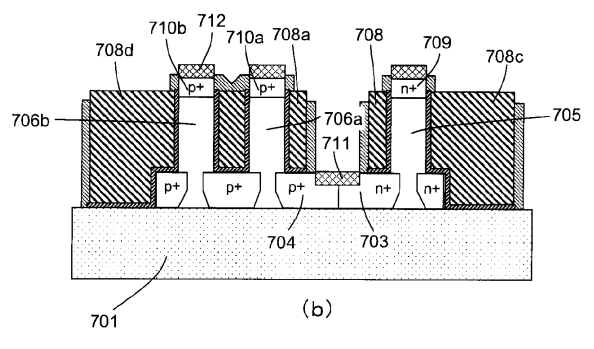
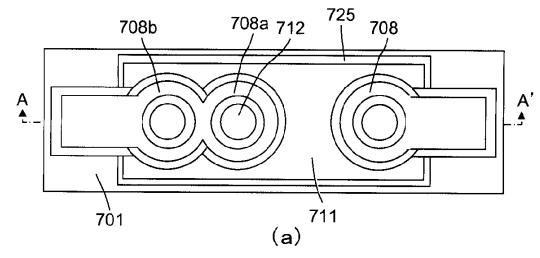
【 図 6 5 】



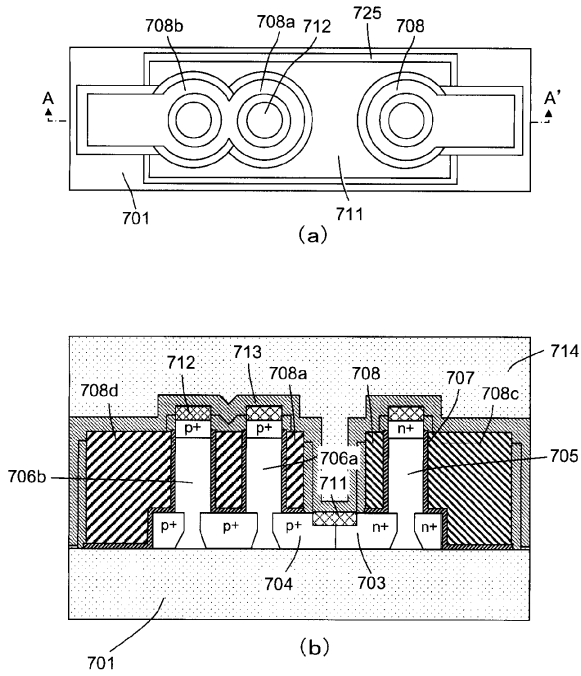
【 図 6 6 】



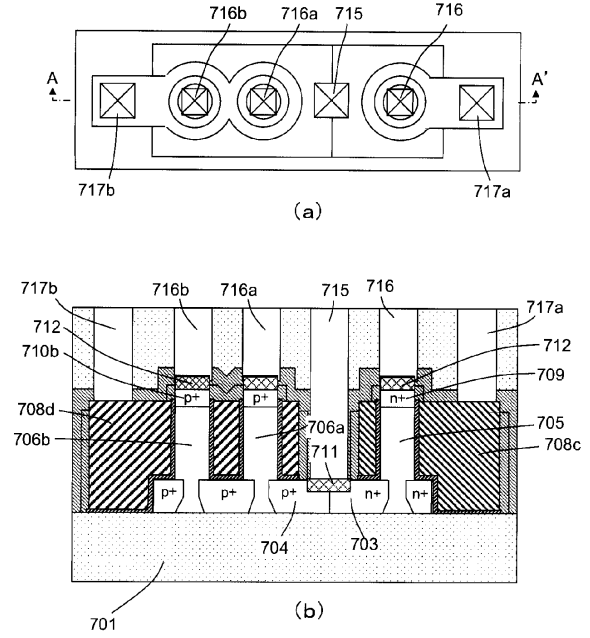
【 図 6 7 】



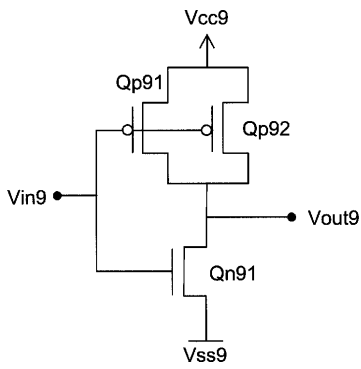
【図 68】



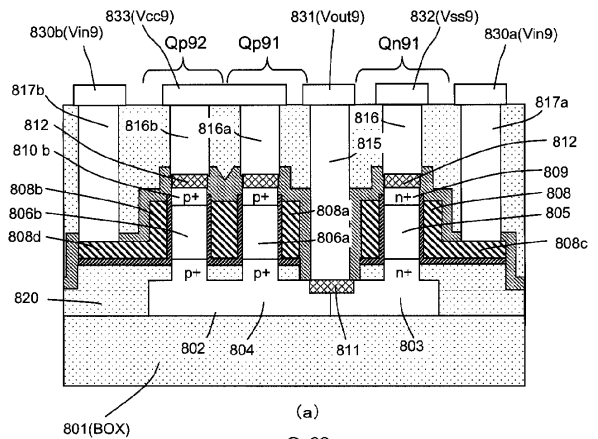
【図 69】



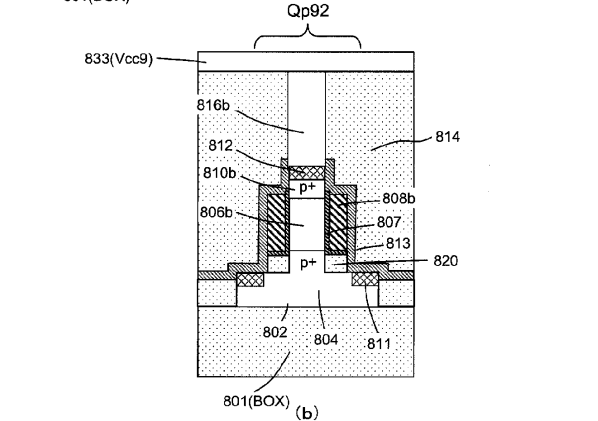
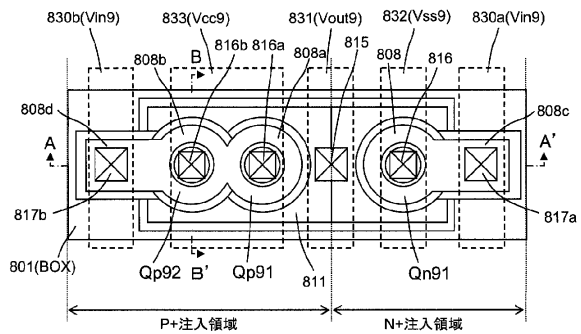
【図 70】



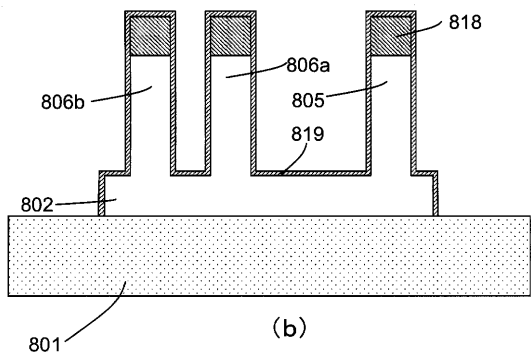
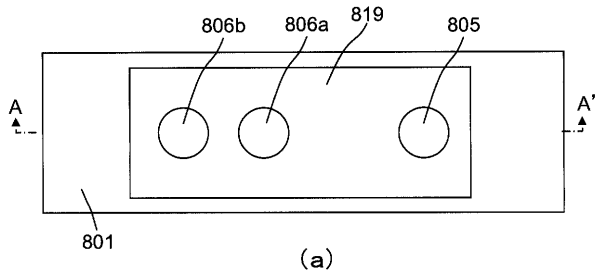
【図 72】



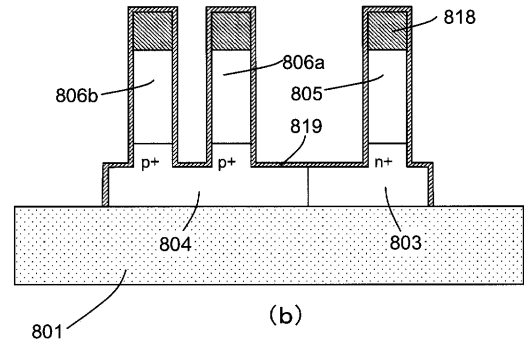
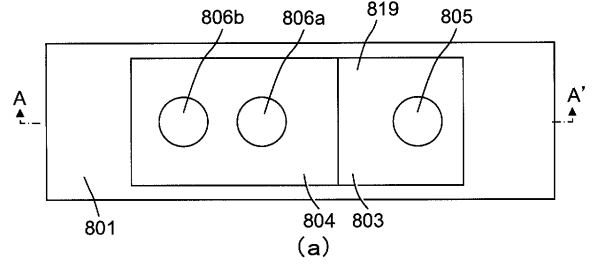
【図 71】



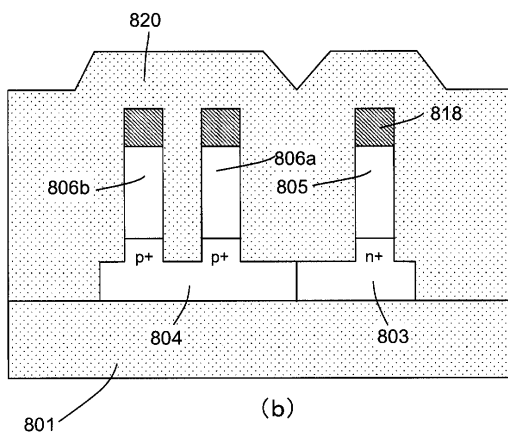
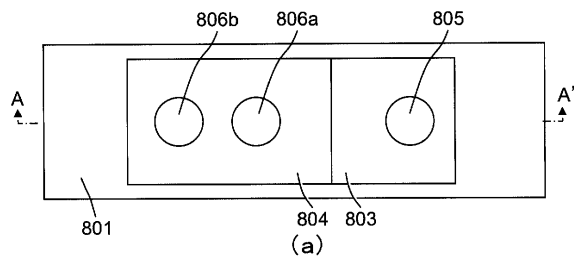
【 図 7 3 】



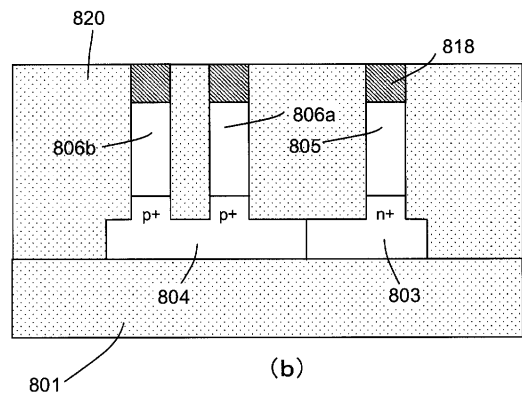
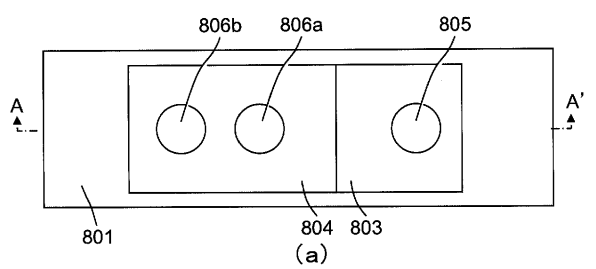
【 図 7 4 】



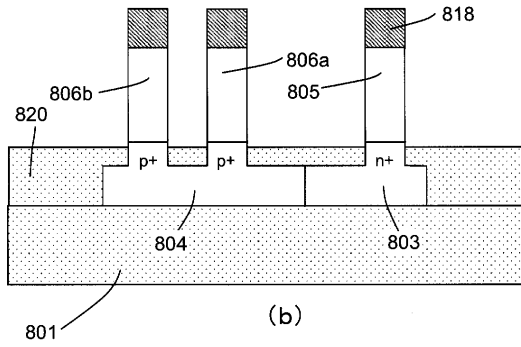
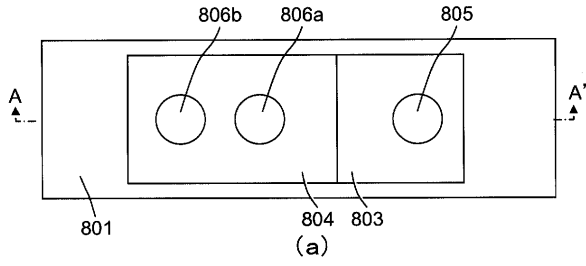
【 図 7 5 】



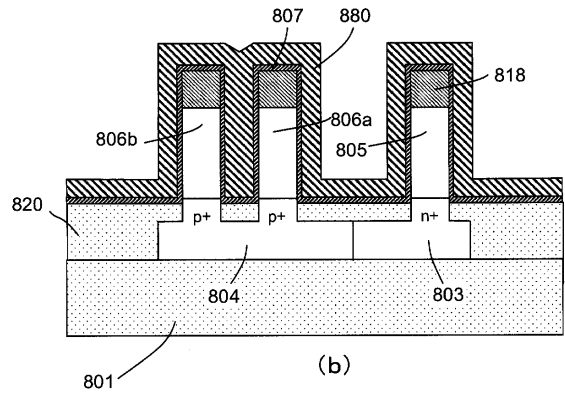
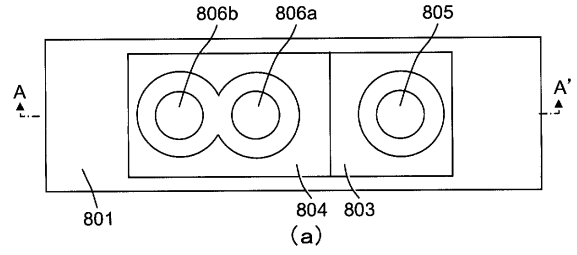
【 図 7 6 】



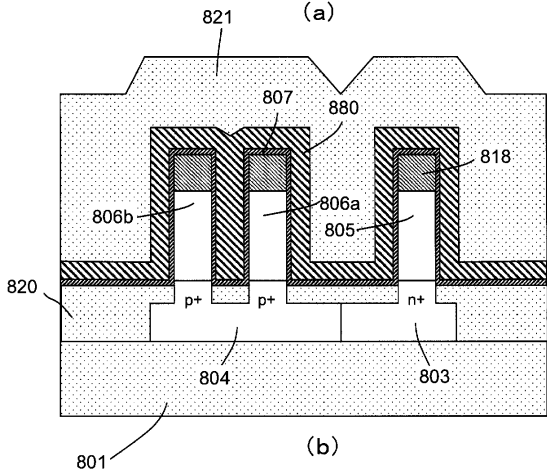
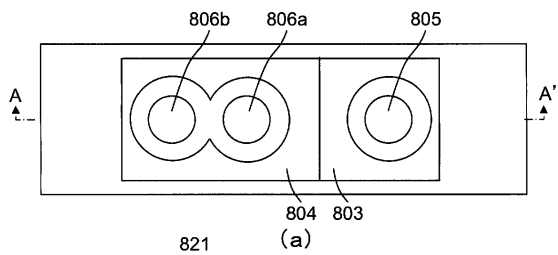
【 図 7 7 】



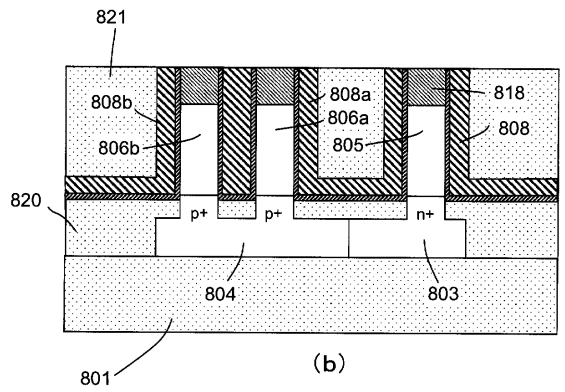
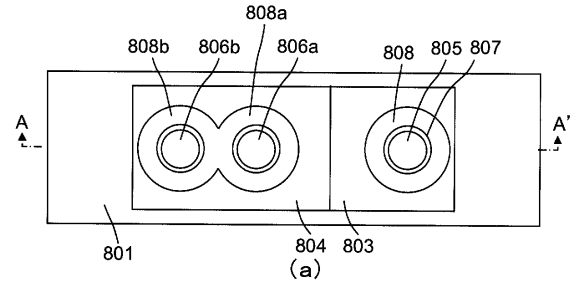
【 図 7 8 】



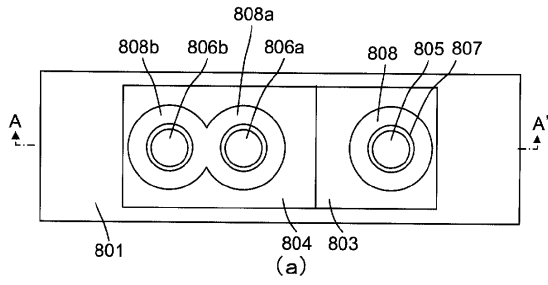
【 図 7 9 】



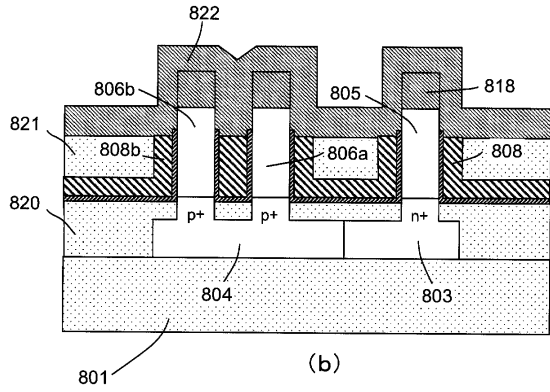
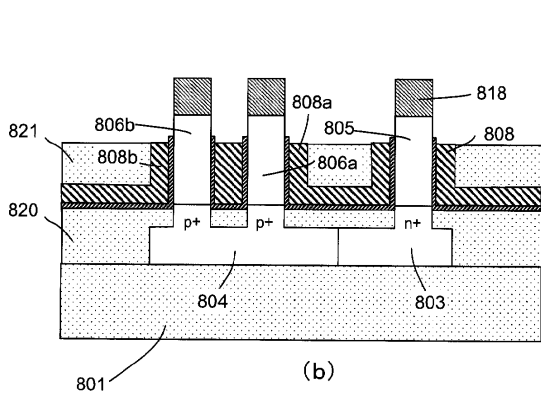
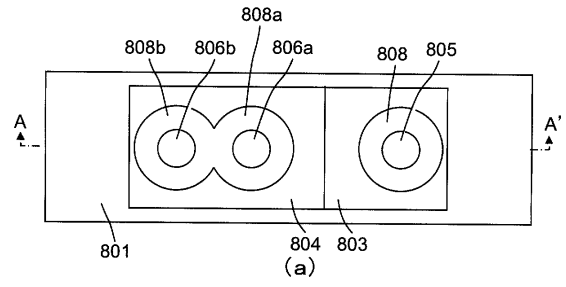
【 図 8 0 】



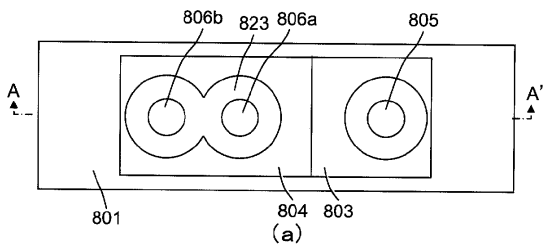
【図 8 1】



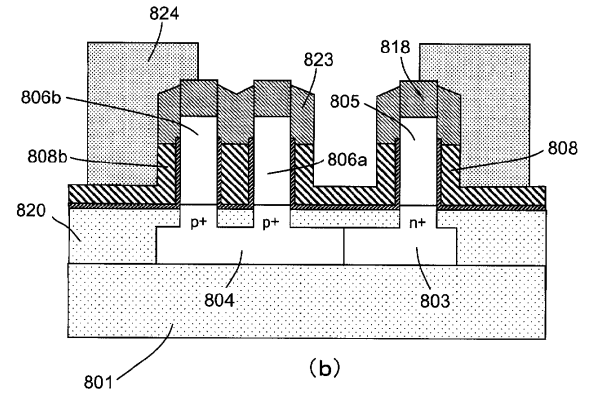
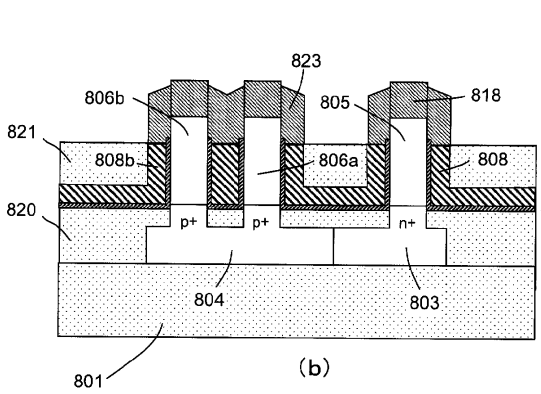
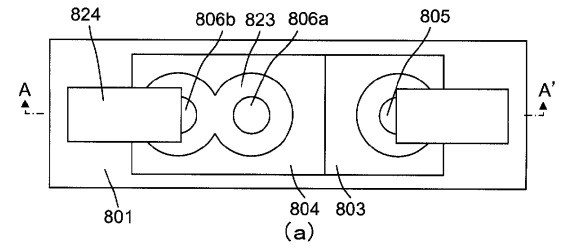
【図 8 2】



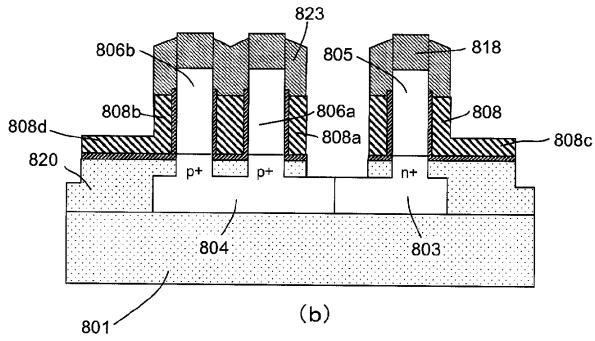
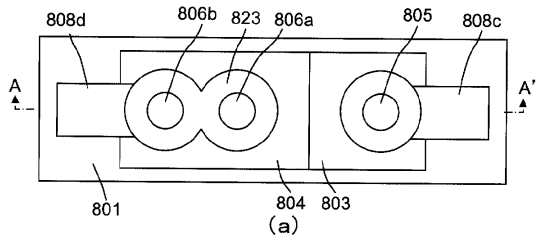
【図 8 3】



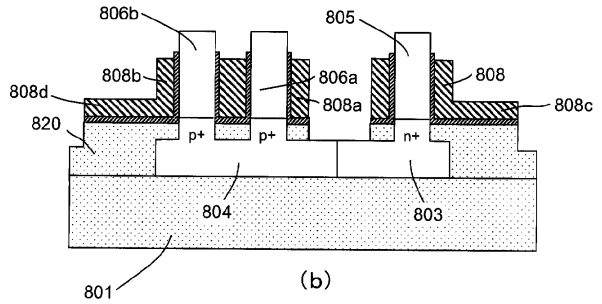
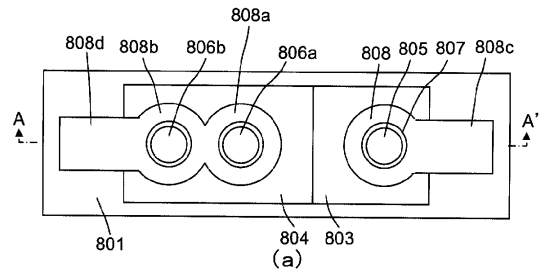
【図 8 4】



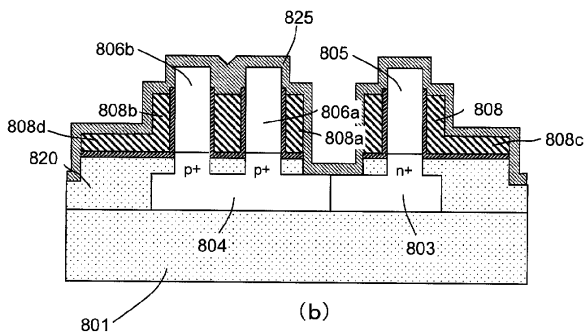
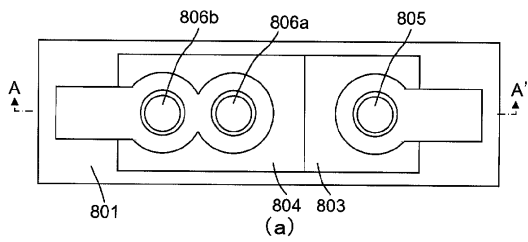
【図 85】



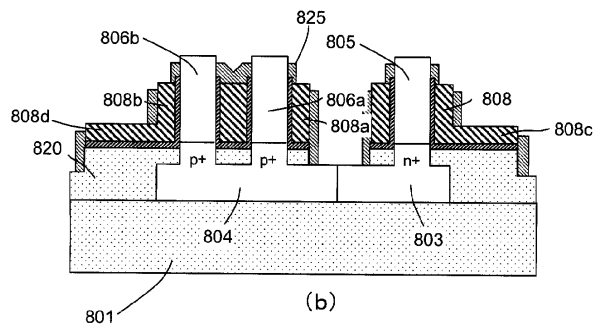
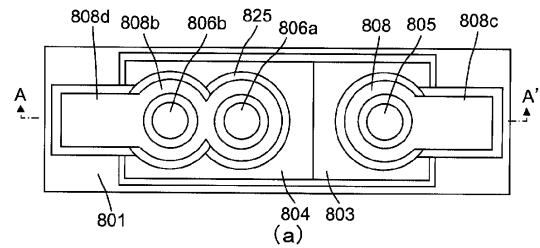
【図 86】



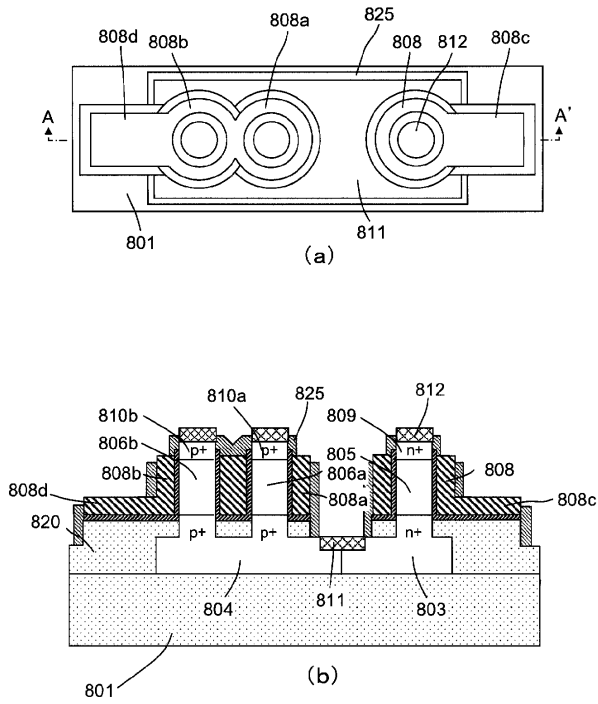
【図 87】



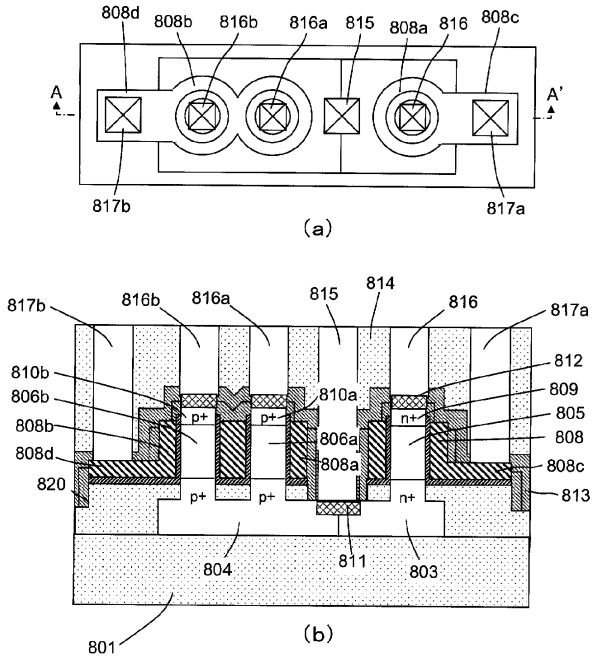
【図 88】



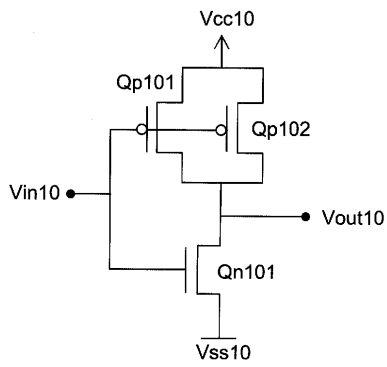
【図89】



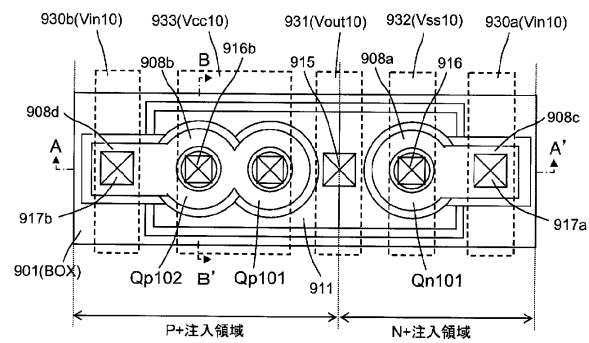
【図90】



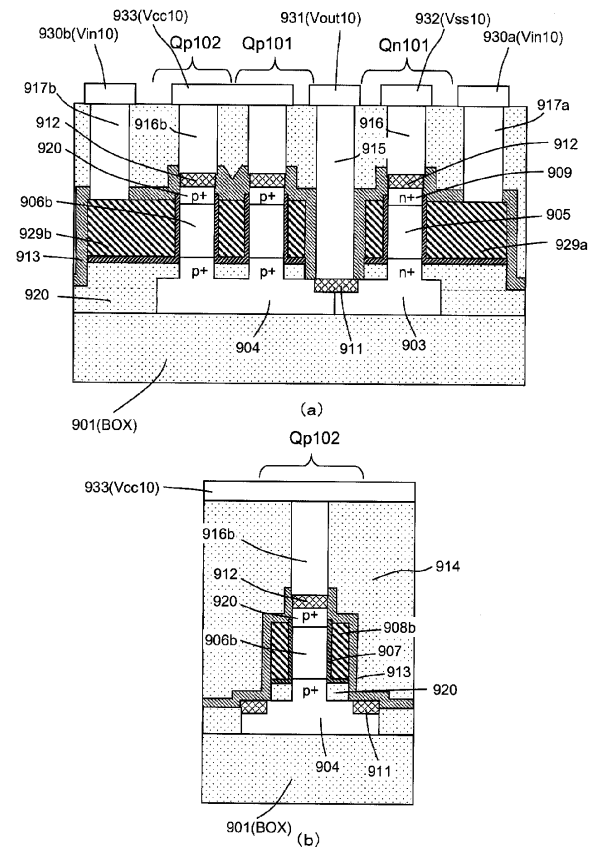
【図91】



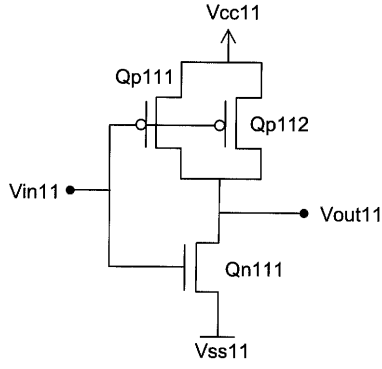
【図92】



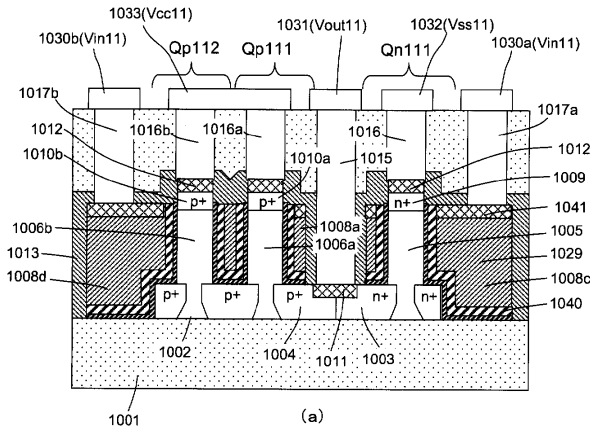
【図93】



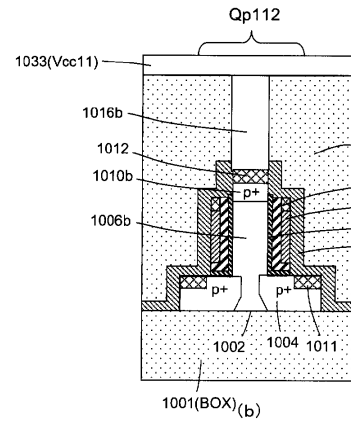
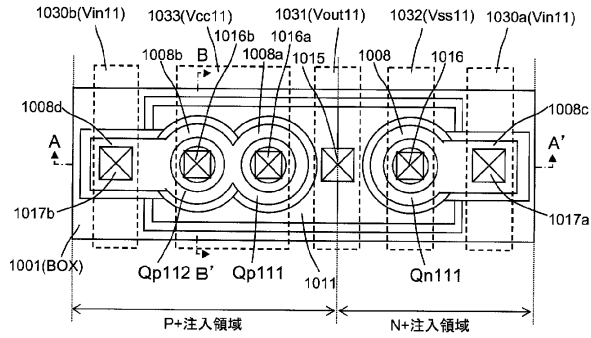
【図94】



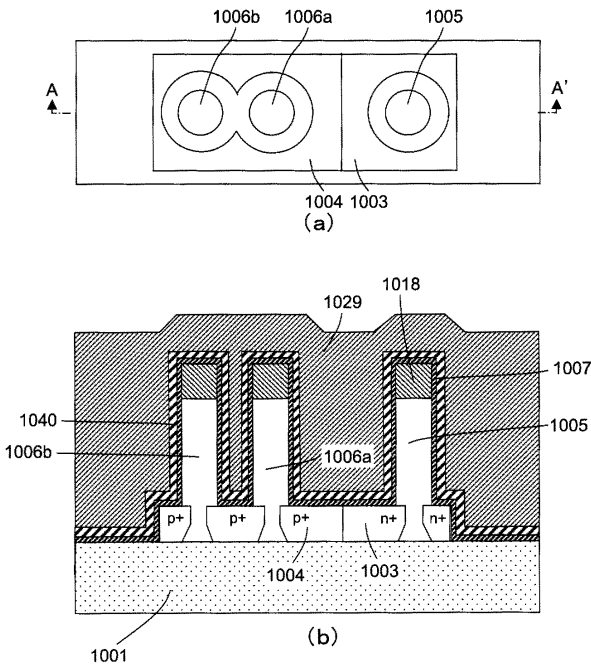
【図96】



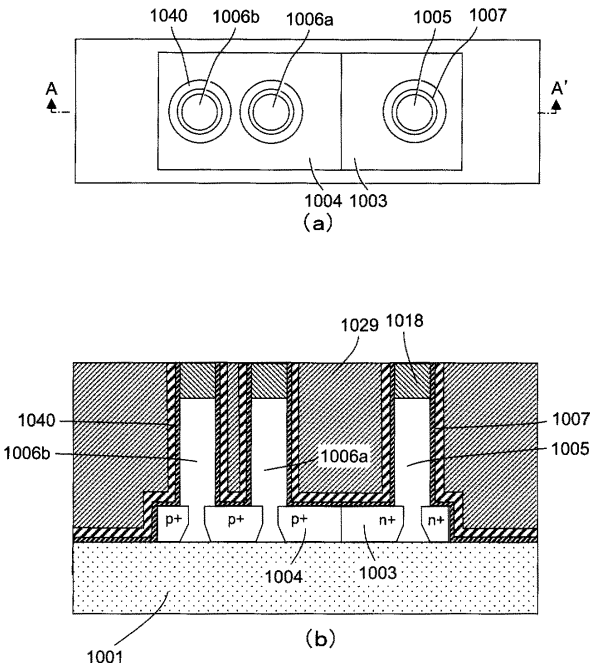
【図95】



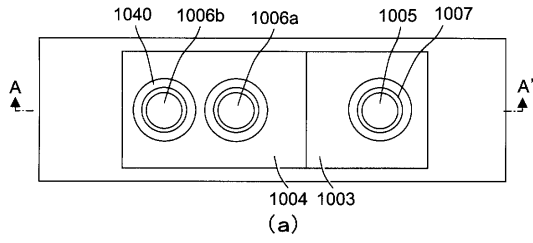
【図97】



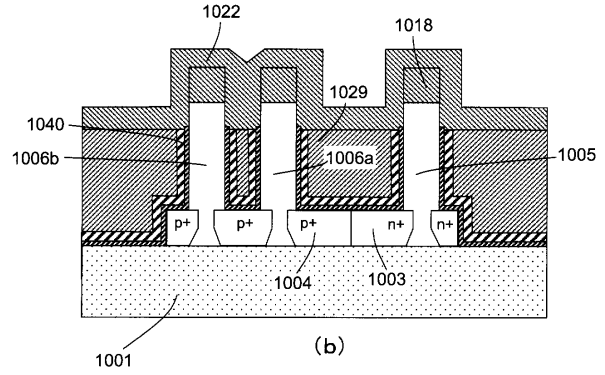
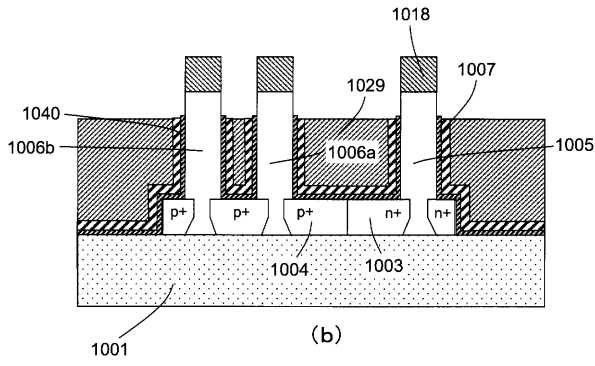
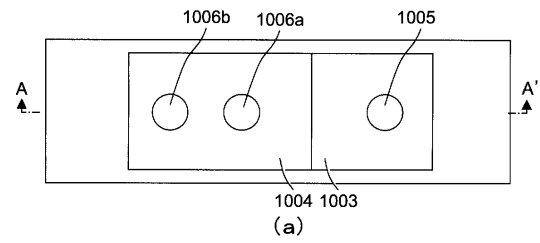
【図98】



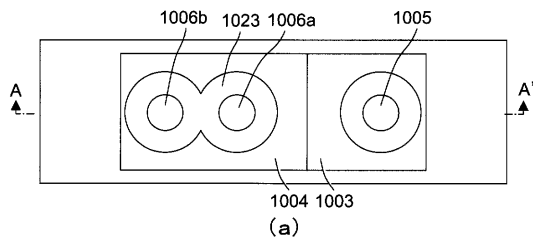
【図99】



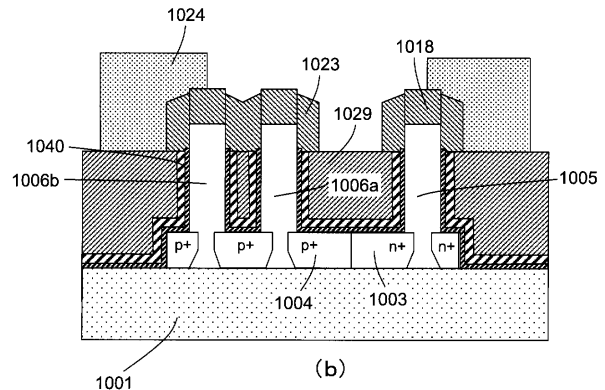
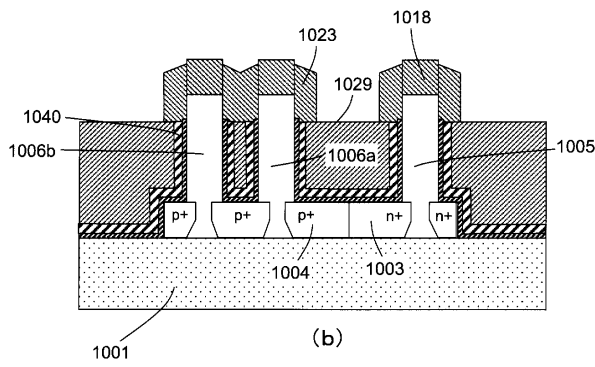
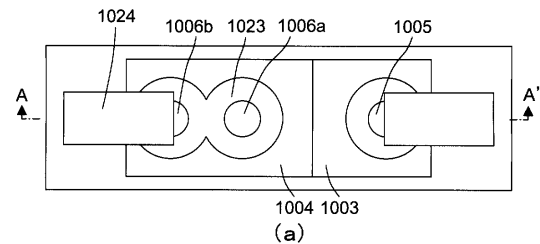
【図100】



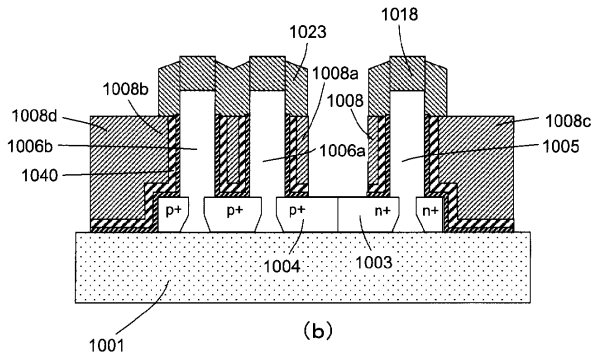
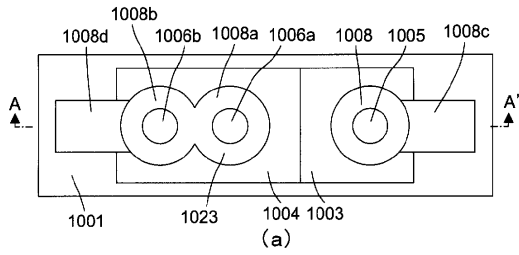
【図101】



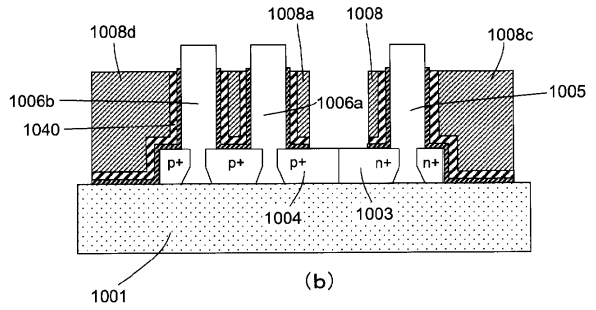
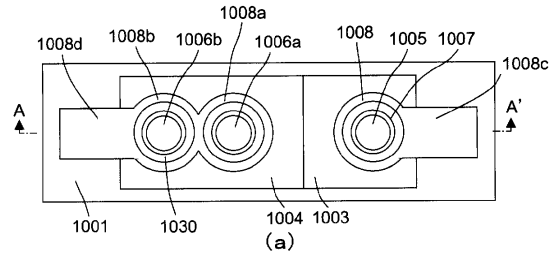
【図102】



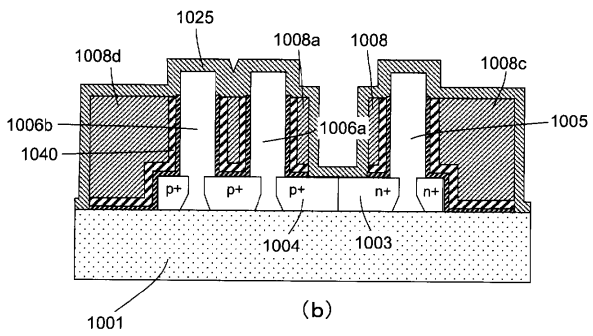
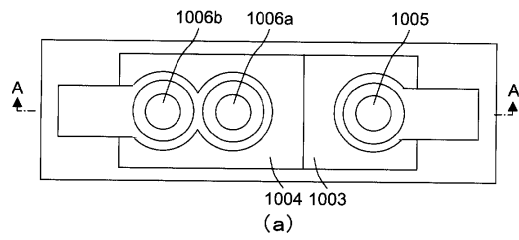
【図103】



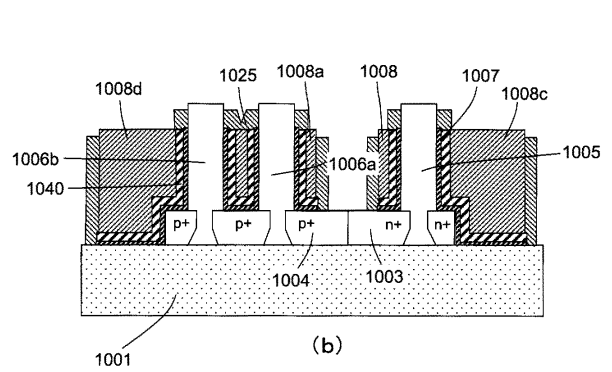
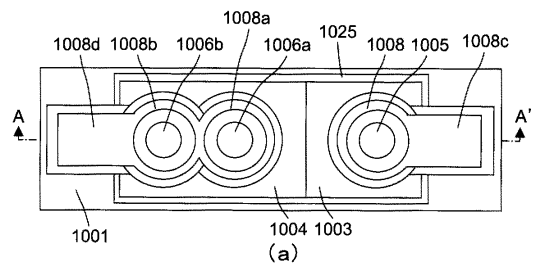
【図104】



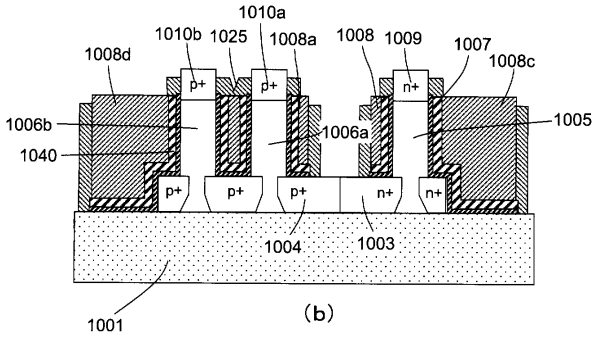
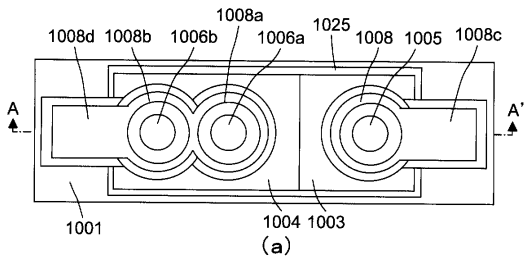
【図105】



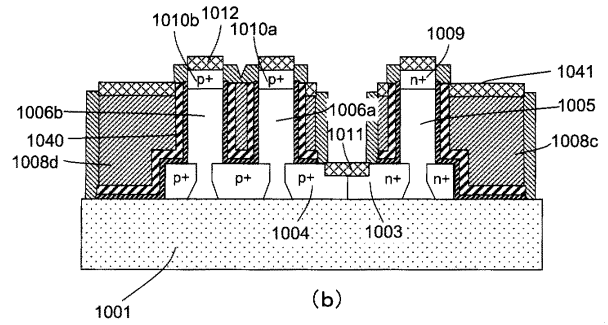
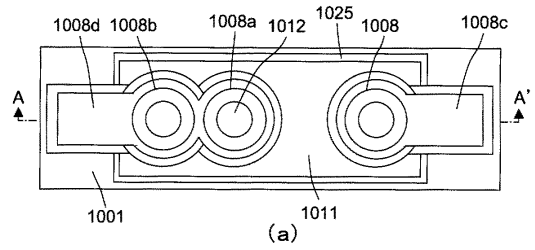
【図106】



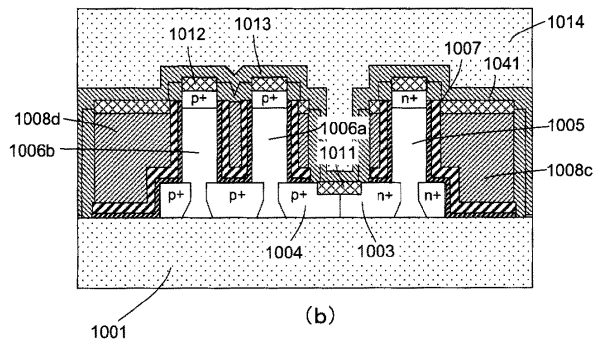
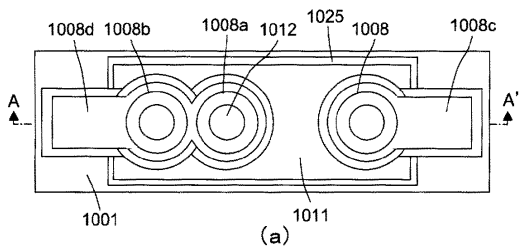
【図107】



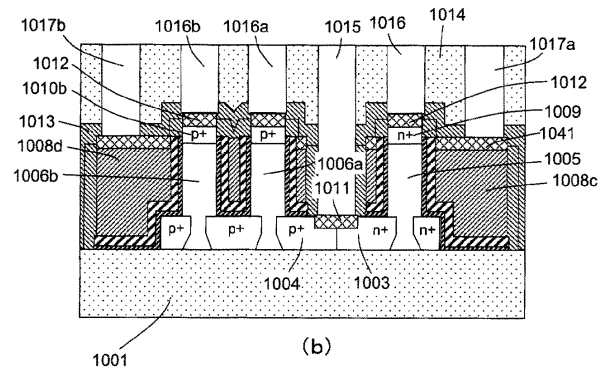
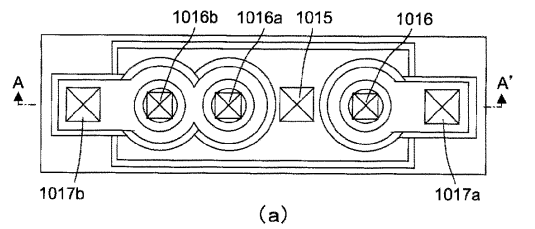
【図108】



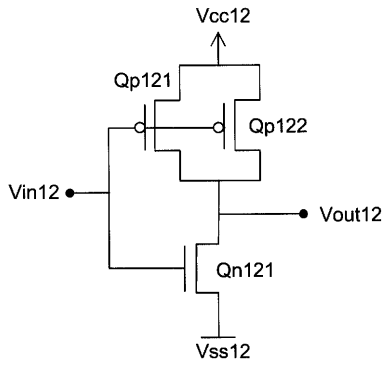
【図109】



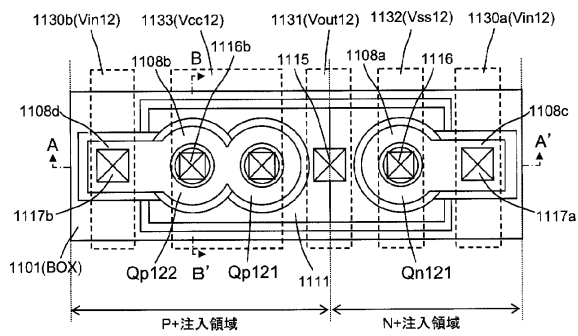
【図110】



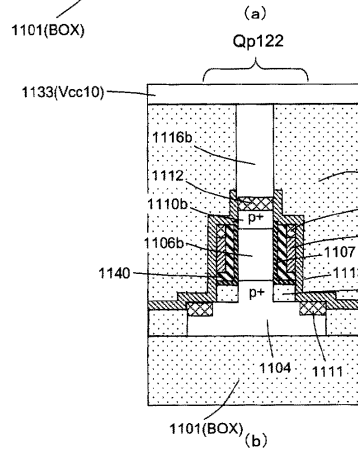
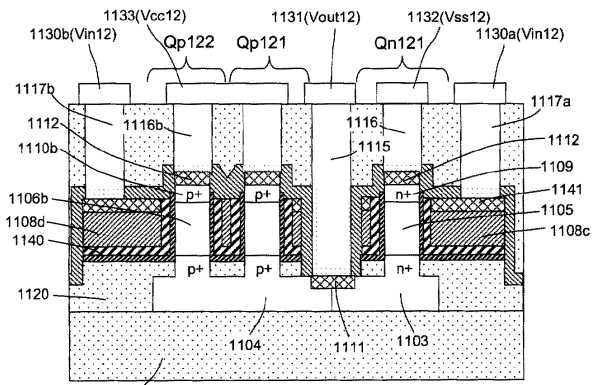
【図111】



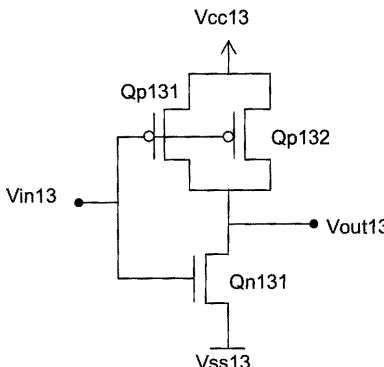
【図112】



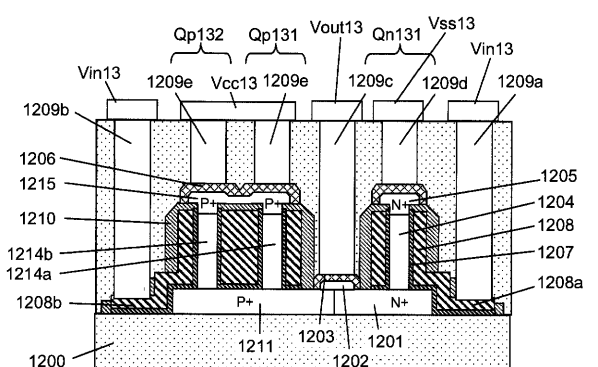
【図113】



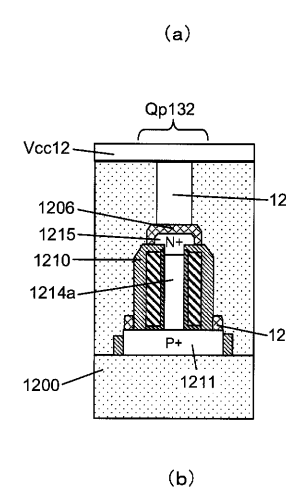
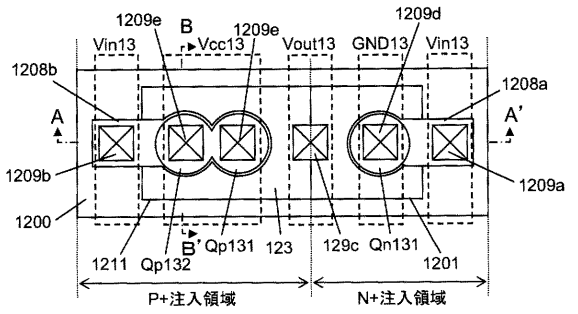
【図114】



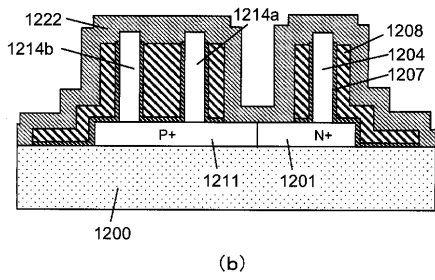
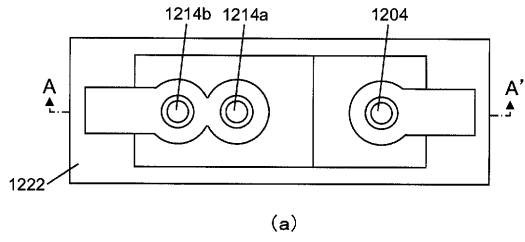
【図116】



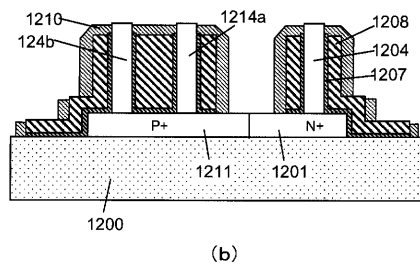
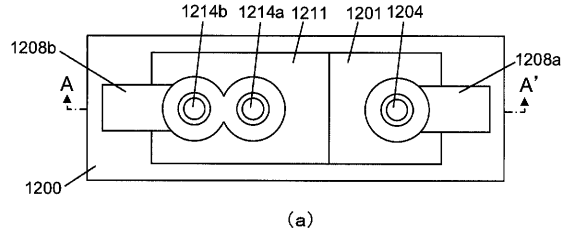
【図115】



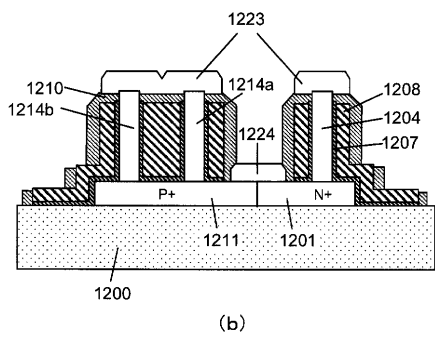
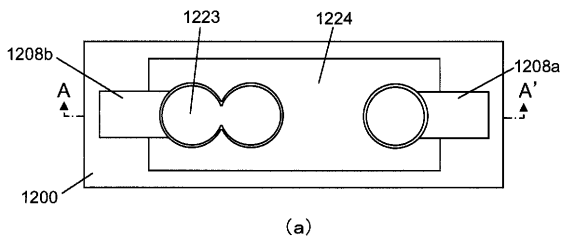
【図117】



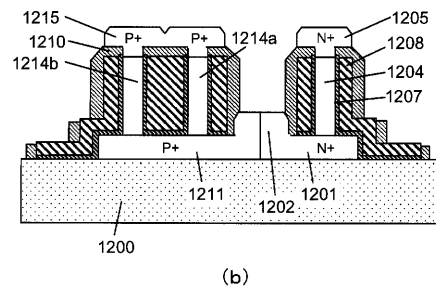
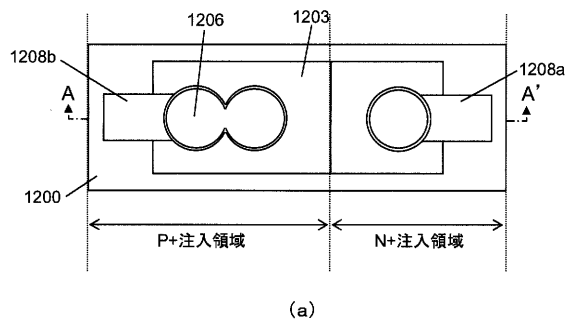
【図118】



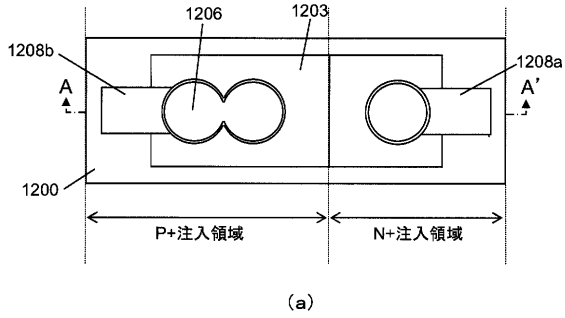
【図119】



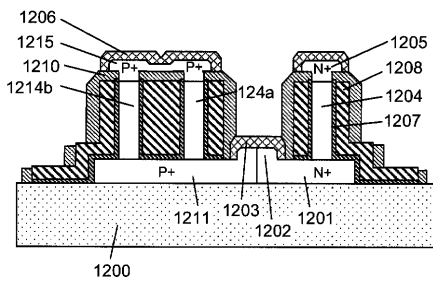
【図120】



【図121】

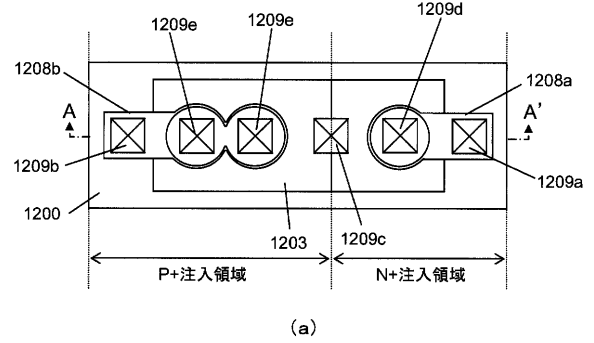


(a)

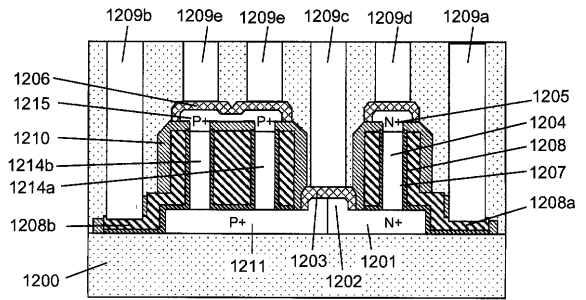


(b)

【図122】

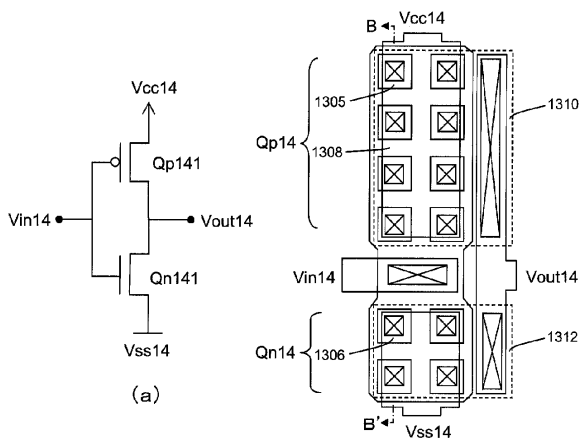


(a)



(b)

【図123】

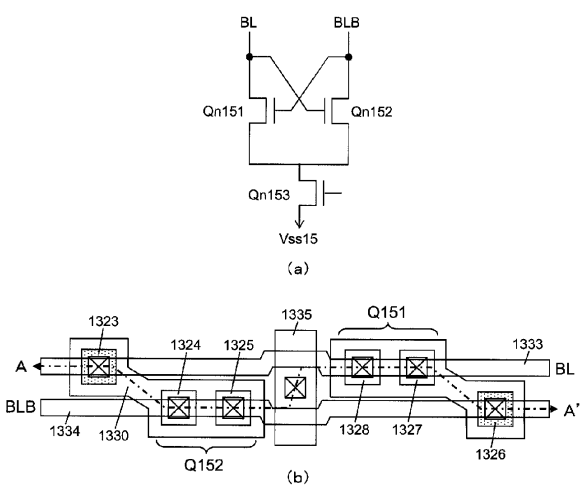


(a)

(b)

(c)

【図124】



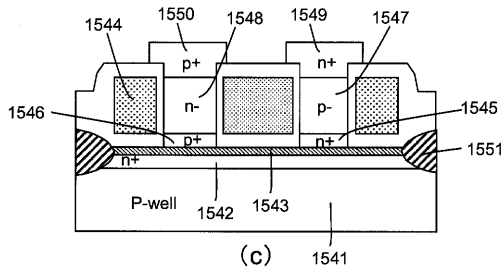
(a)

(b)

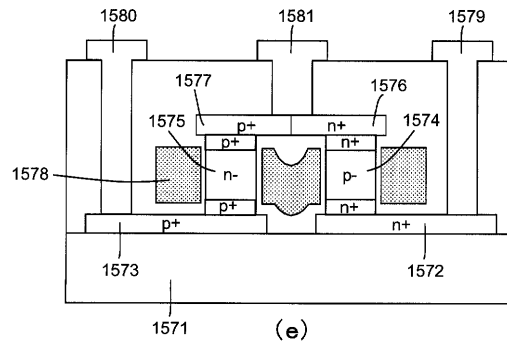
(c)



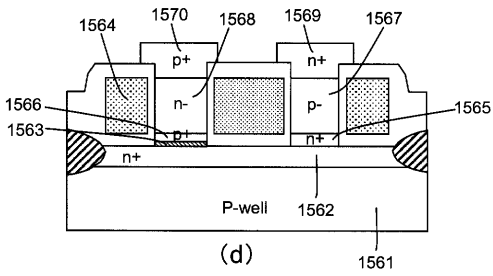
【 128 (c) 】



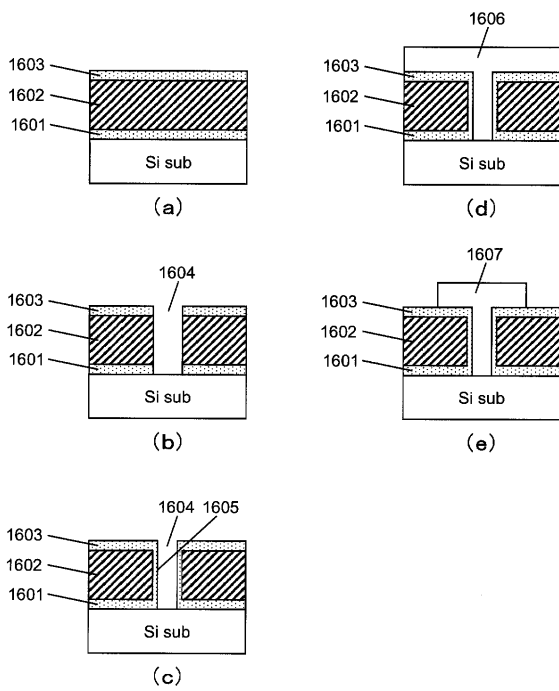
【 128 (e) 】



【 128 (d) 】



【 129 】



## フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	21/8236 (2006.01)	H 0 1 L	29/78 6 5 3 D
H 0 1 L	21/8238 (2006.01)	H 0 1 L	27/08 1 0 2 D
H 0 1 L	27/092 (2006.01)	H 0 1 L	27/08 1 0 2 E
H 0 1 L	27/08 (2006.01)	H 0 1 L	27/08 3 1 1 A
H 0 1 L	21/28 (2006.01)	H 0 1 L	27/08 3 2 1 E
H 0 1 L	29/417 (2006.01)	H 0 1 L	27/08 3 2 1 D
H 0 1 L	29/423 (2006.01)	H 0 1 L	27/08 3 2 1 G
H 0 1 L	29/49 (2006.01)	H 0 1 L	27/08 3 2 1 F
		H 0 1 L	27/08 3 3 1 E
		H 0 1 L	21/28 3 0 1 D
		H 0 1 L	29/50 M
		H 0 1 L	29/58 G

- (72)発明者 舩岡 富士雄  
 東京都中央区新川1 - 2 2 - 1 1 フジライト新川ビル2 F 日本ユニサンティスエレクトロニクス株式会社内
- (72)発明者 新井 紳太郎  
 東京都中央区新川1 - 2 2 - 1 1 フジライト新川ビル2 F 日本ユニサンティスエレクトロニクス株式会社内

審査官 河本 充雄

- (56)参考文献 特開2003 - 179160 (JP, A)  
 特開2006 - 294995 (JP, A)  
 特開2000 - 068516 (JP, A)  
 特開平03 - 114233 (JP, A)  
 特開昭62 - 190751 (JP, A)  
 特開2002 - 231951 (JP, A)  
 特開2002 - 033399 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 1 / 8 2 3 6  
 H 0 1 L 2 1 / 8 2 3 8  
 H 0 1 L 2 7 / 0 4  
 H 0 1 L 2 7 / 0 8  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 7 / 0 9 2  
 H 0 1 L 2 9 / 4 1 7  
 H 0 1 L 2 9 / 4 2 3  
 H 0 1 L 2 9 / 4 9  
 H 0 1 L 2 9 / 7 8