



URAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 04 10 82
(21) (PV 7018-82)

(40) Zveřejněno 24 06 83

(45) Vydáno 15 06 87

240107
(11) (B1)

(51) Int. CL⁴
G 06 F 3/00

(75)

Autor vynálezu

OTÝS VÁCLAV ing.; ŠERÝ MILOSLAV ing., PLZEŇ

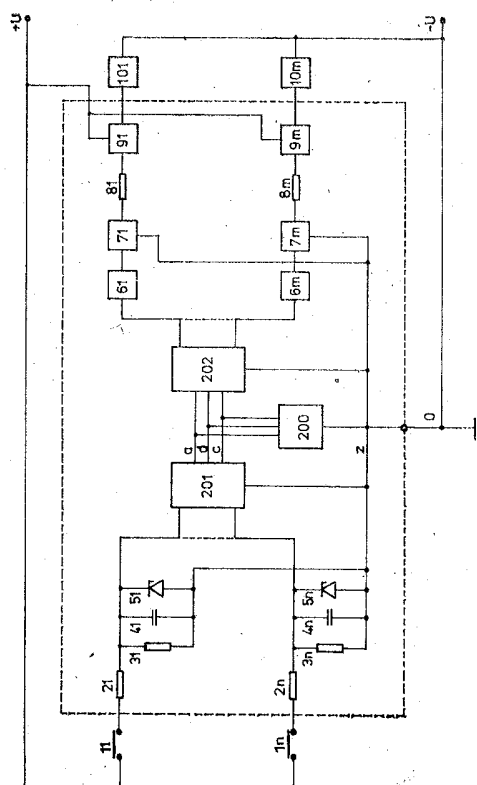
(54) Zapojení interfaceových obvodů programovatelného logického systému

1

Účelem řešení zapojení interfaceových obvodů programovatelného logického systému je zjednodušení přizpůsobovacích obvodů mezi programovatelným logickým systémem, např. programovatelným automatem a řízeným technologickým procesem při současném zachování odolnosti proti rušení. Dosahuje se toho nahrazením obvyklého galvanického oddělení impedančním oddělením a dodržením určitého způsobu vzájemného propojení. Impedanční oddělení je realizováno u vstupních přizpůsobovacích obvodů odporovými děliči a u výstupních přizpůsobovacích obvodů oddělovacími odpory v budících obvodech spínačů.

Zapojení je charakterizováno přiloženým vyobrazením.

2



Vynález se týká zapojení vstupních a výstupních interfaceových obvodů, které plní funkci přizpůsobovacích obvodů mezi programovatelným logickým systémem, např. programovatelným automatem, pracujícím s úrovněmi signálů obvyklými u integrovaných obvodů a řízeným technologickým procesem, jehož čidla a akční členy pracují se signály o úrovních malého stejnosměrného napětí.

Dosavadní známá zapojení interfaceových obvodů programovatelných logických systémů obsahují obvody zajišťující úplné galvanické oddělení logického systému od řízeného technologického procesu. Toto galvanické oddělení se používá proto, aby se zabránilo pronikání rušivých signálů do řídicího systému, zatímco z hlediska požadavků technologického procesu většinou není potřebné a nevyužívá se.

Galvanické oddělení se realizuje převážně optoelektronickými oddělovacími prvky nebo transformátorovou vazbou. Nevýhodou obou těchto řešení je podstatné zvýšení složitosti zařízení a tím i jeho rozměrů a jeho ceny.

Další nevýhodou při použití galvanického oddělení je snížení přesnosti a stálosti rozhodovací úrovně pro logické signály.

Výše uvedené nedostatky odstraňuje zapojení interfaceových obvodů programovatelného logického systému podle vynálezu, jehož podstata spočívá v tom, že programovatelná řídicí jednotka, vstupní multiplexer a výstupní demultiplexer jsou navzájem spojeny adresovou sběrnicí, datovou sběrnicí, řídicí sběrnicí a nulovým vodičem sběrnice.

Každý z n -vstupů vstupního multiplexeru je spojen přes první odpor s prvním kontaktem vstupního spínače, jehož druhý kontakt je spojen s kladnou svorkou zdroje ovládacího napětí. Každý vstup vstupního multiplexeru je spojen přes paralelní kombinaci druhého odporu, filtračního kondenzátoru a Zenerovy diody s nulovým vodičem sběrnice.

Každý z m -výstupů výstupního demultiplexeru je spojen přes paměťový člen se vstupem nevýkonového spínače nulového potenciálu, jehož druhý vstup je spojen s nulovým vodičem sběrnice a jehož výstup je přes třetí odpor spojen se vstupem výkonového spínače kladného potenciálu.

Druhý vstup výkonového spínače kladného potenciálu je spojen s kladnou svorkou zdroje ovládacího napětí, jehož výstup je spojen s prvním vývodem ovládacího přístroje, jehož druhý vývod je spojen se zápornou svorkou zdroje ovládacího napětí. Nulový vodič sběrnice je spojen se zemnicí svorkou vodivého krytu systému, jež je současně spojena se zápornou svorkou zdroje ovládacího napětí.

Zapojení interfaceových obvodů podle vynálezu odstraňuje dosavadní nevýhody výše uvedené a má přednosti a výhody proti dřívějším systémům. Jeho největší výhodou je nahrazení obvyklého galvanického oddělení impedančním oddělením, které je realizováno na vstupu prvním odporem a na výstupu

třetím odporem, čímž se docílí značného zjednodušení interfaceových obvodů.

Vzhledem k tomu, že impedance mezi kterýmkoliv bodem nulového vodiče sběrnice a mezi zemnicí svorkou vodivého krytu systému je mnohonásobně menší než impedance prvního nebo třetího odporu, nemohou v zapojení podle vynálezu na sběrnicích systému vznikat podstatná rušivá napětí vlivem vnějších rušivých signálů.

Zapojení interfaceových obvodů podle vynálezu je zřejmé z připojeného výkresu.

Zapojení interfaceových obvodů podle vynálezu sestává z programovatelné řídicí jednotky **200**, vstupního multiplexeru **201** a výstupního demultiplexeru **202**, které jsou navzájem spojeny adresovou sběrnicí **a**, datovou sběrnicí **d**, řídicí sběrnicí **c** a nulovým vodičem **z** sběrnice. Každý z n -vstupů vstupního multiplexeru **201** je spojen přes první odpor **21** až **2n** s prvním kontaktem vstupního spínače **11** až **1n**, jehož druhý kontakt je spojen s kladnou svorkou $+U$ zdroje ovládacího napětí.

Každý vstup vstupního multiplexeru **201** je spojen přes paralelní kombinaci druhého odporu **31** až **3n**, filtračního kondenzátoru **41** až **4n** a Zenerovy diody **51** až **5n** s nulovým vodičem **z** sběrnice.

Každý z m -výstupů výstupního demultiplexeru **202** je spojen přes paměťový člen **61** až **6m** se vstupem nevýkonového spínače **71** až **7m** nulového potenciálu, jehož druhý vstup je spojen s nulovým vodičem **z** sběrnice a jehož výstup je přes třetí odpor **81** až **8m** spojen se vstupem výkonového spínače **91** až **9m** kladného potenciálu, jehož druhý vstup je spojen s kladnou svorkou $+U$ zdroje ovládacího napětí.

Výstup výkonového spínače **91** až **9m** kladného potenciálu je spojen s prvním vývodem ovládaného přístroje **101** až **10m**, jehož druhý vývod je spojen se zápornou svorkou $-U$ zdroje ovládacího napětí. Nulový vodič **z** sběrnice je spojen se zemnicí svorkou **0** vodivého krytu systému, jež je současně spojena se zápornou svorkou $-U$ zdroje ovládacího napětí.

Zapojení podle vynálezu pracuje tak, že vstupní informace ve formě hladin malého stejnosměrného napětí, přiváděné ze vstupních spínačů **11** až **1n** s odporovými děliči tvořenými prvními odpory **21** až **2n** a druhými odpory **31** až **3n** převádí na nižší napětíové úrovně, potřebnou pro ovládání logických integrovaných obvodů vstupního multiplexeru **201**.

Filtrační kondenzátory **41** až **4n** zabraňují pronikání krátkých rušivých impulsů. Zenerovy diody **51** až **5n** omezují náhodná přepětí na vstupech vstupního multiplexeru **201** a chrání jej tak před poškozením. Výstupní data vypočtená programovatelnou řídicí jednotkou **200** se předávají pomocí výstupního demultiplexeru **202** do paměťových členů **61** až **6m**.

Z výstupů paměťových členů **61** až **6m**

jsou ovládány nevýkonové spínače 71 až 7m nulového potenciálu, které v sepnutém stavu budí přes třetí odpory 81 až 8m výkonové spínače 91 až 9m kladného potenciálu. Výkonové spínače 91 až 9m kladného potenciálu připojují v sepnutém stavu potenciál z kladné svorky $+U$ zdroje ovládacího napětí na ovládané přístroje 101 až 10m. Přitom druhé vývody všech ovládaných přístrojů 101 až 10m jsou spojeny přímo se zápornou svorkou $+U$ zdroje ovládacího napětí, takže výstupní proudy se neuzavírají přes nulový vodič z sběrnice a nezpůsobují tím rušivé úbytky napětí.

Proti vnějšímu rušení je systém stíněn vo-

divým krytem, jehož zemnicí svorka 0 je spojena s nulovým vodičem z sběrnice. Vliv případného rušení ze vstupních a výstupních přívodů je omezen impedancí prvního odporu 21 až 2n a třetího odporu 81 až 8m.

Zapojení podle vynálezu lze využít v programovatelných řídicích systémech, např. v programovatelných automatech, určených pro logické řízení technologických procesů, strojů nebo přístrojů, a to v případech, kdy není požadováno galvanické oddělení řízeného objektu od řídicího systému. V případě nutnosti galvanického oddělení některých signálů je možno použít oddělovacích relé.

PŘEDMĚT VYNÁLEZU

Zapojení interfaceových obvodů programovatelného logického systému, obsahujícího programovatelnou řídicí jednotku, vstupní multiplexer umožňující připojení n-vstupních kanálů a výstupní demultiplexer umožňující připojení m-výstupních kanálů vyznačené tím, že programovatelná řídicí jednotka (200), vstupní multiplexer (201) a výstupní demultiplexer (202) jsou navzájem spojeny adresovou sběrnicí (a), datovou sběrnicí (d), řídicí sběrnicí (c) a nulovým vodičem (z) sběrnice, přičemž každý z n-vstupů vstupního multiplexeru (201) je spojen přes první odpor (21 až 2n) s prvním kontaktem vstupního spínače (11 až 1n), jehož druhý kontakt je spojen s kladnou svorkou ($+U$) zdroje ovládacího napětí, každý vstup vstupního multiplexeru (201) je spojen přes paralelní kombinaci druhého odporu (31 až 3n), filtračního kondenzátoru (41 až 4n) a Ze-

nerovy diody (51 až 5n) s nulovým vodičem (z) sběrnice a každý z m-výstupů výstupního demultiplexeru (202) je spojen přes paměťový člen (61 až 6m) se vstupem nevýkonového spínače (71 až 7m) nulového potenciálu, jehož druhý vstup je spojen s nulovým vodičem (z) sběrnice a jehož výstup je přes třetí odpor (81 až 8m) spojen se vstupem výkonového spínače (91 až 9m) kladného potenciálu, jehož druhý vstup je spojen s kladnou svorkou ($+U$) zdroje ovládacího napětí a jehož výstup je spojen s prvním vývodem ovládaného přístroje (101 až 10m), jehož druhý vývod je spojen se zápornou svorkou ($-U$) zdroje ovládacího napětí, přičemž nulový vodič (z) sběrnice je spojen se zemnicí svorkou (0) vodivého krytu systému, jež je současně spojena se zápornou svorkou ($-U$) zdroje ovládacího napětí.

