

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7511665号
(P7511665)

(45)発行日 令和6年7月5日(2024.7.5)

(24)登録日 令和6年6月27日(2024.6.27)

(51)国際特許分類		F I		
H 0 2 J	1/00 (2006.01)	H 0 2 J	1/00	3 0 6 B
H 0 2 J	7/00 (2006.01)	H 0 2 J	7/00	B
H 0 2 M	7/06 (2006.01)	H 0 2 M	7/06	H
G 0 1 D	5/245(2006.01)	G 0 1 D	5/245	W
請求項の数 16 (全27頁)				
(21)出願番号	特願2022-560539(P2022-560539)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目 7 番 3 号	
(86)(22)出願日	令和2年11月4日(2020.11.4)	(74)代理人	110001195 弁理士法人深見特許事務所	
(86)国際出願番号	PCT/JP2020/041207	(72)発明者	上村井 明夫 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内	
(87)国際公開番号	WO2022/097199	(72)発明者	武舎 武史 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内	
(87)国際公開日	令和4年5月12日(2022.5.12)	審査官	新田 亮	
審査請求日	令和5年3月30日(2023.3.30)			
最終頁に続く				

(54)【発明の名称】 半導体装置及び多回転エンコーダ

(57)【特許請求の範囲】

【請求項 1】
環境発電装置による発電電荷が出力される電源ラインと接続された半導体装置であって、前記電源ラインに接続されたキャパシタの充電電圧に相当する発電電圧が起動判定電圧以上であるときに電圧検出信号を出力するための電圧比較回路と、
前記電圧比較回路からの前記電圧検出信号に応答して起動される内部回路と、
第 1 の設定入力に従って前記起動判定電圧を切替える設定変更回路とを備える、半導体装置。

【請求項 2】
前記キャパシタが第 1 の容量値を有する場合の前記起動判定電圧は、前記キャパシタが前記第 1 の容量値より大きい第 2 の容量値を有する場合の前記起動判定電圧よりも高い電圧に設定される、請求項 1 記載の半導体装置。

【請求項 3】
前記起動判定電圧は、前記内部回路が起動後に予め実装された処理を実行するための予め決められた消費電荷量を前記キャパシタの容量値で除算した値と、前記半導体装置の予め定められた最低動作電圧との和に従って設定される、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】
前記電圧比較回路は、
前記発電電圧を分圧する分圧回路と、

前記分圧回路から出力された分圧電圧と、予め定められた基準電圧とを比較して前記電圧検出信号を出力するコンパレータとを含み、

前記設定変更回路は、前記第 1 の設定入力に従った第 1 の制御信号を発生し、

前記分圧回路は、前記第 1 の制御信号に応じて分圧比が可変となるように構成される、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記設定変更回路は、前記第 1 の設定入力に従った第 1 の制御信号を発生し、

前記電圧比較回路は、

前記発電電圧を分圧する分圧回路と、

前記第 1 の制御信号に従った基準電圧を出力する電圧発生器と、

前記分圧回路によって分圧された分圧電圧と、前記電圧発生器から出力された前記基準電圧とを比較して前記電圧検出信号を出力するコンパレータとを含む、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記設定変更回路は、

前記半導体装置の外部から、前記第 1 の設定入力としてアナログ電圧を入力するための第 1 の端子を含み、

前記電圧比較回路は、

前記発電電圧を分圧する分圧回路と、

前記分圧回路から出力された分圧電圧と、前記第 1 の端子への入力電圧とを比較して前記電圧検出信号を出力するコンパレータとを含む、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記設定変更回路は、前記第 1 の設定入力によってトリミング可能な複数の第 1 のトリミング素子を有し、

前記設定変更回路は、接地電圧及び前記発電電圧のそれぞれを論理ローレベル及び論理ハイレベルとする第 1 のデジタル信号として前記第 1 の制御信号を生成し、

前記第 1 のデジタル信号の各ビットは、各前記第 1 のトリミング素子のトリミング有無に応じて、前記論理ローレベル及び前記論理ハイレベルの一方に設定される、請求項 4 又は 5 に記載の半導体装置。

【請求項 8】

前記設定変更回路は、第 2 の設定入力を更に受けて、前記第 2 の設定入力に従う第 2 の制御信号を生成し、

前記半導体装置は、

前記電源ラインに対して、前記第 2 の制御信号に応じた可変の追加容量値を有する補助キャパシタを接続するための容量値調整回路を更に備える、請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記設定変更回路は、前記第 2 の設定入力によってトリミング可能な複数の第 2 のトリミング素子を更に有し、

前記設定変更回路は、接地電圧及び前記発電電圧のそれぞれを論理ローレベル及び論理ハイレベルとする第 2 のデジタル信号として前記第 2 の制御信号を生成し、

前記第 2 のデジタル信号の各ビットは、各前記第 2 のトリミング素子のトリミング有無に応じて、前記論理ローレベル及び前記論理ハイレベルの一方に設定される、請求項 8 記載の半導体装置。

【請求項 10】

前記半導体装置の外部から外部電源電圧の入力を受けるための電源ノードと、

前記電源ノードの電圧に基づいて前記外部電源電圧の入力を検出する外部電源検出回路と、

前記外部電源検出回路の検出結果に基づいて、前記電源ラインの前記発電電圧から前記

10

20

30

40

50

内部回路の電源電圧を生成する第１の状態と、前記電源ノードの前記外部電源電圧から前記電源電圧を生成する第２の状態とを切替える電源切替回路とを更に備え、

前記電圧比較回路は、前記外部電源検出回路の検出結果に基づいて、前記第１の状態では前記第２の制御信号に従って前記追加容量値を第１の値に制御する一方で、前記第２の状態では前記追加容量値を前記第１の値よりも大きい第２の値に制御する、請求項８又は９に記載の半導体装置。

【請求項１１】

前記半導体装置の外部から外部電源電圧の入力を受けるための電源ノードと、

前記電源ノードの電圧に基づき前記外部電源電圧の入力を検出する外部電源検出回路と、

前記外部電源検出回路の検出結果に基づいて、前記電源ノードの前記外部電源電圧から前記内部回路の電源電圧を生成する第１の状態と、前記電源ラインの前記発電電圧から前記電源電圧を生成する第２の状態とを切替える電源切替回路とを更に備え、

前記電圧比較回路は、前記外部電源検出回路の検出結果に基づいて、前記第１の状態では前記第２の状態と比較して前記起動判定電圧を低く設定するように、前記第１及び第２の状態の間で前記起動判定電圧を切替える、請求項１～９のいずれか１項に記載の半導体装置。

【請求項１２】

前記内部回路は、

前記電圧検出信号に応答して起動されて、前記電源ラインの前記発電電圧を入力として電源電圧を生成する定電圧回路と、

前記定電圧回路からの前記電源電圧を受けて動作するデジタル回路と、

前記デジタル回路の動作時に前記デジタル回路との間でデータを入出力するための不揮発性メモリとを含む、請求項１～９のいずれか１項に記載の半導体装置。

【請求項１３】

前記内部回路は、

前記電圧検出信号に応答して起動されて、前記電源ラインの前記発電電圧を入力として電源電圧を生成する定電圧回路と、

前記定電圧回路からの前記電源電圧を受けて動作するデジタル回路とを含み、

前記デジタル回路は、動作時において、前記半導体装置の外部に配置された不揮発性メモリとの間でデータの読出及び書込を実行する、請求項１～９のいずれか１項に記載の半導体装置。

【請求項１４】

前記半導体装置の外部から外部電源電圧を入力するための電源ノードと、

前記電源ノードの電圧に基づき前記外部電源電圧の入力を検出する外部電源検出回路と、

前記外部電源検出回路の検出結果に基づいて、前記外部電源電圧の入力時に前記電源ノードを前記定電圧回路と接続する一方で、前記外部電源電圧の非入力時には、前記電源ラインを前記定電圧回路と接続する電源切替回路とを更に備え、

前記電圧比較回路は、前記外部電源検出回路の検出結果に基づいて、前記外部電源電圧の入力時には、前記外部電源電圧の非入力時と比較して、前記起動判定電圧を低く設定するように構成される、請求項１２又は１３に記載の半導体装置。

【請求項１５】

前記デジタル回路は、前記起動判定電圧以上の電圧を有する前記発電電圧が検出されると、当該発電電圧を入力パルスとして検出し、当該入力パルスを検出すると、前記不揮発性メモリからカウント値データを読出し、当該検出に応じて前記カウント値データを更新し、当該更新した前記カウント値データを前記不揮発性メモリに書込む一連の処理を実行する、請求項１２～１４のいずれか１項に記載の半導体装置。

【請求項１６】

回転軸の回転数を検出するための多回転エンコーダであって、

請求項１～１５のいずれか１項に記載の半導体装置を備え、

前記環境発電装置は、前記回転軸と連動して回転する磁石に取り付けられた、大バルク

10

20

30

40

50

ハウゼン効果を有する磁性ワイヤを用いた発電素子によって構成され、

前記内部回路は、前記起動判定電圧以上の前記発電電圧を有する電圧パルスが前記発電素子から出力される毎に起動されて、前記回転軸の多回転値をカウントする、多回転エンコーダ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置及び多回転エンコーダに関する。

【背景技術】

【0002】

周囲の環境から得たエネルギーを電力に変換する環境発電装置が発電した電力を電源として動作する半導体装置が開発されている。環境発電は、エナジーハーベスト、又は、エナジーハーベスティング等とも呼ばれている。環境発電の例としては、振動発電、光発電、及び、温度差発電の他、モータの回転又は振動からエネルギーを得ることも可能である。このような環境発電装置を電源とすることで、電池を必要としないバッテリーレス装置を開発することが可能となる。

【0003】

一例として、特許第5769879号公報（特許文献1）には、モータ回転軸の回転エネルギーによる発電電力を用いて、当該回転軸の回転方向及び1回転以上の回転数を計数して保持する、バッテリーレス方式の多回転エンコーダが記載されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特許第5769879号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

間欠的に発電する環境発電装置の発電電力を電源とする半導体装置では、発電された電荷を蓄積するためのキャパシタを経由して電力が供給されることが一般的である。一方で、環境発電装置の発電電力と、当該キャパシタの容量値とのバランスに応じて、キャパシタから半導体装置への入力電圧は変化する。

【0006】

キャパシタの容量値が過小であると、半導体装置への入力電圧の最大値が定格（最大動作電圧）を超えてしまう、或いは、入力電圧の立ち上がり時間が短くなり過ぎて半導体装置の内部回路の起動時間が確保できなくなる等の問題の発生が懸念される。反対に、キャパシタの容量が過大であると、半導体装置への入力電圧が、半導体装置が動作可能となる電圧レベルに上昇するまでに長時間を要することが懸念される。この様に、半導体装置に入力電圧を供給するキャパシタの容量値は、環境発電装置の発電電力とバランスする様に調整することが必要である。

【0007】

一方で、キャパシタの容量値が変化すると、半導体装置への入力電圧と当該キャパシタの充電電荷量（即ち、エネルギー）との関係も変化する。この結果、当該入力電圧が、半導体装置が動作可能となる電圧まで上昇するのに必要な電荷量も、キャパシタの容量値に依存して変化する。従って、発電電力が異なる環境発電装置に対応させて、半導体装置を適切に起動することが困難となる。

【0008】

本開示は、このような問題点を解決するためになされたものであって、本開示の目的は、環境発電装置から電源を供給される半導体装置を、環境発電装置の発電能力の違いに対応させて適切に起動すること、及び、当該半導体装置が適用された多回転エンコーダを提供することである。

【課題を解決するための手段】

【0009】

本開示のある局面では、環境発電装置による発電電荷が出力される電源ラインと接続された半導体装置であって、電圧比較回路と、内部回路と、設定変更回路とを備える。電圧比較回路は、電源ラインに接続されたキャパシタの充電電圧に相当する発電電圧が起動判定電圧以上であるときに電圧検出信号を出力する。内部回路は、電圧比較回路からの電圧検出信号に応答して起動される。設定変更回路は、第1の設定入力に従って起動判定電圧を切替える。

【0010】

本開示の他のある局面によれば、回転軸の回転数を検出するための多回転エンコーダであって、本開示に係る半導体装置を備え、環境発電装置は、回転軸と連動して回転する磁石に取り付けられた、大バルクハウゼン効果を有する磁性ワイヤを用いた発電素子によって構成される。内部回路は、起動判定電圧以上の発電電圧を有する電圧パルスが発電素子から出力される毎に起動されて、回転軸の多回転値をカウントする。

10

【発明の効果】

【0011】

本開示によれば、環境発電装置の発電能力（電荷量）に対応してキャパシタの容量値が調整された下で、半導体装置の起動判定電圧を外部からの設定入力に従って切替えることができるので、環境発電装置の発電能力の違いに対応させて適切に起動することが可能となる。これにより、当該半導体装置が適用されたバッテリーレス型の多回転エンコーダを提供することができる。

20

【図面の簡単な説明】

【0012】

【図1】実施の形態1に係る半導体装置の構成を説明するブロック図である。

【図2】半導体装置の起動時における第1の動作例を示す概念的な波形図である。

【図3】半導体装置の起動時における第2の動作例を示す概念的な波形図である。

【図4】半導体装置の起動時における第3の動作例を示す概念的な波形図である。

【図5】半導体装置の起動時における第4の動作例を示す概念的な波形図である。

【図6】半導体装置の起動時における第5の動作例を示す概念的な波形図である。

【図7】図1に示された設定変更回路及び電圧比較回路の第1の構成例を説明するブロック図である。

30

【図8】設定変更回路及び電圧比較回路の第2の構成例を説明するブロック図である。

【図9】設定変更回路及び電圧比較回路の第3の構成例を説明するブロック図である。

【図10】実施の形態1の変形例に係る起動判定電圧の設定を説明するための概念的な棒グラフである。

【図11】実施の形態2に係る半導体装置の構成を説明するブロック図である。

【図12】実施の形態2に係る半導体装置の構成の変形例を説明するブロック図である。

【図13】実施の形態3に係る多回転エンコーダの構成例を示すブロック図である。

【図14】パルス抜けを説明するための発電パルスの概念的な波形図である。

【図15】実施の形態4に係る半導体装置及び多回転エンコーダの構成例を示すブロック図である。

40

【図16】実施の形態4に係る半導体装置における起動判定電圧の設定を説明するための概念的な波形図である。

【図17】実施の形態4に係る半導体装置における電圧比較回路及び設定変更回路の第1の構成例を説明するブロック図である。

【図18】実施の形態4に係る半導体装置における電圧比較回路及び設定変更回路の第2の構成例を説明するブロック図である。

【図19】実施の形態4の変形例に係る半導体装置及び多回転エンコーダの構成例を示すブロック図である。

【発明を実施するための形態】

50

【0013】

以下に、本開示の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

【0014】

実施の形態1.

図1は、実施の形態1に係る半導体装置の構成を説明するブロック図である。

【0015】

図1に示される様に、実施の形態1に係る半導体装置10aは、環境発電装置100の発電電力を電源として動作する。半導体装置10aが搭載された信号処理装置200aは、整流回路2、クランプ回路3、及び、キャパシタ4を、環境発電装置100及び半導体装置10aの間に備える。

【0016】

本実施の形態では、環境発電装置100は間欠的な発電要素を想定しており、例えば、大バルクハウゼン効果を有する磁性ワイヤとピックアップコイルとを組み合わせた発電素子、磁歪素子とピックアップコイルを組み合わせた発電モジュール、又は、 piezo素子の変位により発電する圧電素子によって構成することができる。環境発電装置100から出力された正電圧の発電パルス及び負電圧の発電パルスが整流回路2を通過することで、電源ライン6に対して、環境発電装置100による発電電荷が供給される。

【0017】

電源ライン6には、キャパシタ4及びクランプ回路3が接続される。キャパシタ4は、環境発電装置100からの発電電荷によって充電される。従って、電源ライン6の電圧 V_{PWR} （以下、「発電電圧 V_{PWR} 」とも称する）は、キャパシタ4の充電電圧に相当するので、キャパシタ4の充電電荷 Q_{ch} 及び容量値 C_{ch} を用いて、発電電圧 $V_{PWR} = Q_{ch} / C_{ch}$ と表すことができる。

【0018】

発電電圧 V_{PWR} は、半導体装置10aに入力される。電源ライン6には、過電圧保護を目的として、クランプ回路3が接続される。クランプ回路3は、一般的には、発電電圧 V_{PWR} が予め定められた上限電圧 V_{max} を超えると導通するダイオードによって構成されて、 $V_{PWR} \leq V_{max}$ を確保するための保護回路として動作する。

【0019】

半導体装置10aは、定電圧回路13と、POR（Power On Reset）回路15と、アプリケーションに応じた機能が実装されているデジタル回路16と、不揮発性メモリ17を備えている。不揮発性メモリ17は、デジタル回路16で使用されるプログラム及びデータ、並びに、デジタル回路16が生成したデータ等を記憶する。定電圧回路13、デジタル回路16、及び、不揮発性メモリ17は、半導体装置10aの「内部回路」の一例として示される。

【0020】

定電圧回路13は、電源ライン6の発電電圧 V_{PWR} から、デジタル回路16及び不揮発性メモリ17の電源電圧 V_{CORE} を生成する。POR回路15は、定電圧回路13からの電源電圧 V_{CORE} の起動時に、電源電圧 V_{CORE} が、安定的に規定のリセット解除電圧以上の状態であることを検出すると、デジタル回路16のリセット状態を解除するためのPOR信号を生成する。

【0021】

尚、図1の例では、デジタル回路16及び不揮発性メモリ17が共通の定電圧回路13からの電源電圧 V_{CORE} によって動作する構成を示しているが、デジタル回路16及び不揮発性メモリ17に対しては、異なる定電圧回路から異なる電源電圧が供給されてもよい。或いは、デジタル回路16及び不揮発性メモリ17の一方の電源電圧を定電圧回路によって生成するとともに、当該電源電圧を昇圧又は降圧することで、他方の電源電圧を生成することも可能である。

【0022】

尚、図1の例では、整流回路2及びクランプ回路3が半導体装置10aの外部に配置されているが、整流回路2及びクランプ回路3は、半導体装置10aの内部に搭載することも可能である。反対に、不揮発性メモリ17については、半導体装置10aの外部に配置することも可能である。

【0023】

半導体装置10aは、電源ライン6上の発電電圧VPWRと、起動判定電圧Vdetとを比較する電圧比較回路20と、半導体装置10aの外部からの設定入力11vに応じて起動判定電圧Vdetを切替える設定変更回路11とを更に備える。電圧比較回路20は、電源ライン6上の発電電圧VPWRが起動判定電圧Vdet以上になると、電圧検出信号VCMPを生成する。定電圧回路13は、当該電圧検出信号VCMPに応じて起動される。

10

【0024】

半導体装置10aの一連の動作について説明する。環境発電装置100からの発電パルスが、整流回路2により整流され、キャパシタ4に充電されることで、発電電圧VPWRが上昇する。発電電圧VPWRが、設定変更回路11により可変に設定される起動判定電圧Vdet以上となったことを電圧比較回路20が検出すると、定電圧回路13が起動される。以下では、定電圧回路13の起動を、半導体装置10aの起動とも称する。

【0025】

デジタル回路16は、電源電圧VCOREの上昇に伴うPOR信号（POR回路15）に応答して、リセット状態を解除されることで動作を開始する。これにより、デジタル回路16は、予め実装された処理を開始する。デジタル回路16の動作時において、デジタル回路16及び不揮発性メモリ17の間で、データの入出力（読出及び書込）が実行される。

20

【0026】

ここで、半導体装置10aは、当該処理の開始から完了までに必要な電荷量（半導体装置10aの消費エネルギー）がキャパシタ4に充電されてから起動される必要がある。なぜなら、当該必要な電荷量が充電されていない状態で、その後の発電電荷の供給を期待して半導体装置10aの処理を開始した場合には、その後、半導体装置10a処理完了までに環境発電装置100が必要な電荷量を発電できない故障モードが考えられたためである。特に、不揮発性メモリ17にFeRAM（Ferroelectric Random Access Memory）の様な破壊読出型メモリが適用されている場合には、電荷量の不足による電源電圧VCOREの低下に起因して半導体装置10aの処理が完了までに中断されてしまうと、不揮発性メモリ17のデータが消失するという破壊モードに至ることが懸念される。

30

【0027】

次に、図2～図6を用いて、半導体装置10aの起動時の動作例を、発電電圧VPWR及び電源電圧VCOREの波形例によって説明する。

【0028】

図2において、環境発電装置100による発電電荷がキャパシタ4に充電されることで発電電圧VPWRが上昇する。時刻t1において、発電電圧VPWRが起動判定電圧Vdet（V1）以上となると、電圧検出信号VCMPに응答して定電圧回路13が起動される。これにより、電源電圧VCOREの生成が開始される。

40

【0029】

半導体装置10aの起動後において、電源電圧VCOREは、定電圧回路13によって一定に維持される。一方で、デジタル回路16及び不揮発性メモリ17でのエネルギー消費に伴ってキャパシタ4の充電電荷が放電されるため、発電電圧VPWRは徐々に低下する。デジタル回路16及び不揮発性メモリ17による処理が完了すると、時刻t2において、定電圧回路13は、電源電圧VCOREの生成を停止する。

【0030】

図2の例では、環境発電装置100の発電能力（電荷量）に対して、キャパシタ4の容

50

量値は、発電電圧 V_{PWR} の最大値が、半導体装置 10a の最大動作電圧 V_{opmax} を超えない様に調整されている。

【0031】

図2において、時刻 t_1 の時点でのキャパシタ4に充電されている電荷量 Q_{opr1} は、キャパシタ4の容量値を C_{chg1} とすると、下記の式(1)で表される。

【0032】

$$Q_{opr1} = V_1 \cdot C_{chg1} \quad \dots (1)$$

図3には、環境発電装置100の発電能力(電荷量)が図2よりも大きいときの動作波形例が示される。

【0033】

図3では、デジタル回路16及び不揮発性メモリ17の処理による消費エネルギー(電荷量)、及び、キャパシタ4の容量値は、図2と同一である。一方で、環境発電装置100から電源ライン6に出力される電荷量は、図2よりも増加する。

【0034】

この結果、発電電圧 V_{PWR} の最大値が、半導体装置10aの最大動作電圧 V_{opmax} を超えてしまっている。逆に言えば、環境発電装置100の発電能力(電荷量)に併せて、発電電圧 V_{PWR} の最大値が最大動作電圧 V_{opmax} より低くなるように、キャパシタ4の容量値を調整することが必要である。

【0035】

図4には、図3のケースにおいて、発電電圧 V_{PWR} の最大値が最大動作電圧 V_{opmax} を超えない様に、キャパシタ4の容量値を調整したときの動作波形が示される。

【0036】

図4では、キャパシタ4の容量値が C_{chg2} ($C_{chg2} > C_{chg1}$) とされることにより、発電電圧 V_{PWR} の最大値が最大動作電圧 V_{opmax} より低くなっている。

【0037】

一方で、図4においても、図2及び図3と同様の起動判定電圧 $V_{det} = V_1$ を用いて、半導体装置10aの起動タイミングが判定されている。このため、 $V_{PWR} \geq V_{det}$ (V_1) となる時刻 t_{1a} において、キャパシタ4に充電されている電荷量 Q_{opr2} は、キャパシタ4の容量値 C_{chg2} を用いて、下記の式(2)で表される。

【0038】

$$Q_{opr2} = V_1 \cdot C_{chg2} \quad \dots (2)$$

ここで、 $C_{chg2} > C_{chg1}$ であることから、 $Q_{opr2} > Q_{opr1}$ である。即ち、キャパシタ4の容量値を大きくすると、同一の起動判定電圧 V_{det} まで発電電圧 V_{PWR} を上昇させるのに必要となる電荷量も大きくなる。

【0039】

一方で、キャパシタ4の容量値を C_{chg1} から C_{chg2} に大きくしているため、図4のケースでは、発電電圧 V_{PWR} が V_1 ($V_{det} = V_1$) よりも低い状態で、半導体装置10aの処理完了までに必要な電荷量が充電されることが理解される。即ち、図4のケースにおいて、起動判定電圧 V_{det} を図2と同様の V_1 としているのは、半導体装置10aの起動に必要な電荷量を無用に増加させていることと等価である。

【0040】

そこで、本実施の形態では、設定変更回路11への設定入力 V_{1v} に従って、起動判定電圧 V_{det} を可変に設定可能である点が特徴である。これにより、環境発電装置100からの発電電荷を蓄積するキャパシタ4の容量値の調整に対応させて、起動判定電圧 V_{det} を変化させることができる。

【0041】

図5には、図4のケースに対して、起動判定電圧 V_{det} を低くしたときの動作波形図が示される。

【0042】

図5では、図4と同様のキャパシタ4の容量値 (C_{chg2}) を用いることで、発電電

10

20

30

40

50

圧 V_{PWR} の最大値が最大動作電圧 V_{opmax} より低くなっている。更に、起動判定電圧 $V_{det} = V_2$ ($V_2 < V_1$) とすることで、時刻 t_{1b} において、図 4 の時刻 t_{1a} でキャパシタ 4 に充電されている電荷量よりも小さい電荷量で、電圧検出信号 V_{CMP} の発生により半導体装置 10a を起動することができる。

【0043】

図 5 の時刻 t_{1b} の時点でのキャパシタ 4 に充電されている電荷量 Q_{opr3} は、キャパシタ 4 の容量値 C_{chg2} を用いて、下記の式 (3) で表される。

【0044】

$$Q_{opr3} = V_2 \cdot C_{chg2} \quad \dots (3)$$

式 (3) の電荷量 Q_{opr3} と、式 (1) の電荷量 Q_{opr1} とを同等とするためには、図 5 での起動判定電圧 V_{det} ($V_{det} = V_2$) を下記の式 (4) に従って設定すればよいことが理解される。従って、 $C_{chg2} > C_{chg1}$ のときは $V_2 < V_1$ であり、起動判定電圧 V_{det} は、キャパシタ 4 の容量値が大きくなる程、相対的に低い電圧に可変設定される。

【0045】

$$V_2 = V_1 \cdot (C_{chg1} / C_{chg2}) \quad \dots (4)$$

又、後述する様に、起動判定電圧 V_{det} を完全に任意の値に設定することは困難であるため、図 5 での起動判定電圧 V_{det} ($V_{det} = V_2$) は、下記の式 (5) を満たす範囲内で、設定入力 V_{11} に従って段階的に設定可能な複数の電圧値のうちの最小電圧とすることが好ましい。

【0046】

$$V_2 \geq V_1 \cdot (C_{chg1} / C_{chg2}) \quad \dots (5)$$

図 2～図 5 では、発電電圧 V_{PWR} と最大動作電圧 V_{opmax} との関係からキャパシタ 4 の容量値を調整する例を説明した。一方で、図 3 とは反対に、環境発電装置 100 の発電能力（電荷量）が図 2 よりも小さい場合には、発電電圧 V_{PWR} が起動判定電圧 V_{det} に達することができず、半導体装置 10a の処理を開始できなくなることが懸念される。従って、このようなケースでは、上記とは反対に、キャパシタ 4 の容量値を小さくする調整が必要になる。

【0047】

しかしながら、キャパシタ 4 の容量値を小さくすると同一の起動判定電圧 V_{det} でキャパシタ 4 に充電される電荷量は小さくなる。このため、半導体装置 10a の処理完了までに必要な電荷量を確保するためには、起動判定電圧 V_{det} を図 2 よりも高く設定する必要がある。

【0048】

更に、キャパシタ 4 の容量値については、発電電圧 V_{PWR} の立上がり時間の観点から調整が必要となるケースも考えられる。

【0049】

図 6 に示される様に、同じ環境発電装置 100 に対して、キャパシタ 4 の容量値を変えると、発電電圧 V_{PWR} の立上がり時間も変化する。この立上がり時間が、半導体装置 10a が許容可能な立上がり時間よりも短くなると、半導体装置 10a の起動不良が懸念される。例えば、半導体装置 10a では、発電電圧 V_{PWR} と起動判定電圧 V_{det} とを比較する電圧比較回路 20 が動作を開始するまでには一定の準備時間が必要である。当該準備時間を確保するためのスペック値として、上述の許容可能な立上がり時間は設定される。

【0050】

例えば、キャパシタ 4 の容量値が C_{chg1} であるときの立上がり時間 T_{on1} が、半導体装置 10a が許容可能な立上がり時間よりも短い一方で、キャパシタ 4 の容量値が C_{chg2} ($C_{chg2} > C_{chg1}$) であるときの立上がり時間 T_{on2} が、当該許容可能な立上がり時よりも長いケースが想定される。

【0051】

このようなケースでは、環境発電装置 100 の発電能力（電荷量）に対応して、キャパシ

10

20

30

40

50

タ 4 の容量値を C_{chg2} に設定することが必要となる。この場合にも、図 4 での説明と同様に、キャパシタ 4 の容量値が C_{chg1} であるときと比較すると、起動判定電圧 V_{det} を低くすることが好ましい。

【0052】

このように、環境発電装置 100 の発電能力（電荷量）に対応して、発電電荷を充電するキャパシタの容量値を調整する必要がある。この様にキャパシタ 4 の容量値が調整される下で、本実施の形態に係る半導体装置 10a では、発電電圧 V_{PWR} と比較される起動判定電圧 V_{det} を切替可能とすることで、異なる特性の環境発電装置 100 に対して、半導体装置 10a の起動に必要な電荷量を無用増加させることなく対応することが可能となる。

10

【0053】

次に、起動判定電圧 V_{det} の設定を切替えるための設定変更回路 11 及び電圧比較回路 20 の構成例を説明する。

【0054】

図 7 には、設定変更回路 11 及び電圧比較回路 20 の第 1 の構成例が示される。

設定変更回路 11 は、起動判定電圧 V_{det} の設定を切替えるための制御信号 S_{sg} を生成する。当該制御信号 S_{sg} は、デジタル回路 16 の起動前に設定される必要がある。このため、デジタル回路 16 によってデータが読み出される不揮発性メモリ 17 を用いて、設定変更回路 11 を構成することはできない。

【0055】

設定変更回路 11 には、読出動作が不要である、メタルヒューズ、ポリシリコンヒューズ、及び、ツェナーザップ等のトリミング素子 12 が設けられる。例えば、 n 個（ n ：2 以上の整数）のトリミング素子 $12_1 \sim 12_n$ が、設定変更回路 11 に内蔵される。

20

【0056】

各トリミング素子 12 は、レーザ照射又は電圧・電流入力等のトリミング入力によって、非破壊状態及び破壊状態の間で不可逆的な遷移を生じる様に、即ち、トリミング可能に構成される。発電電圧 V_{PWR} が印加されると、トリミング素子 12 毎に、非破壊状態及び破壊状態のいずれであるかによって、接地電圧 GND を論理ローレベル（以下、「L レベル」とし、発電電圧 V_{PWR} を論理ハイレベル（以下、「H レベル」とする 1 ビットのデジタル信号を生成することができる。従って、設定変更回路 11 は、 n 個のトリミング素子 $12_1 \sim 12_n$ に対するトリミング入力を設定入力 11_v として、 n ビットの制御信号 S_{sg} を生成することができる。

30

【0057】

尚、設定変更回路 11 への設定入力 11_v は、レーザ照射によるトリミングであれば半導体装置 10a の製造工程で設定されることが一般的である。又、電圧・電流入力等によるトリミングであれば半導体装置 10a の製造工程で設定される場合もあれば、半導体装置 10a が基板に実装された後にマイコン等の制御回路（図示せず）を介して設定される場合もある。この様に、設定入力 11_v は、半導体装置 10a の完成前（製造中）及び完成後の少なくとも一方において、半導体装置 10a の構成要素とは異なる外部要素、即ち、半導体装置 10a の外部から設定変更回路 11 に入力される。

40

【0058】

図 7 に示される様に、電圧比較回路 20 は、分圧回路 22X と、コンパレータ 24 とを有する。分圧回路 22X は、電源ライン 6 及びノード N_x の間に接続された抵抗素子 21（電気抵抗値 R_1 ）と、ノード N_x 及び接地ライン 7 の間に接続された抵抗素子 22（電気抵抗値 R_2 ）とを有する。

【0059】

分圧回路 22X は、ノード N_x に、発電電圧 V_{PWR} が抵抗素子 21, 22 によって分圧された分圧電圧 V_{DIV} を出力する。分圧回路 22X の分圧比 K_r （ $K_r = R_2 / (R_1 + R_2)$ ）を用いると、 $V_{DIV} = K_r \cdot V_{PWR}$ で示される（ $K_r < 1.0$ ）。

【0060】

50

コンパレータ 24 が、分圧電圧 V_{DIV} 及び一定の基準電圧 V_{REF} を比較する。 $V_{DIV} \geq V_{REF}$ を検出すると、コンパレータ 24 の出力電圧が、L レベルから H レベルに変化する。これにより、コンパレータ 24 から電圧検出信号 V_{CMP} が出力される。

【0061】

従って、発電電圧 V_{PWR} が起動判定電圧 V_{det} 以上となったとき ($V_{PWR} \geq V_{det}$) に電圧検出信号 V_{CMP} を発生するためには、基準電圧 V_{REF} 、起動判定電圧 V_{det} 、及び、分圧比 K_r の間には、下記の式 (6) の関係が成立する。

【0062】

$$V_{det} = V_{REF} / K_r \quad \dots (6)$$

分圧回路 22X において、抵抗素子 21 及び 22 の少なくとも一方は、制御信号 S_{sg} に応じて電気抵抗値が変化する可変抵抗素子によって構成される。図 7 の例では、抵抗素子 21 及び 22 の各々が可変抵抗素子で構成される。この結果、制御信号 S_{sg} に応じて、抵抗素子 21 及び／又は 22 の電気抵抗値を変化させることで、分圧回路 22X による分圧比 K_r を変えることができる。

【0063】

これにより、式 (6) において、基準電圧 V_{REF} が一定であるのに対して、制御信号 S_{sg} によって分圧比 K_r を変えることで、起動判定電圧 V_{det} を可変に設定することが可能となる。

【0064】

図 8 には、設定変更回路 11 及び電圧比較回路 20 の第 2 の構成例が示される。

図 8 に示された構成例では、電圧比較回路 20 は、分圧回路 22Y と、コンパレータ 24 と、デジタルアナログ (D/A) 変換器 25 とを含む。

【0065】

分圧回路 22Y は、抵抗素子 21 及び 22 によって分圧された分圧電圧 V_{DIV} をノード N_x に出力する ($V_{DIV} = K_r \cdot V_{PWR}$)。抵抗素子 21 及び 22 の電気抵抗値は固定されており、分圧回路 22Y による分圧比 K_r ($K_r = R_2 / (R_1 + R_2)$) は一定値である。

【0066】

図 7 と同様に構成された設定変更回路 11 からの制御信号 S_{sg} は、基準電圧 V_{REF} を発生する D/A 変換器 25 に入力される。D/A 変換器 25 は、複数ビットの制御信号 S_{sg} をアナログ変換したアナログ電圧を、基準電圧 V_{REF} として生成する。即ち、D/A 変換器 25 は「電圧発生器」の一実施例に対応する。

【0067】

図 8 の構成例では、式 (6) において、分圧比 K_r が一定であるのに対して、制御信号 S_{sg} によって基準電圧 V_{REF} を変化させることで、起動判定電圧 V_{det} を可変に設定することが可能となる。

【0068】

或いは、図 9 に示される様に、半導体装置 10a の外部からアナログ電圧を入力可能に設けられた端子 11x を用いて、基準電圧 V_{REF} を入力することも可能である。この場合には、端子 11x へのアナログ電圧により、半導体装置 10a の外部から起動判定電圧 V_{det} を可変設定することで、設定変更回路 11 が構成されることになる。

【0069】

この様にして、半導体装置 10a では、電圧比較回路 20 によって発電電圧 V_{PWR} と比較される起動判定電圧 V_{det} を、設定変更回路 11 への設定入力 11v によって切替えることができる。これにより、異なる特性の環境発電装置 100 に対して、発電電荷を充電するキャパシタの容量値を適切に調整した下で、半導体装置 10a での処理に必要な電荷量の確保に応じて、半導体装置 10a を適切に起動することが可能となる。これにより、当該半導体装置を種々の環境発電装置に対応して用いることが可能となるので、逆に言うと、半導体装置が搭載される製品に応じて、適切な環境発電装置を選択することも可能となる。

10

20

30

40

50

【0070】

例えば、本実施の形態に係る半導体装置10aが、小型基板に搭載される製品に適用される場合には、発電電荷量は小さいが寸法も小さく高価な環境発電装置100が使用される。従って、環境発電装置100の発電能力（電荷量）に併せて調整されたキャパシタ4の容量値と適合するように、半導体装置10aでは、設定変更回路11への設定入力11vにより起動判定電圧Vdetを相対的に高く設定することができる。

【0071】

一方で、本実施の形態に係る半導体装置10aが、大型の基板に搭載される製品に適用される場合には、発電電荷量及び寸法が大きく安価な環境発電装置100を使用することができる。従って、環境発電装置100の発電能力（電荷量）に併せて調整されたキャパシタ4の容量値と適合するように、半導体装置10aでは、設定変更回路11への設定入力11vにより起動判定電圧Vdetを相対的に低く設定することができる。この様に、実施の形態1に係る半導体装置10aでは、環境発電装置100に対する汎用性が高められる。

【0072】

実施の形態1の変形例。

実施の形態1の変形例では、実施の形態1の半導体装置10aにおける起動判定電圧Vdetの更に詳細な設定について説明する。

【0073】

図10には、実施の形態1に係る起動判定電圧の設定を説明するための概念的な棒グラフが示される。図10の横軸の幅はキャパシタ4の容量値を示しており、縦軸の長さは起動判定電圧Vdetを示している。従って、棒の各々の面積は、容量値と電圧値の積となり、発電電圧VPWRが起動判定電圧Vdetに達した時点（即ち、半導体装置10aの起動時）において、キャパシタ4に充電されている電荷量を示している。

【0074】

図10の縦軸には、半導体装置10aの最低動作電圧Vopminが示される。最低動作電圧Vopminは、半導体装置10aが動作可能である入力電源電圧の下限值を示すスペック値として定められる。図1の例において、定電圧回路13からの電源電圧Vcoreを1.8[V]とすると、定電圧回路13の入力電圧となる発電電圧VPWRは、1.8[V]よりも0.2~0.3[V]高い必要がある。このため、例えば、最低動作電圧Vopminは、2.0[V]程度となる。

【0075】

半導体装置10aの起動時において、キャパシタ4には、発電電圧VPWRが最小動作電圧Vopminに達するための電荷量Qminと、半導体装置10aが予め実装された処理の開始から完了までに消費する電荷量Qactとの和が蓄積されている必要がある。電荷量Qminは、キャパシタ4の容量値に依存して変化することが理解される。

【0076】

一方で、電荷量Qactは、半導体装置10aが予め実装された処理を実行する際に、定電圧回路13、POR回路15、デジタル回路16、及び、不揮発性メモリ17の動作によって消費されるエネルギー（電荷量）に相当する。従って、電荷量Qactは、半導体装置10aの回路構成及び処理内容によって決まるため、キャパシタ4の容量値には依存しない。

【0077】

従って、半導体装置10aの起動時に必量な電荷量Qstr（ $Qstr = Qact + Qmin$ ）は、キャパシタ4の容量値に依存して変化し、容量値が小さい程、電荷量Qstrが小さくなることが理解される。

【0078】

図10の右端には、図2で説明した、キャパシタ4の容量値Cchg1に対して、起動判定電圧Vdet=V1に設定したときの電荷量Qmin1及びQactが示される。Qmin1は、容量値Cchg1及び最低動作電圧Vopminの積で示される。尚、ここ

では、 $V1 = 2 \cdot V_{opmin}$ としている。右端のケースでは、半導体装置10aの起動時にキャパシタ4に充電されている電荷量 $Q_{str1} = V1 \cdot C_{chg1} = 2 \cdot V_{opmin} \cdot C_{chg1}$ で示される。

【0079】

ここで、異なるスペックの環境発電装置100に対応するためにキャパシタ4の容量値を、 C_{chg1} の $(2/3)$ 倍である C_{chg3} に設定したケースでの起動判定電圧 V_{det} の設定を考える($C_{chg3} = (2/3) \cdot C_{chg1}$)。

【0080】

図10の中央には、上述の式(4)を用いて、キャパシタ4の容量値の比に従って、起動判定電圧 $V_{det} = V3$ (即ち、 $V3 = (3/2) \cdot V1 = 3 \cdot V_{opmin}$)としたケースが示される。当該ケースにおいて、処理開始時刻でキャパシタ4に充電されている電荷量 $Q_{str2} = V3 \cdot C_{chg3} = (3/2) \cdot V1 \cdot (2/3) \cdot C_{chg1} = V1 \cdot C_{chg1} = Q_{str1}$ であることが理解される。

【0081】

一方で、中央のケースでは、キャパシタ4の容量値の低下に伴い、最低動作電圧 V_{opmin} を確保するための電荷量 Q_{min3} は、右端のケースでの電荷量 Q_{min1} よりも小さくなる。従って、電荷量($Q_{str2} - Q_{min3}$)は、半導体装置10aが消費する電荷量 Q_{act} よりも大きくなっており、電荷量 Q_{str2} は、最低限必要な電荷量 $Q_{min3} + Q_{act}$ に対して過剰であることが理解される。

【0082】

図10の左端には、実施の形態1の変形例に係る起動判定電圧 V_{det} の設定例が示される。左端のケースでは、処理開始時刻でキャパシタ4に充電されている電荷量 Q_{str3} が、最低動作電圧 V_{opmin} を確保するための電荷量 Q_{min3} と、半導体装置10aによる処理で消費される電荷量 Q_{act} との和となる様に、起動判定電圧 $V_{det} = V4$ に設定される。

【0083】

上述の様に、電荷量 Q_{min3} は、キャパシタ4の容量値 C_{chg3} に依存して、 $Q_{min3} = C_{chg3} \cdot V_{opmin}$ で示される。一方で、電荷量 Q_{act} は、キャパシタ4の容量値に依存せず、右端のケース(Q_{str1})と同じ値である。

【0084】

右端のケースにおいて、 $V1 = 2 \cdot V_{opmin}$ から、 $Q_{act} = C_{chg1} \cdot (V1 - V_{opmin}) = C_{chg1} \cdot (2 \cdot V_{opmin} - V_{opmin}) = C_{chg1} \cdot V_{opmin}$ で示される。従って、左端のケースでは、 $C_{chg3} = (2/3) \cdot C_{chg1}$ から、 $Q_{act} = (3/2) \cdot C_{chg3} \cdot V_{opmin}$ と示すことができる。又、中央のケースと同様に、 $Q_{min3} = C_{chg3} \cdot V_{opmin}$ で示される。この結果、 $Q_{str3} = Q_{min3} + Q_{act} = (5/2) \cdot C_{chg3} \cdot V_{opmin}$ となるので、 $V_{det} = V4 = 2.5 \cdot V_{opmin}$ に設定することができる。

【0085】

この結果、実施の形態1の変形例に係る左端のケースでは、起動判定電圧 V_{det} を、式(5)に従う中央のケースよりも低く設定することができる。これにより、実施の形態1よりも少ない電荷量で、半導体装置10aを適切に起動することが可能となる。

【0086】

以上を整理すると、実施の形態1の変形例では、スペック値としての最低動作電圧 V_{opmin} と、半導体装置10aが予め実装された処理を実行するための消費電荷量 Q_{act} と、環境発電装置100の発電電荷量を充電するキャパシタの容量値 C_{chg} を用いて、起動判定電圧 V_{det} を下記の式(7)に従って設定することができる。消費電荷量 Q_{act} は、消費電力の実測値やシミュレーションによる設計値に基づいて予め決めることができる。

【0087】

$$V_{det} = V_{opmin} + (Q_{act} / C_{chg}) \quad \cdots (7)$$

10

20

30

40

50

実施の形態 1 の変形例に従う起動判定電圧 V_{det} の設定によれば、発電電荷量の小さい環境発電装置 100 に対応できるよう半導体装置 10a の汎用性が高められる。

【0088】

実施の形態 2 .

図 11 は、実施の形態 2 に係る半導体装置の構成を説明するブロック図である。

【0089】

図 11 に示される様に、実施の形態 2 に係る半導体装置 10b は、信号処理装置 200b に搭載される。信号処理装置 200b は、半導体装置 10a に代えて半導体装置 10b を備える点で、図 1 に示された信号処理装置 200a と異なる。

【0090】

実施の形態 2 に係る半導体装置 10b は、電源ライン 6 に接続された容量値調整回路 18 を更に備える点で、実施の形態 1 に係る半導体装置 10a と異なる。半導体装置 10b のその他の構成は、半導体装置 10a と同様であるので、詳細な説明は繰り返さない。

【0091】

容量値調整回路 18 は、電源ライン 6 及び接地ライン 7 の間に直列接続された、サブキャパシタ C_s 及びスイッチ SW の組を k 個 (k : 自然数) 有する。 $k \geq 2$ のときには、直列接続されたサブキャパシタ C_s 及びスイッチ SW の複数個の組は、電源ライン 6 及び接地ライン 7 の間に並列に接続される。

【0092】

図 11 には、 $k \geq 3$ の例が示されており、サブキャパシタ C_{s1} 及びスイッチ SW_1 の組、サブキャパシタ C_{s2} 及びスイッチ SW_2 の組、…、並びに、サブキャパシタ C_{sk} 及びスイッチ SW_k の組が、電源ライン 6 及び接地ライン 7 の間に並列接続される。

【0093】

k 個のスイッチのオンオフは、設定変更回路 11 からの制御信号 $S_1 \sim S_k$ によって制御される。制御信号 $S_1 \sim S_k$ は、設定変更回路 11 のトリミング素子 12 の配置個数を増加することで、上述した制御信号 S_{sg} と同様に生成することができる。即ち、制御信号 $S_1 \sim S_k$ についても、トリミング入力に相当する、設定変更回路 11 への設定入力 11c に従って生成することができる。設定入力 11c についても、上述した設定入力 11v と同様の態様で、設定変更回路 11 に入力される。

【0094】

この結果、容量値調整回路 18 では、サブキャパシタ $C_{s1} \sim C_{sk}$ の一部又は全部を電源ライン 6 に対して接続して、環境発電装置 100 からの発電電荷の充電に用いることができる。即ち、制御信号 $S_1 \sim S_k$ に応じて、電源ライン 6 に追加接続されたサブキャパシタ C_s は「補助キャパシタ」に対応する。

【0095】

キャパシタ 4 は、メインキャパシタとして、実施の形態 1 と同様に、電源ライン 6 に対して接続される。これにより、環境発電装置 100 からの発電電荷は、キャパシタ 4 及び容量値調整回路 18 によって追加接続されたサブキャパシタ C_s の両方によって充電される。そして、容量値調整回路 18 のサブキャパシタの接続による追加容量値は、制御信号 $S_1 \sim S_k$ 、即ち、設定変更回路 11 への設定入力 11c によって可変に設定できる。

【0096】

従って、実施の形態 2 に係る半導体装置 10b では、容量値調整回路 18 の配置により、環境発電装置 100 からの発電電荷を充電するキャパシタの総容量値を、設定変更回路 11 への設定入力 11c によって調整することが可能となる。

【0097】

環境発電装置 100 は、同一品番の製品であっても、製造ばらつきに起因して、量産ロット（材料、製造日時、製造装置等の違い）によって発電能力が異なる場合がある。このため、同一品番の環境発電装置でも、品番が異なる程の差異ではないものの、発電電力の小さい個体、及び、発電電力の大きい個体が存在する。

【0098】

10

20

30

40

50

実施の形態 2 に係る半導体装置 10b では、環境発電装置 100 の発電能力（電荷量）の製品ばらつきに対応して、設定入力 11c によって発電電荷を充電するキャパシタの総容量値を微調整することで、適切な起動を確保することができる。

【0099】

例えば、環境発電装置 100 及び半導体装置 10b が搭載された製品の製造工程において、環境発電装置 100 の実際の発電電荷量を測定し、発電電荷量に応じて容量値調整回路 18 による追加容量値を調整することができる。更に、調整後の追加容量値を含む総容量値に対応して、設定入力 11v によって起動判定電圧 V_{det} を切替設定することで、環境発電装置 100 の発電電力の製造ばらつきが大きくても適切に動作可能な半導体装置を提供することが可能となる。

10

【0100】

尚、実施の形態 2 の構成は、図 12 に示される様に変形することも可能である。図 12 に示された実施の形態 2 の変形例に係る半導体装置 10c 及び信号処理装置 200c では、キャパシタ 4（メインキャパシタ）が、容量値調整回路 18 を具備した半導体装置 10c の内部に配置されている点が、図 11 の半導体装置 10b 及び信号処理装置 200b と異なる。図 12 の構成としても、実施の形態 2 に係る構成による効果を同様に享受することが可能である。

【0101】

実施の形態 3.

実施の形態 3 では、実施の形態 1 に係る半導体装置を適用したバッテリーレス多回転エンコーダについて説明する。

20

【0102】

図 13 は、実施の形態 3 に係るバッテリーレス型の多回転エンコーダの構成例を示すブロック図である。

【0103】

図 13 に示される様に、実施の形態 3 に係る多回転エンコーダは、外部からの電力供給を受けることなく、検出対象である回転軸 105 の回転方向及び回転数を検出して、検出結果を示すデータを保持する。多回転エンコーダは、回転軸 105 の回転を検出するための回転検出機構 110 と、回転検出機構 110 と電気的に接続される信号処理装置 200x とを備える。

30

【0104】

回転検出機構 110 は、回転軸 105 に取り付けられた磁石 111 と、発電素子 100a, 100b とを含む。回転軸 105 は、例えば、モータの出力軸（回転軸）で構成されるが、軸周り方向に回転可能な任意の回転体によって回転軸 105 を構成することができる。

【0105】

磁石 111 は、円板形状を有し、回転軸 105 に対して同心上に取り付けられる。従って、磁石 111 は、回転軸 105 と連動して、時計回り及び反時計回りの両方に回転可能である。尚、磁石 111 は、回転軸 105 の回転に連動して磁石 111 が回転するのであれば、任意の構造によって回転軸に取り付けることができる。尚、本実施の形態では、磁石 111 は、半円周ずつ 2 つの磁極を有する構成を例示するが、磁極数は任意とすることができる。又、磁石 111 の形状についても、円板形状に限定されるものではない。

40

【0106】

発電素子 100a, 100b は、磁石 111 の上方で磁石 111 の回転円周上に配置された、大バルクハウゼン効果を有する磁性ワイヤ及びピックアップコイルの組み合わせによって構成することができる。発電素子 100a, 100b は、実施の形態 1 及び 2 での環境発電装置 100 に対応し、回転軸 105 の回転に伴う磁石 111 の回転に応じて発電パルスを発生する。本実施形態では、2 つの発電素子 100a, 100b が設けられる構成を例示するが、発電素子の個数は任意とすることができる。

【0107】

50

信号処理装置 200x は、整流回路 2a, 2b と、クランプ回路 3a, 3b と、キャパシタ 4a, 4b と、電源ライン 6a, 6b と、実施の形態 3 に係る半導体装置 10x とを備える。

【0108】

電源ライン 6a には、整流回路 2a を介して、発電素子 100a から発電パルスが出力される。クランプ回路 3a 及びキャパシタ 4a は、電源ライン 6a に接続される。同様に、電源ライン 6b には、整流回路 2b を介して、発電素子 100b から発電パルスが出力される。クランプ回路 3b 及びキャパシタ 4b は、電源ライン 6b に接続される。

【0109】

信号処理装置 200x では、2 個の発電素子 100a, 100b に対して、実施の形態 1 での整流回路 2、電源ライン 6、クランプ回路 3、及び、キャパシタ 4 が 2 系統配置されている。発電素子 100a による発電電荷がキャパシタ 4a に充電されるのに伴って、電源ライン 6a の発電電圧 VPWRa が上昇する。同様に、発電素子 100b による発電電荷がキャパシタ 4b に充電されるのに伴って、電源ライン 6b の発電電圧 VPWRb が上昇する。

【0110】

半導体装置 10x は、図 1 の半導体装置 10a と比較して、電源ライン 6a, 6b にそれぞれ対応させて、電圧比較回路 20 (図 1) と同様の電圧比較回路 20a, 20b を備える点と、電圧検出信号 VCMP を生成する論理ゲート 19 を更に備える点とで異なる。又、定電圧回路 13 は、論理ゲート 19 からの電圧検出信号 VCMP に応じて起動される。定電圧回路 13、POR 回路 15、デジタル回路 16、及び、不揮発性メモリ 17 の動作は、実施の形態 1 で説明したのと同様の機能を有する。

【0111】

電圧比較回路 20a は、電源ライン 6a の発電電圧 VPWRa 及び起動判定電圧 Vdet を比較して、 $VPWRa \geq Vdet$ になると信号 VCMPa を出力する。同様に、電圧比較回路 20b は、電源ライン 6b の発電電圧 VPWRb 及び起動判定電圧 Vdet を比較して、 $VPWRb \geq Vdet$ になると信号 VCMPb を出力する。

【0112】

起動判定電圧 Vdet は、電圧比較回路 20a, 20b に対して共通に設定される。実施の形態 1 と同様に、起動判定電圧 Vdet は、設定変更回路 11 への設定入力 11v によって切替可能である。

【0113】

論理ゲート 19 は、信号 VCMPa 又は VCMPb の論理和 (OR) 演算結果を、電圧検出信号 VCMP として定電圧回路 13 へ出力する。従って、発電電圧 VPWRa 及び VPWRb のどちらかが起動判定電圧 Vdet 以上となると、定電圧回路 13 が起動される。そして、定電圧回路 13 から出力される電源電圧 Vcore が安定したことを POR 回路 15 が検出すると、デジタル回路 16 は、リセットが解除されて、予め実装された処理を開始する。

【0114】

更に、実施の形態 3 では、デジタル回路 16 に対して、電圧比較回路 20a の出力信号 VCMPa と、電圧比較回路 20b の出力信号 VCMPb とが入力される。デジタル回路 16 は、当該信号 VCMPa 及び VCMPb に基づき、発電素子 100a 及び 100b のどちらからの発電パルスで動作しているかを認識することができる。

【0115】

多回転エンコーダに用いられる半導体装置 10x は、発電素子 100a 又は 100b から、起動判定電圧 Vdet 以上の電圧を有する発電パルスが出力される毎に起動されて、予め実装された処理を実行する。当該処理では、例えば、不揮発性メモリ 17 から回転軸 105 の回転方向及び回転数を示す多回転値の情報 (カウント値データ) を読出される。更に、予め定められた変換テーブルに従って、発電パルスの検出に応じて当該多回転値の情報 (カウント値データ) を更新すると、更新した多回転値の情報 (カウント値データ)

10

20

30

40

50

が不揮発性メモリ 17 に書込まれる。これによって、回転軸 105 の回転方向及び回転数を示す情報（カウント値データ）、不揮発性メモリ 17 に保持される。尚、検出された発電パルスをカウント値データに反映する際の処理には、特許第 5511748 号公報に記載された技術等の任意の公知技術を適用することができる。

【0116】

このように、実施の形態 3 に係るバッテリーレス型の多回転エンコーダは、回転軸 105 の回転に応じて発電素子 100a, 100b から出力された発電パルスを検出することに応じて、回転軸 105 の回転数を計測することができる。

【0117】

尚、実施の形態 3 に係るバッテリーレス型の多回転エンコーダでは、検出対象の回転軸 105（モータ）に対応させて、磁石 111 及び／又は発電素子 100a, 100b の変更が必要になるケースがある。このようなケースでは、磁石 111 又は発電素子 100a, 100b が変わることによって、環境発電装置 100 の発電電荷量も変わってしまうが、実施の形態 1 で説明した様に、発電電荷量に合わせてキャパシタ 4 の容量値を調整し、更に、キャパシタ 4 の容量値に合わせて起動判定電圧 V_{det} を可変設定する機構を設けることで、半導体装置 10x を適切に起動して、多回転エンコーダを適切に動作させることができる。

【0118】

尚、実施の形態 3 では、発電素子 100a, 100b が磁性ワイヤ及びピックアップコイルの組み合わせで構成される例を示しているが、発電素子はこの様な構成に限定されるものではない。例えば、回転軸 105 の回転速度が高い場合には、発電素子をコイルのみによって構成して、電磁誘導にて発電することが可能である。

【0119】

実施の形態 4.

実施の形態 3 に係る多回転エンコーダでは、回転軸 105 の回転に応じて発生された発電パルスによって発電電圧 V_{PWR} (V_{PWRa} , V_{PWRb}) が起動判定電圧 V_{det} 以上となるのに応じて、デジタル回路 16 が動作することで回転軸 105 の回転数が計測される。

【0120】

従って、発電パルスが発生されても発電電圧 V_{PWR} (V_{PWRa} , V_{PWRb}) が起動判定電圧 V_{det} まで上昇しないときには、多回転エンコーダは、当該発電パルスの発生を認識することができない。このため、回転軸 105 が回転した場合でも、パルス抜けと呼ばれる、発電パルスの検出漏れが発生することにより、回転軸 105 の回転数を正確に計測できなくなる可能性がある。

【0121】

図 14 には、パルス抜けを説明するための発電パルスの概念的な波形図が示される。

図 14 に示される様に、発電パルス $PLS1 \sim PLS4$ の発生に対応して発電電圧 V_{PWR} が変化する。尚、発電パルス $PLS1 \sim PLS4$ は、整流回路 2 (2a, 2b) の通過後の波形を示している。しかしながら、発電パルス $PLS2$ の発生時には、発電電圧 V_{PWR} が起動判定電圧 V_{det} まで上昇していない。このため、半導体装置 10x では、発電電圧 V_{PWR} 及び起動判定電圧 V_{det} の比較に基づいて、発電パルス $PLS1$, $PLS3$, $PLS4$ の発生を検出できる一方で、発電パルス $PLS2$ の発生は検出できない。この様に、回転軸 105 の回転に対応して低電圧の発電パルスがある確率で発生することにより、パルス抜けが生じる虞がある。

【0122】

尚、上述の特許第 5511748 号公報に記載された技術を適用すれば、パルス抜けが生じた場合でも、以降の発電パルス（図 14 での発電パルス $PLS3$, $PLS4$ ）の検出時に補正を行うことで、回転軸 105 の回転数を正確に計測し続けられる場合もある。しかしながら、複数回連続してパルス抜けが生じてしまうと、上記補正が困難となることが懸念される。この場合には、必要に応じて多回転エンコーダの動作を停止して、上位のシステムに警告が伝達される。このような補正不能なパルス抜けが生じる頻度は低いが、全く

ないとは言えない。従って、パルス抜けが生じる頻度を低下させることで、多回転エンコーダの動作停止が発生する確率を下げるができる。

【0123】

図15は、実施の形態4に係るバッテリレス型の多回転エンコーダの構成を説明するブロック図である。

【0124】

図15に示される様に、実施の形態4に係る多回転エンコーダは、実施の形態3と同様の回転検出機構110と、回転検出機構110と電気的に接続される信号処理装置200yとを備える。即ち、実施の形態4に係る多回転エンコーダは、信号処理装置200xに代えて信号処理装置200yを備える点で、実施の形態3に係る多回転エンコーダ（図13）と異なる。

10

【0125】

信号処理装置200yは、外部電源電圧VDDを入力するための電源端子201と、電源回路8と、実施の形態4に係る半導体装置10yとを備える。半導体装置10yは、実施の形態3に係る半導体装置10xと比較して、電源ライン6cと、電源切替回路23と、外部電源検出回路28とを更に含む点で異なる。電源ライン6cは、「電源ノード」に相当する。

【0126】

電源回路8は、電源端子201に入力された外部電源電圧VDDを定電圧回路13の入力電圧相当の直流電圧に変換する。電源回路8からの直流電圧は、電源ライン6cへ出力される。外部電源検出回路28は、外部電源電圧が入力されているか否かを検出する。以下では、外部電源電圧が入力されている状態及び入力されていない状態を、それぞれ「外部電源オン」及び「外部電源オフ」とも称する。

20

【0127】

例えば、外部電源検出回路28は、定電圧回路13への入力電圧レベルに対応して定められた判定電圧と、電源ライン6cとの比較により、外部電源オン及び外部電源オフのいずれの状態であるかを検出する。外部電源検出回路28による検出結果は、電源切替回路23、定電圧回路13、及び、デジタル回路16へ伝達される。

【0128】

電源切替回路23は、外部電源オンのときは、電源ライン6cを定電圧回路13の入力側と接続する。一方で、外部電源オフのときには、電源切替回路23は、電源ライン6a、6bを定電圧回路13の入力側と接続する。

30

【0129】

従って、半導体装置10yにおいて、外部電源オフ時の動作は、半導体装置10xと同様である。即ち、電源ライン6a、6bの発電電圧VPWRa、VPWRbから半導体装置10yの電源電圧VCOREが生成される。一方で、外部電源オン時には、電源端子201に入力された外部電源電圧から電源電圧VCOREが生成される。外部電源オン時には、発電パルスの電力は、設定変更回路11及び電圧比較回路20a、20bの電源、並びに、コンパレータ24（図7～図9）の入力電圧としてのみ用いられるので、図10で説明した電荷量Qstrに相当するエネルギーを発電パルスで確保する必要は無い。この結果、外部電源オフ時と比較すると、発電パルスに必要とされる電力（又は、電荷量）は小さくなる。従って、起動判定電圧Vdetを外部電源オフ時より低下させても、半導体装置10yを起動することが可能である。

40

【0130】

従って、実施の形態4に係る半導体装置は、外部電源オン時及び外部電源オフ時の間で起動判定電圧Vdetを切替えることを特徴とする。

【0131】

図16には、実施の形態4に係る半導体装置における起動判定電圧Vdetの設定を説明するための概念的な波形図が示される。

【0132】

50

図 16 に示される様に、実施の形態 4 に係る半導体装置では、時刻 $t_a \sim t_b$ の外部電源オン時の起動判定電圧 V_{det} を、外部電源オフ時（時刻 t_a 以前、及び、時刻 t_b 以降）の起動判定電圧 V_{det} よりも低く設定する。これにより、図 14 では検出不能であった発電パルス $PLS2$ が検出可能となることで、パルス抜けが生じる確率を低下することが可能となる。即ち、外部電源オンの状態は「第 1 の状態」に対応し、外部電源オフの状態は「第 2 の状態」に対応する。

【0133】

図 17 及び図 18 を用いて、図 16 に示した起動判定電圧 V_{det} の切替を可能とするための電圧比較回路及び設定変更回路の構成例を説明する。

【0134】

図 17 には、図 7 に示された電圧比較回路 20 及び設定変更回路 11 を用いて、外部電源オン及び外部電源オフの間で起動判定電圧 V_{det} を切替えるための機構が示される。

【0135】

図 17 に示された電圧比較回路 20 は、図 7 の電圧比較回路 20 と比較してセクタ 26 及びプルダウン抵抗 27 を更に含む点で異なる。セクタ 26 は、ノード N_z の電圧レベルに応じて、設定変更回路 11 からの制御信号 Ssg と、デジタル回路 16 からの制御信号 Ssg との一方を選択して、図 7 と同様の分圧回路 22X に伝達する。デジタル回路 16 は、予め組み込まれた制御に従って設定される制御信号 Ssg を出力することができる。或いは、図中に点線で表記する様に、制御信号 Ssg を生成するデータをデジタル回路 16 に対して書込むことで、制御信号 Ssg を設定又は変更することも可能である。

【0136】

外部電源オフ時には、デジタル回路 16 は発電電圧 V_{PWR} が上昇するまで動作することができないので、ノード N_x はプルダウン抵抗 27 によって接地電圧 GND （L レベル）に設定される。このとき、セクタ 26 は、「0」側に入力される設定変更回路 11 からの制御信号 Ssg を分圧回路 22X に伝達する。

【0137】

これに対して、外部電源オン時には、デジタル回路 16 は、外部電源電圧から生成された電源電圧 V_{CORE} によってノード N_x に H レベル（ V_{CORE} ）の電圧を出力するとともに、予め設定された制御信号 Ssg を出力することができる。これに応じて、セクタ 26 は、「1」側に入力されるデジタル回路 16 からの制御信号 Ssg を分圧回路 22X に伝達する。

【0138】

従って、外部電源オフ時には、実施の形態 1 と同様に、設定変更回路 11 への設定入力 $11v$ に従う制御信号 Ssg に応じて分圧回路 22X の分圧比を変えることで、起動判定電圧 V_{det} を可変設定できる。更に、外部電源オン時には、予めデジタル回路 16 に入力された設定入力 $11d$ に従う制御信号 Ssg に応じて分圧回路 22X の分圧比を変えることで、起動判定電圧 V_{det} を可変設定できる。

【0139】

図 18 には、図 8 に示された電圧比較回路 20 及び設定変更回路 11 を用いて、外部電源オン時及び外部電源オフ時の間で起動判定電圧 V_{det} を切替えるための機構が示される。

【0140】

図 18 に示された電圧比較回路 20 は、図 8 の電圧比較回路 20 と比較して、図 17 と同様のセクタ 26 及びプルダウン抵抗 27 を更に含む点で異なる。図 18 の構成においても、外部電源オフ時には、セクタ 26 は、「0」側に入力される設定変更回路 11 からの制御信号 Ssg を D/A 変換器 25 に伝達する。これに対して、外部電源オン時には、セクタ 26 は、「1」側に入力されるデジタル回路 16 からの制御信号 Ssg を A/D 変換器 25 に伝達する。

【0141】

従って、外部電源オフ時には、実施の形態 1 と同様に、設定変更回路 11 への設定入力

10

20

30

40

50

11vに従う制御信号Ssgに応じて基準電圧VREFを変えることで、起動判定電圧Vdetを可変設定できる。更に、外部電源オン時には、デジタル回路16に対する設定入力11dに従って予め設定された制御信号Ssgに応じて基準電圧VREFを変えることで、起動判定電圧Vdetを可変設定できる。

【0142】

この結果、図17及び図18の各々の構成によれば、外部電源オン時の起動判定電圧Vdetは、外部電源オフ時とは個別に可変設定することができる。更に、図17及び図18の構成において、デジタル回路16からの制御信号Ssgによって設定される起動判定電圧Vdetが、設定変更回路11からの制御信号Ssgによって設定される起動判定電圧Vdetよりも低くなる様に、設定入力11v及び11dを設定することで、図16に示された起動判定電圧Vdetの切替を実現することができる。即ち、外部電源オン時の起動判定電圧Vdetを、外部電源オフ時の起動判定電圧Vdetよりも低く設定することが可能となる。

10

【0143】

或いは、図9のような端子11xを設ける場合には、外部電源電圧VDDの供給と連動させて、基準電圧VREFとして外部から入力されるアナログ電圧を切替えることが可能である。

【0144】

実施の形態4の変形例。

図19には、実施の形態4の変形例に係る半導体装置及び多回転エンコーダの構成例を示すブロック図が示される。

20

【0145】

図19に示される様に、実施の形態4の変形例に係る半導体装置10zは、実施の形態4に係る半導体装置10yと比較して、実施の形態2の容量値調整回路18と同様の容量値調整回路18a、18bを更に備える点で異なる。容量値調整回路18a及び18bは、電源ライン6a及び6bにそれぞれ接続される。容量値調整回路18a及び18bによって接続される追加容量値は、実施の形態2と同様に設定変更回路11からの制御信号によって共通に調整することが可能である。図19に示された信号処理装置200zは、容量値調整回路18a、18bが付加された半導体装置10zを搭載して構成される。

【0146】

半導体装置10zは、半導体装置10yと同様に、電源端子201に入力された外部電源電圧VDDによっても動作することができる。一方で、上述の様に、外部電源オン時は、外部電源オフ時と比較すると、発電パルスに必要なとされる電力（又は、電荷量）は小さくなる。このため、半導体装置10zでは、外部電源オン時には、発電パルスの電圧が最大動作電圧を超える可能性がある。

30

【0147】

従って、半導体装置10zでは、外部電源オン時には、発電パルスの電圧を低下させるために、容量値調整回路18（18a、18b）によって追加接続されるサブキャパシタの容量値（追加容量値）を、外部電源オフ時よりも大きくする制御を導入することが好ましい。

40

【0148】

例えば、図17及び図18と同様の回路構成によって、外部電源オフ時には、設定変更回路11からの制御信号によって容量値調整回路18（18a、18b）の制御信号を生成する一方で、外部電源オン時には、デジタル回路16からの制御信号によって容量値調整回路18の制御信号を生成することが可能である。これにより、外部電源オン時及び外部電源オフ時の間で、容量値調整回路18（18a、18b）による追加容量値を個別に可変設定することができる。更に、デジタル回路16からの制御信号によって設定される追加容量値が、設定変更回路11からの制御信号によって設定される追加容量値よりも大きくなる様に、設定変更回路11への設定入力11c及びデジタル回路16への設定入力11dを設定することができる。これにより、外部電源オン時における発電パルスの電圧

50

を低下することができる。

【0149】

尚、図示は省略するが、図14に示された半導体装置10yにおいても、電源ライン6a及び6bに対して、図19と同様の容量値調整回路18a及び18bを接続することも可能である。

【0150】

又、本実施の形態では、正電圧の発電パルス又は負電圧の発電パルスを間欠的に出力する環境発電装置100を想定したが、正電圧のみの発電パルスが間欠的に環境発電装置100に対しても、本実施の形態に係る半導体装置及多回転エンコーダを適用することが可能である。この場合には、図1等に記載された整流回路2(2a, 2b)の配置を省略した構成とすることが可能である。又、以上で説明した複数の実施の形態について、明細書内で言及されていない組み合わせを含めて、不整合や矛盾が生じない範囲内で、各実施の形態で説明された構成を適宜組み合わせることは出願当初から予定されている点についても、確認的に記載する。

【0151】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示による技術的範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0152】

2, 2a, 2b 整流回路、3, 3a, 3b クランプ回路、4, 4a, 4b キャパシタ、6, 6a, 6b, 6c 電源ライン、7 接地ライン、8 電源回路、10a~10c, 10x~10z 半導体装置、11 設定変更回路、11c, 11v 設定入力、11x 端子、12, 121~12n トリミング素子、13 定電圧回路、15 POR回路、16 デジタル回路、17 不揮発性メモリ、18, 18a, 18b 容量値調整回路、19 論理ゲート、20, 20a, 20b 電圧比較回路、21, 22 抵抗素子、22X, 22Y 分圧回路、23 電源切替回路、24 コンパレータ、25 デジタルアナログ変換器、26 セレクタ、27 プルダウン抵抗、28 外部電源検出回路、100 環境発電装置、100a, 100b 発電素子、105 回転軸、110 回転検出機構、111 磁石、200a~200c, 200x~200z 信号処理装置、201 電源端子、Cchg, Cchg1~Cchg3 容量値、Cs, Cs1~Csk サブキャパシタ、GND 接地電圧、PLS1~PLS4 発電パルス、S1~Sk, Ssg 制御信号、SW1~SWk スイッチ、VCMP 電圧検出信号、VCORE 電源電圧、VDD 外部電源電圧、VDIV 分圧電圧、VPWR, VPWRa, VPWRb 発電電圧、VREF 基準電圧、Vdet 起動判定電圧、Vmax 上限電圧、Vopmax 最大動作電圧、Vopmin 最低動作電圧。

10

20

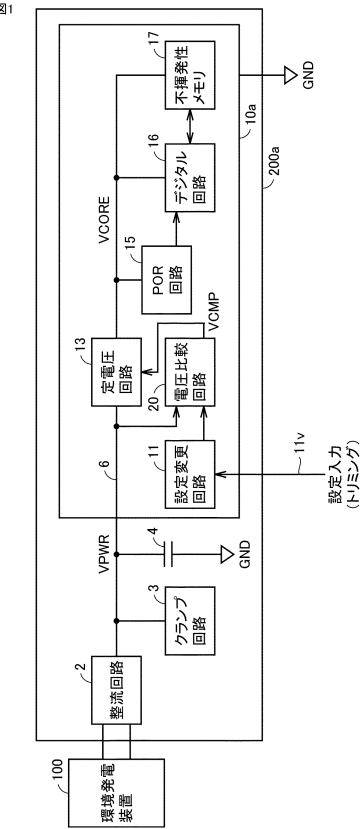
30

40

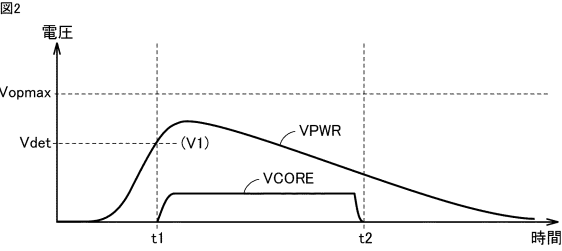
50

【図面】

【図 1】



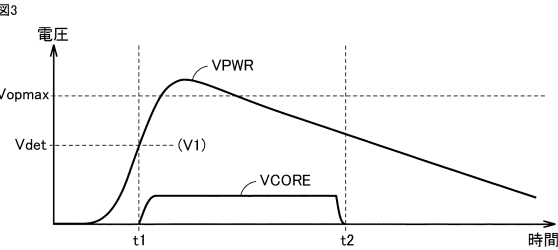
【図 2】



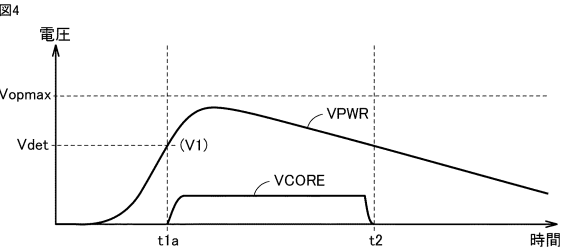
10

20

【図 3】



【図 4】

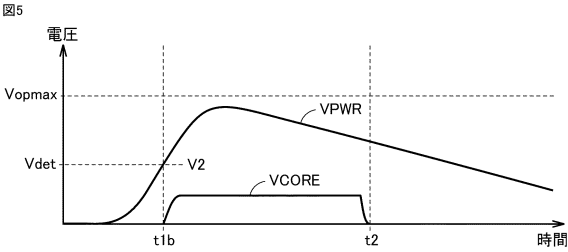


30

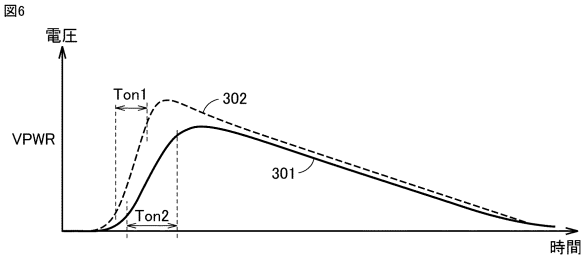
40

50

【図 5】

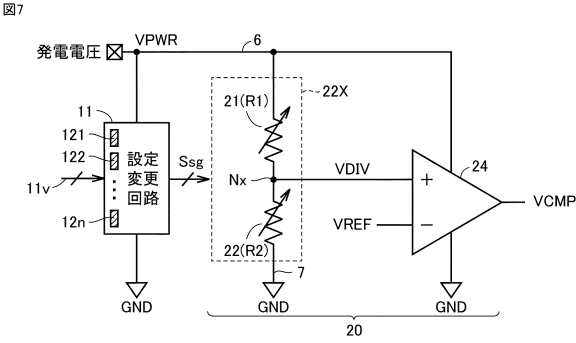


【図 6】

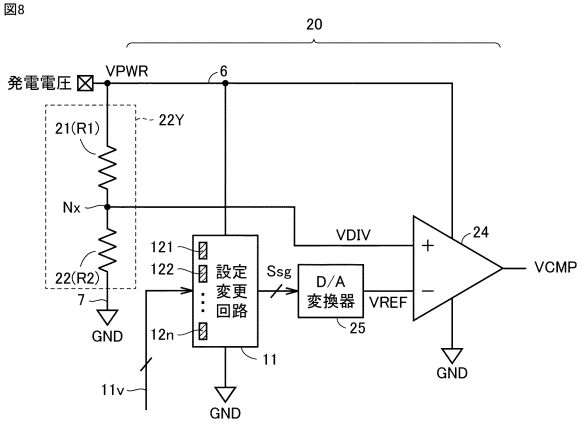


10

【図 7】



【図 8】



20

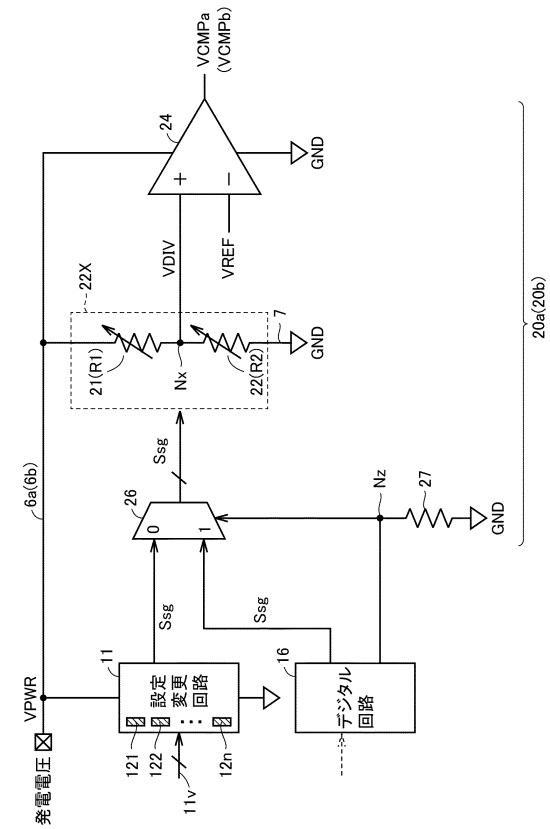
30

40

50

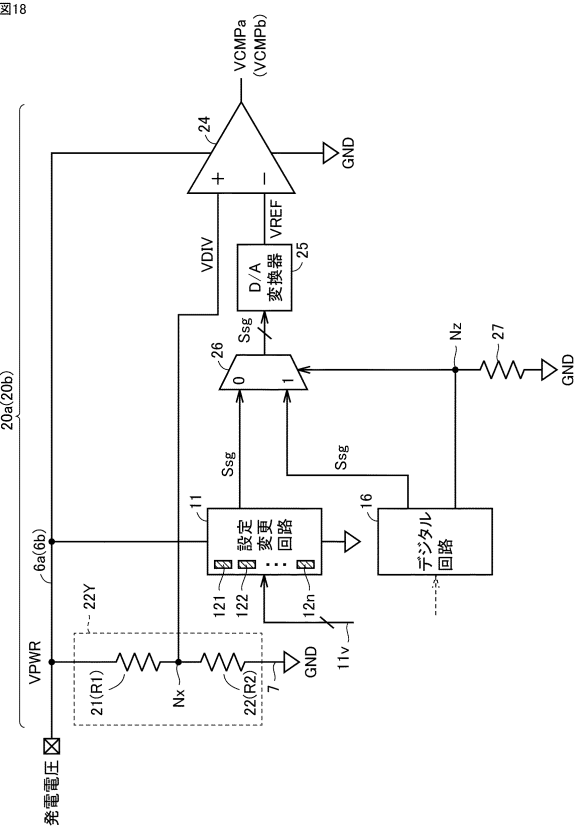
【図 17】

図 17



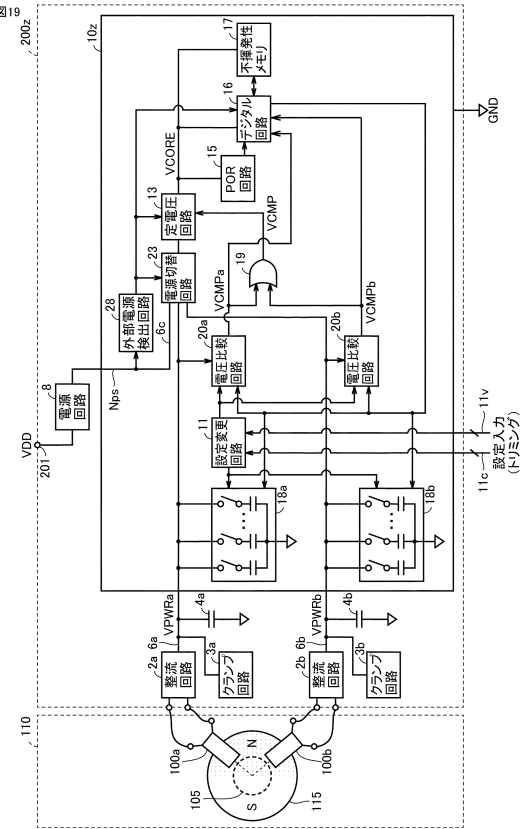
【図 18】

図 18



【図 19】

図 19



10

20

30

40

50

フロントページの続き

- (56)参考文献
- 特開2004-135497 (JP, A)
- 特開2015-15848 (JP, A)
- 特開2018-74613 (JP, A)
- 特開2005-253166 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- H02J 1/00
- H02J 7/00
- H02M 7/06
- G01D 5/245