

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年1月29日 (29.01.2009)

PCT

(10) 国際公開番号
WO 2009/013873 A1

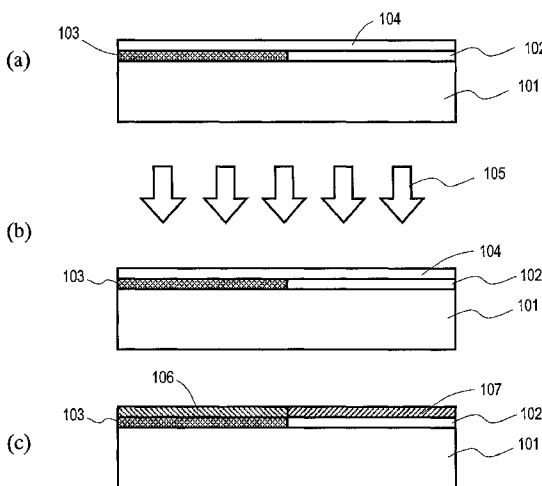
- (51) 国際特許分類: H01L 21/20 (2006.01) H01L 29/786 (2006.01) 5458522 大阪府大阪市阿倍野区长池町2番2号 Osaka (JP).
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2008/001888 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 宮嶋利明 (MIYAJIMA, Toshiaki).
- (22) 国際出願日: 2008年7月14日 (14.07.2008) (74) 代理人: 奥田誠司 (OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2007-189127 2007年7月20日 (20.07.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒

[続葉有]

(54) Title: LAMINATED FILM MANUFACTURING METHOD, SEMICONDUCTOR DEVICE MANUFACTURING METHOD, SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(54) 発明の名称: 積層膜の製造方法、半導体装置の製造方法、半導体装置および表示装置

[図1]



(57) Abstract: A semiconductor film manufacturing method is provided with a step (a) of forming a first film (103) supported by a substrate (101); a step (b) of forming a second film (102), which is supported by the substrate and has a heat conductivity lower than that of the first film (103); a step (c) of depositing a semiconductor film (104) in amorphous state on the first film (103) and the second film (102); and a step (d) of crystallizing a part of the semiconductor film (104) positioned on the second film (102) by irradiating the part of the semiconductor film (104) positioned on the first film (103) and the second film (102) with energy beams having the same intensity, and leaving the part of the semiconductor film (104) positioned on the first film (103) in the amorphous state as it is.

(57) 要約: 本発明の半導体膜の製造方法は、基板101に支持された第1の膜103を形成する工程(a)と、基板に支持され、かつ第1の膜103よりも熱伝導率の低い第2の膜102を形成する工程(b)と、第1の膜103および第2の膜

[続葉有]

WO 2009/013873 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

102の上方に、非晶質状態の半導体膜104を堆積する工程(c)と、半導体膜104のうち第1の膜103および第2の膜102の上方に位置する部分に同じ強度のエネルギービームを照射することにより、半導体膜104のうち第2の膜102の上に位置する部分を結晶化し、半導体膜104のうち第1の膜103の上に位置する部分を非晶質状態のまま残す工程(d)とを備える。

明 細 書

積層膜の製造方法、半導体装置の製造方法、半導体装置および表示装置

技術分野

[0001] 本発明は、結晶質半導体層および非晶質半導体層を有する積層膜の製造方法、半導体装置の製造方法、半導体装置並びに表示装置に関する。

背景技術

[0002] 従来から、液晶表示装置の薄膜トランジスタ（以下、「TFT」と称す。）として、基板上に形成された多結晶シリコン層が活性領域として機能するものが知られている。この多結晶シリコン層は、基板上に形成された非晶質シリコン膜にエネルギービームを照射して結晶化することにより形成される。多結晶シリコン膜は、平均粒径の大きさにより異なる電気特性を示す。

[0003] 一般に、多結晶シリコン膜の平均粒径が小さいほどTFTのリーク電流が発生しにくく、平均粒径が大きいほどキャリア移動度が大きいといった性質を示す。したがって、平均粒径が小さい領域を用いることにより、リーク電流の少ないトランジスタを実現することができると共に、平均粒径が大きい領域を用いてトランジスタを形成することにより、キャリア移動度の向上を実現することができる。

[0004] 特許文献1には、膜厚の異なる下地膜の上に形成された非晶質シリコン膜に対して同じ強度のレーザを照射することにより、平均粒径の異なる多結晶シリコン膜を形成する方法が開示されている。特許文献1によると、レーザアニールを行ったときの冷却速度が非晶質シリコン膜のうち下地膜の厚さが異なる部分間で異なり、冷却速度が大きい領域ほど平均粒径の小さな多結晶シリコン膜が形成され、冷却速度が小さい領域ほど平均粒径の大きな多結晶シリコン膜が形成される。

[0005] 一方、特許文献2には、画素ごとに階調データ保持手段としてスタティックランダムアクセスメモリ（SRAM）が設けられた液晶装置が開示されて

いる。この液晶装置では、画素ごとに、液晶に電圧を印加するためのTFTとSRAM回路を構成するためのTFTが形成される。一般に、液晶に電圧を印加するためのTFTには、リーク電流の少ない特性が要求され、SRAM回路を構成するTFTには、高いキャリア移動度が要求される。

特許文献1：特開平11-95259号公報

特許文献2：特開平11-295700号公報

発明の開示

発明が解決しようとする課題

- [0006] 特許文献1に開示されている方法では、平均粒径の異なる多結晶シリコン層を有するTFTを形成しても、そのTFTに必要な特性を充分には得ることができないという問題がある。例えば、平均粒径の小さい領域を用いてTFTを形成しても、リーク電流は充分少ないとは言えず、より一層、リーク電流を少なくすることが求められている。
- [0007] また、特許文献2に開示される構造を実現するためには、リーク電流の少ない特性が要求されるTFTと、高いキャリア移動度が要求されるTFTとを、互いに近接した領域に形成することが必要である。しかしながら、互いに近接した領域に異なる強度のレーザを照射することは困難である。
- [0008] 本発明は上記課題を解決するためになされたものであり、その目的は、非晶質半導体層および結晶質半導体層を自由なレイアウトで形成できる方法を提供するとともに、非晶質半導体層および結晶質半導体層を用いてTFTを作製することにより、リーク電流の少ないTFTとキャリア移動度の高いTFTとが自由なレイアウトで配置する半導体装置、およびそれを備えた表示装置を提供することにある。
- [0009] さらに、本発明の目的は、非晶質半導体層および結晶質半導体層を互いに近接して形成できる方法を提供するとともに、非晶質半導体層および結晶質半導体層を用いてTFTを作製することにより、リーク電流の少ないTFTとキャリア移動度の高いTFTとが互いに近接した領域に配置する半導体装置、およびそれを備えた表示装置を提供することにもある。

課題を解決するための手段

- [0010] 本発明の積層膜の製造方法は、基板に支持された第1の膜を形成する工程（a）と、前記基板に支持され、かつ前記第1の膜よりも熱伝導率の低い第2の膜を形成する工程（b）と、前記第1の膜および前記第2の膜の上方に、非晶質状態の半導体膜を堆積する工程（c）と、前記半導体膜のうち前記第1の膜および前記第2の膜の上方に位置する部分に対して同じ強度のエネルギービームを照射することにより、前記半導体膜のうち前記第2の膜の上に位置する部分を結晶化し、前記半導体膜のうち前記第1の膜の上に位置する部分を非晶質状態のまま残す工程（d）とを備える。
- [0011] ある実施形態において、前記工程（c）では、前記第1の膜および前記第2の膜に直接接するように、前記半導体膜を形成する。
- [0012] ある実施形態において、前記工程（b）の後で前記工程（c）の前に、前記第1の膜および前記第2の膜に直接接する第3の膜を形成する工程をさらに備え、前記工程（c）では、前記第3の膜の上に前記半導体膜を形成する。
- [0013] ある実施形態において、前記第1の膜は絶縁膜である。
- [0014] ある実施形態において、前記第1の膜は導電膜である。
- [0015] ある実施形態において、前記エネルギービームは光である。
- [0016] ある実施形態において、前記光はレーザ光である。
- [0017] ある実施形態において、前記半導体膜はシリコンあるいはゲルマニウムの少なくともいずれかを含む。
- [0018] 本発明の半導体装置の製造方法は、基板に支持された第1の膜を形成する工程（a）と、前記基板に支持され、かつ前記第1の膜よりも熱伝導率の低い第2の膜を形成する工程（b）と、前記第1の膜および前記第2の膜の上方に、非晶質状態の半導体膜を堆積する工程（c）と、前記半導体膜のうち前記第1の膜および前記第2の膜の上方に位置する部分に対して同じ強度のエネルギービームを照射することにより、前記半導体膜のうち前記第2の膜の上に位置する部分を結晶化させて結晶質半導体膜を形成し、前記半導体膜

のうち前記第1の膜の上に位置する部分を非晶質状態のまま残して非晶質半導体膜とする工程(d)とを包含する。

[0019] ある実施形態は、前記工程(d)の後に、パターニングを行うことにより、前記結晶質半導体膜の少なくとも一部を含む島状の結晶質半導体層と、前記非晶質半導体膜の少なくとも一部を含む島状の非晶質半導体層とを形成する工程(e)と、前記島状の結晶質半導体層および前記島状の非晶質半導体層のそれぞれを用いて薄膜トランジスタを形成する工程(f)とをさらに包含する。

[0020] 本発明の半導体装置は、第1の薄膜トランジスタおよび第2の薄膜トランジスタを備える半導体装置であって、基板と、前記基板に支持された第1の膜と、前記基板に支持され、かつ前記第1の膜よりも熱伝導率の低い第2の膜と、前記第1の膜の上方に形成された、前記第1の薄膜トランジスタを構成する非晶質半導体層と、前記第2の膜の上方に形成された、前記第2の薄膜トランジスタを構成する結晶質半導体層とを備える。

[0021] ある実施形態において、前記第1の薄膜トランジスタおよび前記第2の薄膜トランジスタは、画素ごとに設けられている。

[0022] ある実施形態において、前記第1の薄膜トランジスタは画素ごとに設けられ、前記第2の薄膜トランジスタは、前記画素外に設けられている。

[0023] ある実施形態において、前記非晶質半導体層は前記第1の膜に直接接し、前記結晶質半導体層は前記第2の膜に直接接する。

[0024] ある実施形態において、前記第1の膜および前記第2の膜の上には第3の膜が形成され、前記第3の膜の上に前記非晶質半導体層および前記結晶質半導体層が形成されている。

[0025] ある実施形態において、前記第1の膜は、グラウンド電位を始めとした任意の電位に接続される電極である。

[0026] ある実施形態において、前記第1の膜は、薄膜トランジスタの閾値電圧を制御するための電極である。

[0027] ある実施形態において、前記第1の膜は、前記第1の薄膜トランジスタの

ゲート電極である。

[0028] ある実施形態において、前記基板は可視光を透過する材料から形成されている。

[0029] ある実施形態において、前記第1の膜は可視光を遮光する材料から形成されている。

[0030] 本発明の表示装置は、本発明の半導体装置を備える。

発明の効果

[0031] 本発明によると、結晶質半導体層と非晶質半導体層とを近接した領域も含めて自在に配置することができる。したがって、結晶質半導体層を用いてキャリア移動度の高い特性が必要なTFTを形成し、非晶質半導体層を用いてリーク電流の少ないTFTを形成することができる。

図面の簡単な説明

[0032] [図1] (a) ~ (c) は、本発明による実施形態の積層膜の製造工程を示す模式図である。

[図2] (a)、(b) は、本発明による実施形態の積層膜のバリエーションを示す模式図である。

[図3] (a) ~ (f) は、実施形態1の積層膜の製造工程を示す模式図である。

[図4] (a) ~ (f) は、実施形態2の積層膜の製造工程を示す模式図である。

[図5] (a) ~ (c) は、実施形態3の半導体装置の製造工程を示す模式図である。

[図6] 実施形態4の半導体装置を示す模式図である。

[図7] 実施形態5の半導体装置を示す模式図である。

[図8] (a) は、実施形態6の液晶表示装置におけるTFT基板の構造を示す模式図であり、(b) は、実施形態6の液晶表示装置におけるCF基板の構造を示す模式図である。

符号の説明

- [0033] 1 ガラス基板
2 酸化シリコン膜
3 窒化シリコン膜
4 非晶質シリコン膜
5 パルス状エキシマレーザー光
6 非晶質シリコン膜
7 結晶質シリコン膜
8 W膜
9 酸化シリコン膜
10 非晶質シリコン層
11 結晶質シリコン層
12 酸化シリコン膜
13 W膜
14 酸化シリコン膜
15 Al配線
16 窒化シリコン膜
17 樹脂膜
18 ITO膜
19 ポリイミド膜
20 ガラス基板
21 カラーフィルタ
22 ITO膜
23 ポリイミド膜
30、31 凹部
32、33、35、36、37、38 TFT
34、39、40 コンタクトホール
101 基板
102 第2の膜

- 103 第1の膜
- 104 半導体膜
- 105 エネルギービーム
- 106 非晶質半導体層
- 107 結晶質半導体層
- 109 第3の膜

発明を実施するための最良の形態

- [0034] 以下、図面を参照しながら本発明の好ましい実施形態を詳しく説明する。
なお、本発明は、実施形態に限られるものではない。
- [0035] まず、図1(a)～(c)を参照して、本発明による実施形態の積層膜の製造方法について説明する。
- [0036] 本発明による実施形態の積層膜の製造方法は、基板101に支持された第1の膜103を形成する工程と、基板101に支持され、かつ第1の膜103よりも熱伝導率の低い第2の膜102を形成する工程と、第1の膜103および第2の膜102の上方に、非晶質状態の半導体膜104を堆積する工程とを備える。この工程を行うことにより、図1(a)に示すような構造が得られる。次に、図1(b)に示すように、半導体膜104のうち第1の膜103および第2の膜102の上に位置する部分に対して同じ強度のエネルギービーム105を照射する。
- [0037] ここで、半導体膜104は、エネルギービーム105を吸収して加熱され、熱の一部は外部へ放出される。半導体膜104の下方には、第1の膜103および第2の膜102が配置されており、第2の膜102よりも第1の膜103の方が高い熱伝導率を有するため、第2の膜102よりも第1の膜103の方で、より多くの熱量が放出される。したがって、半導体膜104のうち第2の膜102の上に位置する部分に、半導体膜104のうち第1の膜103の上に位置する部分よりも多くの熱が蓄積される。すなわち、半導体膜104のうち第2の膜102の上に位置する部分の温度は、半導体膜104のうち第1の膜103の上に位置する部分の温度よりも高くなる。

- [0038] パルス状エキシマレーザ光の照射により半導体膜 104 の温度がある値を超えると、非晶質状態の半導体膜 104 が溶融し、その後固化する過程で、結晶化が起こる。本実施形態では、半導体膜 104 のうち第 2 の膜 102 の上に位置する部分の温度が上記値を超え、かつ、半導体膜 104 のうち第 1 の膜 103 の上に位置する部分の温度が上記値を超えないように設定を行う。半導体膜 104 の温度は、半導体膜 104 の材質や膜厚またはパルス状エキシマレーザの強度などによって異なるため、本実施形態では、これらの値を調整する。
- [0039] 半導体膜 104 にパルス状エキシマレーザ光を照射した結果、図 1 (c) に示すように、半導体膜 104 のうち第 2 の膜 102 の上に位置する部分が結晶化されて結晶質半導体層 107 が形成され、半導体膜 104 のうち第 1 の膜 103 の上に位置する部分が非晶質状態のまま残って非晶質半導体層 106 となる。
- [0040] 本実施形態では、例えば、第 2 の膜 102 として酸化シリコン膜を用い、第 1 の膜 103 として窒化シリコン膜または W 膜を用いる。
- [0041] 特許文献 1 に記載の技術では、非晶質シリコン膜にレーザ光を照射し溶融させた後、固化過程の冷却速度の違いを利用して平均粒径の異なる多結晶シリコン膜を形成したのに対し、本実施形態では、下地の熱伝導率のより大きな違いを利用して、レーザ光を照射した領域の一部の領域だけを溶融結晶化し、他の領域を非晶質の状態に保っている。特許文献 1 ではアンダーコートとして膜厚が 2000 オングストロームと 6000 オングストロームの SiO₂ 膜を用いており、冷却速度は最大でも 3 倍（膜厚比）しか相違しない。それに対し、本実施形態で用いる酸化シリコン膜と窒化シリコン膜との熱伝導率、あるいは酸化シリコン膜と W 膜との熱伝導率は、それぞれ一桁以上相違する。このため、本実施形態における下地の冷却速度の差は、特許文献 1 と比較して、より大きくなり、この下地の上に非晶質状態の半導体膜 104 を形成した後に熱処理を行うことにより、結晶質半導体層 107 と非晶質半導体層 106 を形成できる。

- [0042] この方法によると、第1の膜103および第2の膜102の配置により結晶質半導体層107および非晶質半導体層106の配置を決めることができるため、結晶質半導体層107および非晶質半導体層106を、互いに近接した領域に自在に配置することができる。
- [0043] 本実施形態では、図2(a)に示すように、第1の膜103および第2の膜102に直接接するように、半導体膜104を形成してもよい。この場合には、第1の膜103と第2の膜102との熱伝導率の差が半導体膜104の放熱速度に直接的に影響を与えるため、結晶質半導体層107と非晶質半導体層106とを作りわけやすいといった利点がある。
- [0044] しかしながら、本実施形態において、第1の膜103および第2の膜102と半導体膜104とは必ずしも接している必要はない。具体的には、図2(b)に示すように、半導体膜104を形成する前に、第1の膜103および第2の膜102に直接接する第3の膜109を形成する工程をさらに備え、第3の膜109の上に半導体膜104を形成してもよい。
- [0045] 次に、本発明のより具体的な実施形態として、実施形態1から実施形態6を説明する。
- [0046] (実施形態1)
- まず、実施形態1の積層膜について、図3(f)を参照しながら説明する。図3(a)～(f)は、実施形態1の積層膜を製造する工程を示す模式図であり、その中で図3(f)は、実施形態1の積層膜が完成した状態を示している。
- [0047] 図3(f)に示すように、本実施形態の積層膜は、ガラス基板1と、ガラス基板1の上に形成された酸化シリコン膜2と、ガラス基板1の上に形成され、酸化シリコン膜2よりも熱伝導率の高い窒化シリコン膜3と、酸化シリコン膜2の上に形成された結晶質シリコン膜7と、窒化シリコン膜3の上に形成された非晶質シリコン膜6とを備える。
- [0048] 次に、実施形態1の積層膜の製造方法について、図3(a)～(f)を参照しながら説明する。

- [0049] 本実施形態の積層膜の製造方法では、まず図3(a)に示すように、TEOS(テトラエトキシシラン)ガスと O_3 ガスを用いたプラズマCVD(化学気相成長)法を行うことにより、ガラス基板1上に厚さ400nmの酸化シリコン膜2を形成する。このとき、酸化シリコン膜2は、必ずしもガラス基板1に接していなくてもよく、ガラス基板1に支持されていればよい。具体的には、ガラス基板1と酸化シリコン膜2との間に絶縁性の膜などが介在していてもよい。
- [0050] その後、 CF_4 ガスと CHF_3 ガスを用いたRIE(反応性イオンエッチング)法を行うことにより、酸化シリコン膜2の一部をガラス基板1の表面が露出するまで除去して凹部30を形成する。
- [0051] 次に、図3(b)に示すように、 SiH_4 ガス、 NH_3 ガス及び N_2 ガスを用いたプラズマCVD法を行うことにより、厚さ400nmの窒化シリコン膜3aを形成する。窒化シリコン膜3aは、酸化シリコン膜2および凹部30内に露出したガラス基板1の表面を覆っている。
- [0052] その後、図3(c)に示すように、 CF_4 ガスと CHF_3 ガスを用いたRIE法を行うことにより、窒化シリコン膜3aのうち酸化シリコン膜2の上に位置する部分を除去して、凹部30内に窒化シリコン膜3を残す。このとき、窒化シリコン膜3は、必ずしもガラス基板1に接していなくてもよい。具体的には、窒化シリコン膜3とガラス基板1との間に酸化シリコン膜2の一部が残存していてもよいし、他の膜が介在していてもよい。窒化シリコン膜3は酸化シリコン膜2よりも高い熱伝導率を有する。本実施形態では、窒化シリコン膜3のかわりに、酸化シリコン膜2よりも熱伝導率の大きい他の絶縁膜を形成してもよい。
- [0053] 次に、図3(d)に示すように、 Si_2H_6 ガスと H_2 ガスを用いたプラズマCVD法を行うことにより、酸化シリコン膜2および窒化シリコン膜3の上面に接する非晶質シリコン膜4を50nmの厚さで形成する。
- [0054] 次に、図3(e)に示すように、非晶質シリコン膜4に対してパルス状エキシマレーザ光5を照射する。このときのパルス状エキシマレーザ光5とし

ては、1パルス当たりの出力エネルギーを照射面積で割って求められるエネルギー（以下では、パルスエネルギー密度と称する。）が $380\text{ mJ}/\text{cm}^2$ のレーザ光を用いる。パルス状エキシマレーザとしては、XeCl（波長 308 nm 、パルス幅 60 nsec 、パルス間隔 4 msec 、周波数 250 Hz ）を照射することが好ましい。

[0055] 窒化シリコン膜3の熱伝導率は酸化シリコン膜2の熱伝導率よりも大きい
ため、パルス状エキシマレーザ光5を照射することにより非晶質シリコン膜
4内に発生した熱は、酸化シリコン膜2よりも窒化シリコン膜3の方で放出
されやすい。そのため、図3（f）に示すように、非晶質シリコン膜4のう
ち窒化シリコン膜3上に位置する部分では、温度が十分に上がらず非晶質シ
リコン膜4が溶融しないため、結晶化が進行しない。その結果、非晶質状態
が保持され、非晶質シリコン膜6となる。一方、非晶質シリコン膜4のうち
酸化シリコン膜2の上に位置する部分では、熱が保持されて十分に温度が上
昇する。その結果、非晶質シリコン膜4が溶融し、結晶化が進行する。これ
により、例えば平均粒径 200 nm 以下の結晶質シリコン膜7が形成される
。

[0056] このように、本実施形態では、酸化シリコン膜2および窒化シリコン膜3
の配置により結晶質シリコン膜7と非晶質シリコン膜6との配置を決めるこ
とができるため、結晶質シリコン膜7と非晶質シリコン膜6とを、互いに近
接した領域に自在に配置することができる。したがって、本実施形態の積層
膜を用いると、結晶質シリコン膜7を用いてキャリア移動度の高い特性が必
要なTFETを形成し、非晶質シリコン膜6を用いてリーク電流の少ないTF
ETを形成することができる。

[0057] （実施形態2）

以下、実施形態2の積層膜の製造方法について、図4（a）～（f）を参
照しながら説明する。図4（a）～（f）は、実施形態2の積層膜を製造す
る工程を示す模式図である。

[0058] 本実施形態の積層膜の製造方法では、まず図4（a）に示すように、TE

OS (テトラエトキシシラン) ガスと O_3 ガスを用いたプラズマCVD (化学気相成長)法を行うことにより、ガラス基板1上に厚さ200nmの酸化シリコン膜2を形成する。このとき、酸化シリコン膜2は、必ずしもガラス基板1に接していなくてもよく、ガラス基板1に支持されていればよい。

[0059] その後、 CF_4 ガスと CHF_3 ガスを用いたRIE (反応性イオンエッチング)法を行うことにより、酸化シリコン膜2の一部をガラス基板1が露出するまで除去して凹部31を形成する。続いて、スパッタ法を行うことにより、厚さ200nmのW膜8aを形成する。このとき、W膜8aは、酸化シリコン膜2の上および凹部31内に露出するガラス基板1を覆っている。

[0060] 次に、図4 (b) に示すように、 CF_4 ガスと Cl_2 ガスを用いたRIE法を行うことにより、W膜8aのうち酸化シリコン膜2の上に位置する部分を除去して、凹部31内にW膜8を残す。このとき、W膜8は、必ずしもガラス基板1に接していなくてもよく、ガラス基板1に支持されていればよい。一般に、W膜8は酸化シリコン膜2よりも高い熱伝導率を有する。本実施形態では、W膜8のかわりに、酸化シリコン膜2よりも熱伝導率の大きい導体膜を形成してもよい。

[0061] 次に、図4 (c) に示すように、TEOSガスと O_3 ガスを用いたプラズマCVD法を行うことにより、酸化シリコン膜2およびW膜8の上に厚さ200nmの酸化シリコン膜9を形成する。

[0062] 続いて、図4 (d) に示すように、 Si_2H_6 ガスと H_2 ガスを用いたプラズマCVD法を行うことにより、酸化シリコン膜9の上に厚さ50nmの非晶質シリコン膜4を形成する。

[0063] 次に、図4 (e) に示すように、実施形態1と同様の条件で、非晶質シリコン膜4に対してパルスエネルギー密度 $380mJ/cm^2$ のパルス状エキシマレーザ光5を照射する。パルス状エキシマレーザ光5を照射すると、非晶質シリコン膜4内に熱が発生し、その熱は酸化シリコン膜9に伝わる。W膜8の熱伝導率は酸化シリコン膜2の熱伝導率よりも大きいので、酸化シリコン膜9に伝わった熱は、酸化シリコン膜2よりもW膜8の方で放出されやすい

。そのため、図4（f）に示すように、非晶質シリコン膜4のうちW膜8の上方に位置する部分では、温度が十分に上がらず非晶質シリコン膜4の溶融が進行しないため、結晶化が進行しない。その結果、非晶質状態が保持され、非晶質シリコン膜6となる。一方、非晶質シリコン膜4のうち酸化シリコン膜2の上に位置する部分では、十分な熱が保持されて温度が上昇する。その結果、非晶質シリコン膜4の溶融が進行し、結晶化が進行して、結晶質シリコン膜7が形成される。

[0064] このように、本実施形態では、結晶質シリコン膜7と非晶質シリコン膜6とを、互いに近接した領域に自在に配置することができる。したがって、本実施形態の積層膜を用いると、結晶質シリコン膜7を用いてキャリア移動度の高い特性が必要なTFTを形成し、非晶質シリコン膜6を用いてリーク電流が少ない特性が必要なTFTを形成することができる。

[0065] （実施形態3）

次に、実施形態1の積層膜を用いた半導体装置の構造について、図5（c）を参照しながら説明する。図5（a）～（c）は、実施形態3の半導体装置の製造方法を示す模式図であり、その中で図5（c）は、実施形態3の半導体装置が完成した状態を示している。

[0066] 図5（c）に示すように、本実施形態の半導体装置では、TFT32、33が、表示装置の画素ごとに設けられている。また、本実施形態の半導体装置は、基板1と、基板1の上の一部に形成された窒化シリコン膜3と、基板1の上の他部に形成された酸化シリコン膜2とを備える。酸化シリコン膜2は窒化シリコン膜3よりも低い熱伝導率を有する。窒化シリコン膜3の上には非晶質シリコン層10が形成され、酸化シリコン膜2の上は結晶質シリコン層11が形成されている。非晶質シリコン層10はTFT32を構成し、結晶質シリコン層11はTFT33を構成する。

[0067] 非晶質シリコン層10および結晶質シリコン層11のそれぞれの上には、ゲート絶縁膜として機能する酸化シリコン膜12およびゲート電極として機能するW膜13が形成されている。また、図示は省略するが、非晶質シリコ

ン層 10 には、ソース領域およびドレイン領域が形成されている。同様に、結晶質シリコン層 11 にも、ソース領域およびドレイン領域が形成されている。

[0068] W膜 13、非晶質シリコン層 10 および結晶質シリコン層 11 の上は酸化シリコン膜 14 により覆われている。酸化シリコン膜 14 には、非晶質シリコン層 10 および結晶質シリコン層 11 を露出させるコンタクトホール 34 が形成されている。コンタクトホール 34 の中からその周囲の酸化シリコン膜 14 の上には、A1配線 15 が形成され、A1配線 15 および酸化シリコン膜 14 の上には、窒化シリコン膜 16 が形成されている。

[0069] 次に、本実施形態の半導体装置の製造方法について、図 5 (a) ~ (c) を参照しながら説明する。

[0070] 本実施形態の製造方法では、まず図 5 (a) に示すように、非晶質シリコン膜 6 および結晶質シリコン膜 7 が表面に形成された基板を準備する。続いて、図 5 (b) に示すように、 CF_4 ガスと O_2 ガスを用いたRIE法によりパターンニングを行って、島状の非晶質シリコン層 10 と島状の結晶質シリコン層 11 とを形成する。

[0071] 次に、図 5 (c) に示すようなTF T 32、33を形成するための工程を行う。まず、TEOSガスと O_3 ガスを用いたプラズマCVD法を行うことにより、島状の非晶質シリコン層 10 および結晶質シリコン層 11 のそれぞれの上に、ゲート絶縁膜として機能する酸化シリコン膜 12 を形成する。さらに、スパッタリング法を行うことにより、酸化シリコン膜 12 の上にW膜 (図示せず) を形成し、 CF_4 ガスと Cl_2 ガスを用いたRIE法を行うことにより、ゲート電極として機能するW膜 13 を形成する。次に、非晶質シリコン層 10 および結晶質シリコン層 11 に対してPまたはBのイオン注入を行うことにより、非晶質シリコン層 10 にソース領域 (図示せず) およびドレイン領域 (図示せず) を形成する。同様に、結晶質シリコン層 11 にも、ソース領域 (図示せず) およびドレイン領域 (図示せず) を形成する。

[0072] 続いて、TEOSガスと O_3 ガスを用いたプラズマCVD法を行うことによ

り、非晶質シリコン層10および結晶質シリコン層11と、これらの上に形成されたW膜13との上を覆う酸化シリコン膜14を形成する。その後、 CF_4 ガスと CHF_3 ガスを用いたRIE法を行うことにより、酸化シリコン膜14を貫通して非晶質シリコン層10および結晶質シリコン層11のそれぞれを露出するコンタクトホール34を形成する。続いて、スパッタリング法を行うことによりコンタクトホール34内から酸化シリコン膜14の上に伸びるA1膜（図示せず）を形成する。その後、 BCl_3 ガスと Cl_2 ガスを用いたRIE法を行うことによりA1膜のうち不要な部分を除去し、A1配線15を形成する。A1配線15のうちコンタクトホール34内に配置する部分は、ソース電極またはドレイン電極として機能する。その後、 SiH_4 ガス、 NH_3 ガスおよび N_2 ガスを用いたプラズマCVD法を行うことにより、A1配線15および酸化シリコン膜14の上に窒化シリコン膜16を形成する。以上の工程により、TFT32、33が形成される。

[0073] 本実施形態では、非晶質シリコン層10および結晶質シリコン層11のそれぞれを用いてTFT32、33を形成することができる。したがって、TFT32では、リーク電流を少なくすることができると共に、TFT33では、高いキャリア移動度を実現することができる。

[0074] 特許文献2に開示されているように、画素ごとに、液晶に電圧を印加するためのTFTとSRAM回路を構成するためのTFTを形成する場合には、本実施形態の方法は特に有用である。すなわち、液晶に電圧を印加するためのTFTとして非晶質シリコン層10を有するTFT32を用い、SRAMを構成するTFTとして結晶質シリコン層11を有するTFT33を用いれば、液晶に電圧を印加するためのTFTではリーク電流を少なくすることができると共に、SRAMを構成するTFTでは高いキャリア移動度を実現することが可能となる。なお、キャリア移動度の高いTFTは、SRAMを構成するTFTだけでなく周辺回路にも有用である。

[0075] (実施形態4)

以下では、実施形態2の積層膜を用いた半導体装置について説明する。図

6は、実施形態4の半導体装置を示す模式図である。

[0076] 本実施形態4の半導体装置では、図6に示すように、基板1の上に、酸化シリコン膜2と、酸化シリコン膜2よりも熱伝導性の高いW膜8とがそれぞれ支持されている。酸化シリコン膜2およびW膜8の上は酸化シリコン膜9により覆われている。酸化シリコン膜9のうち酸化シリコン膜2の上に位置する部分は結晶質シリコン層11により覆われており、酸化シリコン膜9のうちW膜8の上に位置する部分は非晶質シリコン層10により覆われている。結晶質シリコン層11はTFT36を構成し、非晶質シリコン層10はTFT35を構成する。なお、本実施形態は、実施形態1の積層膜ではなく実施形態2の積層膜を用いている以外は第3の実施形態と同様の構成である。したがって、TFT35、36等の説明は省略する。

[0077] ガラス基板1と非晶質シリコン層10との間にあるW膜8は、コンタクトホール（図示を省略する）を介してW膜13あるいはAl配線15と接続しておく。W膜8はグラウンド電位をはじめとする任意の電位に接続してもよいし、TFTの閾値電圧を制御するための電極として用いてもよい。また、W膜8を、W膜13と共にTFT35のゲート電極として用いてもよい。この場合には、W膜8は裏面側のゲート電極となる。

[0078] 本実施形態では、実施形態3と同様の効果が得られるが、その説明は省略する。

[0079] (実施形態5)

以下では、実施形態2の積層膜におけるW膜8をゲート電極として用いた半導体装置について説明する。図7は、実施形態5の半導体装置を示す模式図である。

[0080] 本実施形態の半導体装置では、図7に示すように、W膜8がTFT37のゲート電極として用いられる。W膜8の上に配置する酸化シリコン膜9はゲート絶縁膜として機能し、酸化シリコン膜9の上に位置する非晶質シリコン層10は、活性領域として機能する。図示は省略するが、非晶質シリコン層10には、ソース領域およびドレイン領域が形成されている。

[0081] 本実施形態の半導体装置では、W膜 8 がゲート電極として機能するため、実施形態 3、4 で説明したような酸化シリコン膜 12 および W膜 13 (図 5、6 に示す) は形成されていない。すなわち、非晶質シリコン層 10 の上には酸化シリコン膜 14 が接している。酸化シリコン膜 14 には、非晶質シリコン層 10 を露出するコンタクトホール 39 が形成され、コンタクトホール 39 からその周囲の酸化シリコン膜 14 の上には、A1 配線 15 が形成されている。酸化シリコン膜 14 および A1 配線 15 の上は、窒化シリコン膜 16 が形成されている。なお、図 7 に示す断面には現れていないが、W膜 8 には配線が接触し、この配線を通じて W膜 8 にはゲート電圧が印加される。それ以外の構成は第 4 の実施形態と同様であるため、その説明は省略する。

[0082] なお、本実施形態の半導体装置を得るためには、例えば、実施形態 3 の製法を次のように変更すればよい。非晶質シリコン層 10 の上にも酸化シリコン膜 12 および W膜 13 (図 5 に示す) を形成した状態で、ソース領域およびドレイン領域を形成するためのイオン注入を行う。その後、非晶質シリコン層 10 の上に位置する酸化シリコン膜 12 および W膜 13 を除去し、酸化シリコン膜 14 を形成する。こうすることにより、非晶質シリコン層 10 にもソース領域およびドレイン領域を形成することができる。

[0083] 本実施形態では、実施形態 3 と同様の効果が得られる。

[0084] (実施形態 6)

以下では、実施形態 3 の半導体装置を用いた液晶表示装置について説明する。図 8 (a) は、実施形態 6 の液晶表示装置における TFT 基板の構造を示す模式図であり、図 8 (b) は、実施形態 6 の液晶表示装置における CF 基板の構造を示す模式図である。

[0085] 本実施形態の TFT 基板では、図 8 (a) に示すように、実施形態 3 の半導体装置の上に、樹脂膜 17、ITO 膜 18 およびポリイミド膜 19 が形成されている。具体的には、窒化シリコン膜 16 の上に樹脂膜 17 が形成されており、樹脂膜 17 により窒化シリコン膜 16 の表面の凹凸は埋められている。樹脂膜 17 には A1 配線 15 に到達するコンタクトホール 40 が形成さ

れており、樹脂膜 17 の上およびコンタクトホール 40 の表面は ITO 膜 18 によって覆われている。この ITO 膜 18 は、コンタクトホール 40 内において A1 配線 15 と接触する。ITO 膜 18 の上面は、配向膜であるポリイミド膜 19 により覆われている。

[0086] 一方、本実施形態の CF 基板では、図 8 (b) に示すように、ガラス基板 20 の上に、R (赤)、G (緑)、B (青) それぞれのカラーフィルタ 21 が形成されている。カラーフィルタ 21 の上には、対向電極である ITO 膜 22 および配向膜であるポリイミド膜 23 がこの順に形成されている。

[0087] 図示は省略するが、本実施形態の液晶表示装置において、TFT 基板および CF 基板は対向して配置する。TFT 基板と CF 基板との間の空間には、表示媒体となる液晶が充填される。

[0088] 次に、本実施形態の液晶表示装置の製造方法について、再度図 8 (a)、(b) を参照しながら説明する。

[0089] 本実施形態の製造方法では、図 8 (a) に示す TFT 基板を形成するために、実施形態 3 の方法で窒化シリコン膜 16 までを形成した後、窒化シリコン膜 16 の上全体に樹脂膜 17 を形成する。次に、フォトリソグラフィ工程およびエッチングによってパターニングを行うことにより、A1 膜 15 に到達するコンタクトホール 40 を形成する。その後、スパッタリング法により、樹脂膜 17 の上面およびコンタクトホール 40 の内部を覆う ITO 膜 18 を形成した後、フォトリソグラフィ工程および HCl と $FeCl_3$ とを用いたエッチングを行うことにより、ITO 膜 18 をパターニングする。その後、オフセット印刷法を行うことにより、ITO 膜 18 の上にポリイミド膜 19 を形成し、ラビング処理を行う。

[0090] 一方、図 8 (b) に示す CF 基板を形成するために、図 8 (a) に示すガラス基板 1 とは別のガラス基板 20 を用意する。そして、R、G、B の各感光性樹脂膜を付したフィルムをガラス基板 20 上に熱圧着することにより転写した後、フォトリソグラフィ工程およびエッチングによってフィルムのパターニングを行う。さらに、R、G、B の各感光性樹脂膜が配置する境界

に、遮光性を有するブラックマトリクス部を形成して、カラーフィルタ 21 を作製する。その後、スパッタリング法を行うことにより、カラーフィルタ 21 の上面全体にITO膜 22 を形成する。さらに、このITO膜 22 上に、配向膜であるポリイミド膜 23 をオフセット印刷法によって形成し、ラビング処理を行う。

[0091] 以上のように形成された TFT 基板および CF 基板を、ラビング処理を施した面同士が互いに対向するように配置して、シール樹脂によって貼り合わせる。この際、ガラス基板 1、20 の間のスペースが一定になるように、ガラス基板 1、20 間に真球状または円柱状のシリカを散布する。そして、ガラス基板 1、20 間に表示媒体となる液晶を封入した後、ガラス基板 1、20 の外側に偏光板等を貼り付けて液晶ディスプレイが完成される。

[0092] なお、本実施形態は、実施形態 3 の半導体装置を用いた液晶表示装置であるが、実施形態 4 または実施形態 5 の半導体装置を用いてもよい。

[0093] (その他の実施形態)

実施形態 1、2 の製造方法では、非晶質シリコン膜 4 にパルス状のエキシマレーザ光 5 を照射したが、パルス状ではなく連続波のレーザ光を用いてもよい。エキシマレーザ光は、所定の膜厚のシリコン膜に吸収される点、および非晶質シリコンと結晶質シリコンとにおける吸収係数が大きく異なる点で本発明に適している。しかしながら、エキシマレーザ光以外のレーザ光を用いてもよい。また、レーザ光ではなくコヒーレントではない光を用いてもよい。また、光ではなくエネルギービームであってもよく、例えば電子ビームを用いてもよい。電子ビームを用いる場合、シリコンに吸収されやすくするためには、加速電圧は 10 kV 以下であることが好ましい。

[0094] 実施形態 1、2 の製造方法では非晶質半導体膜として非晶質シリコンを用いたが、Ge や SiGe 等の他の半導体材料を用いてもよい。

[0095] 実施形態 3 では、非晶質シリコン層 10 および結晶質シリコン層 11 の上に、ゲート絶縁膜としての酸化シリコン膜を同時に形成して同じ膜厚にしたが、別々に形成して膜厚を変えてもよいし、窒化シリコン膜等の他の絶縁膜

を用いてもよい。

- [0096] 実施形態 1、2 の製造方法では、酸化シリコン膜 2 および窒化シリコン膜 3 の上に直接非晶質シリコン層 10 を形成したが、酸化シリコン膜 2 および窒化シリコン膜 3 と非晶質シリコン層 10 との間に酸化シリコン膜等を介在させてもよい。
- [0097] 実施形態 1、2 の製造方法では、ガラス基板 1 を用いて積層膜を形成したが、本発明では、可視光を透過しない基板を用いてもよい。
- [0098] 実施形態 6 の液晶表示装置の他に、本発明は、EL (Electro Luminescence) ディスプレイ等の他のディスプレイにも適用することができる。
- [0099] TFT に光が当たって予期せぬ電流が流れるのを防止するため、実施形態 2 の製造方法における W 膜 8 を遮光膜として用いてもよい。また、可視光を遮断する W 膜以外の材料を遮光膜として用いてもよい。この遮光膜は、外側から液晶の内部に向かって入射する光が TFT に達するのを防ぐことができる。
- [0100] 実施形態 3 は画素ごとに SRAM が形成されている半導体装置であるが、その他に、本発明は、画素ごとに DRAM が形成されている半導体装置に用いることができる。また、本発明は、画素ごとに非晶質半導体層を用いたリーク電流の少ない TFT を有し、画素外の周辺回路などに、結晶質半導体層を用いたキャリア移動度の高い TFT を有する半導体装置にも適用することができる。

産業上の利用可能性

- [0101] 本発明は、積層膜の製造方法、半導体装置の製造方法、半導体装置および表示装置に用いられる。

請求の範囲

- [1] 基板に支持された第1の膜を形成する工程（a）と、
前記基板に支持され、かつ前記第1の膜よりも熱伝導率の低い第2の膜を形成する工程（b）と、
前記第1の膜および前記第2の膜の上方に、非晶質状態の半導体膜を堆積する工程（c）と、
前記半導体膜のうち前記第1の膜および前記第2の膜の上方に位置する部分に対して同じ強度のエネルギービームを照射することにより、前記半導体膜のうち前記第2の膜の上に位置する部分を結晶化し、前記半導体膜のうち前記第1の膜の上に位置する部分を非晶質状態のまま残す工程（d）とを備える、積層膜の製造方法。
- [2] 前記工程（c）では、前記第1の膜および前記第2の膜に直接接するように、前記半導体膜を形成する、請求項1に記載の積層膜の製造方法。
- [3] 前記工程（b）の後で前記工程（c）の前に、前記第1の膜および前記第2の膜に直接接する第3の膜を形成する工程をさらに備え、
前記工程（c）では、前記第3の膜の上に前記半導体膜を形成する、請求項1に記載の積層膜の製造方法。
- [4] 前記第1の膜は絶縁膜である、請求項1から3のうちのいずれかに記載の積層膜の製造方法。
- [5] 前記第1の膜は導電膜である、請求項1から3のうちのいずれかに記載の積層膜の製造方法。
- [6] 前記エネルギービームは光である、請求項1から5のうちのいずれかに記載の積層膜の製造方法。
- [7] 前記光はレーザ光である、請求項6に記載の積層膜の製造方法。
- [8] 前記半導体膜はシリコンあるいはゲルマニウムの少なくともいずれかを含む、請求項1から7のうちのいずれかに記載の積層膜の製造方法。
- [9] 基板に支持された第1の膜を形成する工程（a）と、
前記基板に支持され、かつ前記第1の膜よりも熱伝導率の低い第2の膜を

形成する工程（b）と、

前記第1の膜および前記第2の膜の上方に、非晶質状態の半導体膜を堆積する工程（c）と、

前記半導体膜のうち前記第1の膜および前記第2の膜の上方に位置する部分に対して同じ強度のエネルギービームを照射することにより、前記半導体膜のうち前記第2の膜の上に位置する部分を結晶化させて結晶質半導体膜を形成し、前記半導体膜のうち前記第1の膜の上に位置する部分を非晶質状態のまま残して非晶質半導体膜とする工程（d）と

を包含する、半導体装置の製造方法。

- [10] 前記工程（d）の後に、パターニングを行うことにより、前記結晶質半導体膜の少なくとも一部を含む島状の結晶質半導体層と、前記非晶質半導体膜の少なくとも一部を含む島状の非晶質半導体層とを形成する工程（e）と、

前記島状の結晶質半導体層および前記島状の非晶質半導体層のそれぞれを用いて薄膜トランジスタを形成する工程（f）と

をさらに包含する、請求項9に記載の半導体装置の製造方法。

- [11] 第1の薄膜トランジスタおよび第2の薄膜トランジスタを備える半導体装置であって、

基板と、

前記基板に支持された第1の膜と、

前記基板に支持され、かつ前記第1の膜よりも熱伝導率の低い第2の膜と

、

前記第1の膜の上方に形成された、前記第1の薄膜トランジスタを構成する非晶質半導体層と、

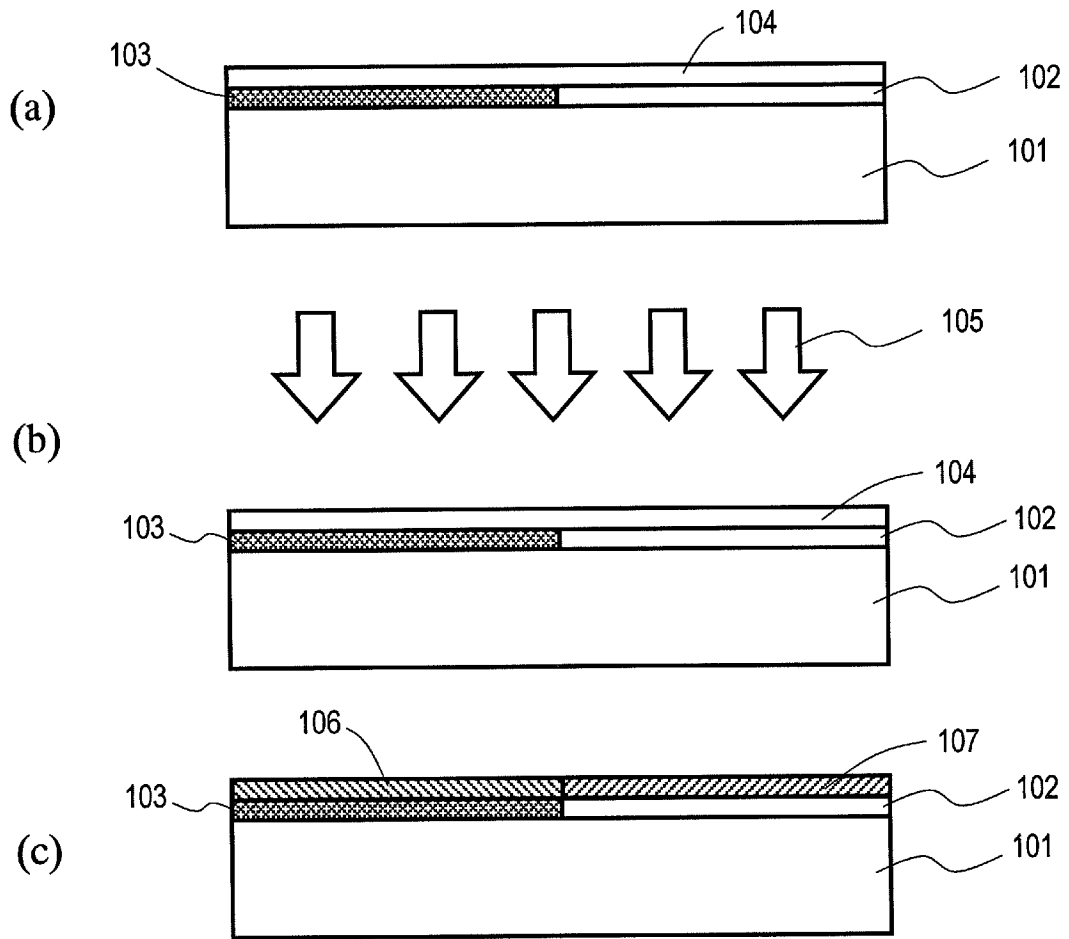
前記第2の膜の上方に形成された、前記第2の薄膜トランジスタを構成する結晶質半導体層と

を備える、半導体装置。

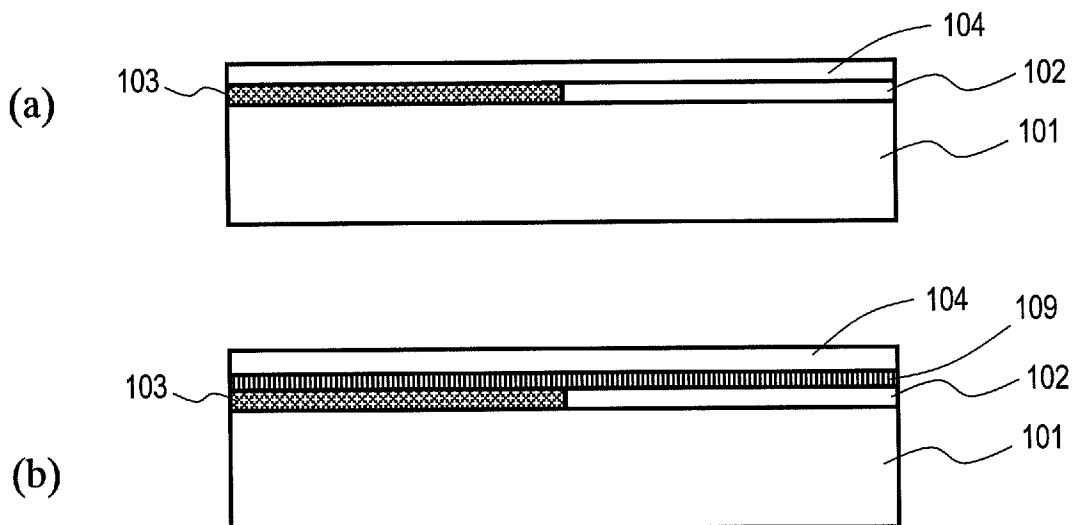
- [12] 前記第1の薄膜トランジスタおよび前記第2の薄膜トランジスタは、画素ごとに設けられている、請求項11に記載の半導体装置。

- [13] 前記第 1 の薄膜トランジスタは画素ごとに設けられ、前記第 2 の薄膜トランジスタは、前記画素外に設けられている、請求項 11 に記載の半導体装置。
- [14] 前記非晶質半導体層は前記第 1 の膜に直接接し、
前記結晶質半導体層は前記第 2 の膜に直接接する、請求項 11 から 13 のうちのいずれかに記載の半導体装置。
- [15] 前記第 1 の膜および前記第 2 の膜の上には第 3 の膜が形成され、
前記第 3 の膜の上に前記非晶質半導体層および前記結晶質半導体層が形成されている、請求項 11 から 13 のうちのいずれかに記載の半導体装置。
- [16] 前記第 1 の膜は、グラウンド電位を始めとした任意の電位に接続される電極である、請求項 11 から 15 のうちのいずれかに記載の半導体装置。
- [17] 前記第 1 の膜は、前記第 1 の薄膜トランジスタの閾値電圧を制御するための電極である、請求項 11 から 15 のうちのいずれかに記載の半導体装置。
- [18] 前記第 1 の膜は、前記第 1 の薄膜トランジスタのゲート電極である、請求項 11 から 15 のうちのいずれかに記載の半導体装置。
- [19] 前記基板は可視光を透過する材料から形成されている、請求項 11 から 18 のうちのいずれかに記載の半導体装置。
- [20] 前記第 1 の膜は可視光を遮光する材料から形成されている、請求項 11 から 18 のうちのいずれかに記載の半導体装置。
- [21] 請求項 11 から 20 のうちのいずれかに記載の半導体装置を備える表示装置。

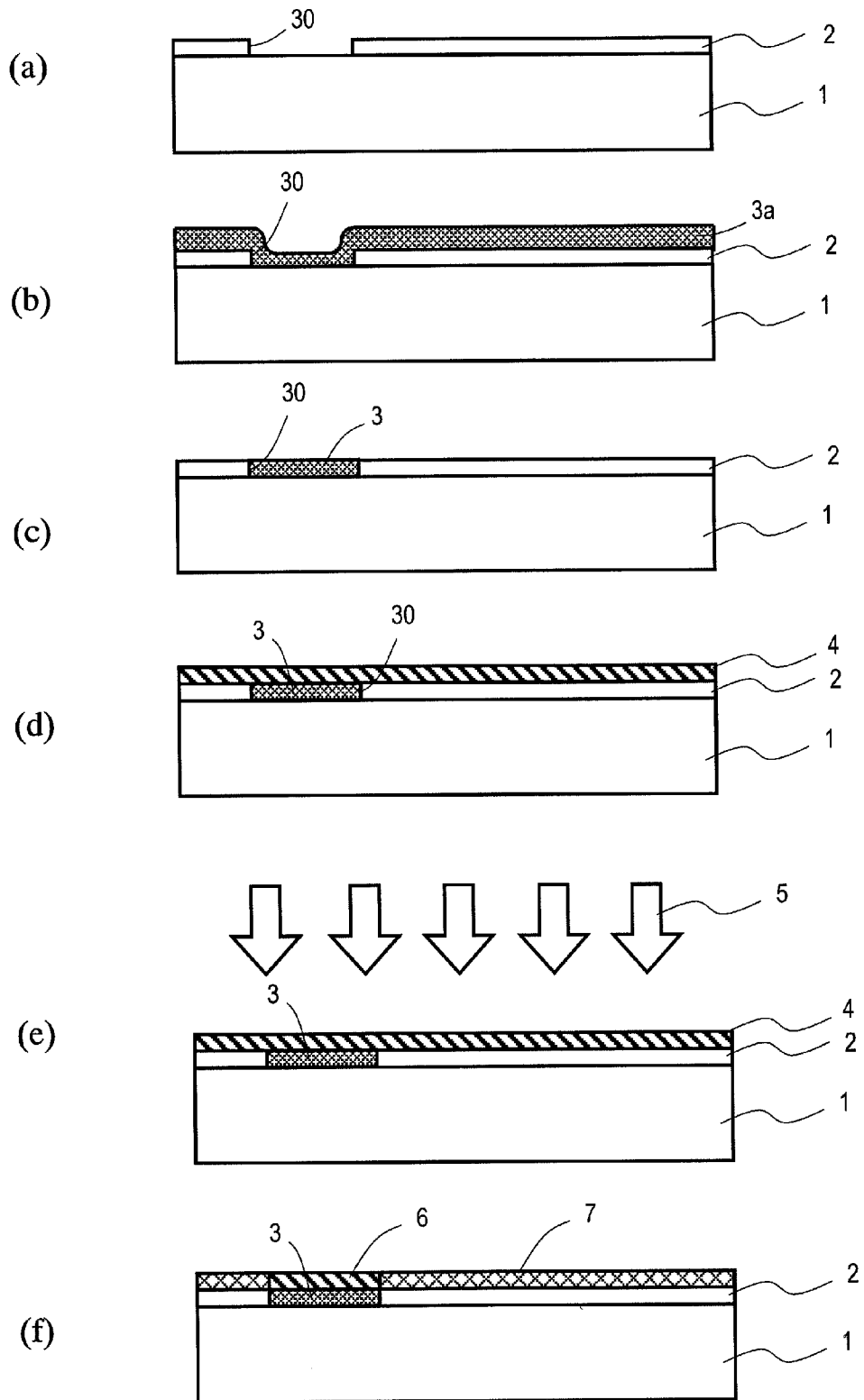
[図1]



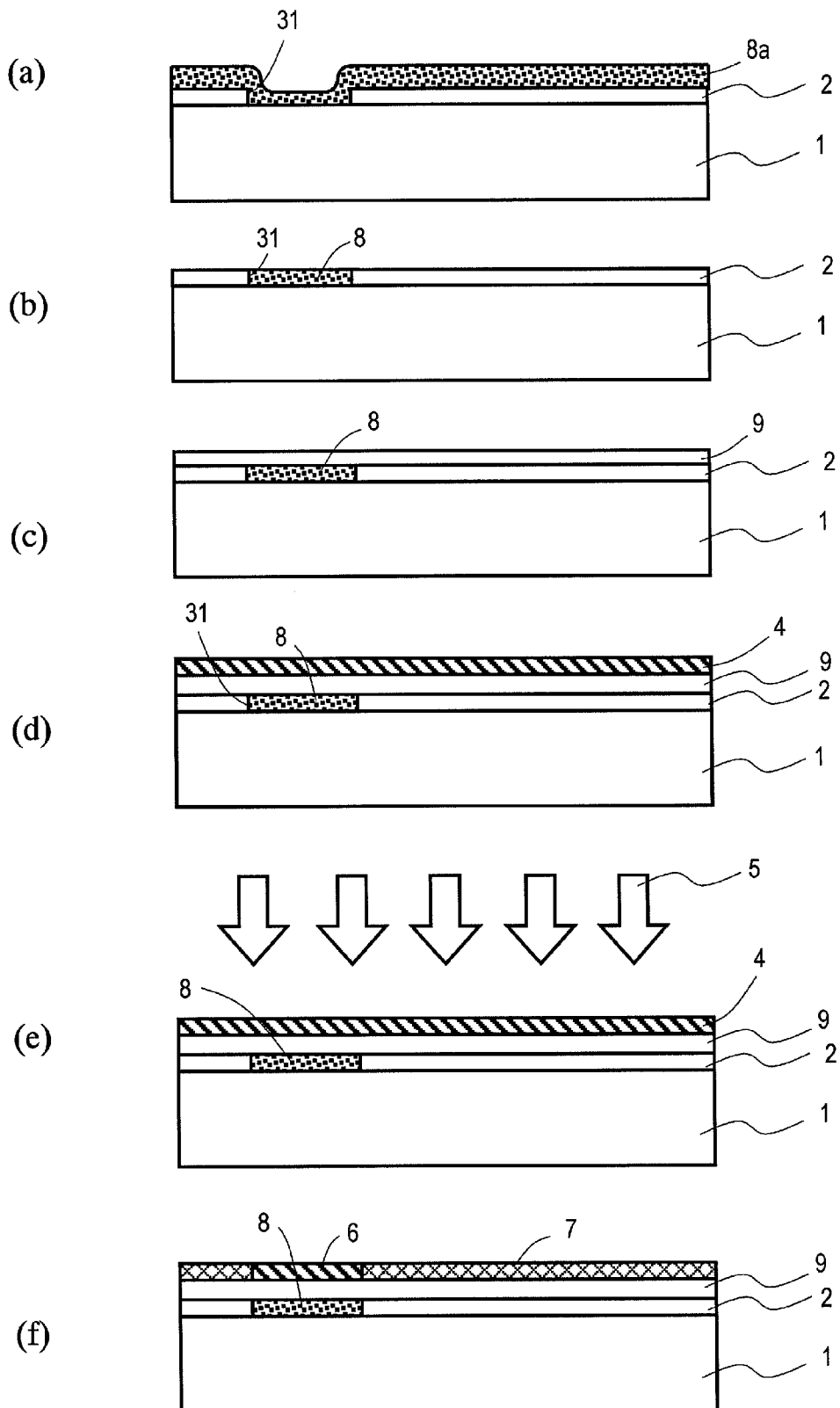
[図2]



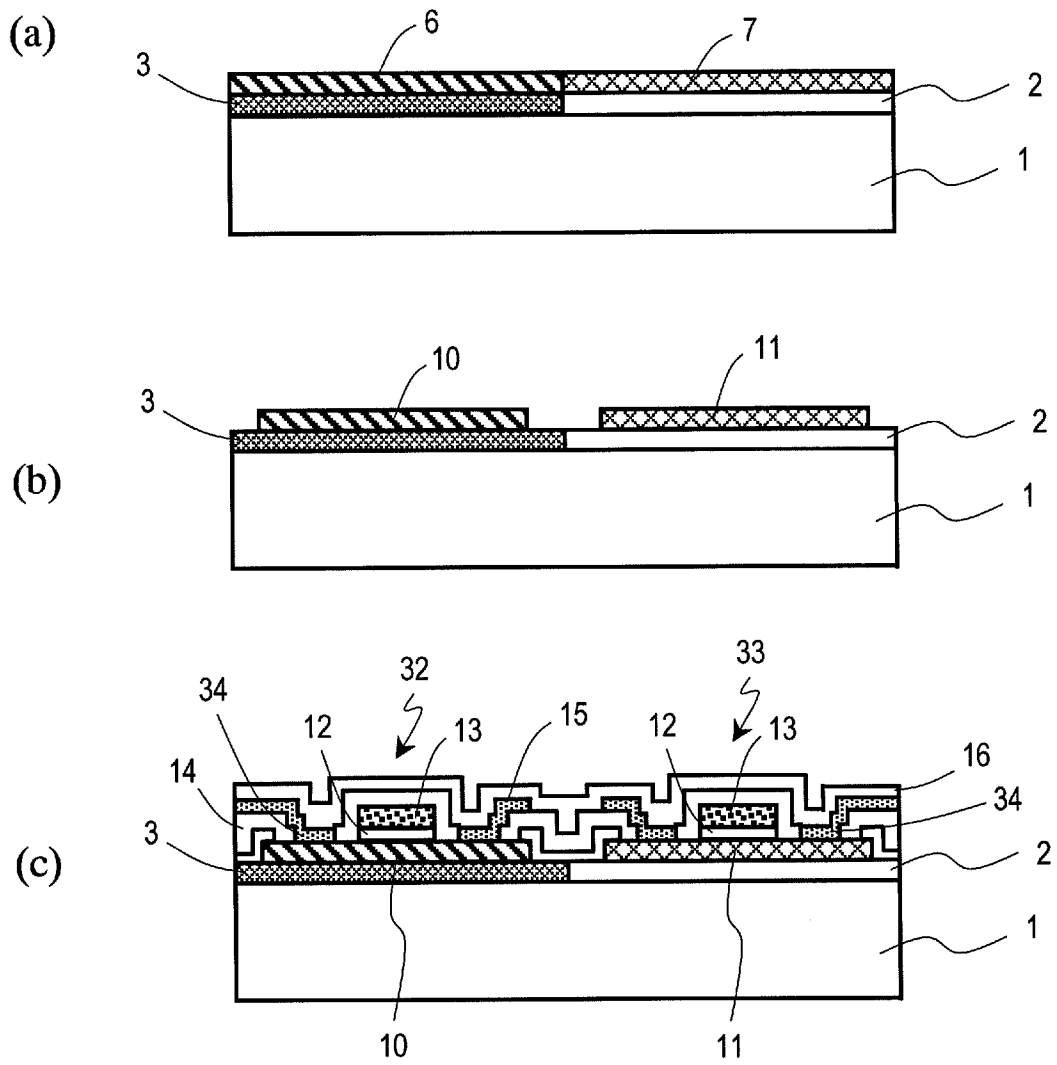
[図3]



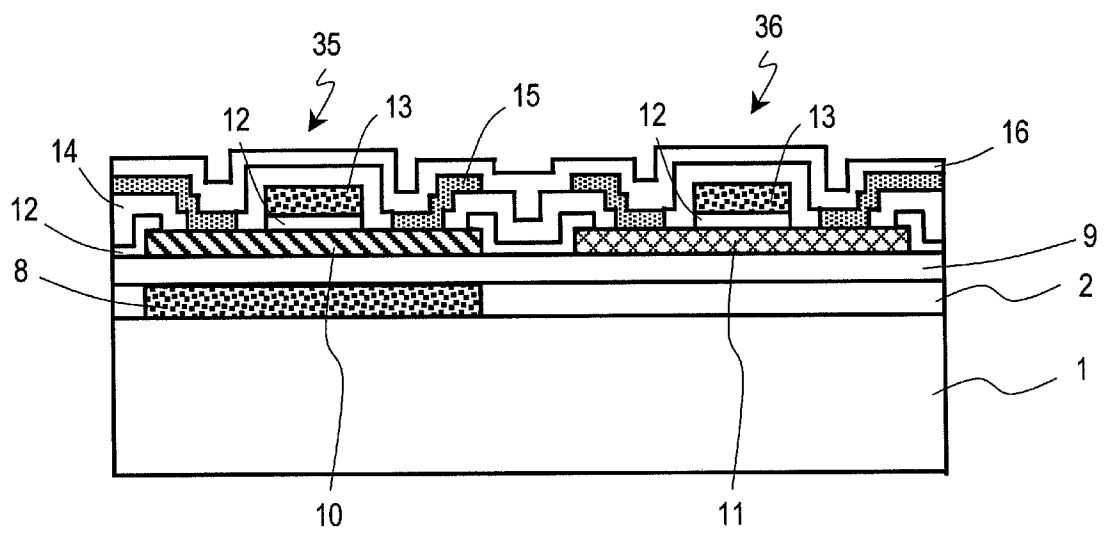
[図4]



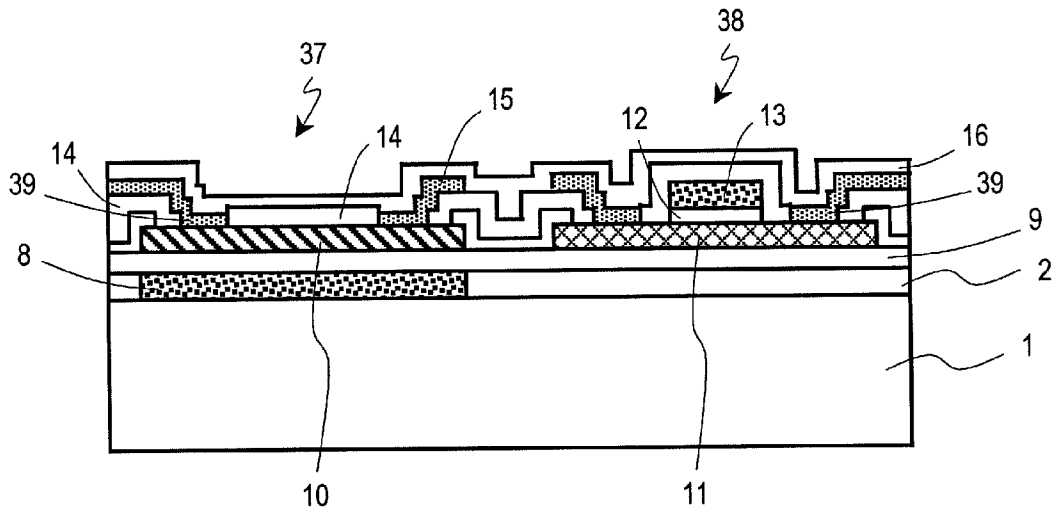
[図5]



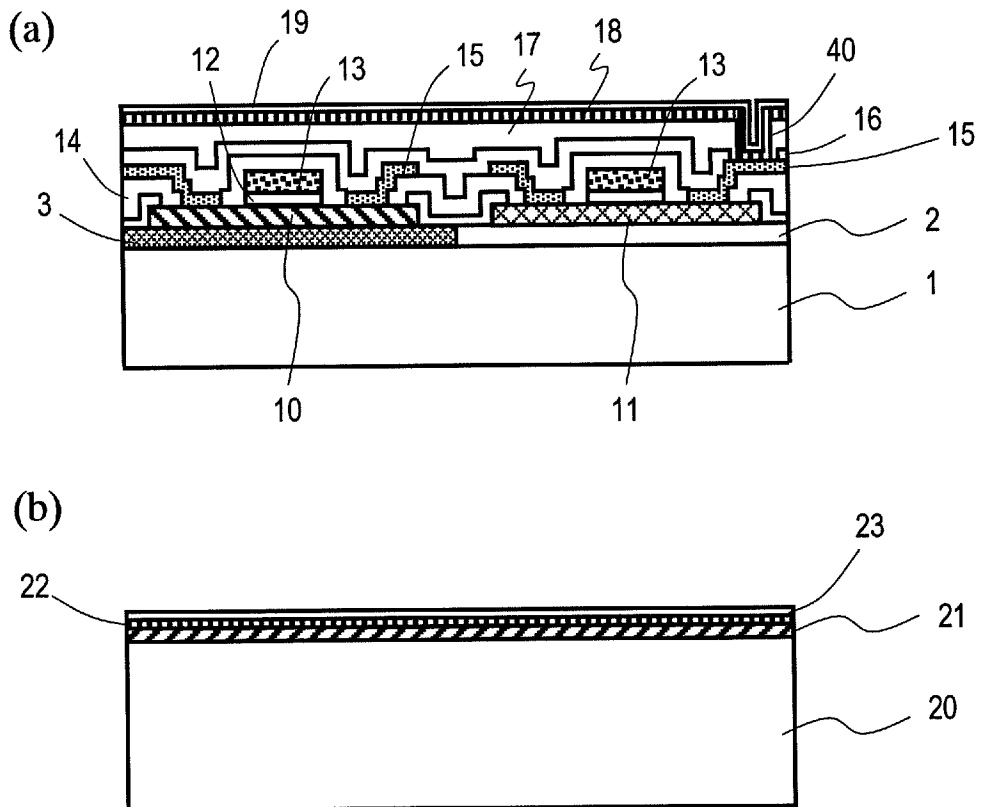
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/001888

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/20(2006.01) i, H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/20, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2008 |
| Kokai Jitsuyo Shinan Koho | 1971-2008 | Toroku Jitsuyo Shinan Koho | 1994-2008 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---------------|---|--------------------------|
| <u>Y</u> A | JP 2002-231955 A (Hitachi, Ltd.), 16 August, 2002 (16.08.02), Par. Nos. [0018] to [0025]; Figs. 1, 4 to 6 (Family: none) | <u>1-11, 13-21</u> 12 |
| Y | JP 02-208635 A (Seiko Epson Corp.), 20 August, 1990 (20.08.90), Full text; all drawings (Family: none) | 1-11, 13-21 |
| Y | JP 02-027320 A (Hitachi, Ltd.), 30 January, 1990 (30.01.90), Full text; all drawings (Family: none) | 1-11, 13-21 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|---|---|
| Date of the actual completion of the international search 25 August, 2008 (25.08.08) | Date of mailing of the international search report 02 September, 2008 (02.09.08) |
|---|---|

| | |
|--|--------------------|
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/001888

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP 59-114853 A (Director General, Agency of Industrial Science and Technology), 03 July, 1984 (03.07.84), Full text; all drawings (Family: none) | 16,17 |
| Y | JP 10-163112 A (Sony Corp.), 19 June, 1998 (19.06.98), Par. Nos. [0003] to [0009]; Fig. 14 (Family: none) | 18 |
| Y | JP 10-189450 A (Sony Corp.), 21 July, 1998 (21.07.98), Par. No. [0078] (Family: none) | 18 |
| A | JP 11-295700 A (Seiko Epson Corp.), 29 October, 1999 (29.10.99), Par. Nos. [0032] to [0053]; Fig. 1 (Family: none) | 12 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/20(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/20, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2008年
 日本国実用新案登録公報 1996-2008年
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|-------------------------------|
| Y | JP 2002-231955 A (株式会社日立製作所) 2002.08.16, 段落【0018】～【0025】、図1, 4～6 (ファミリーなし) | <u>1～11</u> , <u>13～21</u> |
| A | | 12 |
| Y | JP 02-208635 A (セイコーエプソン株式会社) 1990.08.20, 全文、全図(ファミリーなし) | 1～11, 13～21 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

| | |
|---|--|
| * 引用文献のカテゴリー | の日の後に公表された文献 |
| 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献 | 「&」同一パテントファミリー文献 |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | |

| | |
|---|---|
| 国際調査を完了した日 25.08.2008 | 国際調査報告の発送日 02.09.2008 |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 和瀬田 芳正 電話番号 03-3581-1101 内線 3498 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|-----------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | JP 02-027320 A (株式会社日立製作所) 1990. 01. 30, 全文、全図 (ファミリーなし) | 1 ~ 1 1, 1 3 ~ 2 1 |
| Y | JP 59-114853 A (工業技術院長) 1984. 07. 03, 全文、全図 (ファミリーなし) | 1 6, 1 7 |
| Y | JP 10-163112 A (ソニー株式会社) 1998. 06. 19, 段落【0003】~【0009】、図14 (ファミリーなし) | 1 8 |
| Y | JP 10-189450 A (ソニー株式会社) 1998. 07. 21, 段落【0078】 (ファミリーなし) | 1 8 |
| A | JP 11-295700 A (セイコーエプソン株式会社) 1999. 10. 29, 段落【0032】~【0053】、図1 (ファミリーなし) | 1 2 |