



(12) 发明专利申请

(10) 申请公布号 CN 103676739 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201310654111. X

(22) 申请日 2013. 12. 05

(71) 申请人 上海交通大学

地址 200240 上海市闵行区东川路 800 号

(72) 发明人 汪辉 熊振华 吴建华 刘超
胡健

(74) 专利代理机构 上海旭诚知识产权代理有限公司 31220

代理人 郑立

(51) Int. Cl.

G05B 19/042 (2006. 01)

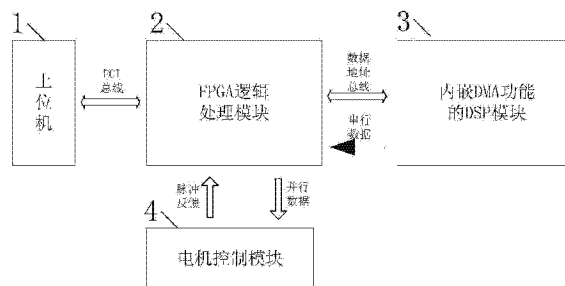
权利要求书3页 说明书6页 附图4页

(54) 发明名称

一种基于嵌入式运动控制板卡的 DMA 数据传输系统及其传输方法

(57) 摘要

本发明公开了一种基于嵌入式运动控制卡的 DMA 传输数据系统及其传输方法,采用自行研发的嵌入式运动控制器。本发明提供的 DMA 数据传输系统包括 FPGA 逻辑处理模块、内嵌 DMA 功能的 DSP 模块和电机控制模块。本发明提供的 DMA 数据传输方法通过上位机、FPGA 和 DSP 协同工作并合理的分配时间段与程序段,实现了 DMA 数据传输方式对上位机和运动控制板卡以及运动板卡内部模块之间的批量数据交互,实现运动控制器对于伺服电机的精确控制。



1. 一种基于嵌入式运动控制板卡的 DMA 数据传输系统,其特征在于,包括上位机 (1)、FPGA 逻辑处理模块 (2)、内嵌 DMA 功能的 DSP 模块 (3) 和电机控制模块 (4),所述 FPGA 逻辑处理模块 (2) 分别与所述上位机 (1)、所述 DSP 模块 (3) 和所述电机控制模块 (4) 相连接;其中所述上位机 (1) 实现插补运算并将批量插补点通过 PCI 总线利用上位机 DMA 方式下发给所述 FPGA 逻辑处理模块 (2),同时从所述 FPGA 逻辑处理模块 (2) 中利用所述上位机 DMA 方式获取电机批量实际位置点数据;所述 FPGA 逻辑处理模块 (2) 完成所述上位机 (1) 与所述内嵌 DMA 功能的 DSP 模块 (3) 之间的数据缓冲区的构建、同时将所述 DSP 模块 (3) 中发送来的电机控制的串行数据转换为并行数据,并将此并行数据发送至所述电机控制模块 (4),同时对所述电机控制模块 (4) 中的光电编码器的脉冲反馈信号进行分频鉴相;所述 DSP 模块 (3) 实现电机闭环控制计算,同时负责管理所述上位机 (1)、所述 FPGA 逻辑处理模块 (2) 和所述内嵌 DMA 功能的 DSP 模块 (3) 之间的多个 DMA 通道的数据交互。

2. 根据权利要求 1 所述的基于嵌入式运动控制卡的 DMA 数据传输系统,其特征在于,所述 FPGA 逻辑处理模块 (2) 包括 PCI 协议模块 (201)、数据缓冲区模块 (202)、D / A 转换预处理模块 (203)、分频鉴相模块 (204) 和 I / O 模块 (205),其中,所述 PCI 协议模块 (201) 负责架构所述 FPGA 逻辑处理模块 (2) 与所述上位机 (1) 之间的数据交互;所述数据缓冲区模块 (202) 由两个 FIFO 缓冲区构成,一个存放所述上位机 (1) 下发的批量插补点数据,另一个存放所述 DSP 模块 (3) 上传的批量实际位置点数据;所述 D / A 转换预处理模块 (203) 接受所述 DSP 模块 (3) 通过 DMA 方式搬移来的串行控制信号及帧同步信号,并将其转换为并行信号后交由所述电机控制模块 (4) 进行 D / A 处理;所述分频鉴相模块 (204) 对光电编码器脉冲信号进行滤波、倍频、鉴相处理和捕获 Z 信号;所述 I / O 模块 (205) 负责运动控制板卡上的 I / O 信号的输入与输出。

3. 根据权利要求 2 所述的基于嵌入式运动控制卡的 DMA 数据传输系统,其特征在于,所述 DSP 模块 (3) 包括 MCBSP 模块 (301)、RAM 模块 (302)、DMA 控制器 (303)、中央处理器 (304)、程序模块 (305) 和外设模块 (306),其中,所述 MCBSP 模块 (301) 负责发送电机串行控制信号给所述 D / A 转换预处理模块 (203);所述 RAM 模块 (302) 包括 RAM1、RAM4、RAM5、RAM6 和 RAM7,所述 DMA 控制器 (303) 根据所述程序模块 (305) 设置 DMA 的优先级来控制所述多个 DMA 通道数据的传输;所述中央处理器 (304) 完成整个运动控制板卡的实时性运算;所述程序模块 (305) 包括通讯函数模块 (3051)、中断响应函数模块 (3052) 和批量数据交互程序模块 (3053),所述通讯函数模块 (3051) 负责接收所述上位机 (1) 发送的命令和参数并及时响应,所述中断响应函数模块 (3052) 负责电机控制的运算和 DMA 多通道之间传输数据的逻辑,所述批量交互程序模块 (3053) 负责批量数据处理;所述外设模块 (306) 负责将外部设备连接至所述 RAM 模块 (302)。

4. 根据权利要求 3 所述的一种基于嵌入式运动控制卡的 DMA 数据传输系统,其特征在于,所述的电机控制模块 (4) 包括 D / A 转换放大模块 (401) 和反馈信号预处理模块 (402),其中,所述 D / A 转换放大模块 (401) 负责将接收到的 D / A 转换预处理模块 (203) 中的数字信号转换为模拟信号;所述反馈信号预处理模块 (402) 将电机的光电编码器的差分信号转为单端信号,再提供给所述 FPGA 分频鉴相模块 (204) 处理;所述 D / A 转换放大模块 (401) 将所述 D / A 转换预处理模块 (203) 中的 16 位电机控制的数字信号转换为满足量程范围的电压信号;所述反馈信号预处理模块 (402) 将电机产生的差分信号转为单端信号 A、

B、Z 信号并交与所述分频鉴相模块 (204) 处理。

5. 一种使用权利要求 4 的基于嵌入式运动控制卡的 DMA 数据传输系统的 DMA 数据传输方法,其特征在於,包括如下步骤:

步骤一:当所述 DSP 模块 (3) 在所述程序模块 (305) 中的通讯函数模块 (3051) 中接收到所述上位机 (1) 下发的闭环控制信号后,向所述电机控制模块 (4) 发送闭环使能控制信号;

步骤二:所述上位机 (1) 利用上位机下发 DMA 通道传输批量插补点数据至所述数据缓冲模块 (202) 的 FIFO P2D 缓冲区,传输完毕后所述数据缓冲区模块 (202) 发出 DSP 读 FIFO P2D 信号;

步骤三:当所述 DSP 模块 (3) 在中断响应函数 (3052) 中接收到所述 DSP 读 FIFO P2D 信号后,触发第二 DMA 通道搬移所述 FIFO P2D 缓冲区中的批量插补点数据到所述 RAM 模块 (302) 的 RAM5 中,并上传 DSP 接收完成信号;

步骤四:所述中断响应函数模块 (3052) 将分频鉴相模块 (204) 得到的实际位置数据保存在 RAM7 中,并与依次读取的 RAM5 或 RAM6 中的插补点数据进行闭环运算,将运算结果保存在 RAM4 中,并由所述第一 DMA 通道发送至 MCBSP 模块 (301) 以控制电机运转;

步骤五:在所述上位机 (1) 接收到所述 DSP 接收完成信号后,若无批量插补点数据则下发上位机 DMA 结束信号,若有批量插补点数据下发,则重复步骤一。

6. 根据权利要求 5 所述的 DMA 数据传输方法,其特征在於,还包括前期配置步骤,所述配置步骤包括:对所述多个 DMA 通道与所述 DSP 模块 (3)、所述 RAM 模块 (302) 的 RAM1、RAM4、RAM5、RAM6 和 RAM7、所述外设模块 (306) 的外设 6 和外设 7 进行连接设置,并配置最高传输优先级;

创建所述数据缓冲区模块 (202),包括 FIFO P2D 缓冲区及 FIFO D2P 缓冲区,FIFO P2D 缓冲区用于临时存储上位机 (1) 下发的批量插补点数据,FIFO D2P 缓冲区用于临时存储 RAM7 中上传的批量实际位置点数据,以供上位机 (1) 读取。

7. 根据权利要求 6 所述的 DMA 数据传输方法,其特征在於,还包括:

步骤六:所述 DSP 模块 (3) 在中断响应函数模块 (3052) 收到所述 DSP 读 FIFO P2D 信号后,触发第三 DMA 通道搬移 FIFO P2D 缓冲区中数据到所述 RAM 模块 (302) 的 RAM6 中,然后,上传 DSP 接收完成信号,当中断响应函数模块 (3052) 执行完所述 RAM5 中所有的电机数据后,相应所述 RAM 模块 (302) 的 RAM7 空间中顺序放满实际位置点数据,所述 DSP 模块 (3) 触发所述第四 DMA 通道将所述 RAM7 中的数据搬移至所述 FIFO D2P 缓冲区,传输完毕后请求 PC 读 FIFO D2P 信号,当所述上位机 (1) 响应所述 PC 读 FIFO D2P 信号后,通过上位机上传 DMA 通道搬移所述 FIFO D2P 缓冲区的实际批量位置点数据到所述上位机的内存中;

步骤七:重复上述步骤二至八的数据传输流程,当中断响应函数处理完所述 RAM6 中批量数据并完成闭环计算,控制电机运行后,相应所述 RAM7 便放满电机批量实际位置点数据,所述 DSP 模块 (3) 触发第四 DMA 通道上传数据;

步骤八:所述上位机 (1) 用上位机下发 DMA 通道发送完最后一次批量数据后,下发上位机 DMA 结束信号,所述 DSP 模块搬移完 FIFO P2D 中最后一批批量数据到所述 RAM5 或所述 RAM6 后,接收到所述上位机 DMA 结束信号,依次将所述 RAM7 空间中的批量实际位置点数据分两次使用第四 DMA 通道上传,结束后上传 DSP DMA 结束响应信号;

步骤九：所述上位机（1）以 DMA 读方式搬移完最后一批数据并接收到 DSP DMA 结束响应信号，发送电机使能关闭信号，整个数据传输结束。

8. 根据权利要求 6 所述的 DMA 数据传输方法，其特征在于，所述 DMA 通道的连接配置为：所述四个 DMA 通道包括第一 DMA 通道、第二 DMA 通道、第三 DMA 通道及第四 DMA 通道，所述第一 DMA 通道用于所述 RAM4 和所述 MCBSP 模块（301）之间数据传输；所述第二 DMA 通道用于所述 FIFO P2D 缓冲区、所述外设 6 和所述 RAM5 之间数据传输；所述第三 DMA 通道用于所述 FIFO P2D 缓冲区、所述外设 6 和所述 RAM6 之间数据传输；所述第四 DMA 通道用于所述 RAM7、所述外设 7 和所述 FIFO D2P 缓冲区之间的数据传输，其中所述第一 DMA 通道具有最高传输优先级，所述第二 DMA 通道、所述第三 DMA 通道及所述第四 DMA 通道具有相同的传输优先级。

9. 一种使用权利要求 4 的 DMA 数据传输系统的 DMA 数据传输方法，其特征在于，包括如下步骤：

步骤一：对所述内嵌 DMA 功能的 DSP 模块进行所述 RAM 空间、所述外设空间、所述 DMA 通道优先级的配置；

步骤二：在所述 FPGA 逻辑处理模块中创建数据缓冲区，临时存储上位机（1）下发的批量插补点数据；

步骤三：通过上位机 DMA 通道将上位机内存中批量插补点下发至所述 FPGA 逻辑处理模块（2）中；

步骤四：通过所述 DSP 模块接收所述上位机的中段请求，进行 DMA 数据传输。

10. 根据权利要求 9 所述的 DMA 数据传输方法，其特征在于，所述步骤四中 DMA 数据传输方法为：

（a）将计算得到伺服电机控制信号存入所述 RAM4 中，并通过优先级最高的所述 DMA1 通道将所述 RAM4 数据搬移至所述 MCBSP 模块（301）来控制电机运动；

（b）判断是否需要接收批量插补点，判断为“是”则利用所述 DMA2 或 DMA3 通道将所述 FIFO P2D 缓冲区内的数据搬移至所述 RAM5 或所述 RAM6 中，所述两个 DMA 通道交替使用，判断为“否”则直接进入步骤 c；

（c）判断是否需要上传批量位置点，判断为“是”则利用所述 DMA4 通道将所述 RAM7 中批量实际位置点数据搬移至所述 FIFO D2P 缓冲区供上位机读取，判断为“否”则跳出中断进入通讯函数，并等待下次中断到来。

一种基于嵌入式运动控制板卡的 DMA 数据传输系统及其传输方法

技术领域

[0001] 本发明涉及电机控制领域,尤其涉及一种基于嵌入式运动控制板卡的 DMA 数据传输系统及其传输方法。

背景技术

[0002] 目前,嵌入式运动控制板卡多采用“总线协议芯片+FPGA+DSP”构架与上位机进行数据交互。嵌入式运动控制板卡采用计算机作为上位机,利用其计算和处理能力强的优点进行路径规划和轨迹点生成,嵌入式运动控制板卡主要负责对执行机构的实时控制。此时,优化上位机与嵌入式运动控制板卡之间的协同工作以及提高各自的运行效率,也是高性能数控系统必须考虑的重要方面。

[0003] DMA 传输方式广泛地出现大批量数据交互的场合,其优点在于数据传输由 DAM 控制器主导,而不打断 CPU 的计算。一些运动控制器使用 DMA 方式传输数据到下位机的 RAM,数据在下位机之间的交互依然使用了传统的 IO 访问,在下位机 CPU 处理能力和带宽有限的情况下,提高 CPU 在计算上使用率来缩短中断时间以提高电机的实施控制,此方面也是运动控制器设计的关键技术之一。随着 FPGA 并行处理能力的提高,在其中集成与整合数据传输功能成为优化上述协同工作的一种可行实施方案。

[0004] 经检索发现,中国专利申请号为 201210300529.6,名称为“基于 PCI 的液压机专用运动控制方法及控制器”中采用“PCI 协议芯片+FPGA+DSP”的构架方法,该方法虽采用具有 DMA 传输机制的 PCI 协议芯片,但未使用 DMA 功能,依然采用上位机 CPU 进行参与的 IO 读取方式。中国专利申请号为 201210049100.4,名称为“一种 DSP 系统与 PC 机直接存储器访问接口的设计方法”中提到使用双口 RAM 作为上位机与下位机的数据缓冲区,此方法优势在于 DSP 利用两个外设通道交互上位机数据和其他外设数据时不会产生数据冲突,但却需要一块双口 RAM 芯片,无形中增加了硬件成本。中国专利申请号为 200810039195.5,名称为“运控控制器的 IEEE1394 通讯接口系统”中采用 IEEE1394 作为总线通讯接口,其传输能力为 50MB / S。然而,此速率不到 32 位 PCI 总线协议规定 133MB / 秒传输速率的一半。

[0005] 因此,本领域的技术人员致力于开发一种基于嵌入式运动控制板卡的 DMA 数据传输系统及其传输方法,实现 DMA 数据传输方式对上位机和运动控制板卡以及运动板卡内部模块之间的批量数据交互,实现运动控制器对于伺服电机的精确控制。

发明内容

[0006] 有鉴于现有技术的上述缺陷,本发明所要解决的技术问题是提供一种基于嵌入式运动控制板卡的 DMA 数据传输系统及其传输方法,采用 PCI 协议作为上下位机的交互总线,将具有 DMA 功能的 PCI 总线协议和数据缓冲区在 FPGA 中构件,实现上位机与嵌入式运动控制板卡之间的 DMA 数据交互。同时利用 DSP 的 DMA 多通道管理机制实现了嵌入式运动控制板卡内部 FPGA、DSP 内存与电机控制模块之间的 DMA 数据传输。

[0007] 为实现上述目的,本发明提供了一种基于嵌入式运动控制板卡的 DMA 数据传输系统,包括上位机、FPGA 逻辑处理模块、内嵌 DMA 功能的 DSP 模块和电机控制模块,所述 FPGA 逻辑处理模块分别与所述上位机、所述 DSP 模块和所述电机控制模块相连接;其中所述上位机实现插补运算并将批量插补点通过 PCI 总线利用上位机 DMA 方式下发给所述 FPGA 逻辑处理模块,同时从所述 FPGA 逻辑处理模块中利用所述上位机 DMA 方式获取电机批量实际位置点数据;所述 FPGA 逻辑处理模块完成所述上位机与所述内嵌 DMA 功能的 DSP 模块之间的数据缓冲区的构建、同时将所述 DSP 模块中发送来的电机控制的串行数据转换为并行数据,并将此并行数据发送至所述电机控制模块,同时对所述电机控制模块中的光电编码器的脉冲反馈信号进行分频鉴相;所述 DSP 模块实现电机闭环控制计算,同时负责管理所述上位机、所述 FPGA 逻辑处理模块和所述内嵌 DMA 功能的 DSP 模块之间的多个 DMA 通道的数据交互。

[0008] 一种基于嵌入式运动控制卡的 DMA 数据传输方法,包括如下步骤:

[0009] 步骤一:当所述 DSP 模块在所述程序模块中的通讯函数模块中接收到所述上位机下发的闭环控制信号后,向所述电机控制模块发送闭环使能控制信号;

[0010] 步骤二:所述上位机利用上位机下发 DMA 通道传输批量插补点数据至所述数据缓冲模块的 FIFO P2D 缓冲区,传输完毕后所述数据缓冲区模块发出 DSP 读 FIFO P2D 信号;

[0011] 步骤三:当所述 DSP 模块在中断响应函数中接收到所述 DSP 读 FIFO P2D 信号后,触发第二 DMA 通道搬移所述 FIFO P2D 缓冲区中的批量插补点数据到所述 RAM 模块的 RAM5 中,并上传 DSP 接收完成信号;

[0012] 步骤四:所述中断响应函数模块将分频鉴相模块得到的实际位置数据保存在 RAM7 中,并与依次读取的 RAM5 或 RAM6 中的插补点数据进行闭环运算,将运算结果保存在 RAM4 中,并由所述第一 DMA 通道发送至 MCBSP 模块以控制电机运转;

[0013] 步骤五:在所述上位机接收到所述 DSP 接收完成信号后,若无批量插补点数据则下发上位机 DMA 结束信号,若有批量插补点数据下发,则重复步骤一。

[0014] 步骤六:所述 DSP 模块在中断响应函数模块收到所述 DSP 读 FIFO P2D 信号后,触发第三 DMA 通道搬移 FIFO P2D 缓冲区中数据到所述 RAM 模块的 RAM6 中,然后,上传 DSP 接收完成信号,当中断响应函数模块执行完所述 RAM5 中所有的电机数据后,相应所述 RAM 模块 (302) 的 RAM7 空间中顺序放满实际位置点数据,所述 DSP 模块 (3) 触发所述第四 DMA 通道将所述 RAM7 中的数据搬移至所述 FIFO D2P 缓冲区,传输完毕后请求 PC 读 FIFO D2P 信号,当所述上位机响应所述 PC 读 FIFO D2P 信号后,通过上位机上传 DMA 通道搬移所述 FIFO D2P 缓冲区的实际批量位置点数据到所述上位机的内存中;

[0015] 步骤七:重复上述步骤二至八的数据传输流程,当中断响应函数处理完所述 RAM6 中批量数据并完成闭环计算,控制电机运行后,相应所述 RAM7 便放满电机批量实际位置点数据,所述 DSP 模块触发第四 DMA 通道上传数据;

[0016] 步骤八:所述上位机用上位机下发 DMA 通道发送完最后一次批量数据后,下发上位机 DMA 结束信号,所述 DSP 模块搬移完 FIFO P2D 中最后一批批量数据到所述 RAM5 或所述 RAM6 后,接收到所述上位机 DMA 结束信号,依次将所述 RAM7 空间中的批量实际位置点数据分两次使用第四 DMA 通道上传,结束后上传 DSP DMA 结束响应信号;

[0017] 步骤九:所述上位机以 DMA 读方式搬移完最后一批数据并接收到 DSP DMA 结束响

应信号,发送电机使能关闭信号,整个数据传输结束。

[0018] 一种使用权利要求 4 的 DMA 数据传输系统的 DMA 数据传输方法,其特征在于,包括如下步骤:

[0019] 步骤一:对所述内嵌 DMA 功能的 DSP 模块进行 RAM 空间、外设空间、DMA 通道优先级的配置;

[0020] 步骤二:在所述 FPGA 逻辑处理模块中创建数据缓冲区,临时存储上位机 (1) 下发的批量插补点数据;

[0021] 步骤三:通过上位机 DMA 通道将上位机内存中批量插补点下发至 FPGA 逻辑处理模块 (2) 中;

[0022] 步骤四:通过所述 DSP 模块接收所述上位机的中段请求,进行 DMA 数据传输。

[0023] 本发明提供的基于嵌入式运动控制板卡的 DMA 数据传输系统采用基于 FPGA 内嵌 PCI 协议模块,方便灵活地调整参数设置,减少运动控制板卡之间的电器连接;采用 FPGA 内嵌 FIFO 取代双口 RAM 芯片作为数据缓冲区,提高了数据交互的稳定性;采用 PCI IO 模块传输少量运动控制板卡命令代号和参数,提高了 DSP 对相应命令的响应效率。

[0024] 本发明提供的基于嵌入式运动控制板卡的 DMA 数据传输方法利用 DSP 的 DMA 多通道管理机制实现了 FPGA、DSP 内存、电机控制模块之间的 DMA 数据传输,避免不同作用数据之间的冲突,提高 DSP CPU 的运算效率

[0025] 以下将结合附图对本发明的构思、具体结构及产生的技术效果作进一步说明,以充分地了解本发明的目的、特征和效果。

附图说明

[0026] 图 1 是本发明的一个较佳实施例的 DMA 数据传输系统结构框图;

[0027] 图 2 是本发明的一个较佳实施例的 FPGA 逻辑处理模块的原理框图;

[0028] 图 3 是本发明的一个较佳实施例的内嵌 DMA 功能的 DSP 模块原理框图;

[0029] 图 4 是本发明的一个较佳实施例的电机控制模块原理框图;

[0030] 图 5 是本发明的一个较佳实施例的 DMA 通道的设置图;

[0031] 图 6 是本发明的一个较佳实施例的 DMA 数据传输方法实施示意图;

[0032] 图 7 是本发明的一个较佳实施例的 DSP 处理流程图。

具体实施方式

[0033] 如图 1 所示,本发明的一较佳实施例中的一种基于嵌入式运动控制板卡的 DMA 数据传输系统,包括上位机 1、FPGA 逻辑处理模块 2、内嵌 DMA 功能的 DSP 模块 3 和电机控制模块 4,FPGA 逻辑处理模块 2 分别与上位机 1、内嵌 DMA 功能的 DSP 模块 3 和电机控制模块 4 相连接。

[0034] 上位机 1 实现插补运算并将批量插补点通过 PCI 总线利用上位机 DMA 方式下发给 FPGA 逻辑处理模块 2,同时从 FPGA 逻辑处理模块 2 中利用上位机 1 的 DMA 方式获取电机批量实际位置数据。FPGA 逻辑处理模块 2 完成上位机模块 1 与内嵌 DMA 功能的 DSP 模块 3 之间的数据缓冲区的构建、同时将内嵌 DMA 功能的 DSP 模块 3 中发送来的电机控制的串行数据转换为并行数据,并将此并行数据发送至电机控制模块 4,同时对电机控制模块 4 中的光

电编码器的脉冲反馈信号进行分频鉴相。内嵌 DMA 功能的 DSP 模块 3 实现电机闭环控制计算,同时负责管理上位机 1、FPGA 逻辑处理模块 2 和内嵌 DMA 功能的 DSP 模块 3 之间的多个 DMA 通道的数据交互。

[0035] 如图 2 所示, FPGA 逻辑处理模块 2 包括 PCI 协议模块 201、数据缓冲区模块 202、D / A 转换预处理模块 203、分频鉴相模块 204 和 I / O 模块 205。其中, PCI 协议模块 201 负责架构 FPGA 逻辑处理模块 2 与上位机 1 之间的数据交互, PCI 协议模块 201 内部的 SLAVE 接口模块负责保存运动控制板卡的配置信息, 并对上位机信号进行译码、校验、读写控制及传输方式选择。PCI 协议模块 201 内部另外一个 MASTER 接口模块控制上位机 1 与数据缓冲区模块 202 之间数据的 DMA 传输控制。数据缓冲区模块 202 由两个 FIFO 缓冲区构成, 一个存放上位机 1 下发的批量插补点数据, 另一个存放 DSP 模块 3 上传的批量实际位置点数据。例如, 如图 6 所示, 缓冲区由 FIFO P2D 和 FIFO D2P 构成。

[0036] D / A 转换预处理模块 203 接受 DSP 模块 3 通过 DMA 方式搬移来的分别控制四个电机运动的 16 位串行控制信号及帧同步信号, 并将其转换为四路并行信号后交由电机控制模块 4 进行 D / A 处理。分频鉴相模块 204 对四个轴的光电编码器脉冲信号进行滤波、倍频、鉴相处理和捕获 Z 信号。I / O 模块 205 负责运动控制板卡上的 I / O 信号的输入与输出。

[0037] 如图 3 所示, 内嵌 DMA 功能的 DSP 模块 3 包括 MCBSP 模块 301、RAM 模块 302、DMA 控制器 303、中央处理器 304、程序模块 305 和外设模块 306。其中, MCBSP 模块 301 负责发送 4×16 位电机串行控制信号给 D / A 转换预处理模块 203。RAM 模块 302 内部包括五块分区: RAM1、RAM4、RAM5、RAM6 和 RAM7, 其中 RAM4 存储四个电机的控制信号数据, RAM5 和 RAM6 两块存储上位机下发的批量插补点数据, RAM7 存储批量电机实际位置点数据, 这四块分区利用 DSP 模块 3 内嵌的四个 DMA 通道进行数据传输, RAM1 用来保存每个中断获取的分频鉴相模块 204 的光电编码器计数值和 I / O 模块 205 的 I / O 值。DMA 控制器 303 根据程序模块 305 设置 DMA 的优先级来控制四个 DMA 通道数据的传输。中央处理器 304 完成整个运动控制板卡的实时性运算。程序模块 305 是运动控制板卡的计算与逻辑核心, 其主要包括通讯函数模块 3051、中断响应函数模块 3052 和批量数据交互程序模块 3053, 如图 7 所示: 通讯函数模块 3051 负责接收上位机 1 发送的命令和参数并及时响应, 中断响应函数 3052 模块负责运动控制板卡的 I / O 信号处理、电机控制运算和 DMA 多通道之间传输数据的逻辑, 批量交互程序模块 3053 负责批量数据处理。外设模块 306 负责将外部设备连接至 RAM 模块 302, 它包括三个外设通道: 外设 0、外设 6 和外设 7, 其中外设 6 和外设 7 负责 RAM 模块 302 内部的三块 RAM 分区与数据缓冲区 202 物理连接组成批量数据的 DMA 传输通道, 外设 0 负责物理连接分频鉴相模块 204、I / O 模块 205 和 RAM 模块 302 内部的最后一个 RAM 分区来组成少量数据传输通道。

[0038] 如图 4 所示, 电机控制模块 4 包括 D / A 转换放大模块 401 和反馈信号预处理模块 402。其中, D / A 转换放大模块 401 负责将接收到的 D / A 转换预处理模块 203 中的数字信号转换为模拟信号; 反馈信号预处理模块 402 将电机的光电编码器的差分信号转为单端信号, 再提供给 FPGA 分频鉴相模块 204 处理。D / A 转换放大模块 401 作用是将 D / A 转换预处理模块 203 中的 16 位电机控制的数字信号转换为满足量程范围的电压信号; 将电压信号利用线缆连接驱动器, 驱动器采用速度模式将电压信号进行处理以控制电机转动;

反馈信号预处理模块 402 将四个电机产生的 4 组 6 路差分信号转为 A、B、Z 单端信号后交与分频鉴相模块 204 处理。

[0039] 上述 FPGA 逻辑处理模块 2 可采用 ALTERA 公司的 Cyclone 系列芯片, DSP 模块 3 可选用 TI 公司的型号为 TMS320F28335 的芯片, 及采用 Yaskawa 公司型号为 SGD V-2R8A01A 的交流驱动器与型号为 SGMJV-04ADA21 的交流伺服交流电机。

[0040] 本发明的一较佳实施例还提供了上述数据传输系统的一种基于嵌入式运动控制板卡的 DMA 数据传输方法, 包括如下步骤:

[0041] (1) 对内嵌 DMA 功能的 DSP 模块 3 进行 RAM 空间、外设空间、DMA 通道优先级的配置。DMA 通道的优先级与连接设备如图 5 和图 6 所示, DMA1 通道用于 RAM4 和 MCBSP 模块 301 之间数据传输; DMA2 通道用于 FIFO P2D、外设 6 和 RAM5 之间数据传输; DMA3 通道用于所述 FIFO P2D、所述的外设 6 和 RAM6 之间数据传输; DMA4 通道用于 RAM7、外设 7 和 FIFO D2P 之间的数据传输。同时设置 DMA1 通道拥有最高传输优先级, 而其他三个通道采用 Round-robin 模式配置使其拥有相同的优先级, 来保证每个中断电机控制不被其他数据传输干扰。其中 RAM4 空间大小为 4, 数据宽度为 16 位; RAM5、RAM6 和 RAM7 大小为 1K, 数据宽度为 16 位。

[0042] (2) 创建数据缓冲区模块 202, FIFO P2D 大小为 800, 数据宽度为 32 位, 用于临时存储上位机 1 下发的批量插补点数据, 供 RAM5 和 RAM6 交替进行读取。FIFO D2P 大小为 1K, 数据宽度为 16 位, 作用为临时存储从 RAM7 中上传的批量实际位置点数据, 以供上位机 1 读取。

[0043] (3) 在程序模块 305 的中断响应函数模块 3052 中添加批量数据交互程序模块 3053, 如图 7 所示, 在每个伺服中断内, 中断响应函数模块 3052 都将计算得到伺服电机控制信号存入 RAM4 中, 并通过 DMA1 通道将 RAM4 内数据搬移至 MCBSP 模块 301 来控制电机运动。接着判断是否需要接收批量插补点, 若判断“是”则利用 DMA2 或 DMA3 通道将 FIFO P2D 内的数据搬移至 RAM5 或 3023RAM6 中, 两个 DMA 通道交替使用以保证每次中断响应函数获取插补点数据不间断从而保证电机工作的连续性。若判断为“否”则再判断是否需要上传批量实际位置点至 FIFO D2P, 若判断“是”则利用 DMA4 通道将 RAM7 中批量实际位置点数据搬移至所述 FIFO D2P 供上位机读取, 接着跳出中断进入通讯函数模块 3051, 并等待下次中断到来以再次进入中断响应函数模块 3052。中断响应函数模块 3052 中函数的逻辑为: 程序模块 305 开始时, 最初的两次进入中断响应函数时, DMA2 通道和 DMA3 通道两次分别将 FIFO P2D 中的批量插补点数据搬移至 RAM5 和 RAM6。同时每次进入中断响应函数, 都将分频鉴相模块 204 得到的四个电机实际位置点依次保存在 RAM7 中, 并依次读取的 RAM5 或 RAM6 中的四个电机插补点进行 PID 运算, 运算结果保存在 RAM4 空间中, 由 DMA1 通道发送至 MCBSP 模块 301 以控制四个电机运转。当中断响应函数依次读完 RAM5 或 RAM6 中的批量数据后, 电机的批量实际位置点数据便存满 RAM7 空间, 利用 DMA4 通道将 RAM7 中数据搬移至 FIFO D2P, 搬移完成后发出通知上位机读取信号。

[0044] (4) 完成以上配置步骤后, 以下为上位机 1、FPGA 逻辑处理模块 2 和内嵌 DMA 功能的 DSP 模块 3 之间完整数据传输流程:

[0045] 1) 当内嵌 DMA 功能的 DSP 模块 3 在程序模块 305 中的通讯函数 3051 中接收到所述上位机 1 下发的闭环控制信号后, 向电机控制模块 4 发送闭环使能控制信号;

[0046] 2) 上位机 1 利用上位机下发 DMA 通道传输批量插补点数据至 FIFO P2D, 传输完毕

后数据缓冲区模块 202 发出 DSP 读 FIFO P2D 信号；

[0047] 3) 中断响应函数模块 3052 首先对接收 I / O 模块 205 内的运动控制板卡的输入输出信号并进行相应处理,再接收所述 DSP 读 FIFO P2D 信号,接收到便触发 DMA2 通道搬移 FIFO P2D 中批量数据到 RAM5 中,完成后上传 DSP 接收完成信号；

[0048] 4) 中断响应函数模块 3052 将分频鉴相模块 204 中的四个电机实际位置点数据通过外设 0 放入 RAM7 后,顺序读取 RAM5 中的四个电机插补点以进行闭环运算,并将计算结果依次放入 RAM4 后,DSP 模块 3 再使用信号触发将所述的 RAM4 中数据通过 DMA1 通道发送至 MCBSP 串口进行电机控制。

[0049] 5) 在上位机 1 接收到所述 DSP 接收完成信号后,若无批量数据则下发上位机 DMA 结束信号,若有批量数据下发再次利用上位机下发 DMA 通道传输批量插补点数据。

[0050] 6) 中断响应函数模块 3052 按顺序处理完所述 I / O 模块 205 的信号后,检测信号后触发 DMA3 通道搬移 FIFO P2D 中批量数据到 RAM6 中,然后上传 DSP 接收完成信号。当某次中断响应函数执行完 RAM5 中所有的电机插补点数据后,相应 RAM7 空间中顺序放满四个电机的批量实际位置点数据,DSP 模块 3 便软件触发 DMA4 通道将所述的 RAM7 数据搬移至数据缓冲区 FIFO D2P,传输完毕后请求 PC 读 FIFO D2P 信号,下次再进入中断响应函数时便会从 RAM6 取出差值点数据进行计算。当所述上位机 1 响应此信号后通过上位机上传 DMA 通道搬移 FIFO D2P 实际批量位置点数据到所述上位机的内存中；

[0051] 7) 重复上述数据传输流程,当中断响应函数处理完 RAM6 空间中批量数据并完成闭环计算控制电机运行后,相应所述 RAM7 空间便放满电机批量实际位置点数据,DSP 模块 3 使用软件触发 DMA4 通道上传。

[0052] 8) 上位机 1 用上位机下发 DMA 通道发送完最后一次批量数据后便下发上位机 DMA 结束信号,DSP 模块 3 搬移完 FIFO P2D 中最后一批批量数据到 RAM5 或所述 RAM6 后,接收到上位机 1 的 DMA 结束信号便依次将所述 RAM7 空间中的批量实际位置点数据分两次使用 DMA4 通道上传,结束后上传 DSP 的 DMA 结束响应信号；

[0053] 9) 上位机 1 以 DMA 读方式搬移完最后一批数据并接收到 DSP DMA 结束响应信号,发送电机使能关闭信号,整个数据传输结束。

[0054] 以上详细描述了本发明的较佳具体实施例。应当理解,本领域的普通技术无需创造性劳动就可以根据本发明的构思作出诸多修改和变化。因此,凡本技术领域技术人员依本发明的构思在现有技术的基础上通过逻辑分析、推理或者有限的实验可以得到的技术方案,皆应在由权利要求书所确定的保护范围内。

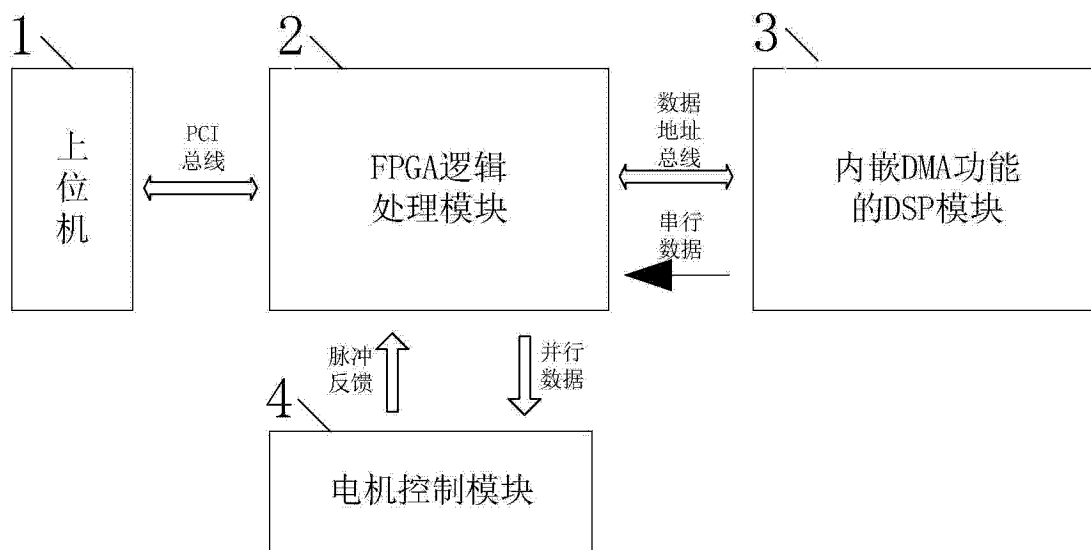


图 1

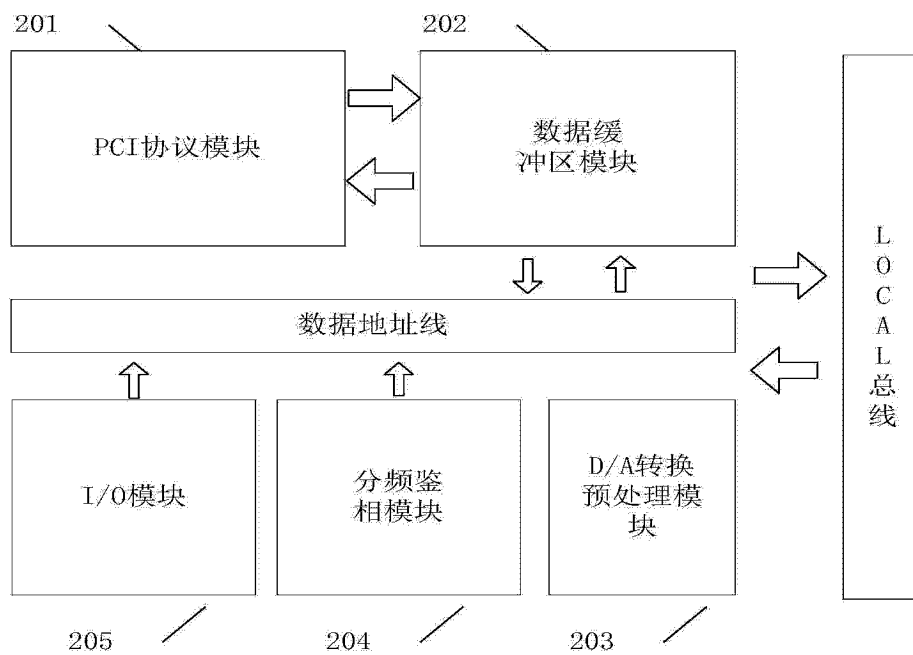


图 2

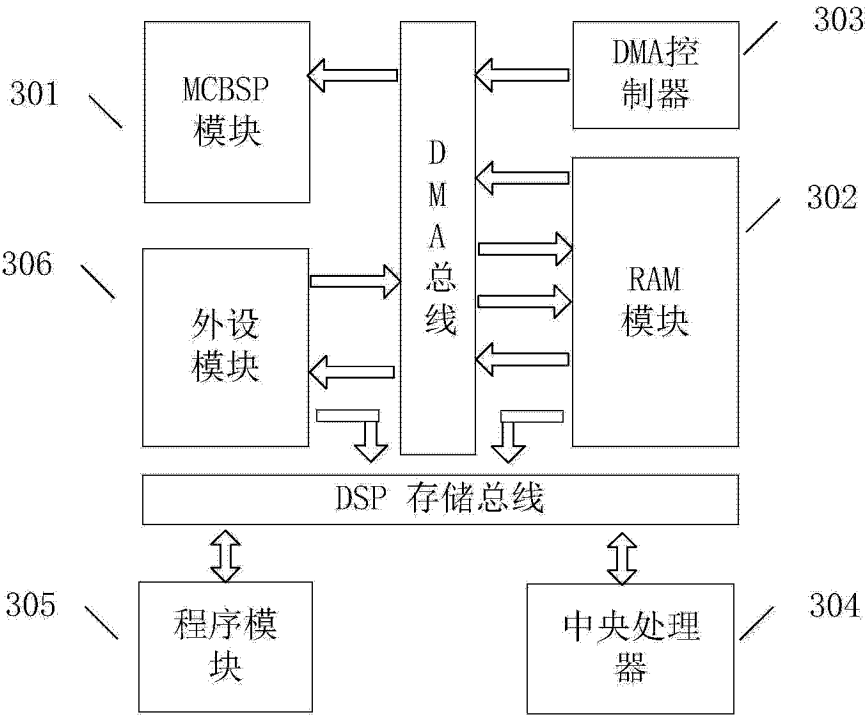


图 3

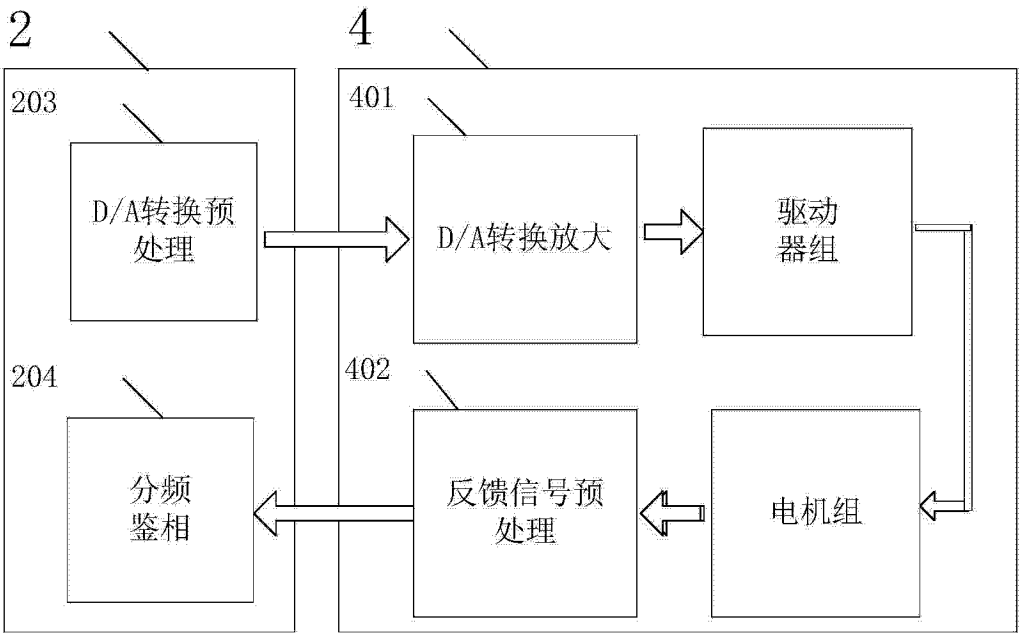


图 4

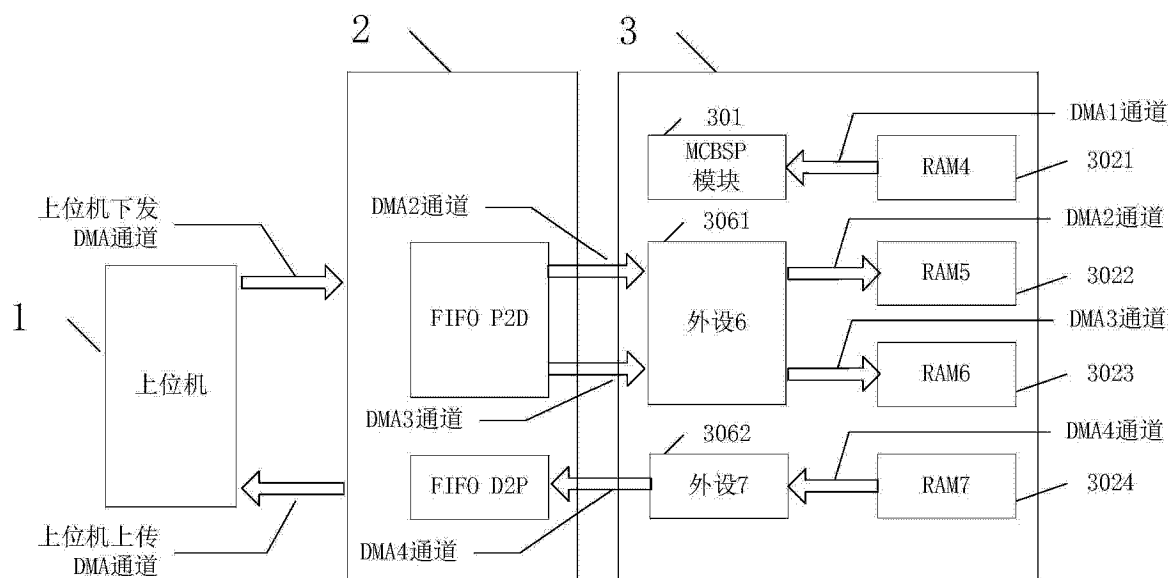


图 5

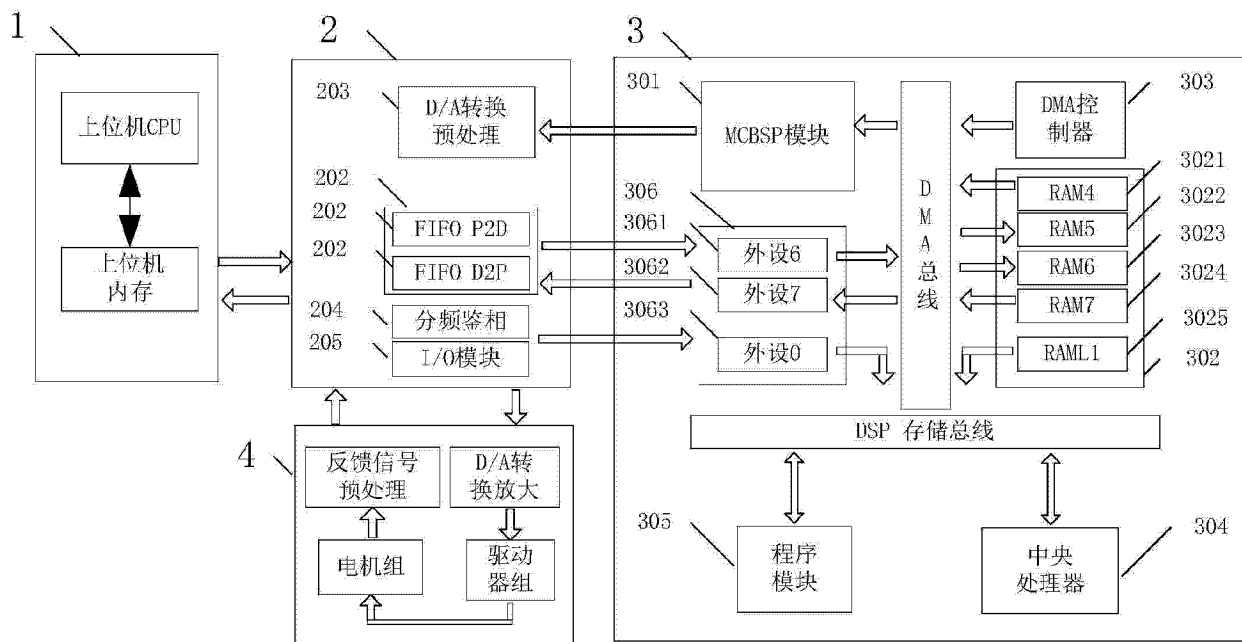


图 6

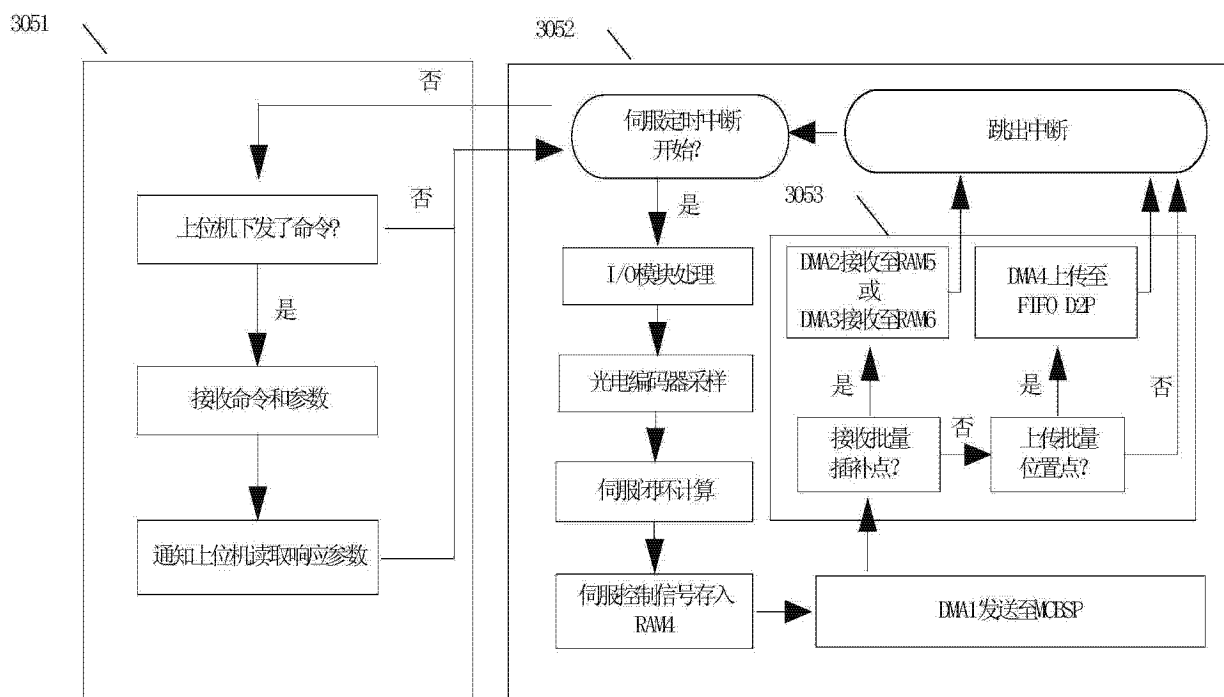


图 7