

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B1)

(11) 特許番号
特許第4988048号
(P4988048)

(45) 発行日 平成24年8月1日 (2012.8.1)

(24) 登録日 平成24年5月11日 (2012.5.11)

(51) Int.Cl.

G 1 1 C 16/06 (2006.01)

F I

G 1 1 C 17/00 6 3 1

G 1 1 C 17/00 6 3 6 A

請求項の数 5 (全 21 頁)

(21) 出願番号	特願2011-28664 (P2011-28664)	(73) 特許権者	000003078
(22) 出願日	平成23年2月14日 (2011.2.14)		株式会社東芝
審査請求日	平成23年11月9日 (2011.11.9)		東京都港区芝浦一丁目1番1号
早期審査対象出願		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
			最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

メモリセルとインターフェースとを具備する半導体記憶装置であって、
前記インターフェースは、
前記半導体記憶装置がアクティブな第1制御信号を受け取ったことに応答してアクティブな第1内部信号を出力する第1入力回路と、
前記半導体記憶装置にアクティブな前記第1制御信号が入力されている間に前記半導体記憶装置がアクティブな第2制御信号を受け取ったことに応答してアクティブな第2内部信号を出力する第2入力回路と、
前記第1制御信号がインアクティブおよびアクティブになった時点から予め定められた時間の経過後にそれぞれ第1状態および第2状態の選択信号を出力する遅延回路と、
前記第1状態の前記選択信号を受け取っている間、前記第1内部信号をイネーブル信号として出力し、前記第2状態の前記選択信号を受け取っている間、前記第2内部信号を前記イネーブル信号として出力する選択回路と、
アクティブな前記イネーブル信号を受け取っている間、前記半導体記憶装置の外部から入力される入力信号を前記インターフェースから前記半導体記憶装置の内部へと出力する第3入力回路と、
を具備する半導体記憶装置。

【請求項 2】

前記半導体記憶装置がアクティブな前記第1制御信号を受け取っている間にアクティブ

な第 3 制御信号をさらに受け取ったことに応答して、前記第 1 入力回路がインアクティブな前記第 1 内部信号を出力する、

ことを特徴とする、請求項 1 の半導体記憶装置。

【請求項 3】

前記半導体記憶装置がアクティブな前記第 1 制御信号を受け取っている間にアクティブな第 4 制御信号をさらに受け取ったことに応答して、前記第 2 入力回路がアクティブな前記第 2 内部信号を出力する、

ことを特徴とする、請求項 2 の半導体記憶装置。

【請求項 4】

前記第 2 入力回路が、前記半導体記憶装置がアクティブな前記第 1 制御信号を受け取っている間にアクティブな前記第 4 制御信号をさらに受け取った時点から予め定められた時間の経過後にアクティブな前記第 2 内部信号を出力する、

ことを特徴とする、請求項 3 の半導体記憶装置。

【請求項 5】

前記第 2 入力回路が、前記半導体記憶装置が同期動作型として設定されているか非同期動作型として設定されているかに応じて、前記半導体記憶装置がアクティブな前記第 1 制御信号を受け取っている間にアクティブな前記第 4 制御信号を受け取った時点から予め定められた第 1 時間または前記第 1 時間より長い第 2 時間の経過後にアクティブな前記第 2 内部信号を出力する、

ことを特徴とする、請求項 4 の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

不揮発性の半導体メモリとして、NAND型フラッシュメモリが広く知られている。NAND型フラッシュメモリは、所望の大きさのデータをメモリセルに一括して記憶する。また、NAND型フラッシュメモリは、所望の大きさのデータをメモリセルから一括して外部に出力する。

【0003】

複数の機能を有する機能ブロックを 1 つの半導体チップに搭載してシステムを構成することが行なわれている。これによって、半導体装置を所望の機能を提供するように構成することができる。このような機能ブロックには、例えば、NAND型フラッシュメモリや、RAM (random access memory) が含まれる。

【0004】

このようなシステムにおいて、さらなる高速動作に対する要求が存在する。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2008 - 112546 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

高速動作が可能な半導体記憶装置を提供しようとするものである。

【課題を解決するための手段】

【0007】

実施形態の一実施形態による半導体記憶装置は、メモリセルとインターフェースとを具備し、前記インターフェースは、前記半導体記憶装置がアクティブな第 1 制御信号を受け取ったことに応答してアクティブな第 1 内部信号を出力する第 1 入力回路と、前記半導体

10

20

30

40

50

記憶装置にアクティブな前記第 1 制御信号が入力されている間に前記半導体記憶装置がアクティブな第 2 制御信号を受け取ったことに応答してアクティブな第 2 内部信号を出力する第 2 入力回路と、前記第 1 制御信号がインアクティブおよびアクティブになった時点から予め定められた時間の経過後にそれぞれ第 1 状態および第 2 状態の選択信号を出力する遅延回路と、前記第 1 状態の前記選択信号を受け取っている間、前記第 1 内部信号をインネーブル信号として出力し、前記第 2 状態の前記選択信号を受け取っている間、前記第 2 内部信号を前記インネーブル信号として出力する選択回路と、アクティブな前記インネーブル信号を受け取っている間、前記半導体記憶装置の外部から入力される入力信号を前記インターフェースから前記半導体記憶装置の内部へと出力する第 3 入力回路と、を具備する。

【図面の簡単な説明】

10

【0008】

【図 1】第 1 実施形態に係る半導体記憶装置のブロック図。

【図 2】NAND 型フラッシュメモリのメモリセルアレイの回路図。

【図 3】第 1 実施形態に係る半導体記憶装置のインターフェースのブロック図。

【図 4】/CE 入力回路の例示的な回路図。

【図 5】第 1 実施形態の /AVD 入力回路の例示的な回路図。

【図 6】/OE 入力回路の例示的な回路図。

【図 7】第 1 実施形態の /WE 入力回路の例示的な回路図。

【図 8】第 1 実施形態のロジック回路およびスイッチ回路の例示的な回路図。

【図 9】遅延回路の例示的な回路図。

20

【図 10】アドレス & データ入力回路の例示的な回路図。

【図 11】インターフェースのデータリード時の各信号のタイミングチャート。

【図 12】第 1 実施形態のインターフェースのデータライト時の各信号のタイミングチャート。

【図 13】第 2 実施形態に係る半導体記憶装置のインターフェースのブロック図。

【図 14】第 2 実施形態の /WE 入力回路の例示的な回路図。

【図 15】第 2 実施形態の /AVD 入力回路の例示的な回路図。

【図 16】第 2 実施形態のロジック回路およびスイッチ回路の例示的な回路図。

【図 17】第 2 実施形態のインターフェースのデータライト時の各信号のタイミングチャート。

30

【発明を実施するための形態】

【0009】

本発明者等は、実施形態の開発の過程において、以下に述べるような知見を得た。

【0010】

(参考例)

半導体記憶装置には、半導体記憶装置を制御するための種々の信号が入力される。そのような信号の中には、信号 /CE (記号「/」は否定論理であることを示す)、信号 /AVD、アドレス ADD、クロック CLK 等が含まれる。各信号を適切に組み合わせることによって半導体装置に所望の動作を行なわせることが可能である。各信号の機能に従って、いずれの信号がある別の信号よりも先にアクティブとされていなければならないかが規定されている。例えば、半導体記憶装置がアドレスを取り込むためには、まず、信号 /CE がアクティブにされた後に、信号 /AVD がアクティブにされる必要がある。次いで、共にアクティブな信号 /CE および信号 /AVD によって初めて出力される信号が出力されている間にアドレス ADD が半導体記憶装置に入力されると、アドレス ADD が半導体記憶装置に取り込まれることが可能になる。

40

【0011】

半導体記憶装置には、上記のように、さらなる高速動作が要求されている。この要求に対して、上記のアドレス ADD を半導体記憶装置によって取り込むための一連の処理に要する時間が足かせとなっている。そこで、この処理に要する時間を短縮するために、アクティブな信号 /AVD の入力を省略することが考えられる。すなわち、アクティブな信号

50

／ＣＥが入力されていればアドレスＡＤＤが取り込まれるようにすることが考えられる。このような制御とすれば、信号／ＡＶＤがアクティブになるのを待つ時間分、必要時間が短縮される。

【００１２】

しかしながら、このような制御とすると、以下のような問題が生じる。アドレス入力回路の制御信号としている／ＣＥがアクティブの時に、アドレスＡＤＤは、ローレベルおよびハイレベルの一方の値しか取る可能性がない場合は、以下の課題は生じない。ところが、実際には、アドレス入力回路の制御信号としている／ＣＥがアクティブの時に、アドレスを送るラインがフローティングとなる等の理由により中間電位を有する信号がこのラインを流れることがある。このような電位のアドレスＡＤＤが半導体装置に入力されると、この中間電位によって、例えばアドレスを送るラインの入力回路内の全ＮＭＯＳトランジスタと全ＰＭＯＳトランジスタがオン状態となり、電源電位と接地電位との間を貫通電流が流れてしまう場合がある。

10

【００１３】

以下に、このような知見に基づいて構成された実施形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。ただし、図面は模式的なものであることに留意すべきである。また、以下に示す各実施形態は、この実施形態の技術的思想を具体化するための装置や方法を例示するものであって、実施形態の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。実施形態の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

20

【００１４】

（第１実施形態）

< １．メモリシステムの全体構成 >

図１は、第１本実施形態に係る半導体記憶装置（メモリシステム）のブロック図である。図に示すように、第１実施形態に係るメモリシステム１は、ＮＡＮＤ型フラッシュメモリ２、ＲＡＭ部３、およびコントローラ部４を備えている。ＮＡＮＤ型フラッシュメモリ２、ＲＡＭ部３、およびコントローラ部４は、同一の半導体基板上に形成され、１つのチップに集積されている。以下、各ブロックについてさらに説明する。

30

【００１５】

< １－１．ＮＡＮＤ型フラッシュメモリ２ >

フラッシュメモリ２は、メモリシステム１の主記憶部として機能する。図に示すように、フラッシュメモリ２は、メモリセルアレイ１０、ロウデコーダ１１、ページバッファ１２、電圧発生回路１３、シーケンサ１４、オシレータ１５、１６を含んでいる。

【００１６】

メモリセルアレイ１０は、複数のメモリセルトランジスタを含んでいる。図２はメモリセルアレイ１０の回路図である。図に示すように、メモリセルアレイ１０は、複数のメモリセルユニットＣＵを備えている。メモリセルユニットＣＵの各々は、例えば３２個のメモリセルトランジスタＭＴと、選択トランジスタＳＴ１、ＳＴ２とを含んでいる。メモリセルトランジスタＭＴは、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層（例えば浮遊ゲート）と、電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートとを有する積層ゲート構造を含んでいる。また、メモリセルトランジスタＭＴは、窒化膜に電子をトラップさせる方式を用いたＭＯＮＯＳ（Metal Oxide Nitride Oxide Silicon）構造であっても良い。

40

【００１７】

隣接するメモリセルトランジスタＭＴ同士の電流経路は直列接続されている。直列接続されたメモリセルトランジスタＭＴの一端側のドレインは選択トランジスタＳＴ１のソースに接続され、他端側のソースは選択トランジスタＳＴ２のドレインに接続されている。

【００１８】

同一行にあるメモリセルトランジスタＭＴの各制御ゲートは、ワード線ＷＬ０～ＷＬ３

50

1のいずれか同じものに接続される。また同一行にある選択トランジスタST1、ST2の各ゲートは、それぞれセレクトゲート線SGD、SGSに接続されている。選択トランジスタST1の各ドレインは、ビット線BL0～BLn（nは自然数）のいずれかに接続されている。選択トランジスタST2のソースはソース線SLに共通接続されている。

【0019】

同一のワード線WL0～WL31に接続された複数のメモリセルトランジスタMTはページを構成する。データの書き込みおよび読み出しは、1つのページ内のメモリセルトランジスタMTに対して一括して行なわれる。また、複数のページのデータが一括して消去されるように構成されており、この消去の単位をメモリブロックと呼ぶ。

【0020】

10

各メモリセルトランジスタMTは、例えば、浮遊ゲートに注入された電子の多寡によるトランジスタの閾値電圧の変化に応じて、1ビットのデータを保持することが可能である。閾値電圧の制御を細分化し、各々のメモリセルトランジスタMTに2ビット以上のデータを保持する構成としても良い。

【0021】

引き続き図1に戻って、フラッシュメモリ2の構成について説明を続ける。ロウデコーダ11は、データの書き込み、読み出し、および消去の際に、ワード線WL0～WL31およびセレクトゲート線SGD、SGSを選択する。そして、必要な電圧をワード線WL0～WL31およびセレクトゲート線SGD、SGSに印加する。

【0022】

20

ページバッファ12はメモリセルアレイ11のページと同じ大きさ（例えば（2048+64）バイト）のデータを保持できるように構成されている。すなわち、ページバッファは、読み出しの際はメモリセルアレイ11から読み出された1ページ分のデータを一時的に保持し、書き込みの際はメモリセルアレイ11に書き込むべき1ページ分のデータを一時的に保持する。また、ページバッファ12は、64ビットの幅のデータを出力する。バスを介してNANDバスへ出力し、この幅のデータをNANDバスから入力するように構成されている。NANDバスは、ページバッファ12とRAM部3との間のデータの転送のための経路である。

【0023】

電圧発生回路13は、データの書き込み、読み出し、および消去に必要な電圧を生成し、生成された電圧を例えばロウデコーダ11に供給する。

30

【0024】

シーケンサ14は、フラッシュメモリ2全体の動作を司る。すなわち、シーケンサ14は、コントローラ部4からプログラム命令（Program）、ロード命令（Load）、または消去命令（図示せず）を受けると、これにตอบสนองして、データのプログラム、読み出し、および消去を実行するためのシーケンスを実行する。そして、このシーケンスに従って、電圧発生回路13やページバッファ12の動作を制御する。

【0025】

オシレータ15は、内部クロックICKを生成し、生成された内部クロックICKをシーケンサ14に供給する。シーケンサ14は、この内部クロックICKに同期して動作する。また、シーケンサ14は、内部クロックICKから幾つかのクロックBCKを生成し、このクロックBCKをNANDバスに供給する。

40

【0026】

オシレータ16は内部クロックACKを生成し、生成された内部クロックACKをコントローラ部4やRAM部3へ供給する。内部クロックACKは、コントローラ部4やRAM部3の動作の基準となるクロックである。

【0027】

< 1 - 2 . RAM部3 >

引き続き図1を参照して、RAM部3について説明する。RAM部3は、大まかに、ECC部20、SRAM（Static Random Access Memory）30、インターフェース部40

50

、およびアクセスコントローラ 50 を含んでいる。

【0028】

メモリシステム 1 では、フラッシュメモリ 2 が主記憶部として機能し、R A M 部 3 の S R A M 部 30 がバッファとして機能する。従って、フラッシュメモリ 2 からデータを外部に読み出すには、まずフラッシュメモリ 2 のメモリセルアレイ 10 から読み出されたデータが、ページバッファ 12 および N A N D バスを介して R A M 部 3 の S R A M 部 30 に格納される。その後、S R A M 部 30 内のデータがインターフェース部 40 に転送されて、外部に出力される。他方、データをフラッシュメモリ 2 に記憶させるには、まず外部から与えられたデータが、インターフェース部 40 を介して R A M 部 3 内の S R A M 部 30 に格納される。その後、S R A M 部 30 内のデータがページバッファ 12 へ転送されて、メモリセルアレイ 10 に書き込まれる。

10

【0029】

以下の説明では、データがメモリセルアレイ 10 から読み出されてから、ページバッファ 12 を介して S R A M 部 30 に転送されるまでの動作を、データの“ロード (load)”と呼ぶ。また、S R A M 部 30 内のデータが、インターフェース部 40 内のバーストバッファ 41、42 (後述する) を介してインターフェース 43 に転送されるまでの動作を、データの“リード (read)”と呼ぶ。

【0030】

また、フラッシュメモリ 2 に記憶させるべきデータが、インターフェース 43 からバーストバッファ 41、42 を介して S R A M 部 30 に転送されるまでの動作を、データの“ライト (write)”と呼ぶ。また、S R A M 部 30 内のデータがページバッファ 12 に転送されて、メモリセルアレイ 10 に書き込まれるまでの動作を、データの“プログラム (program)”と呼ぶ。

20

【0031】

< 1 - 2 - 1 . E C C 部 20 >

E C C 部 20 は、E C C 処理を行う。すなわち、データのロード時には、フラッシュメモリ 2 から読み出されたデータについてエラーの検出および訂正を行う。他方、データのプログラム時には、プログラムすべきデータについてのパリティを生成する。E C C 部 20 は、E C C バッファ 21 および E C C エンジン 22 を含んでいる。

【0032】

E C C バッファ 21 は、N A N D バスによってページバッファ 12 と接続され、E C C バスにより S R A M 部 30 と接続される。E C C バッファ 21 は、E C C 処理 (データロード時は誤り訂正、データプログラム時はパリティ生成) のために一時的にデータを格納する。E C C バッファ 21 は、64 ビットの幅で N A N D バスと接続されている。E C C エンジン 22 は、E C C バッファ 21 に保持されるデータを用いて E C C 処理を行う。

30

【0033】

< 1 - 2 - 2 . S R A M 部 30 >

S R A M 部 30 は、フラッシュメモリ 2 に対するバッファメモリとして機能する。S R A M 部 30 は、前述の D Q バッファ 31、メモリセルアレイ 32、センスアンプ 33、およびロウデコーダ 34 を含んでいる。D Q バッファ 31 は、データのロード、リード、ライト、プログラムの際に、メモリセルアレイ 32 へのデータまたはメモリセルアレイ 32 からのデータを一時的に格納する。メモリセルアレイ 32 は、データ保持可能な複数の S R A M セルを含んでいる。センスアンプ 33 は、S R A M セルからのデータをセンスおよび増幅し、また、D Q バッファ 31 内のデータを S R A M セルに書き込む際の負荷としても機能する。ロウデコーダ 34 は、メモリセルアレイ 32 内の特定のワード線を選択する。

40

【0034】

< 1 - 2 - 3 . インターフェース部 40 >

インターフェース部 40 は、バーストバッファ 41、42、およびインターフェース 43 を含んでいる。

50

【 0 0 3 5 】

インターフェース 4 3 は、メモリシステム 1 外部のホスト機器との間で、データ、制御信号、およびアドレス等の様々な信号の入出力を行なう。制御信号の一例は、メモリシステム 1 全体をイネーブルにするチップイネーブル信号 / C E、アドレスをラッチさせるためのアドレスバリッド信号 / A V D、バーストリード用のクロック C L K、書き込み動作をイネーブルにするためのライトイネーブル信号 / W E、データの外部への出力をイネーブルにするためのアウトプットイネーブル信号 / O E、などである。また、インターフェース 4 3 は、ホスト機器からのデータのリード要求、ロード要求、ライト要求、およびプログラム要求等に係る制御信号をアクセスコントローラ 5 0 へ転送する。

【 0 0 3 6 】

バーストバッファ 4 1、4 2 は、例えば 1 6 ビットの幅を有する D I N / D O U T バスによりインターフェース 4 3 と接続されている。バーストバッファ 4 1、4 2 は、D Q バッファ 3 1、コントローラ部 4、およびインターフェース 4 3 とデータを転送可能に構成されている。また、バーストバッファ 4 1、4 2 は、ホスト機器からのデータ、または D Q バッファ 3 1 からのデータを、一時的に保持する。

【 0 0 3 7 】

< 1 - 2 - 4 . アクセスコントローラ 5 0 > >

アクセスコントローラ 5 0 は、インターフェース 4 3 から制御信号およびアドレスを受け取る。そして、ホスト機器の要求を満たす動作を実行するよう、S R A M 部 3 0 およびコントローラ部 4 を制御する。より具体的には、アクセスコントローラ 5 0 は、ホスト機器の要求に応じて、S R A M 部 3 0 とコントローラ 4 の後述するレジスタ 6 0 とのいずれかをアクティブ状態とする。そして、S R A M 部 3 0 またはレジスタ 6 0 に対するデータのライトコマンドまたはリードコマンド (Write/Read) を発行する。これらの制御により、S R A M 部 3 0 およびコントローラ部 4 は動作を開始する。

【 0 0 3 8 】

< 1 - 3 . コントローラ部 4 >

コントローラ部 4 は、メモリシステム 1 全体の動作を統括する。コントローラ部 4 は、レジスタ 6 0、コマンドユーザインターフェース 6 1、ステートマシン 6 2、アドレス / コマンド発生回路 6 3、およびアドレス / タイミング発生回路 6 4 を含んでいる。

【 0 0 3 9 】

レジスタ 6 0 は、アクセスコントローラ 5 0 からのコマンドに応じて、ファンクションの動作状態を設定するためのものである。より具体的には、レジスタ 6 0 は、例えばロードコマンドや、プログラムコマンドを保持する。

【 0 0 4 0 】

コマンドユーザインターフェース 6 1 は、所定のコマンドがレジスタ 6 0 に保持されることで、メモリシステム 1 に対してファンクション実行コマンドが与えられたことを認識する。そして、内部コマンド信号 (Command) をステートマシン 6 2 へ出力する。

【 0 0 4 1 】

ステートマシン 6 2 は、コマンドユーザインターフェース 6 1 から与えられる内部コマンド信号に基づいて、メモリシステム 1 内部におけるシーケンス動作を制御する。ステートマシン 6 2 がサポートするファンクションは、ロード、プログラム、および消去を含め多数のものがある。ステートマシン 6 2 は、これらのファンクションを実行するよう、フラッシュメモリ 2 および R A M 部 3 の動作を制御する。

【 0 0 4 2 】

アドレス / コマンド発生回路 6 3 は、ステートマシン 6 2 の制御に基づいてフラッシュメモリ 2 の動作を制御する。より具体的には、アドレスやコマンド (Program/Load) 等を生成し、これらをフラッシュメモリ 2 へ出力する。アドレス / コマンド発生回路 6 3 は、オシレータ 1 6 の生成する内部クロック A C L K と同期しながら、これらのアドレスやコマンドを出力する。

【 0 0 4 3 】

アドレス/タイミング発生回路 6 4 は、ステートマシン 6 2 の制御に基づいて R A M 部 3 の動作を制御する。より具体的には、R A M 部 3 において必要なアドレスやコマンドを発行して、これらをアクセスコントローラ 5 0 および E C C エンジン 2 2 へ出力する。

【 0 0 4 4 】

< 1 - 4 . メモリシステム 1 の動作 >

次に、メモリシステム 1 における動作について簡単に説明する。上記の通り、フラッシュメモリ 2 とホスト機器との間のデータの授受は、S R A M 部 3 0 を介して行われる。ホスト機器がメモリシステム 1 のフラッシュメモリ 2 にデータを記憶させるためには、まずホスト機器からのライトコマンドと S R A M 部 3 0 のアドレスに従って、データが S R A M 部 3 0 に格納される。その後、ホスト機器からのプログラムコマンドとフラッシュメモリ 2 のアドレスに従って、S R A M 部 3 0 に格納されたデータが、ページ単位で一括してフラッシュメモリ 2 にプログラムされる。

10

【 0 0 4 5 】

また、ホスト機器がフラッシュメモリ 2 内のデータを読み出すためには、まずホスト機器からのロードコマンド、フラッシュメモリ 2 のアドレス、および S R A M 部 3 0 のアドレスに従って、データがフラッシュメモリ 2 から読み出され、S R A M 部 3 0 に格納される。その後、ホスト機器からのリードコマンドと S R A M 部 3 0 のアドレスに従って、S R A M 部 3 0 に保持されるデータが、インターフェース部 4 0 を介してホスト機器に読み出される。

【 0 0 4 6 】

20

以下に、ロードの場合の動作手順の一例について、簡単に説明する。まず、ホスト機器がインターフェース部 4 0 に対して、ロードすべきフラッシュメモリ 2 のアドレスおよび S R A M のアドレスを入力し、またロードコマンドを入力する。このコマンドに回答して、アクセスコントローラ 5 0 は、当該アドレスおよびコマンドをレジスタ 6 0 において保持する。コマンドユーザインターフェース 6 1 は、レジスタ 6 0 にコマンドが保持されたことを検知すると、内部コマンド信号を発行する。ロードの場合にはロードコマンドが発行される。

【 0 0 4 7 】

ユーザインターフェース 6 1 からロードコマンドを受信することにより、ステートマシン 6 2 が起動する。ステートマシン 6 2 は、各回路ブロックについて必要な初期化を行った後、フラッシュメモリ 2 に対してセンスコマンドを発行するようアドレス/コマンド発生回路 6 3 に要求する。するとアドレス/コマンド発生回路 6 3 は、レジスタ 6 0 に設定されたアドレスのデータのセンスを行うよう、シーケンサ 1 4 に対してセンスコマンドを発行する。

30

【 0 0 4 8 】

アドレス/コマンド発生回路 6 3 からセンスコマンドを受けると、シーケンサ 1 4 が起動する。シーケンサ 1 4 は、フラッシュメモリ 2 内の必要な初期化を行った後、指定されたアドレスのデータに対してセンス動作を行う。すなわち、シーケンサ 1 4 は、電圧発生回路 1 3、ロウデコーダ 1 1、センスアンプ、およびページバッファ 1 2 を制御し、センスされたデータをページバッファ 1 2 に格納させる。その後シーケンサ 1 4 は、センス動作が終了したことを、ステートマシン 6 2 に通知する。

40

【 0 0 4 9 】

ステートマシン 6 2 は、フラッシュメモリ 2 に対して転送コマンドを発行するようアドレス/コマンド発生回路 6 3 に命令する。この命令に応じてアドレス/コマンド発生回路 6 3 は、転送コマンドをシーケンサ 1 4 へ出力する。シーケンサ 1 4 は、転送コマンドを受けると、ページバッファ 1 2 および N A N D バスを制御して、N A N D バスを介してページバッファ 1 2 内のデータを E C C バッファ 2 1 へ転送する。

【 0 0 5 0 】

ステートマシン 6 2 は、E C C 部 2 0 にエラー訂正開始制御信号を供給する。この信号に回答して、E C C 部 2 0 は E C C 処理を行う。そして、E C C 処理されたデータが、E

50

ＣＣ部２０からＥＣＣバスを介してＤＱバッファ３１に転送される。引き続き、アクセスコントローラ５０の命令に従って、ＤＱバッファ３１内のデータが、ＳＲＡＭ部３０のメモリセルアレイ３２に書き込まれる。

【００５１】

以上のステップにより、データのロードが完了する。その後、ホスト機器はインターフェース部４０を介してリードコマンドを発行することで、メモリセルアレイ３２に書き込まれたデータを読み出す。

【００５２】

< ２．インターフェース >

次に、図３～図１２を参照して、インターフェース４３についてさらに説明する。図３は、第１実施形態に係る半導体記憶装置のインターフェースのブロック図である。図３に示すように、インターフェース４３は、／ＣＥ入力回路１０１を有する。／ＣＥ入力回路１０１は、メモリシステム１の外部から、チップイネーブル信号／ＣＥおよび制御信号ＣＴを受け取る。／ＣＥ入力回路１０１は、制御信号ＣＴが入力されている間に信号／ＣＥを受け取ると、信号／ＣＥを受け取った時点から所定の時間遅延された信号ＣＥ＿ＡＶＤ、／ＣＥ＿ＣＬＫ、ＣＥ＿ＯＥ、ＣＥ＿ＷＥ、ＣＥ＿ＤＬＹを出力する。

【００５３】

信号ＣＥ＿ＡＶＤは、／ＡＶＤ入力回路１０２に入力される。アクティブな信号ＣＥ＿ＡＶＤは、／ＡＶＤ入力回路１０２をイネーブルにする。／ＡＶＤ入力回路１０２はまた、メモリシステム１の外部からアドレスバリッド信号／ＡＶＤを受け取るとともに、信号ＣＥ１および信号ＢＳＴＷＥを受け取る。信号ＣＥ１および信号ＢＳＴＷＥは、後述の遅延回路１０６および／ＷＥ入力回路１０４によりそれぞれ生成される。／ＡＶＤ入力回路１０２は、／ＡＶＤ入力回路１０２がイネーブルである間、信号／ＡＶＤ、ＣＥ１、ＢＳＴＷＥから信号／ＡＶＤＩＮＢＵＦを生成する。アクティブな信号／ＡＶＤＩＮＢＵＦは、後述のアドレス＆データ入力回路１０８をイネーブルにする。信号／ＡＶＤＩＮＢＵＦは、信号ＢＳＴＷＥがインアクティブである限り、信号／ＡＶＤがアクティブおよびインアクティブになったことに応答して、それぞれアクティブおよびインアクティブになる。信号／ＡＶＤＩＮＢＵＦは、信号ＢＳＴＷＥがアクティブであると、アクティブである。

【００５４】

信号ＣＥ＿ＯＥは、／ＯＥ入力回路１０３に入力される。アクティブな信号ＣＥ＿ＯＥは、／ＯＥ入力回路１０３をイネーブルにする。／ＯＥ入力回路１０３はまた、メモリシステム１の外部からアウトプットイネーブル信号／ＯＥを受け取る。／ＯＥ入力回路１０３は、／ＯＥ入力回路１０３がイネーブルである間に信号／ＯＥを受け取ると、信号ＯＥを出力する。信号ＯＥは、信号／ＯＥより所定時間遅延されている。

【００５５】

信号ＣＥ＿ＷＥは、／ＷＥ入力回路１０４に入力される。アクティブな信号ＣＥ＿ＷＥは、／ＷＥ入力回路１０４をイネーブルにする。／ＷＥ入力回路１０４はまた、メモリシステム１の外部からライトイネーブル信号／ＷＥを受け取る。／ＷＥ入力回路１０４は、／ＷＥ入力回路１０４がイネーブルである間に信号／ＷＥを受け取ると、信号／ＷＥをラッチするとともに信号ＢＳＴＷＥとして出力する。

【００５６】

信号／ＣＥ＿ＣＬＫ、ＯＥ、ＢＳＴＷＥは、ロジック回路１０５に入力される。ロジック回路１０５はまた、信号／ＣＥ１を受け取る。ロジック回路１０５は、信号／ＣＥ＿ＣＬＫ、ＯＥ、ＢＳＴＷＥ、／ＣＥ１から信号／ＡＤＤＥＮＢを生成し出力する。信号／ＡＤＤＥＮＢは、アドレス＆データ入力回路１０８のイネーブルを制御する信号である。信号／ＡＤＤＥＮＢは、信号／ＯＥがインアクティブである間に信号／ＣＥがアクティブになった時点から所定時間経過後にアクティブになる。また、信号／ＡＤＤＥＮＢは、信号／ＯＥがアクティブとなると、インアクティブになる。

【００５７】

信号ＣＥ＿ＤＬＹは、遅延回路１０６に入力される。遅延回路１０６は、信号ＣＥ＿Ｄ

10

20

30

40

50

L Yから信号 / C E 1 を生成し出力する。信号 / C E 1 は、信号 C E _ D L Y が遅延された信号である。

【 0 0 5 8 】

信号 / A V D I N B U F、 / A D D E N B、 / C E 1 は、スイッチ回路 1 0 7 に入力される。スイッチ回路 1 0 7 は、信号 / C E 1 に応じて、信号 / A V D I N B U F、 / A D D E N B の一方を信号 / A V D I N B U F _ A および / A V D I N B U F _ B として出力する。 / A V D I N B U F _ A および / A V D I N B U F _ B は同一の信号であり、図では、信号 / A V D I N B U F _ A / B として記載されている。具体的には、スイッチ回路 1 0 7 は、信号 / C E 1 がローレベルの間、信号 / A D D E N B を出力し、信号 / C E 1 がハイレベルの間、信号 / A V D I N B U F を出力する。

10

【 0 0 5 9 】

信号 / A V D I N B U F _ A / B は、アドレス&データ入力回路 1 0 8 に入力される。

【 0 0 6 0 】

アクティブな信号 / A V D I N B U F _ A / B は、アドレス&データ入力回路 1 0 8 をイネーブルにする。アドレス&データ入力回路 1 0 8 はまた、メモリシステム 1 の外部から信号 P A D A D Q を受け取る。信号 P A D A D Q は、アドレスまたはデータ信号であり、例えば 1 6 ビットを有する。このように、メモリシステム 1 では、アドレスおよびデータ信号が共通のパッドから入出力される。アドレス&データ入力回路 1 0 8 は、アドレスのビット数と同じ数（例えば 1 6 ビット）の同一の回路の組を含んでおり、各回路が信号 P A D A D Q の 1 ビット分を受け取る。こうして、イネーブルであるアドレス&データ入力回路 1 0 8 は、1 6 ビットの信号 P A D A D Q を 1 6 ビットの信号 A D Q として出力する。信号 A D Q は、アクセスコントローラ 5 0 に入力される。

20

【 0 0 6 1 】

次に、図 4 ~ 図 1 0 を参照して、図 3 のブロック図中の各ブロックの具体例について説明する。図 4 は、 / C E 入力回路 1 0 1 の例示的な回路図である。図 4 に示すように、パッドから入力された信号 / C E は、E S D 素子 E S D 1 に入力される。E S D 素子 E S D 1 の出力は、ナンド回路 N D 1 1 に入力される。ナンド回路 N D 1 1 はまた、制御信号 C T を受け取る。ナンド回路 N D 1 1 の出力は、ナンド回路 N D 1 2 に入力される。ナンド回路 N D 1 2 はまた、制御信号 C T を受け取る。ナンド回路 N D 1 2 の出力は、信号 / C E _ C L K として機能する。ナンド回路 N D 1 2 の出力はまた、インバータ回路 I V 1 1 に入力される。インバータ回路 I V 1 1 の出力は、信号 C E _ A V D として機能する。インバータ回路 I V 1 1 の出力はまた、所定数（例えば 2 個）の直列接続されたインバータ回路 I V 1 2 を介して信号 C E _ O E として機能する。インバータ回路 I V 1 1 の出力はまた、所定数（例えば 2 個）の直列接続されたインバータ回路 I V 1 3 を介して信号 C E _ W E として機能する。ナンド回路 N D 1 2 の出力はまた、所定数（例えば 3 個）の直列接続されたインバータ回路 I V 1 4 を介して信号 C E _ D L Y として機能する。

30

【 0 0 6 2 】

図 5 は、 / A V D 入力回路 1 0 2 の例示的な回路図である。図 5 に示すように、パッドから入力された信号 / A V D は、E S D 素子 E S D 2 に入力される。E S D 素子 E S D 2 の出力は、ナンド回路 N D 2 1 に入力される。ナンド回路 N D 2 1 はまた、信号 C E _ A V D を受け取る。ナンド回路 N D 2 1 の出力は、ナンド回路 N D 2 2 に入力される。ナンド回路 N D 2 2 はまた、信号 C E _ A V D を受け取る。ナンド回路 N D 2 2 の出力は、セット・リセット回路 S R のセット入力に入力される。セット・リセット回路 S R の出力は、アンド回路 A D 2 1 に入力される。アンド回路 A D 2 1 はまた、信号 C E 1 のインバータ回路 2 1 によって反転された形態の信号を受け取る。アンド回路 A D 2 1 の出力および信号 B S T W E はノア回路 N R 2 1 に入力される。ノア回路 N R 2 1 の出力はインバータ回路 I V 2 2 を介して信号 / A V D I N B U F として機能する。

40

【 0 0 6 3 】

図 6 は、 / O E 入力回路 1 0 3 の例示的な回路図である。図 6 に示すように、パッドから入力された信号 / O E は、E S D 素子 E S D 3 に入力される。E S D 素子 E S D 3 の出

50

力は、ナンド回路ND31にされる。ナンド回路ND31はまた、信号CE__OEを受け取る。ナンド回路ND31の出力は、ナンド回路ND32にされる。ナンド回路ND32はまた、信号CE__OEを受け取る。ナンド回路ND32の出力は、所定数（例えば7個）の直列接続されたインバータ回路IV31を介して信号OEとして機能する。

【0064】

図7は、ノWE入力回路104の例示的な回路図である。図7に示すように、パッドからされた信号ノWEは、ESD素子ESD4にされる。ESD素子ESD4の出力は、ナンド回路ND41にされる。ナンド回路ND41はまた、信号CE__WEを受け取る。ナンド回路ND41の出力は、ナンド回路ND42にされる。ナンド回路ND42はまた、信号CE__WEを受け取る。ナンド回路ND42の出力は、ラッチ回路Lにされる。ラッチ回路Lは、動作制御信号としてクロックCLKを受け取る。ラッチ回路Lの出力は、所定数（例えば3個）の直列接続されたインバータ回路IV41を介して信号BSTWEとして機能する。

10

【0065】

図8は、ロジック回路105およびスイッチ回路107の例示的な回路図である。図8に示すように、信号OEはナンド回路ND51にされる。信号BSTWEはインバータ回路IV51を介してナンド回路ND51にされる。ナンド回路ND51の出力は、インバータ回路IV52を介してノア回路NR51にされる。ノア回路NR51はまた、信号ノCE1および信号ノCE__CLKを受け取る。ノア回路NR51の出力は、信号ノADDENBとしてノア回路NR52にされる。ノア回路NR52はまた、信号ノAVDINBUFを受け取る。ノア回路NR52の出力は、インバータ回路IV53を介してインバータ回路IV54、IV55にされる。インバータ回路IV54、IV55の出力は、それぞれ、ノAVDINBUF__AおよびノAVDINBUF__Bとして機能する。

20

【0066】

図9は、遅延回路106の例示的な回路図である。図9に示すように、信号CE__DLYは、インバータ回路IV61にされる。インバータ回路IV61の出力は、信号CE1として機能する。インバータ回路IV61の出力は、所定数（例えば15個）の直列接続されたインバータ回路IV62を介してナンド回路ND61にされる。ナンド回路ND61はまた、信号CE__DLYを受け取る。ナンド回路ND61の出力は、インバータ回路IV63を介して信号ノCE1として機能する。

30

【0067】

図10は、アドレス&データ入力回路108の例示的な回路図である。図10に示すように、パッドからされた信号PADADQは、ESD素子ESD7にされる。ESD素子ESD7の出力は、ナンド回路ND71にされる。ノAVDINBUF__AノBは、インバータ回路IV71にされる。インバータ回路IV71の出力は、ナンド回路ND71にされる。ナンド回路ND71の出力は、ナンド回路ND72にされる。ナンド回路ND72はまた、インバータ回路IV71の出力を受け取る。ナンド回路ND72の出力は、所定数（例えば2個）の直列接続されたインバータ回路IV72を介して信号ADQとして機能する。

40

【0068】

次に、図11を参照して、メモリシステム1のインターフェースの同期データリードについて説明する。図11は、実施形態に係るインターフェースの同期データリード時の各信号のタイミングチャートである。図11に示すように、インターフェース43には、クロックCLKが、メモリシステム1の外部からされている。クロックは所定の周期を有する。スタンバイ時、メモリシステム1の外部からの信号ノCE、ノWE、ノOEはインアクティブ（ハイレベル）である。また、データリードの間、信号ノWEは、インアクティブ（ハイレベル）を維持する。このため、信号BSTWEもインアクティブ（ローレベル）を維持する。

【0069】

50

まず、信号 / C E および信号 / A V D がアクティブ（ローレベル）になる。信号 / C E がアクティブになった時点から / C E 入力回路 1 0 1 により規定される時間の経過後に、信号 / C E _ C L K がローレベルになる。

【 0 0 7 0 】

信号 C E _ C L K がローレベルになったことに応答して、ロジック回路 1 0 5 およびスイッチ回路 1 0 7 によって、信号 / A D D E N B がアクティブ（ローレベル）になる。この時点では信号 / C E 1 はローレベルであり、ローレベルの信号 / C E 1 に従ってスイッチ回路 1 0 7 は入力 / A D D E N B を信号 / A V D I N B U F として出力している。このため、信号 / A D D E N B がローレベルになったことに応答して、信号 / A V D I N B U F _ A / B がアクティブ（ローレベル）になる。この結果、アドレス&データ入力回路 1 0 8 はイネーブルになり、信号 P A D A D Q がアドレス&データ入力回路 1 0 8 によって取り込まれることが可能になる。データリードの開始と平行してアドレスが信号 P A D A D Q として入力されることによって、アドレスが信号 A D Q としてアドレス&データ入力回路 1 0 8 から出力される。このように信号 / C E のアクティブ化によって、信号 / A V D のアクティブ化を要することなく、アドレス&データ入力回路 1 0 8 がイネーブルを維持できる時間の長さは、遅延回路 1 0 6 によって規定され、信号 / C E 1 により制御される。

10

【 0 0 7 1 】

信号 / C E がアクティブになった時点から所定時間の経過後、信号 / C E 1 がインアクティブ（ハイレベル）になる。信号 / C E がアクティブになった時点から、信号 / C E 1 がインアクティブになるまでに要する時間は、 / C E 入力回路 1 0 1 および遅延回路 1 0 6 によって規定される。信号 / C E 1 がハイレベルとなったことに応答して、スイッチ回路 1 0 7 は、以降、入力 / A V D I N B U F を信号 / A V D I N B U F として出力する。

20

【 0 0 7 2 】

以前に信号 / A V D がアクティブになったことに応答して、 / A V D 入力回路 1 0 2 によって信号 / A V D I N B U F がアクティブ（ローレベル）になる。次いで、アドレスの入力の終了と共に信号 / A V D がインアクティブ（ハイレベル）になる。信号 / A V D がインアクティブになったことに応答して、 / A V D 入力回路 1 0 2 によって信号 / A V D I N B U F がインアクティブ（ハイレベル）になる。この時点では、上記のように、スイッチ回路 1 0 7 は、入力 / A V D I N B U F を選択している。このため、信号 / A V D I N B U F がインアクティブになったことに応答して、 / A V D I N B U F _ A / B がインアクティブ（ハイレベル）になる。この結果、アドレス&データ入力回路 1 0 8 はディセーブルになる。このため、 / A D D E N B は依然アクティブであるが、信号 P A D A D Q は、もはや信号 A D Q としてアドレス&データ入力回路 1 0 8 から出力されない。

30

【 0 0 7 3 】

データがメモリシステム 1 の内部からインターフェース 4 3 に供給されることの開始と共に、信号 / O E がアクティブ（ローレベル）になる。信号 / O E がアクティブになった時点から / O E 入力回路 1 0 3 によって規定される所定時間が経過した後、信号 O E がハイレベルになる。信号 O E がハイレベルになったことに応答して、ロジック回路 1 0 5 およびスイッチ回路 1 0 7 によって信号 / A D D E N B がインアクティブ（ハイレベル）になる。

40

【 0 0 7 4 】

信号 / O E がアクティブになったことに応答して、メモリシステム 1 の内部からのデータが P A D A D Q 上に現れ、パッドより出力される。次いで、データの出力が終了すると共に信号 / O E がインアクティブ（ハイレベル）になる。信号 / O E がインアクティブになったことに応答して、信号 O E はローレベルになる。

【 0 0 7 5 】

次いで、データ出力の終了後、信号 / C E がインアクティブになる。信号 / C E がインアクティブになったことに応答して、信号 / C E _ C L K および信号 / C E 1 が、順次、それぞれハイレベルおよびローレベルになる。こうして、メモリシステム 1 はスタンバイ

50

状態に戻る。

【 0 0 7 6 】

次に、図 1 2 を参照して、メモリシステム 1 のインターフェースの同期データライトについて説明する。図 1 2 は、実施形態に係るインターフェースの同期データライト時の各信号のタイミングチャートである。図 1 2 に示すように、データライトの間、信号 / O E はインアクティブを維持する。

【 0 0 7 7 】

まず、信号 / C E、信号 / A V D、信号 / W E がアクティブ（ローレベル）になる。信号 / C E がアクティブになったことに応答して、データリードと同様に、信号 / C E _ C L K がローレベルになる。

10

【 0 0 7 8 】

信号 / C E _ C L K がローレベルになったことに応答して、データリードと同様に、信号 / A D D E N B がローレベルになる。さらに、信号 / A D D E N B がローレベルになったことに応答して、データリードと同様に、信号 / A V D I N B U F _ A / B がアクティブ（ローレベル）になる。この結果、データリードと同じメカニズムによって、アドレス & データ入力回路 1 0 8 はイネーブルになり、信号 P A D A D Q がアドレス & データ入力回路 1 0 8 によって取り込まれることが可能になる。データライトの開始と平行してアドレスが信号 P A D A D Q として入力されることによって、アドレスが信号 A D Q としてアドレス & データ入力回路 1 0 8 から出力される。このように、データリードと同じく、信号 / C E のアクティブ化によって、信号 / A V D のアクティブ化を要することなく、アドレス & データ入力回路 1 0 8 がイネーブルを維持できる時間の長さは、遅延回路 1 0 6 によって規定され、信号 / C E 1 により制御される。

20

【 0 0 7 9 】

以前に信号 / C E がアクティブになったことに応答して、データリードと同じメカニズムによって、信号 / C E 1 がハイレベルになる。また、以前に信号 / A V D がアクティブになったことに応答して、データリードと同じメカニズムによって、信号 / A V D I N B U F がアクティブ（ローレベル）になる。

【 0 0 8 0 】

さらに、アクティブな（ローレベルの）信号 / W E が、信号 / C E がアクティブとなった後の最初のクロック C L K の立ち上がりに応答して、/ W E 入力回路 1 0 4 中のラッチ回路 L に取り込まれる。この結果、信号 B S T W E はアクティブ（ハイレベル）になる。

30

【 0 0 8 1 】

次いで、アドレスの入力の終了と共に信号 / A V D がインアクティブ（ハイレベル）になる。信号 / A V D がインアクティブになっても、データリード時と異なり、/ A V D I N B U F はローレベルを維持する。信号 B S T W E がハイレベルだからである。スイッチ回路 1 0 7 により選択されている / A V D I N B U F がローレベルを維持するので、信号 / A V D I N B U F _ A / B もローレベルを維持する。よって、アドレス & データ入力回路 1 0 8 はイネーブルを維持し、信号 / A V D がハイレベルとなった後も信号 P A D A D Q は、アドレス & データ入力回路 1 0 8 に取り込まれ続ける。次いで、データが信号 P A D A D Q として入力され始める。アドレス & データ入力回路 1 0 8 はイネーブルなので、データは信号 A D Q としてアドレス & データ入力回路 1 0 8 から出力される。

40

【 0 0 8 2 】

次いで、データ入力の終了後、信号 / C E がインアクティブになる。信号 / C E がインアクティブになったことに応答して、信号 / C E _ C L K および信号 / C E 1 が、順次、それぞれハイレベルおよびローレベルになる。信号 / C E がインアクティブになったことに応答して、/ W E 入力回路 1 0 4 がディセーブルになる。この結果、信号 B S T W E がローレベルになる。

【 0 0 8 3 】

また、信号 / C E がインアクティブになったことに応答して、/ A V D 入力回路 1 0 2 およびロジック回路 1 0 5 もディセーブルになる。この結果、信号 / A D D E N B および

50

／AVDINBUFがインアクティブ（ハイレベル）になる。信号／ADDENBおよび／AVDINBUFがハイレベルになったことに応答して、信号／AVDINBUF__A／Bがハイレベルになる。こうして、メモリシステム1はスタンバイ状態に戻る。

【0084】

以上説明したように、第1実施形態では、アドレス&データ入力回路108のイネーブルを制御する信号／AVDINBUF__A／Bは、信号／CEのアクティブ化から所定時間の間は信号／ADDENBであり、所定時間経過後は信号／AVDINBUFである。信号／ADDENBは信号／CEのアクティブ化から信号／AVDとは無関係にアクティブになり、信号／AVDINBUFは信号／AVDに従う。このため、アドレス&データ入力回路108は、信号／CEのアクティブ化から所定の時間の間は／AVDと無関係にイネーブルになり、所定時間の経過後は信号／AVDに応じてイネーブルおよびディセーブルになる。よって、信号／CEのアクティブ化から／AVDのアクティブ化を待たずに、アドレス&データ入力回路108をイネーブルにでき、所定時間経過後は通常通りアドレス&データ入力回路108のイネーブルおよびディセーブルが信号／AVDで制御されることが可能となる。このようにして、特に信号／CEのアクティブ化直後の半導体記憶装置の処理が高速になる。同時に、信号／CEのアクティブ化から所定時間の経過後は、アドレス&データ入力回路108のイネーブルおよびディセーブルは信号／AVDで制御されることが可能であるので、不要かつ不測の信号PADADQに起因して貫通電流が流れることは防止される。

【0085】

（第2実施形態）

第1実施形態では、ライトイネーブル信号／WEから信号BSTWEが生成され、信号BSTWEによってロジック回路105が制御される。これに対して、第2実施形態では、ライトイネーブル信号／WEから信号BSTWE'が生成され、信号BSTWE'によってロジック回路105が制御される。第1実施形態についてのあらゆる記述は、以下に記述する点を除いて、第2実施形態にも当てはまる。

【0086】

図13は、第2実施形態に係る半導体記憶装置のインターフェースのブロック図である。図13に示すように、第1実施形態の／WE入力回路104に代えて／WE入力回路104'が設けられている。／WE入力回路104'は、アクティブな信号CE__WEによってイネーブルになる。／WE入力回路104'はまた、メモリシステム1の外部からライトイネーブル信号／WEを受け取る。／WE入力回路104'は、／WE入力回路104'がイネーブルである間に信号／WEを受け取ると、信号／WEをラッチして、所定時間の経過後にこのラッチされた信号を信号BSTWE'として出力する。信号BSTWE'は、第1実施形態の信号BSTWEに代えて／AVD入力回路102およびロジック回路105に入力される。または、／WE入力回路104'は、第1実施形態の／WE入力回路104と同じ動作をする。／WE入力回路104'がいずれの動作を行なうかは制御信号により選択される。ここまで説明した構成以外の構成は、第1実施形態から不変である。

【0087】

図14は、／WE入力回路104'の例示的な回路図である。図14に示すように、／WE入力回路104'は、WE入力回路104を含んでいる。さらに、WE入力回路104'は、／WE入力回路104の出力端であるインバータ回路IV41の出力端に接続された構成を含んでいる。信号BSTWEは、スイッチ回路S1およびロジック回路f1に入力される。また、クロックCLKはレイテンシ・カウンタC1に入力される。レイテンシ・カウンタC1は、入力（クロックCLK）の入力時点から所定の時間後に受け取った信号の出力を開始する。この所定の時間は、レイテンシ・カウンタC1において予め設定されているレイテンシ時間 - 1クロックとすることができる。レイテンシ・カウンタC1の出力はロジック回路f1に入力される。ロジック回路f1は、信号BSTWEとレイテンシ・カウンタC1の出力の所定の論理を出力する。ロジック回路f1の出力は、スイッ

チ回路 S 1 に入力される。スイッチ回路 S 1 は、制御信号 S S に応じて、2つの入力的一方を B S T W E ' として出力する。制御信号 S S は、メモリシステム 1 のチップにおいて予め設定されているコンフィギュレーション・レジスタに基づいており、メモリシステム 1 の使用の間に変更されるものではない。例えば、メモリシステム 1 が非同期型として使用される場合、スイッチ回路 S 1 は、信号 B S T W E を信号 B S T W E ' として出力する。すなわち第 1 実施形態と全く同じである。一方、メモリシステム 1 が同期型として使用される場合、スイッチ回路 S 1 は、ロジック回路 f 1 の出力を信号 B S T W E ' として出力する。

【 0 0 8 8 】

/ A V D 入力回路 1 0 2 およびロジック回路 1 0 5 の具体例については、図 1 5 および図 1 6 にそれぞれ示すように、信号 B S T W E が信号 B S T W E ' によって置換されていることを除いて第 1 実施形態（図 5 および図 8 ）と同じである。

【 0 0 8 9 】

動作のうちデータリードについては、第 1 実施形態（図 1 1 ）と同じである。データライトについても、非同期型として使用の場合は、上記のように、第 1 実施形態（図 1 2 ）と同じである。

【 0 0 9 0 】

一方、同期型としての使用の場合は、図 1 7 に示す通りである。図 1 7 は、インターフェースのデータライト時の各信号のタイミングチャートである。第 1 実施形態と同様に、信号 / C E がアクティブとなった後の最初のクロック C L K の立ち上がりで、アクティブな / 信号 W E が図 1 4 のラッチ回路 L にラッチされる。しかし、第 1 実施形態と異なり、ラッチされた信号は、/ W E 回路 1 0 4 ' から直ぐに出力されない。したがって、図 1 7 に示すように、信号 / C E がアクティブとなった後の最初のクロック C L K の立ち上がり後も信号 B S T W E ' はインアクティブ（ローレベル）を維持する。このように、信号 / C E のアクティブ化から信号 B S T W E ' がハイレベルとなるまでの時間は、メモリシステム 1 が同期型として使用される場合、非同期型として使用される場合よりも長い。

【 0 0 9 1 】

信号 / C E がアクティブになったことに応答して、第 1 実施形態と同じメカニズムにより、信号 A V D I N B U F _ A / B はアクティブになり、アドレス&データ回路 1 0 8 がイネーブルになる。このため、データライトの開始と平行してアドレスが信号 P A D A D Q として入力されることによって、アドレスが信号 A D Q としてアドレス&データ入力回路 1 0 8 から出力される。

【 0 0 9 2 】

次いで、アドレスの入力の終了と共に信号 / A V D がインアクティブ（ハイレベル）になる。信号 B S T W E ' がインアクティブであるので、信号 / A V D がインアクティブになったことに応答して、/ A V D 入力回路 1 0 2 によって信号 / A V D I N B U F がインアクティブ（ハイレベル）になる。この時点では、スイッチ回路 1 0 7 は、入力 / A V D I N B U F を選択している。このため、信号 / A V D I N B U F がハイレベルになったことに応答して、/ A V D I N B U F _ A / B がハイレベルになる。この結果、アドレス&データ入力回路 1 0 8 はディセーブルになる。

【 0 0 9 3 】

次いで、信号 / C E がアクティブとなった後の最初のクロック C L K の立ち上がりからレイテンシ・カウンタ C 1 により規定される時間の経過後、信号 / W E がアクティブになったことに応答して信号 B S T W E ' がアクティブになる。信号 B S T W E ' がアクティブになったことに応答して、信号 / A V D I N B U F がアクティブになり、ひいては / A V D I N B U F _ A / B もアクティブになる。この結果、アドレス&データ入力回路 1 0 8 はイネーブルになる。

【 0 0 9 4 】

信号 B S T W E ' のハイレベルへの移行が信号 P A D A D Q としてデータが入力されるのに先立つように、レイテンシ・カウンタ C 1 が設定される。このため、信号 B S T W E

10

20

30

40

50

´がハイレベルになった後で、データが信号PADADQとして入力され始める。アドレス&データ入力回路108はイネーブルなので、データは信号ADQとしてアドレス&データ入力回路108から出力される。ここで説明した点以外の動作は、第1実施形態から不変である。

【0095】

以上説明したように、第2実施形態では、第1実施形態と同じく、アドレス&データ入力回路108のイネーブルを制御する信号/AVDINBUF__A/Bは、信号/CEのアクティブ化から所定時間の間は信号/ADDENBであり、所定時間経過後は信号/AVDINBUFである。このため、第1実施形態と同じ利点を得られる。

【0096】

さらに、第2実施形態では、信号/CEがアクティブとなった後の最初のクロックCLKの立ち上がりから所定時間の経過後、信号/WEがアクティブになったことに応答して信号BSTWE´がアクティブになる。この所定時間は、特にメモリシステム1が同期型として使用される場合、信号/CEのアクティブ化の時点からインターフェース43への外部からのデータの入力開始直前まで継続する。信号/AVDINBUFは、信号BSTWE´がローレベルの間は、信号/AVDに従う。すなわち、信号/AVDの非アクティブ化後、信号BSTWE´がハイレベルになるまでの間は、アドレス&データ入力回路108はディセーブルである。このため、信号/AVDの非アクティブ化からデータ入力までの間、アドレス&データ入力回路108はディセーブルである。よって、不要かつ不測の信号PADADQに起因して貫通電流が流れることは、信号/AVDの非アクティブ化からデータ入力までの間も阻止される。

【0097】

ここまでの説明は、半導体記憶装置としていわゆるOneNANDを例に用いて行なわれた。しかしながら、実施形態はOneNANDに限られず、コントローラとNAND型フラッシュメモリを含みかつ高速のインターフェースを要求する半導体記憶装置にも適用可能である。そのような半導体記憶装置には、例えば、NOR型フラッシュメモリ、PSRAM(Pseudo Static Random Access Memory)、LPSDRAM(Low Power Synchronous Dynamic Random Access Memory)、DDR3SDRAM(Double-Data-Rate 3 Synchronous Dynamic Random Access Memory)等が含まれる。

【0098】

その他、各実施形態は、上記のものに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の実施形態が抽出され得る。例えば、上記各実施形態に示される全構成要件から幾つかの構成要件が削除されても、この構成要件が削除された構成が実施形態として抽出され得る。

【符号の説明】

【0099】

43...インターフェース、101.../CE入力回路、102.../AVD入力回路、103.../OE入力回路、104.../WE入力回路、105...ロジック回路、106...遅延回路、107...スイッチ回路、108...アドレス&データ入力回路。

【要約】

【課題】 高速動作が可能な半導体記憶装置を提供する。

【解決手段】 第1入力回路105は、半導体記憶装置がアクティブな第1制御信号を受け取ったことに応答してアクティブな第1内部信号を出力する。第2入力回路102は半導体記憶装置にアクティブな第1制御信号が入力されている間に半導体記憶装置がアクティブな第2制御信号を受け取ったことに応答してアクティブな第2内部信号を出力する。遅延回路106は第1制御信号がインアクティブおよびアクティブになった時点から予め定められた時間の経過後にそれぞれ第1および第2状態の選択信号を出力する。選択回路107は、第1および第2状態の第1選択信号を受け取っている間、それぞれ第1および第2内部

10

20

30

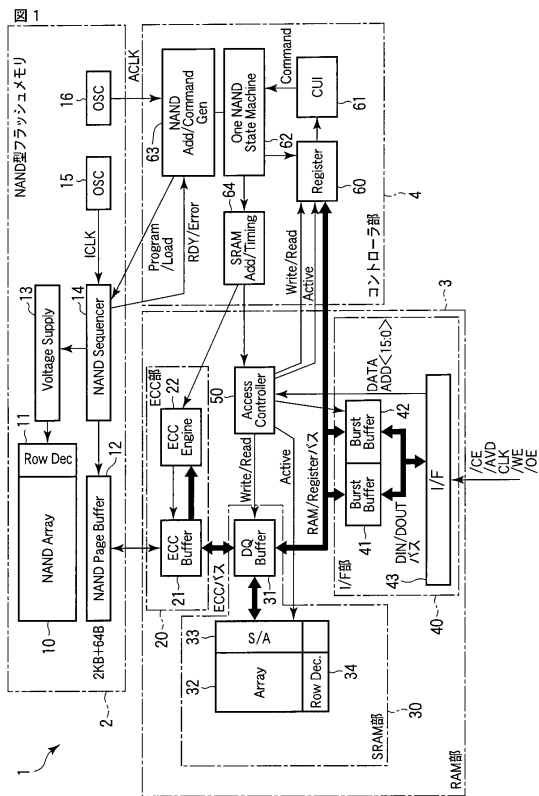
40

50

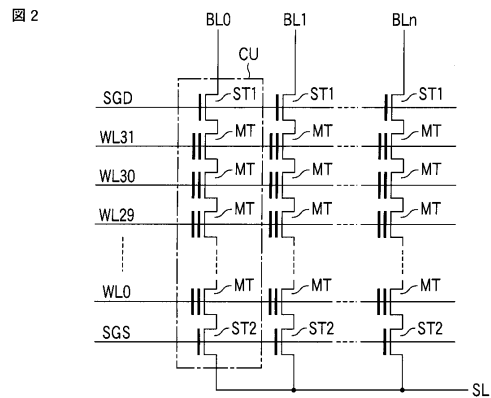
信号をイネーブル信号として出力する。第3入力回路108は、アクティブなイネーブル信号を受け取っている間、半導体記憶装置の外部から入力される入力信号をインターフェースから半導体記憶装置の内部へと出力する。

【選択図】 図3

【図1】

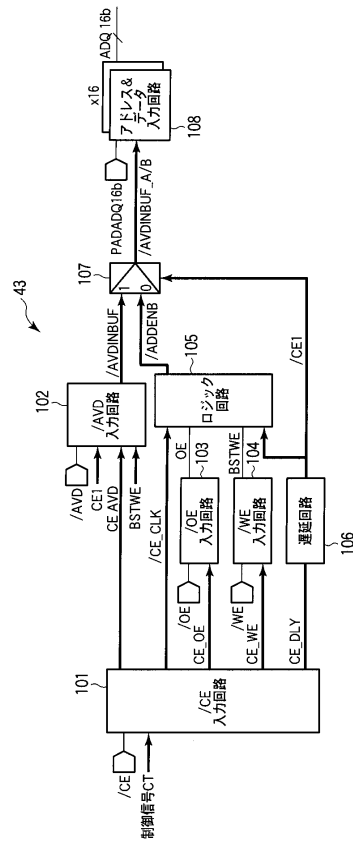


【図2】



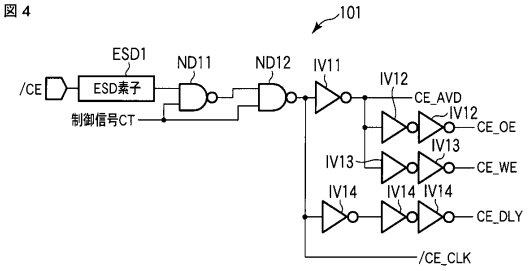
【 図 3 】

図 3



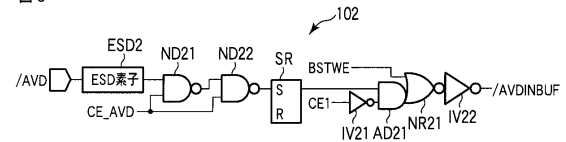
【 図 4 】

图 4



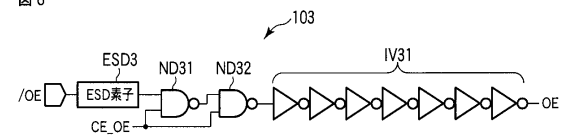
【 図 5 】

图 5



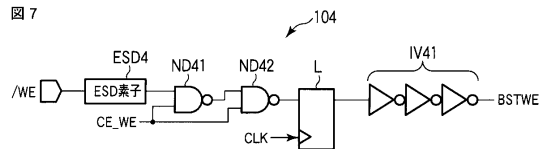
【 図 6 】

図 6



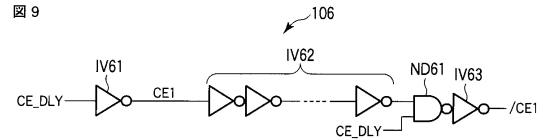
【圖 7】

图 7



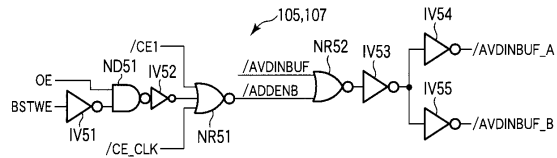
【 図 9 】

图 9



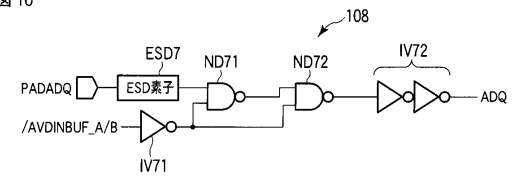
【 図 8 】

图 8



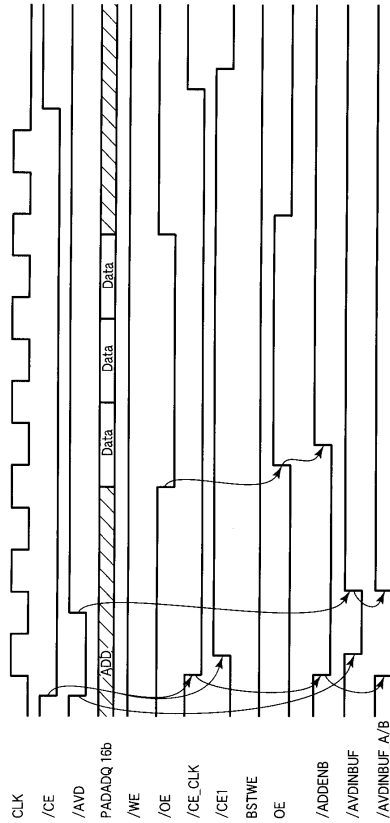
【 図 1 0 】

图 10



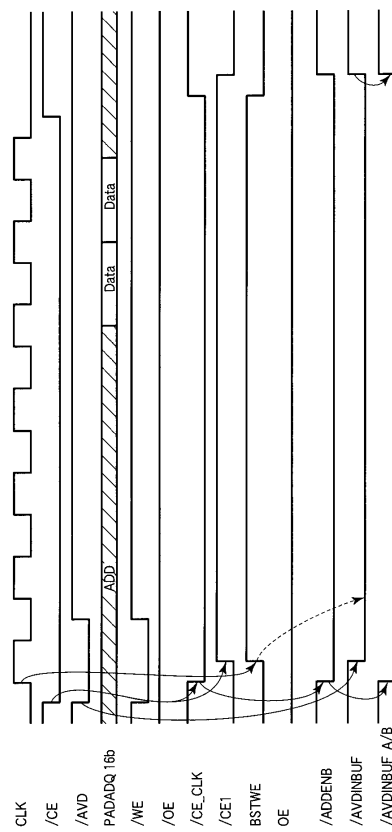
【図 1 1】

図 11



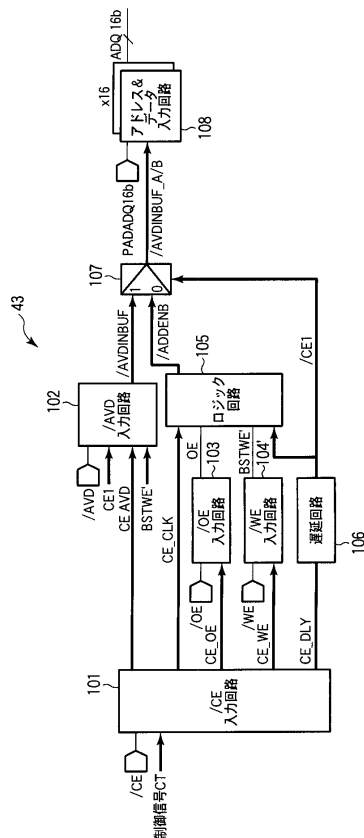
【図 1 2】

図 12



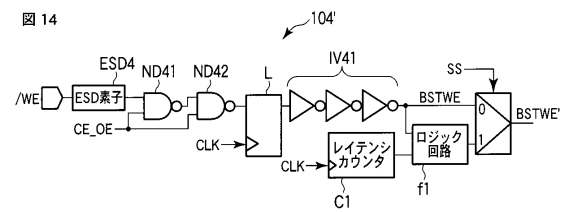
【図 1 3】

図 13



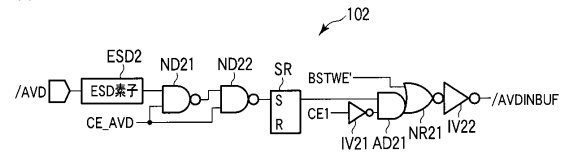
【図 1 4】

図 14



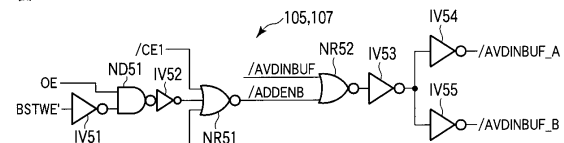
【図 1 5】

図 15



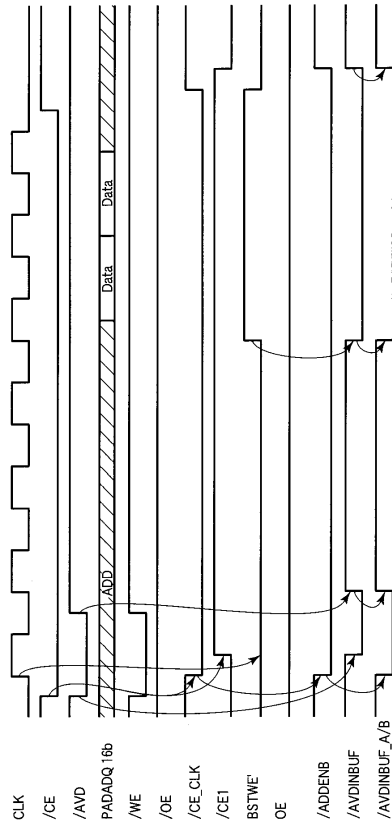
【図 1 6】

図 16



【図 17】

図 17



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 渡邊 稔史
神奈川県横浜市栄区笠間2-5-1STEビル内 東芝メモリシステムズ株式会社内
- (72)発明者 斉藤 栄俊
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 外山 毅

- (56)参考文献 特開平10-125074(JP,A)
特開2008-112546(JP,A)
特開2009-026370(JP,A)
特開2005-332496(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00-16/34
G11C 11/417
G11C 11/4093