(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
6. Oktober 2016 (06.10.2016)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2016/156428 A1

(51) Internationale Patentklassifikation:
H03F 1/02 (2006.01) *H03F 3/217* (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2016/056956

(22) Internationales Anmeldedatum:
30. März 2016 (30.03.2016)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
15161959.0 31. März 2015 (31.03.2015) EP

(71) Anmelder: **FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V.** [DE/DE]; Hansastraße 27c, 80686 München (DE).

(72) Erfinder: **NGUYEN, Hung-Anh**; Bundesallee 198, 10717 Berlin (DE). **KEUSGEN, Wilhelm**; Schauensteiner Weg 7a, 14089 Berlin (DE).

(74) Anwälte: **SCHENK, Markus** et al.; Schoppe, Zimmermann, Stöckeler, Zinkler, Schenk & Partner mbB, Radlkoferstraße 2, 81373 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

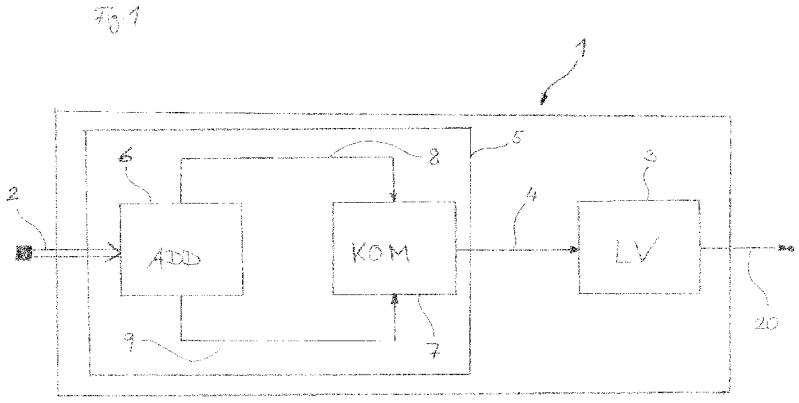
(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

(54) Title: METHOD FOR AMPLIFYING AN INPUT SIGNAL

(54) Bezeichnung : VERFAHREN ZUM VERSTÄRKEN EINES EINGANGSSIGNALS



(57) Abstract: The invention relates to a method and a device (1) for amplifying an input signal (2) having a power booster (3) for amplifying a binary input signal (4), a modulation device (5) for generating the binary input signal (4) based on the input signal (2), wherein the input signal (2) is a complex-valued signal and the binary input signal (4) is a real-valued signal, wherein the modulation device (5) has an adding device (6) which is designed in order to add the complex-valued input signal (2) to a complex-valued carrier signal of a predetermined frequency and thus to generate a resulting complex-valued signal (8, 9), and wherein the modulation device (5) has a combination device (7), which is downstream of the adding device (6) and is designed in order to generate the real-valued binary input signal (4) from the real part (8) and the imaginary part (9) of the resulting complex-valued signal (8, 9) by combining the real part (8) and the imaginary part (9) of the resulting complex-valued signal (8, 9).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2016/156428 A1

Die Erfindung betrifft ein Verfahren und eine Vorrichtung (1) zum Verstärken eines Eingangssignals (2), aufweisend: einen Leistungsverstärker (3) zum Verstärken eines binären Eingangssignals (4), eine Modulationsvorrichtung (5) zum Erzeugen des binären Eingangssignals (4) basierend auf dem Eingangssignai (2), wobei das Eingangssignal (2) ein komplexwertiges Signal ist und das binäre Eingangssignal (4) ein reellwertiges Signal ist, wobei die Modulationsvorrichtung (5) eine Addiervorrichtung (6) aufweist, die ausgebildet ist, um das komplexwertige Eingangssignal (2) mit einem komplexwertigen Trägersignal einer vorgegebenen Frequenz zu addieren und so ein resultierendes komplexwertiges Signal (8, 9) zu generieren, und wobei die Modulationsvorrichtung (5) eine der Addiervorrichtung (6) nachgeschaltete Kombinationsvorrichtung (7) aufweist, die ausgebildet ist, um aus dem Realteil (8) und dem Imaginärteil (9) des resultierenden komplexwertigen Signals (8, 9) das reellwertige binäre Eingangssigna! (4) durch eine Kombination des Realteils (8) und des Imaginärteils (9) des resultierenden komplexwertigen Signals (8, 9) zu erzeugen.

VERFAHREN ZUM VERSTÄRKEN EINES EINGANGSSIGNALS

Die vorliegende Erfindung betrifft eine Vorrichtung zum Verstärken eines Eingangssignals mit den Merkmalen gemäß Anspruch 1, sowie ein Verfahren zum Verstärken eines Eingangssignals mit den Merkmalen gemäß Anspruch 13.

Auf dem Gebiet der Elektronik, und insbesondere im Bereich der drahtlosen Kommunikation, gibt es viele Anwendungen in denen Bandpass-Signale generiert und verstärkt werden müssen. Ein Bandpass-Signal ist ein elektrisches Signal, dessen Spektralenergie auf eine bestimmte Bandbreite um eine Trägerfrequenz begrenzt ist. Ein Bandpass-Signal hat keine DC-Komponente und keine Spektralkomponenten oberhalb einer bestimmten Grenzfrequenz. Die Bandbreite weist typischerweise einen bestimmten prozentualen Anteil der Trägerfrequenz auf.

In den meisten Anwendungen wird ein Bandpass-Signal mit Hilfe digitaler Signalverarbeitung erzeugt, wobei die Signale als komplexwertige digitale Basisbandsignale dargestellt werden. Ein digitales Basisbandsignal hat zwei Komponenten. Einen Realteil und einen Imaginärteil, beziehungsweise eine I- und eine Q-Komponente. Üblicherweise werden die digitalen I- und Q-Signale in reellwertige analoge Tiefpass-Signale gewandelt und mit einem IQ-Mixer oder mit einem Vektormodulator, der mit einem harmonischen Signal einer Trägerfrequenz betrieben wird, in die Bandpass-Domäne überführt. Demnach kann der IQ-Mixer als ein Frequenzwandler angesehen werden, und seine Funktion als Frequenzumwandlung.

Generell hat ein Bandpass-Signal eine nicht-konstante Hüllkurve, bestimmt durch das Spitze-Mittelwert-Verhältnis. In vielen Fällen muss das Bandpass-Signal mit Hilfe einer Verstärker-Vorrichtung verstärkt werden.

Ein Leistungsverstärker ist eine Vorrichtung mit zwei Anschlüssen, mit einem Anschluss für das Eingangssignal und einem Anschluss für das Ausgangssignal. Es wird eine Hilfs-Leistungsquelle genutzt, um ein Ausgangssignal mit höherer Leistung im Vergleich zum Eingangssignal zu erzeugen.

Ein Verstärker wird mit Hilfe von Verstärker-Vorrichtungen, wie Transistoren oder Röhren realisiert. Diese Verstärker-Vorrichtungen sind in der Regel nicht-linear. In den meisten technischen Anwendungen wie zum Beispiel bei der drahtlosen Kommunikation, muss eine nicht-lineare Verzerrung des Ausgang-Signals jedoch vermieden werden, da diese

Verzerrungen ungewollte Emissionen außerhalb sowie Verzerrungen innerhalb des Frequenzbands erzeugen.

Ein nahezu perfektes lineares Verhalten wird erreicht, indem das Verstärker-Element mit kleinen Signalamplituden im Vergleich zu der für dieses Element maximal zulässigen Amplitude betrieben wird. Eine Erhöhung der Eingangssignalamplitude resultiert in einer weiteren Erhöhung des nicht-linearen Verhaltens, wobei die größten Signalwerte in dem Ausgangssignal etwas komprimiert werden. Das Ausgangssignal hat jedoch immer noch einen veränderlichen Wert und der Verstärker kann als schwach nicht-linear bezeichnet werden.

Im Gegensatz dazu führt ein stark nicht-lineares Verhalten zu einer fest begrenzten Amplitude des Ausgangssignals, welches konstant und unabhängig von der Eingangsgröße ist. Ein derartiges Signal hat lediglich zwei Zustände, die mit der Signum-Funktion des Eingangssignals korrespondieren, und wird im Folgenden als Binärsignal bezeichnet.

Beispiele von Verstärkern, die nahezu keine oder nur schwache nicht-Linearität aufweisen sind Klasse A oder Klasse B Verstärker. Beispiele für stark nicht-lineare Verstärker sind Klasse D und Klasse E Verstärker, wie digitale Leitungstreiber und Impulsverstärker. Diese streng nicht-linearen Verstärker werden im Folgenden als Schaltverstärker bezeichnet, da der Verstärker im Wesentlichen wie eine Schaltstromquelle agiert, die mit der Signumfunktion des Eingangssignals getriggert wird.

Die Effizienz eines Verstärkers ist definiert als das Verhältnis von Durchschnittsleistung des Ausgangssignals zur Eingangsleistung, wobei die Eingangsleistung wiederum die Durchschnittsleistung ist, die von der Hilfs-Leistungsquelle bereitgestellt und zur Leistung des Eingangssignals addiert wird. Die Effizienz eines schwach nicht-linearen Verstärkers ist vergleichsweise gering und verringert sich weiter für Signale mit einem großen Spitze-Mittelwert-Verhältnis.

Im Gegensatz dazu zeigen Schaltverstärker eine Effizienz beziehungsweise einen Wirkungsgrad von nahezu 1, was darin begründet ist, dass idealerweise die Spannung über, beziehungsweise der Strom durch das Schaltelement zu jeder Zeit Null ist. Von der Energieeffizienz-Seite her betrachtet ist ein Schaltverstärker daher bevorzugt.

Nachteilig ist jedoch, dass ein Schaltverstärker jegliche Amplitudeninformation aus dem Eingangssignal per Definition entfernt. Deshalb muss die Amplitude des Eingangssignals durch zusätzliche Anwendung eines Impulsmodulationsschemas am Eingang des

Verstärkers beibehalten werden, was in einem binären Eingangssignal resultiert, wobei sämtliche Informationen in den Nulldurchgängen des Signals eingesteckt werden.

Ausgangsseitig wird eine zusätzliche Demodulation des verstärkten Binärsignals benötigt, um das Originalsignal zu rekonstruieren. Darüber hinaus erzeugt die Modulation ungewollte Spektralkomponenten außerhalb des Frequenzbands, die von der Demodulation unterdrückt werden müssen. Andererseits würde sich das gesamte System – Modulator, Schaltverstärker, Demodulator – definitionsgemäß nicht wie ein linearer Leistungsverstärker verhalten.

Um eine unverzerrte, d.h. eine lineare Verstärkung der Signalkurve zu erhalten, muss die Verstärkervorrichtung mit einer gewissen Aussteuerrungsreserve, d.h. mit einem Power Back-Off betrieben werden, was jedoch wiederum die Leistungs-Effizienz des Verstärkers reduziert. Anderenfalls verzerrt der Verstärker das Bandpass-Signal nicht-linear und produziert so ungewollte Verzerrungen innerhalb, sowie Emissionen außerhalb des Frequenzbands.

Die ungenügende Leistungs-Effizienz von Verstärkern für Bandpass-Signale, welche bei modernen Drahtlos-Kommunikationssignalen lediglich 10 Prozent oder weniger betragen kann, führt zu einem erhöhten Bedarf an neuen Verstärker-Konzepten. Aktuelle Ansätze, die adaptive Digitalfilter-Vorverzerrungen nutzen, zeigen einen überaus erhöhten Bedarf an Hardware-Einsatz. Deshalb besteht außerdem der Bedarf an integrierten Lösungen mit reduzierter Hardware-Komplexität.

Es sind mehrere Lösungen bekannt, um die Leistungs-Effizienz für Bandpass-Verstärker zu erhöhen. Auf Schaltkreisebene stellt die Doherty Topologie eine höhere Effizienz für Hochleistungs-Back-Off-Werte bereit. Hüllkurveneliminierung und –wiederherstellung sowie Vorspannungsmodulation sind weitere Techniken auf Systemebene, um die Effizienz in der Back-Off Region zu erhöhen. Analoge feed-forward und feed-back Schaltkreise können genutzt werden, um die Linearität niedriger Back-Offs zu verbessern, was ebenfalls die Leistungs-Effizienz erhöht. Im Gegensatz dazu ist die closed-loop Digital-Vorverzerrung auf Systemebene implementiert und zeigt bessere Linearitäts-Verbesserungen für Signale mit vergleichbar großer Bandbreite. Sie ist außerdem geeignet, um zeitliche Änderungen in der Verstärkervorrichtung anzupassen.

Während die erwähnten Lösungen zur Verbesserung von Verstärkern mit im Wesentlichen linearem Verhalten konzipiert sind, sind die Schaltverstärker-Techniken dazu gedacht, um Bandpass-Signale in eine Abfolge rechteckiger, binärer Impulse zu überführen, die mit

einer theoretischen Effizienz von 100 Prozent verstärkt werden können. Nach der Verstärkung wird das originale Bandpass-Signal durch Tiefpass-Filterung rekonstruiert.

Von technischer Seite her betrachtet, kann die Transformation und Rekonstruktion als ein Pulsmodulations- und -demodulationsproblem angesehen werden. Eine bekannte Schaltverstärker-Technik nutzt die Pulsweitenmodulation (PWM), welche ein feed-forward Modulationsschema ist. Eine weitere bekannte Schaltverstärker-Technik nutzt die Sigma-Delta-Modulation (SDM), welche ein closed-loop Modulationsschema ist.

Bei beiden besteht jedoch der Nachteil, dass sie Signalverzerrungen innerhalb des Frequenzbands erzeugen, die von dem Demodulator nicht entfernt werden können. Diese Signalverzerrungen können durch eine Erhöhung der Schaltfrequenz, durch Überabtastung oder durch eine loopback-Filterung höherer Ordnung (für SDM) verringert werden. Dies erhöht die Anforderung an die Verstärkervorrichtung und somit die Kosten von Schaltverstärkern, vor allem für den Betrieb bei hohen Signalfrequenzen, welche typisch bei Funkfrequenzen und Mikrowellen-Anwendungen sind. Darüber hinaus tendiert die closed-loop Architektur der Sigma-Delta Modulation zu Instabilitäts-Problemen bei sehr hohen Betriebsfrequenzen aufgrund ihrer feedback-Verzögerung.

Es ist demnach eine Aufgabe der vorliegenden Erfindung, ein Konzept zum Verstärken eines Eingangssignals vorzuschlagen, das einen verbesserten Kompromiss zwischen Implementierungs-Aufwand und Leistungseffizienz sowie Linearität bereitstellt.

Diese Aufgabe wird erfindungsgemäß mit einer Vorrichtung zum Verstärken eines Eingangssignals gemäß Anspruch 1 gelöst.

Gemäß einer Ausführungsform der Erfindung wird eine Vorrichtung zum Verstärken eines Eingangssignals vorgeschlagen, die unter anderem einen Leistungsverstärker zum Verstärken eines binären Eingangssignals aufweist. Die erfindungsgemäße Vorrichtung weist ferner eine Modulationsvorrichtung zum Erzeugen des binären Eingangssignals basierend auf dem Eingangssignal auf, wobei das Eingangssignal ein komplexwertiges Signal ist und das binäre Eingangssignal ein reellwertiges Signal ist. Die Modulationsvorrichtung weist eine Addiervorrichtung auf, die ausgebildet ist, um das komplexwertige Eingangssignal mit einem komplexwertigen Trägersignal einer vorgegebenen Frequenz zu addieren und so ein resultierendes komplexwertiges Signal zu generieren. Die Modulationsvorrichtung weist ferner eine der Addiervorrichtung nachgeschaltete Kombinationsvorrichtung auf, die ausgebildet ist, um aus dem Realteil und dem Imaginärteil des resultierenden komplexwertigen Signals das reellwertige binäre

Eingangssignal durch eine Kombination des Realteils und des Imaginärteils des resultierenden komplexwertigen Signals zu erzeugen.

In einigen erfindungsgemäßen Ausführungsformen ist die Modulationsvorrichtung unter anderem dazu ausgebildet, um ein digitales Eingangssignal für den Leistungsverstärker zu erzeugen, basierend auf dem Eingangssignal, welches zum Beispiel ein reellwertiges Basisbandsignal, ein komplexwertiges Basisbandsignal, ein reellwertiges Bandpasssignal, oder ein komplexwertiges Bandpasssignal sein kann. Das erzeugte digitale Eingangssignal befindet sich in einem vordefinierten Frequenzband. Verzerrungen, die beispielsweise bei der Erzeugung des digitalen Eingangssignals für den Leistungsverstärker entstehen, befinden sich hingegen bei einer Frequenz außerhalb des vordefinierten Frequenzbands. Somit weist das digitale Eingangssignal keine Verzerrungen innerhalb des vordefinierten Frequenzbands, beziehungsweise innerhalb des Frequenzspektrums des gewünschten und von dem Leistungsverstärker zu verstärkenden digitalen Eingangssignals auf. Darüber hinaus stellt der Leistungsverstärker eine Verstärkung des digitalen Eingangssignal mit einer erhöhten Leistungseffizienz bereit. Da sich die Verzerrungen außerdem nicht innerhalb des vordefinierten Frequenzbands des digitalen Eingangssignals befinden, kann eine hohe Linearität bei der Verstärkung erreicht werden, zum Beispiel durch Rekonstruktionsfilterung des verstärkten digitalen Eingangssignals (Ausgangssignal des Leistungsverstärkers). Somit werden Verzerrungen außerhalb des Frequenzbands, sprich von Frequenzen, die oberhalb des vordefinierten Frequenzbands liegen, reduziert beziehungsweiser eliminiert, ohne dabei den gewünschten Signalanteil zu verändern.

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und werden nachstehend erläutert. Es zeigen:

Fig. 1 ein schematisches Blockschaltbild einer erfindungsgemäßen Vorrichtung,

Fig. 2 ein schematisches Blockschaltbild einer ersten Ausführungsform der erfindungsgemäßen Vorrichtung,

Fig. 3 ein schematisches Blockschaltbild einer zweiten Ausführungsform der erfindungsgemäßen Vorrichtung

Fig. 4 ein schematisches Blockschaltbild einer dritten Ausführungsform der erfindungsgemäßen Vorrichtung,

Fig. 5 ein schematisches Blockschaltbild einer vierten Ausführungsform der erfindungsgemäßen Vorrichtung, und

Fig. 6 ein schematisches Blockschaltbild einer fünften Ausführungsform der erfindungsgemäßen Vorrichtung.

Zum Zwecke der folgenden Beschreibung der erfindungsgemäßen Ausführungsformen mit Bezug auf die Figuren werden komplexwertige Signale in den Figuren mit einem Doppelpfeil dargestellt. Die einzelnen Anteile, das heißt die Realteile und die Imaginärteile dieser komplexwertigen Signale werden mit einfachen Pfeilen dargestellt.

Figur 1 zeigt eine erfindungsgemäße Vorrichtung 1 zum Verstärken eines Eingangssignals 2. Das Eingangssignal 2 ist komplexwertig, das heißt das Eingangssignal 2 weist einen Realteil und einen Imaginärteil auf.

Die Vorrichtung 1 weist einen Schalt- beziehungsweise Leistungsverstärker 3 auf. Der Leistungsverstärker 3 ist ausgebildet, um ein reellwertiges binäres Eingangssignal 4 zu verstärken.

Die Vorrichtung 1 weist außerdem eine Modulationsvorrichtung 5 auf. Die Modulationsvorrichtung 5 ist ausgebildet, um das reellwertige binäre Eingangssignal 4 des Leistungsverstärkers 3 basierend auf dem komplexwertigen Eingangssignal 2 zu erzeugen.

Hierfür weist die Modulationsvorrichtung 5 unter anderem eine Addiervorrichtung 6 auf. Die Addiervorrichtung 6 ist ausgebildet, um das komplexwertige Eingangssignal 2 mit einem komplexwertigen Trägersignal einer vorgegebenen Frequenz zu addieren und so ein resultierendes komplexwertiges Signal zu generieren. Dieses modulierte Signal weist einen Realteil 8 und einen Imaginärteil 9 auf.

Die Modulationsvorrichtung 5 weist ferner eine der Addiervorrichtung 6 nachgeschaltete Kombinationsvorrichtung 7 auf. Die Kombinationsvorrichtung 7 ist ausgebildet, um aus dem Realteil 8 und dem Imaginärteil 9 des resultierenden modulierten komplexwertigen Signals das reellwertige binäre Eingangssignal 4 zu erzeugen. Hierfür ist die Kombinationsvorrichtung 7 ausgebildet, um das Eingangssignal 4 durch eine geeignete Kombination des Realteils 8 und des Imaginärteils 9 des modulierten Signals zu erzeugen.

Das so erzeugte Eingangssignal 4 des Leistungsverstärkers 3 ist also gleichzeitig das Ausgangssignal der Modulationsvorrichtung 5, beziehungsweise der Kombinationsvorrichtung 7.

Der Leistungsverstärker 3 verstärkt das Eingangssignal 4, so dass ein Ausgangssignal 20 des Leistungsverstärkers 3 erzeugt wird, welches ein verstärktes Signal beziehungsweise eine verstärkte Version des binären Eingangssignals 4 ist.

Figur 2 zeigt eine erste Ausführungsform der erfindungsgemäßen Verstärkervorrichtung 1. Das Eingangssignal 2 ist komplexwertig und weist einen Realteil 21 und einen Imaginärteil 22 auf. Das Eingangssignal 2 kann zeitkontinuierlich oder zeitdiskret sein. In der mit Bezug auf Figur 2 beschriebenen ersten Ausführungsform ist das Eingangssignal 2 ein komplexwertiges zeitkontinuierliches Signal.

Die Verstärkervorrichtung 1 weist einen Oszillator 19 zum Erzeugen eines Trägersignals 13, 14 mit einer Trägerfrequenz f_c auf. Das Trägersignal 13, 14 ist komplexwertig und weist einen Realteil 13 und einen Imaginärteil 14 auf.

Der Oszillator 19 kann ein analoger oder ein digitaler Oszillator zum Erzeugen eines analogen beziehungsweise digitalen Signals sein. Die in Figur 2 dargestellte erste Ausführungsform der Erfindung wird exemplarisch mit einem analogen Oszillator 19 beschrieben.

Die Addiervorrichtung 6 weist einen ersten Addierer 11 und einen zweiten Addierer 12 auf. Der erste Addierer 11 ist ausgebildet, um den Realteil 21 des Eingangssignals 2 mit dem Realteil 13 des Trägersignals zu addieren. Am Ausgang des ersten Addierers 11 wird somit der Realteil 8 eines resultierenden modulierten Signals erhalten.

Der zweite Addierer 12 ist ausgebildet, um den Imaginärteil 22 des Eingangssignals 2 mit dem Imaginärteil 14 des Trägersignals zu addieren. Am Ausgang des zweiten Addierers 12 wird somit der Imaginärteil 9 eines resultierenden modulierten Signals erhalten.

Die Verstärkervorrichtung 1 weist ferner einen Multiplizierer 15 sowie einen Komparator 16 auf. Der Multiplizierer 15 ist gemäß der ersten Ausführungsform der Erfindung den zuvor beschriebenen Addierern 11, 12 nachgeschaltet. Der Komparator 16 ist dem Multiplizierer 15 nachgeschaltet.

Sowohl der Realteil 8 des modulierten Ausgangssignals des ersten Addierers 11 als auch der Imaginärteil 9 des modulierten Ausgangssignals des zweiten Addierers 12 werden in den Multiplizierer 15 geführt und dort zu einem reellwertigen analogen Ausgangssignal 17 kombiniert.

Dieses reellwertige analoge Ausgangssignal 17 des Multiplizierers 15 ist gleichzeitig das Eingangssignal des Komparators 16. Der Komparator 16 ist ausgebildet, um aus dem

reellwertigen analogen Ausgangssignal 17 ein reellwertiges binäres Signal 4 zu erzeugen. Das Ausgangssignal 4 des Komparators 16 ist das binäre Eingangssignal 4 des Leistungsverstärkers 3. Das Binärsignal 4 ist binär betreffend die Amplitude und zeitkontinuierlich. Das Binärsignal 4 dient zur Ansteuerung der Leistungskomponenten des Leistungsverstärkers 3.

Der Leistungsverstärker 3 erzeugt ein verstärktes Ausgangssignal 20, das eine verstärkte Version des binären Eingangssignals 4 ist.

Die Verstärkervorrichtung 1 kann ferner ein Rekonstruktionsfilter 18 aufweisen. In der in Figur 2 dargestellten ersten Ausführungsform handelt es sich hierbei um ein dem Leistungsverstärker 3 nachgeschaltetes Tiefpassfilter 18. Das Binärsignal 20 wird in dem Rekonstruktionsfilter 18 zu einem Ausgangssignal 23 rekonstruiert. Sei das Eingangssignal 2 gleich Z(t) und die Trägerfrequenz gleich f_c, so weist das Ausgangssignal 23 die folgende Signalform ohne einen weiteren Verstärkungsfaktor auf:

$$Re\{Z(t)\} * Im\{e^{j2\pi fct}\} + Im\{Z(t)\}* Re\{e^{j2\pi fct}\} = Im\{Z(t)*e^{j2\pi fct}\}$$

Gemäß der abgebildeten Ausführungsform ist also das Rekonstruktionsfilter 18 dem Leistungsverstärker 3 seriell nachgeschaltet und das Eingangssignal 20 des Rekonstruktionsfilters 18 ist das von dem Leistungsverstärker 3 erzeugte verstärkte Ausgangssignal 20. Erfindungsgemäß wird so der Außenband-Signalanteil des verstärkten Binärsignals 20 ausgefiltert.

Generell besteht das verstärkte Binärsignal 20 aus einem Inband-Signalanteil und einem Außenband-Signalanteil. Der Außenband-Signalanteil wird durch das Rekonstruktionsfilter 18 ausgefiltert. Der Inband-Signalanteil ist ausschließlich das reellwertige Ausgangssignal 23 des ganzen Systems 1. In anderen Worten ist der Inband-Signalanteil des verstärkten Binärsignals 20 eine verstärkte, mit der Trägerfrequenz fc hochmodulierte Version des Basisband-Eingangssignals 2 der gesamten erfindungsgemäßen Vorrichtung 1.

Figur 3 zeigt eine zweite Ausführungsform der erfindungsgemäßen Verstärkervorrichtung 1. Das Eingangssignal 2 ist komplexwertig und weist einen Realteil 21 und einen Imaginärteil 22 auf. Das Eingangssignal 2 kann zeitkontinuierlich, beziehungsweise analog, oder zeitdiskret, beziehungsweise digital, sein. In der mit Bezug auf Figur 3 beschriebenen zweiten Ausführungsform ist das Eingangssignal 2 ein komplexwertiges zeitdiskretes Signal.

Die Verstärkervorrichtung 1 weist einen digitalen numerisch kontrollierten Oszillator 19 zum Erzeugen eines digitalen Trägersignals 13, 14 mit einer Trägerfrequenz f_c auf. Das Trägersignal 13, 14 ist komplexwertig und weist einen Realteil 13 und einen Imaginärteil 14 auf.

Die Addiervorrichtung 6 weist einen ersten Addierer 11 und einen zweiten Addierer 12 auf. Der erste Addierer 11 ist ausgebildet, um den Realteil 21 des Eingangssignals 2 mit dem Realteil 13 des Trägersignals zu addieren. Am Ausgang des ersten Addierers 11 wird somit der Realteil 8 eines resultierenden modulierten Signals erhalten.

Der zweite Addierer 12 ist ausgebildet, um den Imaginärteil 22 des Eingangssignals 2 mit dem Imaginärteil 14 des Trägersignals zu addieren. Am Ausgang des zweiten Addierers 12 wird somit der Imaginärteil 9 eines resultierenden modulierten Signals erhalten.

Die Kombinationsvorrichtung 7 weist gemäß diesem Ausführungsbeispiel eine Reihenschaltung bestehend aus einem Multiplizierer 15, einem dem Multiplizierer 15 nachgeschalteten Digital-Analog-Wandler 24 und einem dem Digital-Analog-Wandler 24 nachgeschalteten Komparator 16 auf.

Der Multiplizierer 15 ist den zuvor beschriebenen Addierern 11, 12 nachgeschaltet. Sowohl der Realteil 8 des modulierten Ausgangssignals des ersten Addierers 11 als auch der Imaginärteil 9 des modulierten Ausgangssignals des zweiten Addierers 12 werden in den Multiplizierer 15 geführt und dort zu einem reellwertigen digitalen Ausgangssignal 17 kombiniert.

Dem Multiplizierer 15 ist ein Digital-Analog-Wandler 24 nachgeschaltet. Das reellwertige digitale Ausgangssignal 17 des Multiplizierers 15 ist gleichzeitig das digitale Eingangssignal des Digital-Analog-Wandlers 24, der daraus ein analoges Signal 25 erzeugt.

Die Verstärkervorrichtung 1 weist ferner einen Komparator 16 auf, der dem Digital-Analog-Wandler 24 nachgeschaltet ist. Das analoge Ausgangssignal 25 des Digital-Analog-Wandlers 24 ist gleichzeitig das Eingangssignal des nachgeschalteten Komparators 16, der daraus das binäre zeitkontinuierliche Eingangssignal 4 des Leistungsverstärkers 3 erzeugt. Das Binärsignal 4 ist binär betreffend die Amplitude und zeitkontinuierlich. Das Binärsignal 4 dient zur Ansteuerung der Leistungskomponenten des Leistungsverstärkers 3.

Der Leistungsverstärker 3 erzeugt ein verstärktes Ausgangssignal 20, das eine verstärkte Version des binären Eingangssignals 4 ist.

Die Verstärkervorrichtung 1 kann ferner ein Rekonstruktionsfilter 18 aufweisen. In der in Figur 3 dargestellten Ausführungsform handelt es sich hierbei um ein dem Leistungsverstärker 3 nachgeschaltetes Tiefpassfilter 18. Das Binärsignal 20 wird in dem Rekonstruktionsfilter 18 zu einem Ausgangssignal 23 rekonstruiert. Sei das Eingangssignal 2 gleich Z(t) und die Trägerfrequenz gleich f_c, so weist das Ausgangssignal 23 die folgende Signalform ohne einen weiteren Verstärkungsfaktor auf:

$$Re\{Z(t)\} * Im\{e^{j2\pi fct}\} + Im\{Z(t)\}* Re\{e^{j2\pi fct}\} = Im\{Z(t)*e^{j2\pi fct}\}$$

Gemäß der abgebildeten Ausführungsform ist also das Rekonstruktionsfilter 18 dem Leistungsverstärker 3 seriell nachgeschaltet und das Eingangssignal 20 des Rekonstruktionsfilters 18 ist das von dem Leistungsverstärker 3 erzeugte verstärkte Ausgangssignal 20. Erfindungsgemäß wird so der Außenband-Signalanteil des verstärkten Binärsignals 20 ausgefiltert.

Generell besteht das verstärkte Binärsignal 20 aus einem Inband-Signalanteil und einem Außenband-Signalanteil. Der Außenband-Signalanteil wird durch das Rekonstruktionsfilter 18 ausgefiltert. Der Inband-Signalanteil ist ausschließlich das reellwertige Ausgangssignal 23 des ganzen Systems 1. In anderen Worten ist der Inband-Signalanteil des verstärkten Binärsignals 20 eine verstärkte, mit der Trägerfrequenz fc hochmodulierte Version des Basisband-Eingangssignals 2 der gesamten erfindungsgemäßen Vorrichtung 1.

Wie in den Figuren 1 bis 3 gezeigt, wird der Realteil 21 und der Imaginärteil 22 des Eingangssignals 2 unabhängig voneinander in den Ausgangssignalen 8, 9 der Addiervorrichtung 6 kodiert und danach am Ausgang wieder linear überlagert. Ihre Informationen werden separat in den jeweiligen Nulldurchgängen des Realteils 8 beziehungsweise des Imaginärteils 9 eingesteckt. Weil diese Nulldurchgänge miteinander verschachtelt sind, können der Multiplizierer 15 und der Komparator 16 der Kombiniervorrichtung 7 durch zwei Komparatoren zusammen mit einem XOR-Gatter ersetzt werden. Die Nulldurchgänge beider Signale werden zunächst mit Hilfe der Komparatoren entdeckt und dann anhand des XOR-Gatters im binären Eingangssignal 4 des Leistungsverstärkers 3 zusammengefasst. Eine solche Ausführungsform ist mit Bezug auf Figur 4 dargestellt.

Figur 4 zeigt eine dritte Ausführungsform der erfindungsgemäßen Vorrichtung 1.

Die Vorrichtung 1 weist einen Oszillator 19 zum Erzeugen eines digitalen Mischsignals beziehungsweise Trägersignals der Trägerfrequenz fc auf. Das Mischsignal weist einen Realteil 13 und einen Imaginärteil 14 auf.

Die Addiervorrichtung 6 weist einen ersten Addierer 11 und einen zweiten Addierer 12 auf.

Die Kombinationsvorrichtung 7 weist einen ersten Digital-Analog-Wandler 31, einen zweiten Digital-Analog-Wandler 32, einen ersten Komparator 33, einen zweiten Komparator 34 und ein logisches XOR-Gatter 35 auf.

Der erste Digital-Analog-Wandler 31 sowie der erste Komparator 33 sind zur Verarbeitung des Realteils 21 des Eingangssignals 2 vorgesehen. Der zweite Digital-Analog-Wandler 32 sowie der zweite Komparator 34 sind zur Verarbeitung des Imaginärteils 22 des Eingangssignals 2 vorgesehen.

Der erste Digital-Analog-Wandler 31 ist dem ersten Addierer 11 seriell nachgeschaltet. Der erste Komparator 33 ist dem ersten Digital-Analog-Wandler 31 seriell nachgeschaltet.

Der zweite Digital-Analog-Wandler 32 ist dem zweiten Addierer 12 seriell nachgeschaltet. Der zweite Komparator 34 ist dem zweiten Digital-Analog-Wandler 34 seriell nachgeschaltet.

Die Ausgänge des ersten Komparators 33 beziehungsweise des zweiten Komparators 34 werden in dem seriell nachgeschalteten logischen XOR-Gatter 35 zusammengeführt und logisch miteinander verknüpft.

Das Eingangssignal 2 ist komplexwertig und weist einen Realteil 21 und einen Imaginärteil 22 auf. Das Eingangssignal 2 kann zeitkontinuierlich oder zeitdiskret sein. In der mit Bezug auf Figur 4 beschriebenen dritten Ausführungsform ist das Eingangssignal 2 ein komplexwertiges zeitdiskretes Signal.

Der erste Addierer 11 ist ausgebildet, um den Realteil 21 des Eingangssignals 2 mit dem Realteil 13 des Trägersignals zu addieren. Am Ausgang des ersten Addierers 11 wird somit der Realteil 8 eines resultierenden modulierten Signals erhalten.

Der zweite Addierer 12 ist ausgebildet, um den Imaginärteil 22 des Eingangssignals 2 mit dem Imaginärteil 14 des Trägersignals zu addieren. Am Ausgang des zweiten Addierers 12 wird somit der Imaginärteil 9 eines resultierenden modulierten Signals erhalten.

Das Ausgangssignal des ersten Addierers 11, das heißt das digitale modulierte Signal 8, wird in den ersten Digital-Analog-Wandler 31 geführt und dort in ein analoges Signal 26 gewandelt. Das analoge Signal 26 ist das Eingangssignal des ersten Komparators 33. Der erste Komparator 33 ist ausgebildet, um das analoge Eingangssignal 26 in ein analoges Binärsignal 28 zu wandeln.

Das Ausgangssignal des zweiten Addierers 12, das heißt das digitale modulierte Signal 9, wird in den zweiten Digital-Analog-Wandler 32 geführt und dort in ein analoges Signal 27 gewandelt. Das analoge Signal 27 ist das Eingangssignal des zweiten Komparators 34. Der zweite Komparator 34 ist ausgebildet, um das analoge Eingangssignal 27 in ein analoges Binärsignal 29 zu wandeln.

Die Ausgangssignale 28, 29 des ersten Komparators 33 beziehungsweise des zweiten Komparators 34 werden in dem nachgeschalteten logischen XOR-Gatter 35 zusammengeführt. Das XOR-Gatter 35 erzeugt das binäre Eingangssignal 4 des Leistungsverstärkers 3. Das Binärsignal 4 ist binär betreffend die Amplitude und zeitkontinuierlich. Das Binärsignal 4 dient zur Ansteuerung der Leistungskomponenten des Leistungsverstärkers 3.

Der Leistungsverstärker 3 erzeugt ein verstärktes Ausgangssignal 20, das eine verstärkte Version des binären Eingangssignals 4 ist.

Die Verstärkervorrichtung 1 kann ferner ein Rekonstruktionsfilter 18 aufweisen. In der in Figur 4 dargestellten Ausführungsform handelt es sich hierbei um ein dem Leistungsverstärker 3 nachgeschaltetes Tiefpassfilter 18. Das Binärsignal 20 wird in dem Rekonstruktionsfilter 18 zu einem Ausgangssignal 23 rekonstruiert. Sei das Eingangssignal 2 gleich Z(t) und die Trägerfrequenz gleich f_c, so weist das Ausgangssignal 23 die folgende Signalform ohne einen weiteren Verstärkungsfaktor auf:

$$\mathrm{Re}\{Z(t)\} * \mathrm{Im}\{e^{j2\pi fct}\} + \mathrm{Im}\{Z(t)\} * \mathrm{Re}\{e^{j2\pi fct}\} = \mathrm{Im}\{Z(t) * e^{j2\pi fct}\}$$

Gemäß der abgebildeten Ausführungsform ist also das Rekonstruktionsfilter 18 dem Leistungsverstärker 3 seriell nachgeschaltet und das Eingangssignal 20 des Rekonstruktionsfilters 18 ist das von dem Leistungsverstärker 3 erzeugte verstärkte Ausgangssignal 20. Erfindungsgemäß wird so der Außenband-Signalanteil des verstärkten Binärsignals 20 ausgefiltert.

Generell besteht das verstärkte Binärsignal 20 aus einem Inband-Signalanteil und einem Außenband-Signalanteil. Der Außenband-Signalanteil wird durch das Rekonstruktionsfilter

18 ausgefiltert. Der Inband-Signalanteil ist ausschließlich das reellwertige Ausgangssignal 23 des ganzen Systems 1. In anderen Worten ist der Inband-Signalanteil des verstärkten Binärsignals 20 eine verstärkte, mit der Trägerfrequenz fc hochmodulierte Version des Basisband-Eingangssignals 2 der gesamten erfindungsgemäßen Vorrichtung 1.

Bei der Vorrichtung in Figur 4 kann das Eingangssignal 2 analog sein. In diesem Fall wäre der Oszillator 19 ein analoger Oszillator zum Erzeugen eines analogen Trägersignals der Trägerfrequenz f_c und der erste sowie der zweite Digital-Analog-Wandler 31, 32 könnten entfallen.

Figur 5 zeigt eine vierte Ausführungsform der erfindungsgemäßen Vorrichtung 1.

Das Eingangssignal 2 ist komplexwertig und weist einen Realteil 21 und einen Imaginärteil 22 auf. Das Eingangssignal 2 kann zeitkontinuierlich oder zeitdiskret sein. In der mit Bezug auf Figur 5 beschriebenen vierten Ausführungsform ist das Eingangssignal 2 ein komplexwertiges zeitdiskretes Signal.

Die Vorrichtung 1 weist einen numerischen Oszillator 19 zum Erzeugen eines digitalen Mischsignals beziehungsweise Trägersignals der Trägerfrequenz fc auf. Das Mischsignal weist einen Realteil 13 und einen Imaginärteil 14 auf.

Die Addiervorrichtung 6 weist einen ersten Addierer 11 und einen zweiten Addierer 12 auf.

Die Kombinationsvorrichtung 7 weist einen ersten Multiplizierer 36, einen zweiten Multiplizierer 37 und einen Subtrahierer 38 auf.

Der erste Multiplizierer 36 ist zur Verarbeitung des Realteils 21 des Eingangssignals 2 vorgesehen. Der zweite Multiplizierer 37 ist zur Verarbeitung des Imaginärteils 22 des Eingangssignals 2 vorgesehen.

Der erste Multiplizierer 36 ist dem ersten Addierer 11 seriell nachgeschaltet. Der zweite Multiplizierer 37 ist dem zweiten Addierer 12 seriell nachgeschaltet.

Die Ausgänge des ersten Multiplizierers 36 beziehungsweise des zweiten Multiplizierers 37 werden in einem seriell nachgeschalteten Subtrahierer 38 zusammengeführt und subtrahiert.

Der erste Addierer 11 ist ausgebildet, um den Realteil 21 des Eingangssignals 2 mit dem Realteil 13 des Trägersignals zu addieren. Am Ausgang des ersten Addierers 11 wird somit der Realteil 8 eines resultierenden modulierten Signals erhalten.

Der zweite Addierer 12 ist ausgebildet, um den Imaginärteil 22 des Eingangssignals 2 mit dem Imaginärteil 14 des Trägersignals zu addieren. Am Ausgang des zweiten Addierers 12 wird somit der Imaginärteil 9 eines resultierenden modulierten Signals erhalten.

Das Ausgangssignal des ersten Addierers 11, das heißt das digitale modulierte Signal 8 wird in dem ersten Multiplizierer 36 mit sich selbst multipliziert. Das Ausgangssignal 41 des ersten Multiplizierers 36 ist somit das Quadrat des modulierten digitalen Signals 8.

Das Ausgangssignal des zweiten Addierers 12, das heißt das digitale modulierte Signal 9 wird in dem zweiten Multiplizierer 37 mit sich selbst multipliziert. Das Ausgangssignal 42 des zweiten Multiplizierers 37 ist somit das Quadrat des modulierten digitalen Signals 9.

Das Digitalsignal 41 am Ausgang des ersten Multiplizierers 36 sowie das Digitalsignal 42 am Ausgang des zweiten Multiplizierers 37 werden in dem Subtrahierer 38 zusammengeführt. In dem vorliegenden Ausführungsbeispiel wird der Signalanteil 42 von dem Signalanteil 42 subtrahiert.

Am Ausgang des Subtrahierers 38 wird das kombinierte Digitalsignal 39 ausgegeben, welches gleichzeitig das Eingangssignal des seriell nachgeschalteten Digital-Analog-Wandlers 40 ist.

Der Digital-Analog-Wandler 40 wandelt das digitale Eingangssignal 39 in ein analoges Ausgangssignal 43, welches gleichzeitig das Eingangssignal des seriell nachgeschalteten Komparators 44 ist.

Der Komparator 44 generiert aus dem zeitkontinuierlichen Eingangssignal 43 das zeitkontinuierliche binäre Eingangssignal 4 des Leistungsverstärkers 3. Das Binärsignal 4 ist binär betreffend die Amplitude und zeitkontinuierlich. Das Binärsignal 4 dient zur Ansteuerung der Leistungskomponenten des Leistungsverstärkers 3.

Der Leistungsverstärker 3 erzeugt ein verstärktes Ausgangssignal 20, das eine verstärkte Version des binären Eingangssignals 4 ist.

Die Verstärkervorrichtung 1 kann ferner ein Rekonstruktionsfilter 18 aufweisen. In der in Figur 5 dargestellten Ausführungsform handelt es sich hierbei um ein dem Leistungsverstärker 3 nachgeschaltetes Tiefpassfilter 18. Das Binärsignal 20 wird in dem Rekonstruktionsfilter 18 zu einem Ausgangssignal 23 rekonstruiert. Sei das Eingangssignal 2 gleich Z(t) und die Trägerfrequenz gleich f_c, so weist das Ausgangssignal 23 die folgende Signalform ohne einen weiteren Verstärkungsfaktor auf:

$$Re\{Z(t)\} * Re\{e^{j2\pi fct}\} - Im\{Z(t)\} * Im\{e^{j2\pi fct}\} = Re\{Z(t)*e^{j2\pi fct}\}$$

Gemäß der abgebildeten Ausführungsform ist also das Rekonstruktionsfilter 18 dem Leistungsverstärker 3 seriell nachgeschaltet und das Eingangssignal 20 des Rekonstruktionsfilters 18 ist das von dem Leistungsverstärker 3 erzeugte verstärkte Ausgangssignal 20. Erfindungsgemäß wird so der Außenband-Signalanteil des verstärkten Binärsignals 20 ausgefiltert.

Generell besteht das verstärkte Binärsignal 20 aus einem Inband-Signalanteil und einem Außenband-Signalanteil. Der Außenband-Signalanteil wird durch das Rekonstruktionsfilter 18 ausgefiltert. Der Inband-Signalanteil ist ausschließlich das reellwertige Ausgangssignal 23 des ganzen Systems 1. In anderen Worten ist der Inband-Signalanteil des verstärkten Binärsignals 20 eine verstärkte, mit der Trägerfrequenz fc hochmodulierte Version des Basisband-Eingangssignals 2 der gesamten erfindungsgemäßen Vorrichtung 1.

Figur 6 zeigt eine fünfte Ausführungsform der erfindungsgemäßen Vorrichtung 1.

Die fünfte Ausführungsform entspricht im Wesentlichen der mit Bezug auf Figur 5 beschriebenen vierten Ausführungsform mit dem Unterschied, dass das Eingangssignal 2 ein zeitkontinuierliches Eingangssignal ist.

Dementsprechend liegen die Signale beziehungsweise die Signalanteile 21, 22, 8, 9, 41 und 42 bereits in analoger Form vor. Somit entfällt im Vergleich zur vierten Ausführungsform der Digital-Analog-Wandler 40 in der Kombinationsvorrichtung 7. Ebenfalls entfällt die Erzeugung des analogen Ausgangssignals 43, da das Ausgangssignal 39 des Subtrahierers 38 direkt in den Komparator 44 geführt wird.

Der Komparator 44 generiert aus dem zeitkontinuierlichen Eingangssignal 39, welches hier dem Ausgangssignal des Subtrahierers 38 entspricht, das zeitkontinuierliche binäre Eingangssignal 4 des Leistungsverstärkers 3. Das Binärsignal 4 ist binär betreffend die Amplitude und zeitkontinuierlich. Das Binärsignal 4 dient zur Ansteuerung der Leistungskomponenten des Leistungsverstärkers 3.

Der Leistungsverstärker 3 erzeugt ein verstärktes Ausgangssignal 20, das eine verstärkte Version des binären Eingangssignals 4 ist. Das verstärkte Binärsignal 20 besteht aus dem Inband-Signalanteil und dem Außenband-Signalanteil. Der Außenband-Signalanteil wird durch das Rekonstruktionsfilter 18 ausgefiltert. Der Inband-Signalanteil ist ausschließlich das reellwertige Ausgangssignal 23 des ganzen Systems 1. In anderen Worten ist der Inband-Signalanteil des verstärkten Binärsignals 20 eine verstärkte, mit der

Trägerfrequenz fc hochmodulierte Version des Basisband-Eingangssignals 2 des ganzen Systems 1. In anderen Worten ist das Ausgangssignal des ganzen Systems das verstärkte HF Signal der Trägerfrequenz f_c.

Die Verstärkervorrichtung 1 kann ferner ein Rekonstruktionsfilter 18 aufweisen. In der in Figur 5 dargestellten Ausführungsform handelt es sich hierbei um ein dem Leistungsverstärker 3 nachgeschaltetes Tiefpassfilter 18. Das Binärsignal 20 wird in dem Rekonstruktionsfilter 18 zu einem Ausgangssignal 23 rekonstruiert. Sei das Eingangssignal 2 gleich Z(t) und die Trägerfrequenz gleich f_c, so weist das Ausgangssignal 23 die folgende Signalform ohne einen weiteren Verstärkungsfaktor auf:

$$Re\{Z(t)\} * Re\{e^{j2\pi fct}\} - Im\{Z(t)\} * Im\{e^{j2\pi fct}\} = Re\{Z(t)*e^{j2\pi fct}\}$$

Gemäß der abgebildeten Ausführungsform ist also das Rekonstruktionsfilter 18 dem Leistungsverstärker 3 seriell nachgeschaltet und das Eingangssignal 20 des Rekonstruktionsfilters 18 ist das von dem Leistungsverstärker 3 erzeugte verstärkte Ausgangssignal 20. Erfindungsgemäß wird so der Außenband-Signalanteil des verstärkten Binärsignals 20 ausgefiltert.

Generell besteht das verstärkte Binärsignal 20 aus einem Inband-Signalanteil und einem Außenband-Signalanteil. Der Außenband-Signalanteil wird durch das Rekonstruktionsfilter 18 ausgefiltert. Der Inband-Signalanteil ist ausschließlich das reellwertige Ausgangssignal 23 des ganzen Systems 1. In anderen Worten ist der Inband-Signalanteil des verstärkten Binärsignals 20 eine verstärkte, mit der Trägerfrequenz fc hochmodulierte Version des Basisband-Eingangssignals 2 der gesamten erfindungsgemäßen Vorrichtung 1.

Alle beschriebenen erfindungsgemäßen Schaltverstärker-Strukturen können theoretisch entweder rein digital oder rein analog realisiert werden. Es ist jedoch sinnvoll, das System teilweise digital und analog zu betreiben.

Die Digital-Analog-Wandler 31, 32 gemäß der in Figur 4 dargestellten dritten Ausführungsform können mit einer niedrigen Grenzfrequenz $f > f_c$ betrieben werden, während der Digital-Analog-Wandler 40 gemäß der in Figur 5 dargestellten vierten Ausführungsform mit einer höheren Grenzfrequenz $f > 2f_c$ betrieben werden muss.

Das erfindungsgemäße Verstärker-System 1 gemäß der ersten Ausführungsform besteht aus einem Modulationsblock 5, einem Leistungsverstärker 3 und einem optionalen Rekonstruktionsfilter 18. Der Modulationsblock 5 fasst zwei Addierer 11, 12, einen Multiplizierer 15 und einen Signalkomparator 16 zusammen. Das Eingangssignal 2 ist ein

komplexwertiges Basisbandsignal und das Eingangssignal 4 des Leistungsverstärkers 3 ist ein moduliertes reellwertiges Binärsignal zur Steuerung eines Verstärkerelements, wie z.B. eines Transistors. Das Ausgangssignal 23 des ganzen Systems 1 ist das verstärkte HF Signal der Trägerfrequenz f_c.

Die Real- und Imaginärteile 21, 22 des Eingangssignals 2 lassen sich gemäß der Erfindung separat voneinander kodieren und verstärken.

Obwohl manche Aspekte im Zusammenhang mit einer Vorrichtung beschrieben wurden, versteht es sich, dass diese Aspekte auch eine Beschreibung des entsprechenden Verfahrens darstellen, sodass ein Block oder ein Bauelement einer Vorrichtung auch als ein entsprechender Verfahrensschritt oder als ein Merkmal eines Verfahrensschrittes zu verstehen ist. Analog dazu stellen Aspekte, die im Zusammenhang mit einem oder als ein Verfahrensschritt beschrieben wurden, auch eine Beschreibung eines entsprechenden Blocks oder Details oder Merkmals einer entsprechenden Vorrichtung dar. Einige oder alle der Verfahrensschritte können durch einen Hardware-Apparat (oder unter Verwendung eines Hardware-Apparats), wie zum Beispiel einen Mikroprozessor, einen programmierbaren Computer oder eine elektronische Schaltung ausgeführt werden. Bei einigen Ausführungsbeispielen können einige oder mehrere der wichtigsten Verfahrensschritte durch einen solchen Apparat ausgeführt werden.

Das erfindungsgemäße kodierte Signal kann auf einem digitalen Speichermedium gespeichert sein, oder kann auf einem Übertragungsmedium, wie beispielsweise einem drahtlosen Übertragungsmedium oder einem drahtgebundenen Übertragungsmedium, wie beispielsweise dem Internet, übertragen werden.

Je nach bestimmten Implementierungsanforderungen können Ausführungsbeispiele der Erfindung in Hardware oder in Software implementiert sein. Die Implementierung kann unter Verwendung eines digitalen Speichermediums, beispielsweise einer Floppy-Disk, einer DVD, einer Blu-ray Disc, einer CD, eines ROM, eines PROM, eines EPROM, eines EEPROM oder eines FLASH-Speichers, einer Festplatte oder eines anderen magnetischen oder optischen Speichers durchgeführt werden, auf dem elektronisch lesbare Steuersignale gespeichert sind, die mit einem programmierbaren Computersystem derart zusammenwirken können oder zusammenwirken, dass das jeweilige Verfahren durchgeführt wird. Deshalb kann das digitale Speichermedium computerlesbar sein.

Manche Ausführungsbeispiele gemäß der Erfindung umfassen also einen Datenträger, der elektronisch lesbare Steuersignale aufweist, die in der Lage sind, mit einem

programmierbaren Computersystem derart zusammenzuwirken, dass eines der hierin beschriebenen Verfahren durchgeführt wird.

Allgemein können Ausführungsbeispiele der vorliegenden Erfindung als Computerprogrammprodukt mit einem Programmcode implementiert sein, wobei der Programmcode dahin gehend wirksam ist, eines der Verfahren durchzuführen, wenn das Computerprogrammprodukt auf einem Computer abläuft.

Der Programmcode kann beispielsweise auch auf einem maschinenlesbaren Träger gespeichert sein.

Andere Ausführungsbeispiele umfassen das Computerprogramm zum Durchführen eines der hierin beschriebenen Verfahren, wobei das Computerprogramm auf einem maschinenlesbaren Träger gespeichert ist.

Mit anderen Worten ist ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens somit ein Computerprogramm, das einen Programmcode zum Durchführen eines der hierin beschriebenen Verfahren aufweist, wenn das Computerprogramm auf einem Computer abläuft.

Ein weiteres Ausführungsbeispiel der erfindungsgemäßen Verfahren ist somit ein Datenträger (oder ein digitales Speichermedium oder ein computerlesbares Medium), auf dem das Computerprogramm zum Durchführen eines der hierin beschriebenen Verfahren aufgezeichnet ist.

Ein weiteres Ausführungsbeispiel des erfindungsgemäßen Verfahrens ist somit ein Datenstrom oder eine Sequenz von Signalen, der bzw. die das Computerprogramm zum Durchführen eines der hierin beschriebenen Verfahren darstellt bzw. darstellen. Der Datenstrom oder die Sequenz von Signalen kann bzw. können beispielsweise dahin gehend konfiguriert sein, über eine Datenkommunikationsverbindung, beispielsweise über das Internet, transferiert zu werden.

Ein weiteres Ausführungsbeispiel umfasst eine Verarbeitungseinrichtung, beispielsweise einen Computer oder ein programmierbares Logikbauelement, die dahin gehend konfiguriert oder angepasst ist, eines der hierin beschriebenen Verfahren durchzuführen.

Ein weiteres Ausführungsbeispiel umfasst einen Computer, auf dem das Computerprogramm zum Durchführen eines der hierin beschriebenen Verfahren installiert ist.

Ein weiteres Ausführungsbeispiel gemäß der Erfindung umfasst eine Vorrichtung oder ein System, die bzw. das ausgelegt ist, um ein Computerprogramm zur Durchführung zumindest eines der hierin beschriebenen Verfahren zu einem Empfänger zu übertragen. Die Übertragung kann beispielsweise elektronisch oder optisch erfolgen. Der Empfänger kann beispielsweise ein Computer, ein Mobilgerät, ein Speichergerät oder eine ähnliche Vorrichtung sein. Die Vorrichtung oder das System kann beispielsweise einen Datei-Server zur Übertragung des Computerprogramms zu dem Empfänger umfassen.

Bei manchen Ausführungsbeispielen kann ein programmierbares Logikbauelement (beispielsweise ein feldprogrammierbares Gatterarray, ein FPGA) dazu verwendet werden, manche oder alle Funktionalitäten der hierin beschriebenen Verfahren durchzuführen. Bei manchen Ausführungsbeispielen kann ein feldprogrammierbares Gatterarray mit einem Mikroprozessor zusammenwirken, um eines der hierin beschriebenen Verfahren durchzuführen. Allgemein werden die Verfahren bei einigen Ausführungsbeispielen seitens einer beliebigen Hardwarevorrichtung durchgeführt. Diese kann eine universell einsetzbare Hardware wie ein Computerprozessor (CPU) sein oder für das Verfahren spezifische Hardware, wie beispielsweise ein ASIC.

Die oben beschriebenen Ausführungsbeispiele stellen lediglich eine Veranschaulichung der Prinzipien der vorliegenden Erfindung dar. Es versteht sich, dass Modifikationen und Variationen der hierin beschriebenen Anordnungen und Einzelheiten anderen Fachleuten einleuchten werden. Deshalb ist beabsichtigt, dass die Erfindung lediglich durch den Schutzumfang der nachstehenden Patentansprüche und nicht durch die spezifischen Einzelheiten, die anhand der Beschreibung und der Erläuterung der Ausführungsbeispiele hierin präsentiert wurden, beschränkt sei.

Ansprüche

1. Vorrichtung (1) zum Verstärken eines Eingangssignals (2), aufweisend:

einen Leistungsverstärker (3) zum Verstärken eines binären Eingangssignals (4),

eine Modulationsvorrichtung (5) zum Erzeugen des binären Eingangssignals (4) basierend auf dem Eingangssignal (2),

wobei das Eingangssignal (2) ein komplexwertiges Signal ist und das binäre Eingangssignal (4) ein reellwertiges Signal ist,

wobei die Modulationsvorrichtung (5) eine Addiervorrichtung (6) aufweist, die ausgebildet ist, um das komplexwertige Eingangssignal (2) mit einem komplexwertigen Trägersignal einer vorgegebenen Frequenz zu addieren und so ein resultierendes komplexwertiges Signal (8, 9) zu generieren, und

wobei die Modulationsvorrichtung (5) eine der Addiervorrichtung (6) nachgeschaltete Kombinationsvorrichtung (7) aufweist, die ausgebildet ist, um aus dem Realteil (8) und dem Imaginärteil (9) des resultierenden komplexwertigen Signals (8, 9) das reellwertige binäre Eingangssignal (4) durch eine Kombination des Realteils (8) und des Imaginärteils (9) des resultierenden komplexwertigen Signals (8, 9) zu erzeugen.

2. Vorrichtung (1) nach Anspruch 1, wobei die Vorrichtung (1) ein Rekonstruktionsfilter (18), insbesondere ein Tiefpassfilter, aufweist, wobei das Rekonstruktionsfilter (18) dem Leistungsverstärker (3) seriell nachgeschaltet ist, und das Eingangssignal (20) des Rekonstruktionsfilters (18) das von dem Leistungsverstärker (3) erzeugte verstärkte Ausgangssignal (20) ist.

3. Vorrichtung (1) nach Anspruch 1 oder 2, wobei die Addiervorrichtung (6) einen ersten Addierer (11) und einen zweiten Addierer (12) aufweist, wobei der erste Addierer (11) ausgebildet ist, um den Realteil (21) des Eingangssignals (2) mit dem Realteil (13) des Trägersignals (13, 14) zu einem Realteil (8) des resultierenden Signals (8, 9) zu kombinieren, und wobei der zweite Addierer (12) ausgebildet ist, um den Imaginärteil (22) des Eingangssignals (2) mit dem Imaginärteil (14) des Trägersignals (13, 14) zu einem Imaginärteil (9) des resultierenden Signals (8, 9) zu kombinieren.

4. Vorrichtung (1) nach einem der vorhergehenden Ansprüche, wobei das komplexwertige Eingangssignal (2) ein analoges Signal ist, und die Vorrichtung (1)

einen analogen Oszillator (19) zum Erzeugen des komplexwertigen Trägersignals (13, 14) aufweist.

5. Vorrichtung (1) nach einem der vorhergehenden Ansprüche, wobei die Kombinationsvorrichtung (7) einen Multiplizierer (15) und einen in Reihe nachgeschalteten Komparator (16) aufweist, wobei der Multiplizierer (15) ausgebildet ist, um den Realteil (8) und den Imaginärteil (9) des resultierenden komplexwertigen analogen Signals (8, 9) miteinander zu einem analogen kombinierten Signal (17) zu kombinieren, und wobei der Komparator (16) ausgebildet ist, um dieses analoge kombinierte Signal (17) in das binäre zeitkontinuierliche Eingangssignal (4) des Leistungsverstärkers (3) zu wandeln.

6. Vorrichtung (1) nach einem der Ansprüche 1 bis 3, wobei das komplexwertige Eingangssignal (2) ein digitales Signal ist, und die Vorrichtung (1) einen digitalen Oszillator (19) zum Erzeugen des komplexwertigen Trägersignals (13, 14) aufweist.

7. Vorrichtung (1) nach Anspruch 6, wobei die Kombinationsvorrichtung (8) eine einen Multiplizierer (15), einen nachgeschalteten Komparator (16) und einen dazwischen angeordneten Digital-Analog-Wandler (24) beinhaltende Reihenschaltung aufweist, wobei der Multiplizierer (15) ausgebildet ist, um den Realteil (8) und den Imaginärteil (9) des resultierenden modulierten komplexwertigen digitalen Signals (8, 9) miteinander zu einem digitalen Ausgangssignal (17) zu kombinieren, wobei der Digital-Analog-Wandler (24) ausgebildet ist, um das digitale Ausgangssignal (17) des Multiplizierers (15) in ein analoges Signal (25) zu wandeln, und wobei der Komparator (16) ausgebildet ist, um das analoge Ausgangssignal (25) des Digital-Analog-Wandlers (24) in das binäre zeitkontinuierliche Eingangssignal (4) des Leistungsverstärkers (3) zu wandeln.

8. Vorrichtung (1) nach Anspruch 6, wobei die Kombinationsvorrichtung (7) einen ersten und einen zweiten Digital-Analog-Wandler (31, 32) aufweist, wobei der erste Digital-Analog-Wandler (31) dem ersten Addierer (11) seriell nachgeschaltet ist und dazu ausgebildet ist, um den Realteil (8) des digitalen resultierenden Signals (8, 9) in ein analoges reellwertiges Signal (26) zu wandeln, und wobei der zweite Digital-Analog-Wandler (32) dem zweiten Addierer (12) seriell nachgeschaltet ist und dazu ausgebildet ist, um den Imaginärteil (9) des digitalen resultierenden Signals (8, 9) in ein analoges Signal (27) zu wandeln.

9. Vorrichtung (1) nach Anspruch 8, wobei die Kombinationsvorrichtung (7) ferner einen ersten und einen zweiten Komparator (33, 34) aufweist, wobei der erste Komparator

(33) dem ersten Digital-Analog-Wandler (31) seriell nachgeschaltet ist, und der zweite Komparator (34) dem zweiten Digital-Analog-Wandler (32) seriell nachgeschaltet ist, und wobei der erste Komparator (33) ausgebildet ist, um den Realteil (26) des analogen resultierenden Signals in ein erstes reellwertiges binäres zeitkontinuierliches Signal (28) zu wandeln, und wobei der zweite Komparator (34) ausgebildet ist, um den Imaginärteil (27) des analogen resultierenden Signals in ein zweites reellwertiges binäres zeitkontinuierliches Signal (29) zu wandeln.

10. Vorrichtung (1) nach Anspruch 9, wobei die Kombinationsvorrichtung (7) eine den beiden Komparatoren (33, 34) nachgeschaltete logische XOR-Schaltung (35) aufweist, die ausgebildet ist, um das aus dem Realteil resultierende erste reellwertige binäre zeitkontinuierliche Signal (28) und das aus dem Imaginärteil resultierende zweite reellwertige binäre zeitkontinuierliche Signal (29) logisch miteinander derart zu verknüpfen, dass das Ausgangssignal der XOR-Schaltung (35) das binäre zeitkontinuierliche Eingangssignal (4) des Leistungsverstärkers (3) ist.

11. Vorrichtung (1) nach Anspruch 6, wobei die Kombinationsvorrichtung (7) einen ersten und einen zweiten Multiplizierer (36, 37) aufweist, wobei der erste Multiplizierer (36) dem ersten Addierer (11) seriell nachgeschaltet ist, und der zweite Multiplizierer (37) dem zweiten Addierer (12) seriell nachgeschaltet ist, und wobei der erste Multiplizierer (36) ausgebildet ist, um ein aus dem Realteil gebildetes zeitdiskretes Ausgangssignal (8) des ersten Addierers (11) zeitlich mit sich selbst zu multiplizieren, und wobei der zweite Multiplizierer (37) ausgebildet ist, um ein aus dem Imaginärteil gebildetes zeitdiskretes Ausgangssignal (9) des zweiten Addierers (12) zeitlich mit sich selbst zu multiplizieren.

12. Vorrichtung (1) nach Anspruch 11, wobei die Kombinationsvorrichtung (7) einen den beiden Multiplizierern (36, 37) nachgeschalteten Subtrahierer (38) aufweist, der ausgebildet ist, um eine Differenz aus dem Quadrat des Realteils (8) und dem Quadrat des Imaginärteils (9) zu bilden, so dass ein reellwertiges digitales Ausgangssignal (39) erzeugt wird.

13. Vorrichtung nach Anspruch 12, wobei die Kombinationsvorrichtung (7) einen dem Subtrahierer (38) seriell nachgeschalteten Komparator (44) und einen zwischen dem Subtrahierer (38) und dem Komparator (44) angeordneten Digital-Analog-Wandler (40) aufweist, wobei der Digital-Analog-Wandler (40) dazu ausgebildet ist, um das reellwertige digitale Ausgangssignal (39) des Subtrahierers (38) in ein analoges Signal (43) zu wandeln, und wobei der Komparator (44) dazu ausgebildet ist, um das analoge

Ausgangssignal (43) des Digital-Analog-Wandlers (40) in das binäre Eingangssignal (4) des Leistungsverstärkers (3) zu wandeln.

14. Verfahren zum Verstärken eines Eingangssignals (2) mit den folgenden Schritten:

Verstärken eines binären Eingangssignals (4),

Erzeugen des binären Eingangssignals (4) basierend auf dem Eingangssignal (2), wobei das Eingangssignal (2) ein komplexwertiges Eingangssignal ist und das binäre Eingangssignal (4) ein reellwertiges Signal ist,

Addieren des komplexwertigen Eingangssignals (2) mit einem komplexwertigen Trägersignal (13, 14) einer vorgegebenen Frequenz (f_c) zum Generieren eines resultierenden komplexwertigen Signals (8, 9), und

Erzeugen des reellwertigen binären Eingangssignals (4) aus dem Realteil (8) und dem Imaginärteil (9) des resultierenden komplexwertigen Signals (8, 9) durch eine Kombination des Realteils (8) und des Imaginärteils (9) des resultierenden komplexwertigen Signals (8, 9).

15. Verfahren nach Anspruch 14, ferner aufweisend ein Ausfiltern des Außenband-Signalanteils des verstärkten Binärsignals (20).

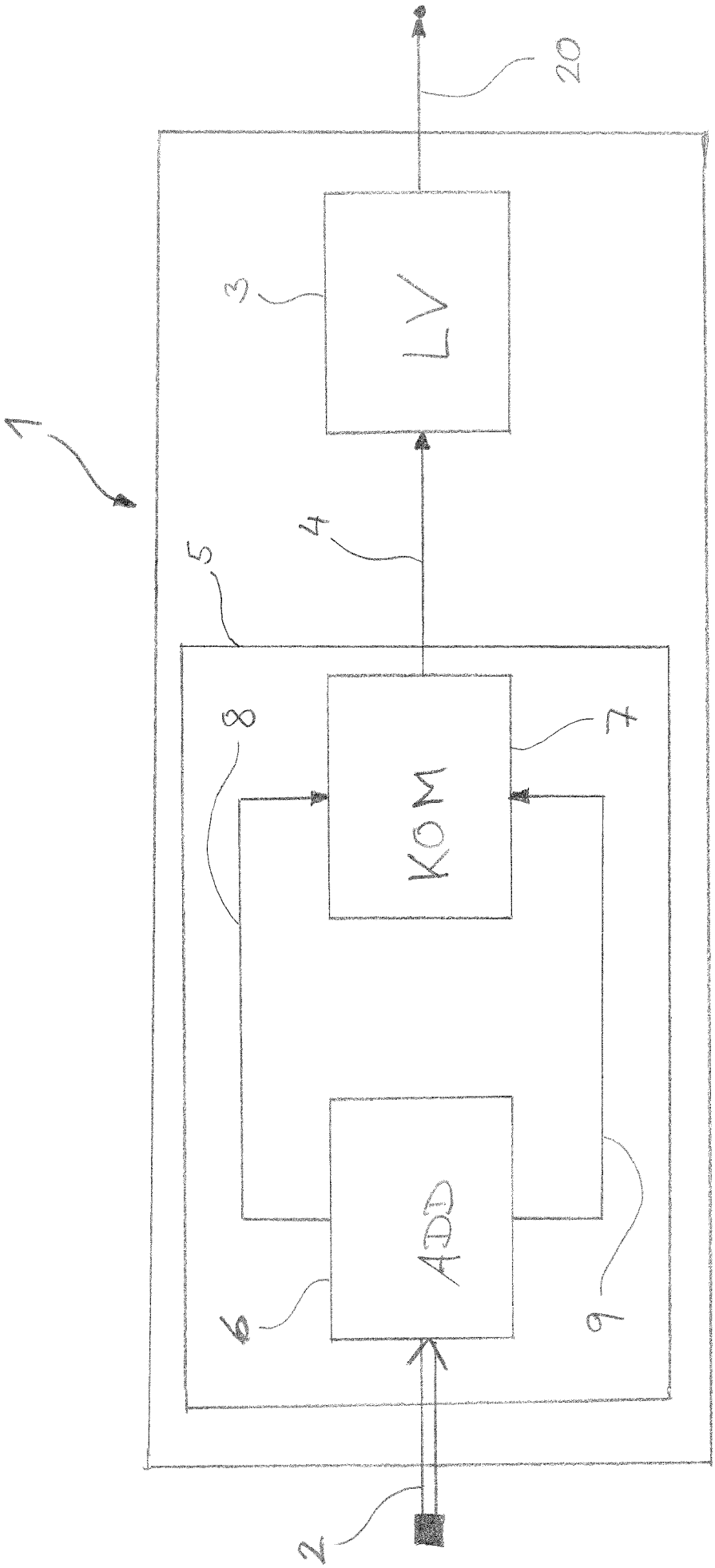


Fig. 1

Fig. 2

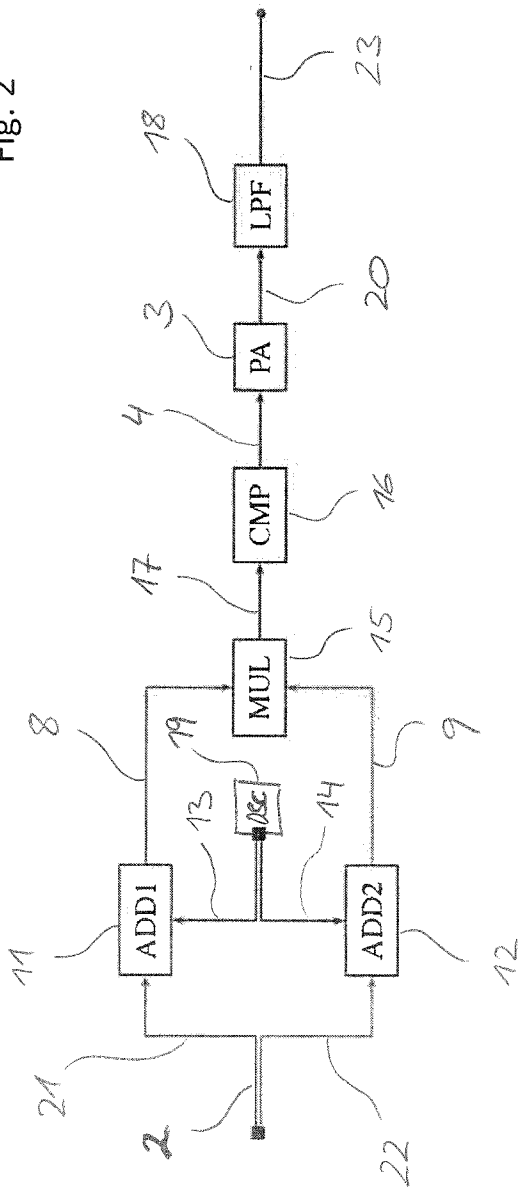


Fig. 3

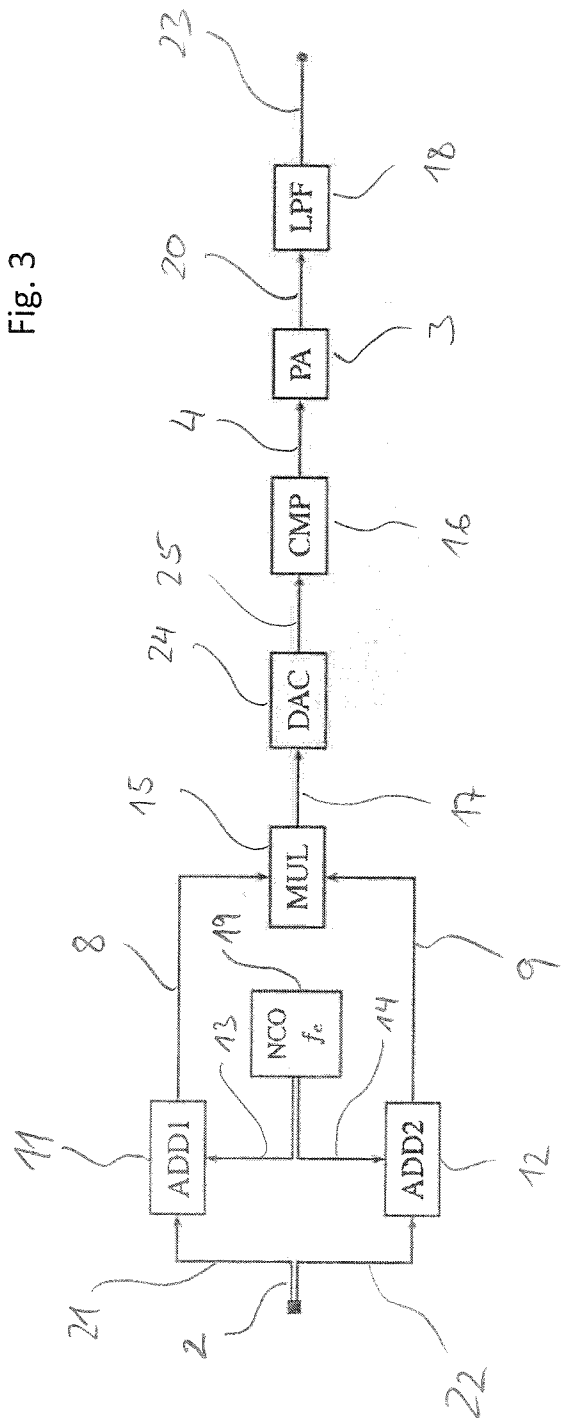

23
18
LPF
20
3
PA
4
CMP
16
25
24
DAC
15
17
MUL
8
19
9
NCO
f_c
13
14
11
ADD1
ADD2
12
21
2
22

Fig. 4

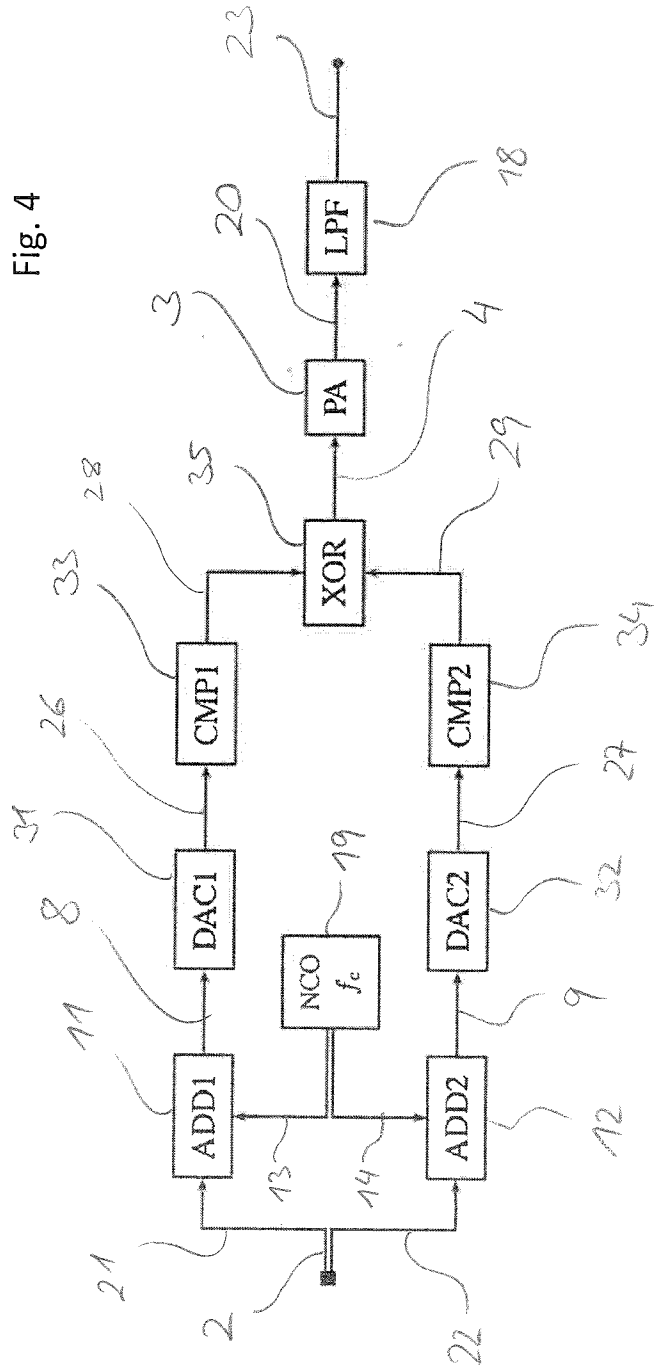

LPF
PA
XOR
CMP1
CMP2
DAC1
DAC2
NCO
f_c
ADD1
ADD2
2
3
4
8
9
11
12
13
14
18
19
20
21
22
23
26
27
28
29
31
32
33
34
35

Fig. 5

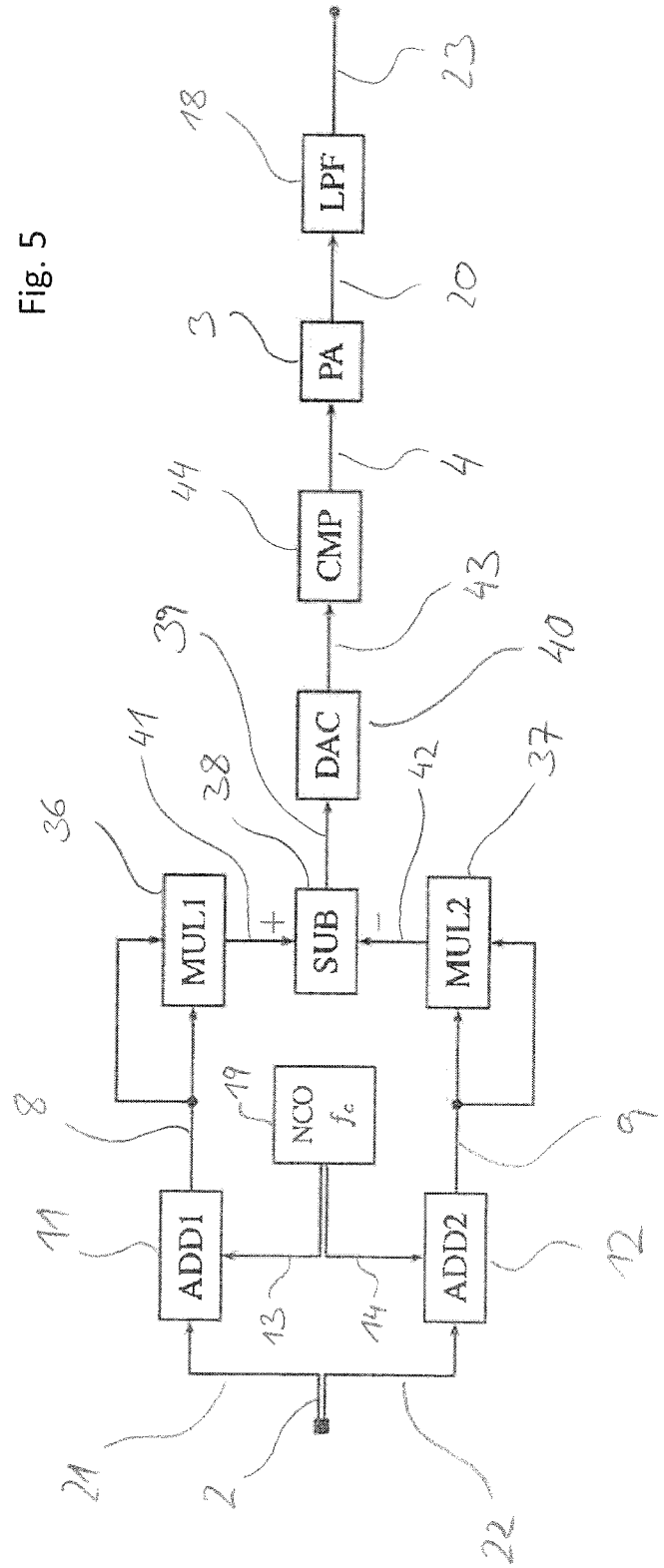
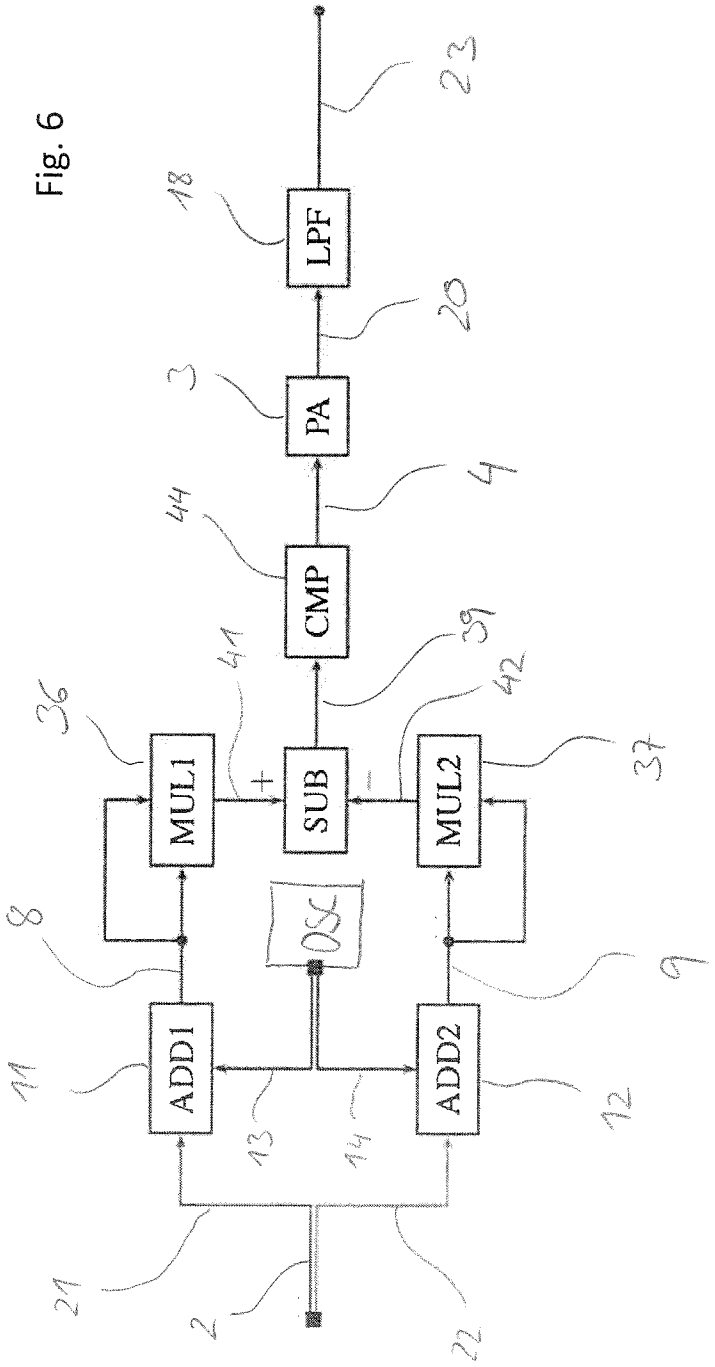

LPF
PA
CMP
DAC
SUB
MUL1
MUL2
ADD1
ADD2
NCO
f_c
+
-
18
23
3
20
44
4
39
43
40
41
38
42
37
36
19
8
9
11
12
13
14
21
2
22

Fig. 6


LPF
PA
CMP
MUL1
SUB
MUL2
ADD1
ADD2
DSC
+
-
18
23
20
3
4
44
39
41
42
36
37
8
9
11
12
13
14
21
2
22

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2016/056956

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03F1/02 H03F3/217
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F H03C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 2 498 397 A1 (FRAUNHOFER GES FORSCHUNG [DE]) 12 September 2012 (2012-09-12) paragraphs [0031] - [0033]; figure 5	1-15
A	DE 100 12 539 A1 (FRAUNHOFER GES FORSCHUNG [DE]) 27 September 2001 (2001-09-27) abstract; figure 6	1-15
A	EP 1 328 071 A1 (MITSUBISHI ELECTRIC INF TECH [NL]) 16 July 2003 (2003-07-16) abstract; figure 4	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 April 2016	03/05/2016

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Zakharian, Andre

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2016/056956

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 2498397 A1	12-09-2012	EP 2498397 A1	12-09-2012
		US 2014009231 A1	09-01-2014
		WO 2012123288 A1	20-09-2012
DE 10012539 A1	27-09-2001	DE 10012539 A1	27-09-2001
		DE 50107993 D1	15-12-2005
		EP 1264459 A1	11-12-2002
		US 2004015246 A1	22-01-2004
		WO 0169880 A1	20-09-2001
EP 1328071 A1	16-07-2003	AT 333722 T	15-08-2006
		DE 60213193 T2	21-06-2007
		EP 1328071 A1	16-07-2003
		JP 4250738 B2	08-04-2009
		JP 2003234719 A	22-08-2003
		US 2003133403 A1	17-07-2003

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2016/056956

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H03F1/02 H03F3/217
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H03F H03C

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 2 498 397 A1 (FRAUNHOFER GES FORSCHUNG [DE]) 12. September 2012 (2012-09-12) Absätze [0031] - [0033]; Abbildung 5	1-15
A	DE 100 12 539 A1 (FRAUNHOFER GES FORSCHUNG [DE]) 27. September 2001 (2001-09-27) Zusammenfassung; Abbildung 6	1-15
A	EP 1 328 071 A1 (MITSUBISHI ELECTRIC INF TECH [NL]) 16. Juli 2003 (2003-07-16) Zusammenfassung; Abbildung 4	1-15

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
22. April 2016	03/05/2016

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Zakharian, Andre

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2016/056956

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 2498397 A1	12-09-2012	EP 2498397 A1	12-09-2012
		US 2014009231 A1	09-01-2014
		WO 2012123288 A1	20-09-2012
DE 10012539 A1	27-09-2001	DE 10012539 A1	27-09-2001
		DE 50107993 D1	15-12-2005
		EP 1264459 A1	11-12-2002
		US 2004015246 A1	22-01-2004
		WO 0169880 A1	20-09-2001
EP 1328071 A1	16-07-2003	AT 333722 T	15-08-2006
		DE 60213193 T2	21-06-2007
		EP 1328071 A1	16-07-2003
		JP 4250738 B2	08-04-2009
		JP 2003234719 A	22-08-2003
		US 2003133403 A1	17-07-2003