



(12)发明专利

(10)授权公告号 CN 106710503 B

(45)授权公告日 2019.11.22

(21)申请号 201611264848.0

(22)申请日 2016.12.30

(65)同一申请的已公布的文献号

申请公布号 CN 106710503 A

(43)申请公布日 2017.05.24

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 王添鸿 郭平昇

(74)专利代理机构 深圳市铭粤知识产权代理有

限公司 44304

代理人 孙伟峰 武岑飞

(51)Int.Cl.

G09G 3/20(2006.01)

(56)对比文件

CN 106205458 A,2016.12.07,

CN 104505033 A,2015.04.08,

CN 104376824 A,2015.02.25,

CN 106157916 A,2016.11.23,

CN 106128397 A,2016.11.16,

CN 103021360 A,2013.04.03,

CN 104008739 A,2014.08.27,

US 2016267864 A1,2016.09.15,

US 2009184914 A1,2009.07.23,

审查员 孟慧慧

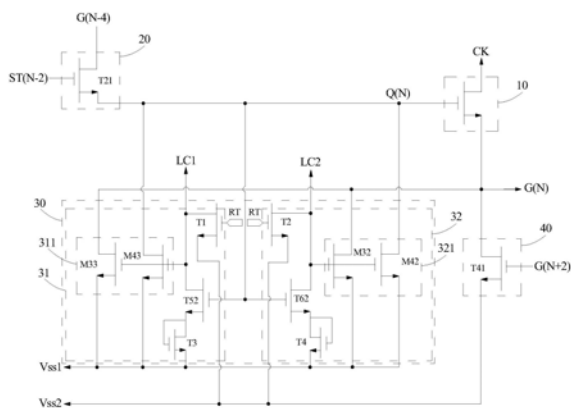
权利要求书2页 说明书4页 附图2页

(54)发明名称

扫描驱动电路及显示装置

(57)摘要

本发明公开了一种扫描驱动电路,包括级连的N个GOA单元,第N级GOA单元包括:上拉模块、控制上拉模块打开时间的上拉驱动模块、下拉维持模块及下拉模块;上拉模块分别与节点(Q(N))和第N级栅极信号输出端(G(N))连接;上拉驱动模块与第N级栅极信号输出端(G(N))连接;下拉维持模块用于分别接收第一直流电压(VSS1)和第二直流电压(VSS2);下拉模块连接第N级栅极信号输出端(G(N))且用于接收第一直流电压(VSS1);下拉维持模块由镜像连接的第一下拉维持电路与第二下拉维持电路交替工作构成,用于将第N级栅极信号输出端(G(N))和节点(Q(N))保持在负电位。本发明的扫描驱动电路具有高可靠性。



1. 一种扫描驱动电路,包括级连的N个GOA单元,其特征在于,第N级GOA单元包括:将时钟信号(CK)输出为栅极信号的上拉模块、控制所述上拉模块打开时间的上拉驱动模块、下拉维持模块及下拉模块;

所述上拉模块分别与节点(Q(N))和第N级栅极信号输出端(G(N))连接;所述上拉驱动模块与节点(Q(N))连接;所述下拉维持模块用于分别接收第一直流电压(VSS1)和第二直流电压(VSS2);所述下拉模块连接第N级栅极信号输出端(G(N))且用于接收第一直流电压(VSS1);

所述下拉维持模块由镜像连接的第一下拉维持电路与第二下拉维持电路构成,所述第一下拉维持电路与所述第二下拉维持电路交替工作,以将第N级栅极信号输出端(G(N))和节点(Q(N))保持在负电位;

所述第一下拉维持电路包括:第一稳压电路模块、漏极与第一稳压电路模块连接的第一晶体管(T1)和第五二晶体管(T52)、第三晶体管(T3);第五二晶体管(T52)的源极连接第三晶体管(T3)漏极和栅极,第三晶体管(T3)的源极用于接收第一直流电压(VSS1),第一晶体管(T1)的源极用于接收第二直流电压(VSS2),第一晶体管(T1)的栅极用于接收控制电压(RT),第一晶体管(T1)的漏极和第五二晶体管(T52)的漏极连接在一起并用于接收第一低频时钟信号(LC1);

所述第二下拉维持电路包括:第二稳压电路模块、漏极与第二稳压电路模块连接的第二晶体管(T2)和第六二晶体管(T62)、第四晶体管(T4);第六二晶体管(T62)的源极连接第四晶体管(T4)漏极和栅极,第四晶体管(T4)的源极用于接收第一直流电压(VSS1),第二晶体管(T2)的源极用于接收第二直流电压(VSS2),第二晶体管(T2)的栅极用于接收控制电压(RT),第二晶体管(T2)的漏极和第六二晶体管(T62)的漏极连接在一起并用于接收第二低频时钟信号(LC2);

所述第一稳压电路模块及所述第二稳压电路模块均连接到第N级栅极信号输出端(G(N)),所述第一直流电压(VSS1)大于所述第二直流电压(VSS2)。

2. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第一稳压电路模块包括:第三三晶体管(M33)和第四三晶体管(M43);第三三晶体管(M33)的栅极和第四三晶体管(M43)的栅极连接在一起并连接到第一晶体管(T1)的漏极,第三三晶体管(M33)的源极和第四三晶体管(M43)的源极分别用于接收第一直流电压(VSS1),第三三晶体管(M33)的漏极连接到第N级栅极信号输出端(G(N)),第四三晶体管(M43)的漏极连接到节点(Q(N))。

3. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第二稳压电路模块包括第三二晶体管(M32)和第四二晶体管(M42);第三二晶体管(M32)的栅极和第四二晶体管(M42)的栅极连接在一起并连接到第二晶体管(T2)的漏极,第三二晶体管(M32)的源极和第四二晶体管(M42)的源极分别用于接收第一直流电压(VSS1),第三二晶体管(M32)的漏极连接到第N级栅极信号输出端(G(N)),第四二晶体管(M42)的漏极连接到节点(Q(N))。

4. 根据权利要求1所述的扫描驱动电路,其特征在于,所述上拉驱动模块包括第二一晶体管(T21),第二一晶体管(T21)的栅极连接到第N-2级GOA单元的下传信号(ST(N-2)),第二一晶体管(T21)的漏极和源极分别连接到第N-4级栅极信号输出端(G(N-4))和节点(Q(N))。

5. 根据权利要求4所述的扫描驱动电路,其特征在于,在第一级GOA单元中,第二一晶体管(T21)的栅极用于连接启动信号端(STV),第二一晶体管(T21)的漏极和源极分别连接启

动信号端 (STV) 和节点 (Q(N))；

在第二级GOA单元中,第二一晶体管 (T21) 的栅极和漏极都连接到启动信号端 (STV),第二一晶体管 (T21) 的源极连接到节点 (Q(N))。

6. 根据权利要求1所述的扫描驱动电路,其特征在于,所述下拉模块包括第四一晶体管 (T41),第四一晶体管 (T41) 的栅极连接第N+2级栅极信号输出端 (G(N+2)),第四一晶体管 (T41) 的漏极和源极分别连接第N级栅极信号输出端 (G(N)) 和第二直流电压 (VSS2)。

7. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第二直流电压 (VSS2) 为-10V,所述控制电压 (RT) 为-15V。

8. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第一低频时钟信号 (LC1) 和所述第二低频时钟信号 (LC2) 相位相反。

9. 一种显示装置,其特征在于,包括权利要求1至8任一项所述的扫描驱动电路。

## 扫描驱动电路及显示装置

### 技术领域

[0001] 本发明涉及用于显示装置的扫描驱动电路,尤其涉及到一种具有高可靠性的扫描驱动电路及具有该扫描驱动电路的显示装置。

### 背景技术

[0002] GOA技术即Gate Driver on Array(阵列基板栅极驱动)是直接将栅极驱动电路(Gate Driver IC)制作在阵列基板上,实现对栅极线的逐行扫描的驱动方式的一项技术。

[0003] 现有的GOA电路,通常包括级联的多个GOA单元,每一级GOA单元对应驱动一条扫描线(或称栅极线)。GOA单元的主要结构包括上拉模块(Pull-up part)、上拉驱动模块(Pull-up control part)、下传模块(Transfer part)、下拉模块(Key Pull-down part)和下拉维持模块(Pull-down Holding part)。上拉模块主要负责将时钟信号(Clock)输出为栅极信号;上拉驱动模块负责控制上拉模块的打开时间,一般连接前级GOA电路传递过来的下传信号或者栅极信号;下拉模块负责在第一时间将栅极信号拉低为低电位;下拉维持模块则负责将栅极信号和上拉电路的栅极信号(通常称为Q点)维持(Holding)在关闭状态(即负电位),通常有两个下拉维持模块交替作用。

[0004] 在现有技术的GOA电路中,下拉维持模块的稳压电路中的各个晶体管受到的压力最大,经过长时间的高温高湿操作后,各晶体管的阈值电压 $V_{th}$ 漂移严重,会导致输出到扫描线(或称栅极线)的栅极信号出现异常,从而画面显示出现异常。

### 发明内容

[0005] 为了解决上述现有的技术问题,本发明的目的在于提供一种扫描驱动电路,包括级连的N个GOA单元,第N级GOA单元包括:将时钟信号输出为栅极信号的上拉模块、控制所述上拉模块打开时间的上拉驱动模块、下拉维持模块及下拉模块;所述上拉模块分别与节点和第N级栅极信号输出端连接;所述上拉驱动模块与节点连接;所述下拉维持模块用于分别接收第一直流电压和第二直流电压;所述下拉模块连接第N级栅极信号输出端且用于接收第一直流电压;所述下拉维持模块由镜像连接的第一下拉维持电路与第二下拉维持电路构成,所述第一下拉维持电路与所述第二下拉维持电路交替工作,以将第N级栅极信号输出端和节点保持在负电位。

[0006] 进一步地,所述第一下拉维持电路包括:第一稳压电路模块、漏极与第一稳压电路模块连接的第一晶体管和第二晶体管、第三晶体管;第二晶体管的源极连接第三晶体管漏极和栅极,第三晶体管的源极用于接收第一直流电压,第一晶体管的源极用于接收第二直流电压,第一晶体管的栅极用于接收控制电压,第一晶体管的漏极和第二晶体管的漏极连接在一起并用于接收第一低频时钟信号;所述第二下拉维持电路包括:第二稳压电路模块、漏极与第二稳压电路模块连接的第二晶体管 and 第三晶体管、第四晶体管;第三晶体管的源极连接第四晶体管漏极和栅极,第四晶体管的源极用于接收第一直流电压,第二晶体管的源极用于接收第二直流电压,第二晶体管的栅极用于接收控制电压,第二晶体

管的漏极和第六二晶体管的漏极连接在一起并用于接收第二低频时钟信号;所述第一稳压电路模块及所述第二稳压电路模块均连接到第N级栅极信号输出端,所述第一直流电压大于所述第二直流电压。

[0007] 进一步地,所述第一稳压电路模块包括:第三三晶体管和第四三晶体管;第三三晶体管的栅极和第四三晶体管的栅极连接在一起并连接到第一晶体管的漏极,第三三晶体管的源极和第四三晶体管的源极分别用于接收第一直流电压,第三三晶体管的漏极连接到第N级栅极信号输出端,第四三晶体管的漏极连接到节点。

[0008] 进一步地,所述第二稳压电路模块包括第三二晶体管和第四二晶体管;第三二晶体管的栅极和第四二晶体管的栅极连接在一起并连接到第二晶体管的漏极,第三二晶体管的源极和第四二晶体管的源极分别用于接收第一直流电压,第三二晶体管的漏极连接到第N级栅极信号输出端,第四二晶体管的漏极连接到节点。

[0009] 进一步地,所述上拉驱动模块包括第二一晶体管,第二一晶体管的栅极连接到第N-2级GOA单元的下传信号,第二一晶体管的漏极和源极分别连接到第N-4级栅极信号输出端和节点。

[0010] 进一步地,在第一级GOA单元中,第二一晶体管的栅极用于连接启动信号端,第二一晶体管的漏极和源极分别连接启动信号端和节点;在第二级GOA单元中,第二一晶体管的栅极和漏极都连接到启动信号端,第二一晶体管的源极连接到节点。

[0011] 进一步地,所述下拉模块包括第四一晶体管,第四一晶体管的栅极连接第N+2级栅极信号输出端,第四一晶体管的漏极和源极分别连接第N级栅极信号输出端和第二直流电压。

[0012] 进一步地,所述第二直流电压为-10V,所述控制电压为-15V。

[0013] 进一步地,所述第一低频时钟信号和所述第二低频时钟信号相位相反。

[0014] 本发明的另一目的还在于提供一种显示装置,其包括上述的扫描驱动电路。

[0015] 本发明的有益效果:本发明的扫描驱动电路具体高可靠性,从而能够避免使用该扫描驱动电路的显示装置显示的画面出现异常。

## 附图说明

[0016] 通过结合附图进行的以下描述,本发明的实施例的上述和其它方面、特点和优点将变得更加清楚,附图中:

[0017] 图1是根据本发明的实施例的第N级GOA单元的电路图;

[0018] 图2是根据本发明的实施例的。

## 具体实施方式

[0019] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0020] 图1是根据本发明的实施例的第N级GOA单元的电路图。通常GOA电路包括级联的N个图1所示的GOA单元。

[0021] 参照图1,根据本发明的实施例的第N级GOA单元包括:将时钟信号CK 输出为栅极

信号的上拉模块10、控制上拉模块10打开时间的上拉驱动模块20、下拉维持模块30及下拉模块40。

[0022] 上拉模块10分别与节点Q(N)和第N级栅极信号输出端G(N)连接;上拉驱动模块20与节点Q(N)连接;下拉维持模块30用于分别接收第一直流电压VSS1和第二直流电压VSS2;下拉模块40连接第N级栅极信号输出端G(N)且用于接收第一直流电压VSS1。

[0023] 下拉维持模块30由镜像连接的第一下拉维持电路31与第二下拉维持电路32构成,第一下拉维持电路31与第二下拉维持电路32交替工作,以将第N级栅极信号输出端G(N)和节点Q(N)保持在负电位。

[0024] 第一下拉维持电路31包括:第一稳压电路模块311、漏极与第一稳压电路模块311连接的第一晶体管T1和第五二晶体管T52、第三晶体管T3;第五二晶体管T52的源极连接第三晶体管T3漏极和栅极,第三晶体管T3的源极用于接收第一直流电压VSS1,第一晶体管T1的源极用于接收第二直流电压VSS2,第一晶体管T1的栅极用于接收控制电压RT,第一晶体管T1的漏极和第五二晶体管T52的漏极连接在一起并用于接收第一低频时钟信号LC1。

[0025] 第二下拉维持电路32包括:第二稳压电路模块321、漏极与第二稳压电路模块321连接的第二晶体管T2和第六二晶体管T62、第四晶体管T4;第六二晶体管T62的源极连接第四晶体管(T4)漏极和栅极,第四晶体管T4的源极用于接收第一直流电压VSS1,第二晶体管T2的源极用于接收第二直流电压VSS2,第二晶体管T2的栅极用于接收控制电压RT,第二晶体管T2的漏极和第六二晶体管T62的漏极连接在一起并用于接收第二低频时钟信号LC2。

[0026] 第一稳压电路模块311及第二稳压电路模块321均连接到第N级栅极信号输出端G(N),第一直流电压VSS1大于第二直流电压VSS2。

[0027] 第一稳压电路模块311包括:第三三晶体管M33和第四三晶体管M43;第三三晶体管M33的栅极和第四三晶体管M43的栅极连接在一起并连接到第一晶体管T1的漏极,第三三晶体管M33的源极和第四三晶体管M43的源极分别用于接收第一直流电压VSS1,第三三晶体管M33的漏极连接到第N级栅极信号输出端G(N),第四三晶体管M43的漏极连接到节点Q(N)。

[0028] 第二稳压电路模块321包括第三二晶体管M32和第四二晶体管M42;第三二晶体管M32的栅极和第四二晶体管M42的栅极连接在一起并连接到第二晶体管T2的漏极,第三二晶体管M32的源极和第四二晶体管M42的源极分别用于接收第一直流电压VSS1,第三二晶体管M32的漏极连接到第N级栅极信号输出端G(N),第四二晶体管M42的漏极连接到节点Q(N)。

[0029] 上拉驱动模块20包括第二一晶体管T21,第二一晶体管T21的栅极连接到第N-2级GOA单元的下传信号ST(N-2),第二一晶体管T21的漏极和源极分别连接到第N-4级栅极信号输出端G(N-4)和节点Q(N)。

[0030] 此外,在第一级GOA单元中,第二一晶体管T21的栅极用于连接启动信号端STV,第二一晶体管T21的漏极和源极分别连接启动信号端STV和节点Q(N);在第二级GOA单元中,第二一晶体管T21的栅极和漏极都连接到启动信号端STV,第二一晶体管T21的源极连接到节点Q(N)。

[0031] 下拉模块40包括第四一晶体管T41,第四一晶体管T41的栅极连接第N+2级栅极信号输出端G(N+2),第四一晶体管T41的漏极和源极分别连接第N级栅极信号输出端G(N)和第二直流电压VSS2。

[0032] 在本实施例中,第二直流电压VSS2为-10V,控制电压RT为-15V。此外,第一低频时

钟信号LC1和第二低频时钟信号LC2相位相反。

[0033] 进一步地,在本实施例中,上述的各晶体管为薄膜晶体管,但本发明并不限制于此。

[0034] 图2是根据本发明的实施例的扫描驱动电路的工作时序信号图。其中,示意出扫描信号为2160个,即G1、G2、……、G2160,但本发明并不限制于此。

[0035] 参照图2,在一帧的所有时序信号结束到下一帧的启动信号STV的上升沿的间隙时间(V-Blanking time)内,将第一直流电压VSS1由低电平转为高电平,将控制电压RT由低电平转为高电平,第一直流电压VSS1大于第二直流电压 VSS2。

[0036] 此时,第三二晶体管T32及第四二晶体管T42的栅极到源极的电压在一帧的所有时序信号结束到下一帧的启动信号STV的上升沿的间隙时间(V-blanking time)内构成反偏压,其余时间构成为正偏压。

[0037] 尽管上面对本发明说明性的具体实施方式进行了描述,以便于本技术领域的技术人员能够理解本发明,但是本发明不仅限于具体实施方式的范围,对本技术领域的普通技术人员而言,只要各种变化只要在所附的权利要求限定和确定的本发明精神和范围内,一切利用本发明构思的发明创造均在保护之列。

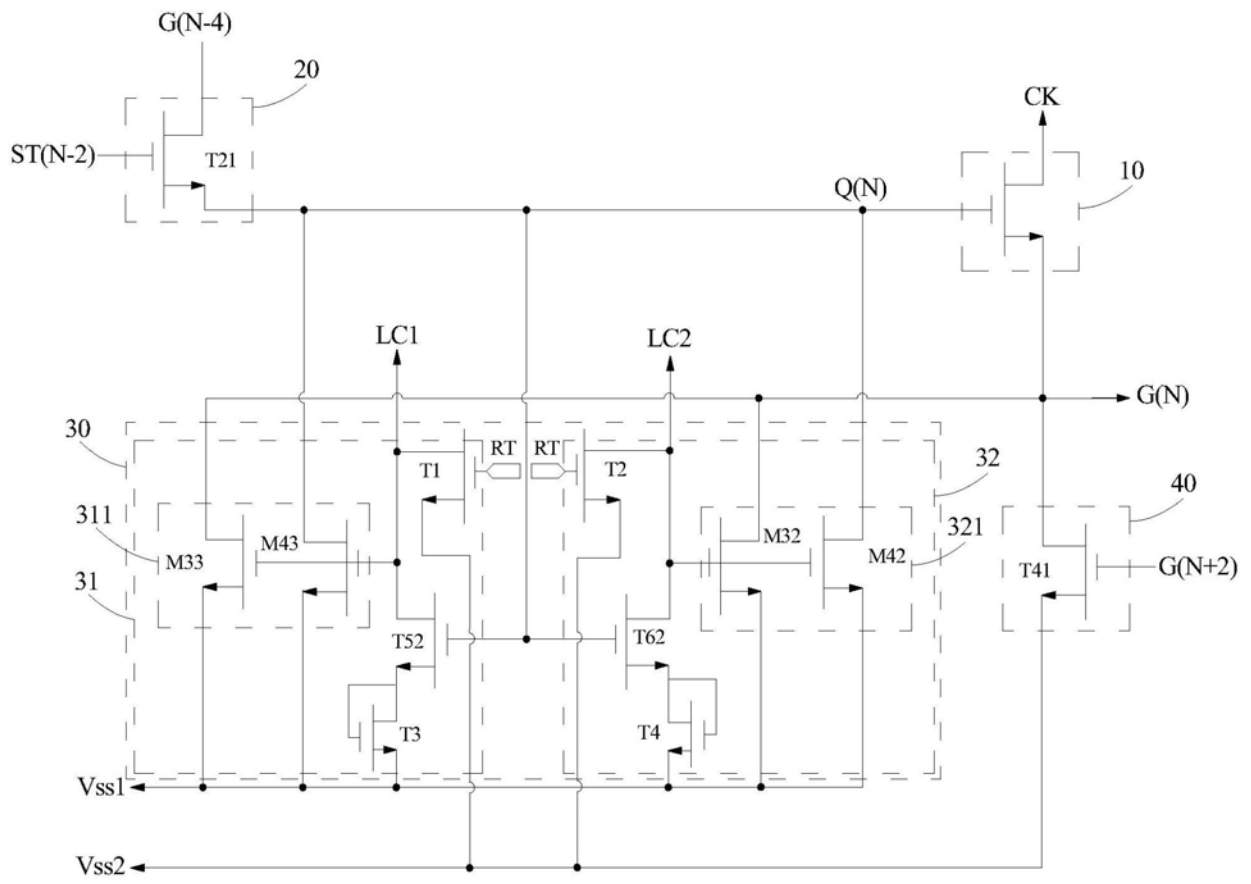


图1



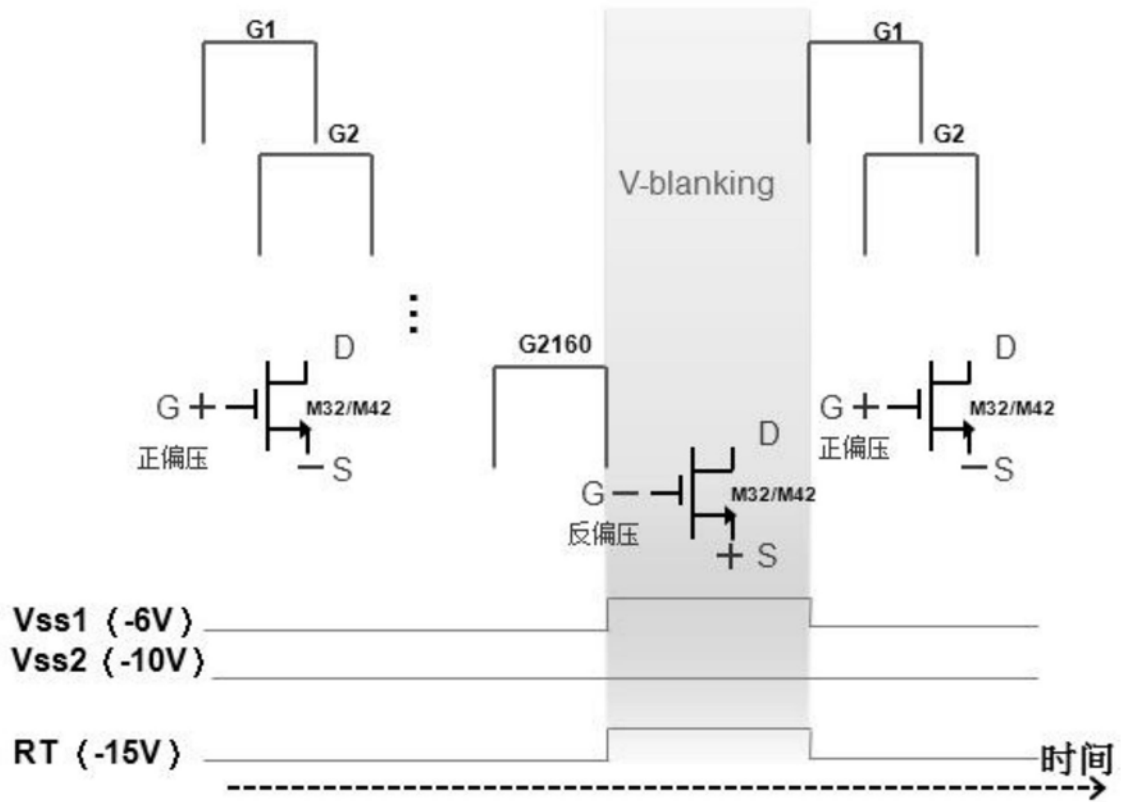


图2